



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0138017  
(43) 공개일자 2013년12월18일

(51) 국제특허분류(Int. Cl.)  
H01L 21/336 (2006.01) H01L 29/78 (2006.01)  
(21) 출원번호 10-2012-0061784  
(22) 출원일자 2012년06월08일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김세현  
경기도 이천시 대산로288번길 89, 103-405  
(74) 대리인  
특허법인태평양

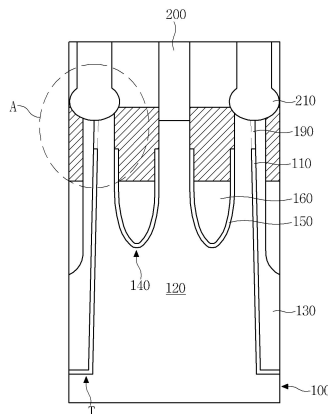
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 반도체 소자 및 그의 제조 방법

**(57) 요약**

본 발명은 매립 게이트를 포함하는 반도체 소자를 형성함에 있어서 활성영역을 정의하는 소자분리영역을 형성한 후, 활성영역의 측벽 산화막을 일부 제거한 다음에 제거된 측벽 산화막 영역에 실리콘을 성장시켜, 소스/드레인 영역 상에 위치하는 콘택플러그 형성 과정에서 공정 마진을 증가시키고 콘택플러그와 워드 라인 사이에 전기적 연결 등의 반도체 소자의 동작 신뢰성을 저하시키는 요인들을 제거할 수 있는 반도체 소자의 제조 방법을 제공한다.

**대표도** - 도2e



## 특허청구의 범위

### 청구항 1

반도체 기판을 식각하여 트렌치를 형성하는 단계;  
상기 트렌치 내에 측벽 절연막을 형성하는 단계;  
상기 측벽 절연막 상부에 절연막을 매립하여 활성영역을 정의하는 소자분리영역을 형성하는 단계;  
상기 활성영역 및 상기 소자분리영역 내에 매립 게이트를 형성하는 단계;  
상기 소자분리영역과 상기 활성영역이 맞닿는 상기 측벽 절연막을 식각하는 단계; 및  
상기 측벽 절연막이 식각된 영역에 상기 활성영역의 실리콘을 성장시켜 성장된 실리콘영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 2

청구항 1에 있어서,  
상기 측벽 절연막은 산화막(oxide)을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 3

청구항 1에 있어서,  
상기 측벽 절연막을 식각하는 단계는 건식 또는 습식 딥 아웃(dip out) 공정을 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 4

청구항 1에 있어서,  
상기 성장된 실리콘영역을 형성하는 단계 이후,  
이웃한 상기 매립 게이트 사이의 상기 활성영역 상부에 비트라인 콘택플러그를 형성하는 단계; 및  
상기 매립 게이트와 상기 소자분리영역 사이의 상기 활성영역 상부에 스토리지노드 콘택플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 5

청구항 1에 있어서,  
상기 성장된 실리콘영역은 SEG(Silicon Epitaxial Growth) 방법을 이용한 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 6

청구항 1에 있어서,  
상기 성장된 실리콘영역은 6nm ~12nm 확장된 폭을 갖는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 7

청구항 1에 있어서,  
상기 식각된 영역에 폴리실리콘을 증착하여 상기 성장된 실리콘 영역을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 8

반도체 기관 내 구비된 트렌치;  
 상기 트렌치 내에 구비된 측벽 절연막;  
 상기 측벽 절연막 상부에 절연막을 매립하여 활성영역을 정의하는 소자분리영역;  
 상기 활성영역 및 상기 소자분리영역 내에 구비된 매립 게이트; 및  
 상기 소자분리영역과 상기 활성영역 사이의 상기 활성영역의 실리콘이 성장되어 구비된 실리콘영역을 포함하는 것을 특징으로 하는 반도체 소자.

**청구항 9**

청구항 8에 있어서,  
 상기 측벽 절연막은 산화막(oxide)을 포함하는 것을 특징으로 하는 반도체 소자.

**청구항 10**

청구항 8에 있어서,  
 이웃한 상기 매립 게이트 사이의 상기 활성영역 상부에 구비된 비트라인 콘택플러그; 및  
 상기 매립 게이트와 상기 소자분리영역 사이의 상기 활성영역 상부에 구비된 스토리지노드 콘택플러그를 더 포함하는 것을 특징으로 하는 반도체 소자

**청구항 11**

청구항 8에 있어서,  
 상기 성장된 실리콘영역은 6nm ~12nm 확장된 폭을 갖는 것을 특징으로 하는 반도체 소자.

**청구항 12**

청구항 8에 있어서,  
 상기 소자분리영역과 상기 활성영역 사이에 매립된 폴리실리콘을 더 포함하는 것을 특징으로 하는 반도체 소자.

**명세서**

**기술분야**

[0001] 본 발명은 고집적 반도체 장치의 제조 방법에 관한 것으로, 특히 고집적 반도체 기억 장치 내 반도체 소자의 Rc 특성을 향상시킬 수 있는 제조 방법에 관한 것이다.

**배경기술**

[0002] 반도체 기억 장치는 캐패시터 및 트랜지스터로 구성된 단위셀을 다수 포함하고 있으며, 이중 캐패시터는 데이터를 임시 저장하기 위해 사용되고 트랜지스터는 환경에 따라 전기전도도가 변화하는 반도체의 성질을 이용하여 제어 신호(워드 라인)에 대응하여 비트 라인과 캐패시터간 데이터를 전달하기 위해 사용된다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)의 세 영역으로 구성되어 있으며, 게이트로 입력되는 제어 신호에 따라 소스와 드레인 간 전하의 이동이 일어난다. 소스와 드레인 간 전하의 이동은 채널(channel) 영역을 통해 이루어진다.

[0003] 통상적인 트랜지스터를 반도체 기관에 만드는 경우 반도체 기관에 게이트를 형성하고 게이트의 양 옆에 불순물을 도핑하여 소스와 드레인을 형성해왔다. 반도체 기억 장치의 데이터 저장용량이 증가하고 집적도는 높아지면서 각각의 단위셀의 크기는 점점 작게 제조되도록 요구되고 있다. 즉, 단위셀에 포함된 캐패시터와 트랜지스터의 디자인 규칙(Design Rule)이 감소하였고, 이에 따라 셀 트랜지스터의 채널 길이도 점점 줄어들면서 통상적인 트랜지스터에 단채널 효과 및 DIBL(Drain Induced Barrier Lower) 등이 발생하여 동작의 신뢰성이 저하되었다. 채널의 길이가 감소하면서 발생한 현상들은 셀 트랜지스터가 정상적인 동작을 수행할 수 있도록 문턱 전압을 유지할 경우 극복이 가능하다. 통상적으로, 트랜지스터의 채널이 짧아질수록 채널이 형성되는 영역에 불순물의 도

핑 농도를 증가시켜왔다.

[0004] 하지만, 디자인 규칙이 100nm 이하로 감소하면서 그만큼 채널 영역에 도핑 농도가 더 증가하는 것은 SN접합 (Storage Node(SN) junction)에서의 전계를 증가시켜 반도체 기억 장치의 리프레쉬 특성을 저하시키는 또 다른 문제를 야기한다. 이를 극복하기 위해 디자인 규칙이 감소하더라도 셀 트랜지스터의 채널 길이를 유지할 수 있도록 채널이 수직 방향으로 길게 확보된 3차원 채널 구조를 가진 셀 트랜지스터를 사용한다. 즉, 수평 방향의 채널 폭이 짧더라도 수직 방향으로 채널 길이를 확보한 만큼 도핑 농도를 감소시킬 수 있어 리프레쉬 특성이 나빠지는 것을 막는다.

[0005] 아울러, 반도체 소자의 집적도가 높아질수록 셀 트랜지스터에 연결된 워드 라인과 비트 라인 사이의 거리가 가까워진다. 이로 인해 발생하는 기생 캐패시턴스가 증가하면서 비트 라인을 통해 전달되는 데이터를 증폭하는 센스 앰프의 동작 마진이 악화되어 반도체 장치의 동작 신뢰성에 치명적인 영향을 끼치는 등의 단점이 발생하였다. 이러한 점을 극복하기 위해 비트 라인과 워드 라인 간의 기생 캐패시턴스를 줄이기 위해 워드 라인을 반도체 기관의 상부가 아닌 리세스 내에만 형성하는 매립 워드 라인 구조가 제안되었다. 매립 워드 라인 구조는 반도체 기관 내 형성된 리세스 내에 도전 물질을 형성하고 도전 물질의 상부를 절연막으로 덮어 워드 라인이 반도체 기관 내에 매립되도록 함으로써 소스/드레인이 형성되는 반도체 기관 상에 형성되는 비트 라인과 전기적인 격리를 보다 명확하게 할 수 있다.

[0006] 다만, 반도체 소자들의 집적도가 증가함에 따라 측벽 산화막, 활성 영역 또는 매립 워드라인(게이트)의 면적 및 두께가 축소되고 있고, 이러한 축소에 따른 소자 공정 측면에서 공정 마진이 부족하여 트랜지스터의 특성 불량 이 발생하고 있다.

## 발명의 내용

### 해결하려는 과제

[0007] 전술한 종래의 문제점을 해결하기 위하여, 본 발명은 매립 게이트를 포함하는 반도체 소자를 형성함에 있어서 활성영역을 정의하는 소자분리영역을 형성한 후, 활성영역의 측벽 산화막을 일부 제거한 다음에 제거된 측벽 산화막 영역에 실리콘을 성장시켜, 소스/드레인 영역 상에 위치하는 콘택플러그 형성 과정에서 공정 마진을 증가시키고 콘택플러그와 워드 라인 사이에 전기적 연결 등의 반도체 소자의 동작 신뢰성을 저하시키는 요인들을 제거할 수 있는 반도체 소자의 제조 방법을 제공한다.

### 과제의 해결 수단

[0008] 본 발명은 반도체 기관을 식각하여 트렌치를 형성하는 단계, 상기 트렌치 내에 측벽 절연막을 형성하는 단계, 상기 측벽 절연막 상부에 절연막을 매립하여 활성영역을 정의하는 소자분리영역을 형성하는 단계, 상기 활성영역 및 상기 소자분리영역 내에 매립 게이트를 형성하는 단계, 상기 소자분리영역과 상기 활성영역이 맞닿는 상기 측벽 절연막을 식각하는 단계 및 상기 측벽 절연막이 식각된 영역에 상기 활성영역의 실리콘을 성장시켜 성장된 실리콘영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법을 제공한다.

[0009] 바람직하게는, 상기 측벽 절연막은 산화막(oxide)을 포함하는 것을 특징으로 한다.

[0010] 바람직하게는, 상기 측벽 절연막을 식각하는 단계는 건식 또는 습식 딥 아웃(dip out) 공정을 이용하는 것을 특징으로 한다.

[0011] 바람직하게는, 상기 성장된 실리콘영역을 형성하는 단계 이후, 이웃한 상기 매립 게이트 사이의 상기 활성영역 상부에 비트라인 콘택플러그를 형성하는 단계 및 상기 매립 게이트와 상기 소자분리영역 사이의 상기 활성영역 상부에 스토리지노드 콘택플러그를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0012] 바람직하게는, 상기 성장된 실리콘영역은 SEG(Silicon Epitaxial Growth) 방법을 이용한 것을 특징으로 한다.

[0013] 바람직하게는, 상기 성장된 실리콘영역은 6nm ~12nm 확장된 폭을 갖는 것을 특징으로 한다.

[0014] 바람직하게는, 상기 식각된 영역에 폴리실리콘을 증착하여 상기 성장된 실리콘 영역을 형성하는 것을 특징으로 한다.

[0015] 아울러, 본 발명은 반도체 기관 내 구비된 트렌치, 상기 트렌치 내에 구비된 측벽 절연막, 상기 측벽 절연막 상부에 절연막을 매립하여 활성영역을 정의하는 소자분리영역, 상기 활성영역 및 상기 소자분리영역 내에 구비된

매립 게이트 및 상기 소자분리영역과 상기 활성영역 사이의 상기 활성영역의 실리콘이 성장되어 구비된 실리콘 영역을 포함하는 것을 특징으로 하는 반도체 소자를 제공한다.

- [0016] 바람직하게는, 상기 측벽 절연막은 산화막(oxide)을 포함하는 것을 특징으로 한다.
- [0017] 바람직하게는, 이웃한 상기 매립 게이트 사이의 상기 활성영역 상부에 구비된 비트라인 콘택플러그 및 상기 매립 게이트와 상기 소자분리영역 사이의 상기 활성영역 상부에 구비된 스토리지노드 콘택플러그를 더 포함하는 것을 특징으로 한다.
- [0018] 바람직하게는, 상기 성장된 실리콘영역은 6nm ~12nm 확장된 폭을 갖는 것을 특징으로 한다.
- [0019] 바람직하게는, 상기 소자분리영역과 상기 활성영역 사이에 매립된 폴리실리콘을 더 포함하는 것을 특징으로 한다.

**발명의 효과**

- [0020] 본 발명은 매립 게이트를 포함하는 반도체 소자를 형성함에 있어서 활성영역을 정의하는 소자분리영역을 형성한 후, 활성영역의 측벽 산화막을 일부 제거한 다음에 제거된 측벽 산화막 영역에 실리콘을 성장시켜, 소스/드레인 영역 상에 위치하는 콘택플러그 형성 과정에서 공정 마진을 증가시키고 콘택플러그와 워드 라인 사이에 전기적 연결 등의 반도체 소자의 동작 신뢰성을 저하시키는 요인들을 제거할 수 있는 장점이 있다.

**도면의 간단한 설명**

- [0021] 도 1은 본 발명의 일 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 평면도.  
 도 2a 내지 도 2e는 본 발명의 일 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 단면도들.  
 도 3은 본 발명에 따른 셀 어레이(Cell Array)의 구성을 설명하기 위한 블록도.  
 도 4는 본 발명에 따른 반도체 소자(Semiconductor Device)의 구성을 설명하기 위한 블록도.  
 도 5는 본 발명에 따른 반도체 모듈(Semiconductor Module)의 구성을 설명하기 위한 블록도.  
 도 6은 본 발명에 따른 반도체 시스템의(Semiconductor System) 구성을 설명하기 위한 블록도.  
 도 7은 본 발명에 따른 전자 유닛(Electronic Unit) 및 전자 시스템(Electronic System)의 구성을 설명하기 위한 블록도.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 본 발명의 실시예는 매립 게이트를 포함하는 반도체 기억 장치를 예로 들어 설명한다. 구체적으로는, 본 발명에 따른 반도체 소자의 제조 방법은 반도체 기억 장치 내 단위셀을 구성하는 셀 트랜지스터에 적용하여 워드 라인 과 비트 라인 사이의 기생 캐패시턴스 및 누설 전류를 줄여 반도체 소자의 동작 성능을 향상시킬 수 있는 기술이다. 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- [0023] 도 1은 본 발명의 실리콘 성장영역(190)을 구체적으로 도시한 평면도로서, 활성영역(120), 소자분리영역(130), 비트라인 콘택플러그(200) 및 스토리지노드 콘택플러그(210)을 포함한다. 구체적으로 보면, 활성영역(120)의 최 외곽이 성장된 실리콘 성장영역(190)으로 인하여 소스/드레인 영역 상에 위치하는 콘택플러그 형성 과정에서 공정 마진을 증가시키고 콘택플러그와 워드 라인 사이에 전기적 연결 등의 반도체 소자의 동작 신뢰성을 저하시키는 요인들을 제거할 수 있는 장점이 있다.
- [0024] 도 2a 내지 도 2e는 본 발명의 일 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 단면도로서, 도 1의 A-A' 절단면을 도시한 것이다.
- [0025] 도 2a를 참조하면, 반도체 기판(100)을 식각하여 트렌치(T)를 형성한다. 이때, 트렌치(T)는 2500Å ~ 3000Å 정도의 깊이로 형성하는 것이 바람직하다.
- [0026] 다음으로, 트렌치(T) 내의 반도체 기판(100) 상에 측벽 산화막(110, Wall Oxide)을 형성한 후, 측벽 산화막(110)을 포함한 반도체 기판(100)의 결과물 상부에 라이너 질화막(도시안됨) 및 라이너 산화막(도시안됨)을 차례로 형성한다. 여기서, 라이너 질화막은 반도체 소자의 스트레스를 완화시키고 보론(Boron)과 같은 도핑 원소의 확산을 방지하여 리프레쉬(refresh) 특성을 개선하는 데 목적이 있다.

- [0027] 그리고, 트렌치(T) 내에 완전히 매립되도록 절연막(도시안됨)을 증착한 다음, 반도체 기판(100)이 노출되도록 절연막을 CMP(Chemical Mechanical Polishing)와 같은 방법을 이용하여 평탄화 식각하여 활성영역(120)을 정의하는 소자분리영역(130)을 형성한다. 이때, 절연막은 SOD(Spin-On Dielectric)막, HDP(High Density Plasma)막 및 SOD막과 HDP막의 이중막 중 어느 하나로 형성하는 것이 바람직하다.
- [0028] 다음에는, 활성영역(120) 및 소자분리영역(130) 상에 감광막(미도시)을 도포한 후, 매립 게이트가 형성될 위치를 정의한 마스크를 사용하여 노광 공정을 수행함으로써 감광막을 패터닝한다. 패터닝된 감광막을 기준으로 노출된 활성영역(120) 및 소자분리영역(130)을 식각하여 리세스(140)를 형성한다. 이때, 리세스(140)는 1100Å ~ 1300Å으로 형성하며, 하나의 활성 영역에는 두 개의 리세스(208)를 형성하고, 소자분리영역(130) 상에는 하나의 리세스(140)를 형성한다. 도시되지 않았지만, 리세스(140)의 하부에 이온주입을 통해 채널 영역을 형성하고, 리세스(140)의 하부 및 측벽에는 게이트 절연막(150)을 형성한다.
- [0029] 다음에는, 게이트 절연막(150) 상에 도전 물질을 일정 두께로 증착하여 리세스(140)가 도전물질로 매립되도록 한다. 이때, 도전물질은 텅스텐(W) 등과 같은 금속 물질을 포함할 수 있다. 게이트의 대표적인 구성물질인 폴리실리콘과 달리, 금속물은 금속과 실리콘 간의 전하 이동 등과 관련된 물리적 성질의 차이를 이용하여 게이트의 문턱전압의 마진을 확보하는데 유리하다.
- [0030] 다음으로, 도전물질을 식각하기 위해 에치백(etch-back) 공정을 수행하여 리세스(140)의 하부에 매립 게이트(160)를 형성한다. 이때, 에치백(etch-back) 공정의 식각목표 깊이는 300Å ~ 400Å 정도로 할 수 있다. 이 경우, 매립 게이트(160)는 반도체 기판(100) 내 1100Å ~ 1300Å에서 300Å ~ 400Å의 깊이에서 형성된다. 리세스(140)의 측벽에 금속 잔유물을 제거하기 위해, 에치백 공정 후에는 세정 공정을 수행한다.
- [0031] 도 2b를 참조하면, 리세스(140) 내 매립 게이트(160) 상에 절연막(170)을 형성한다. 먼저, 절연막(170)을 구성하는 절연물질을 일정 두께로 증착한 뒤, 활성영역(120)이 노출될 때까지 평탄화 식각 공정을 수행하여 매립 게이트(160) 상에 일정 두께를 남긴다. 이때, 절연막(170)은 산화막(Oxide) 또는 질화막(Nitride)을 포함할 수 있다. 또한, 절연막(170)은 최소 10Å ~ 200Å 정도의 두께 이상으로 형성되어야 하며, 매립 게이트(160)와 소스/드레인 영역 또는 비트라인 사이에 발생하는 기생 캐패시턴스와 리세스(140)의 측벽에 형성된 전계로 인한 GIDL(Gate Induced Drain Leakage)을 포함한 누설전류를 줄일 수 있도록 두께를 조정해야 한다. 예를 들어, 절연막(170)의 두께는 소스/드레인 영역의 이온주입 최대 깊이나 저장노드에 데이터가 저장되었을 때 이온주입 정션이 확장될 수 있는 정도에 따라 결정할 수 있다.
- [0032] 도 2c를 참조하면, 건식 또는 습식 딥 아웃(dip out)을 이용하여 노출된 측벽 산화막(110)을 일부 식각하여 홀(180, hole)을 형성한다.
- [0033] 도 2d 및 도 2e를 참조하면, 홀(180)에 활성영역(120)의 실리콘(Si)을 선택적으로 에피택셜 성장시켜 실리콘 성장영역(190)을 형성한다. 여기서, 홀(180)에 폴리실리콘(Polysilicon)을 매립하여 활성영역(120)과 스토리지노드 콘택플러그(210) 간에 면적을 확보할 수 있다.
- [0034] 이후, 두 개의 이웃한 매립 게이트(160) 사이에 연결되는 비트 라인 콘택플러그(200)를 형성하고, 매립 게이트(160)와 소자분리영역(130) 사이에는 스토리지노드 콘택플러그(210)를 형성한다. 도시되지는 않았지만, 비트라인 콘택플러그(200) 상에는 비트 라인(미도시)을 형성하고, 스토리지노드 콘택플러그(210) 상에는 캐패시터(미도시)를 형성하는 데, 이는 당업자에게 익히 잘 알려진 내용으로 여기서는 구체적인 설명을 생략한다.
- [0035] 도 3은 본 발명에 따른 셀 어레이의 구성을 설명하기 위한 블록도이다.
- [0036] 도 3을 참조하면, 셀 어레이(Cell Array)는 다수의 메모리 셀을 포함하며, 각각의 메모리 셀은 하나의 트랜지스터(Transistor)와 하나의 캐패시터(Capacitor)로 이루어져 있다. 이러한 메모리 셀들은 비트라인(BL1, ..., BLn)과 워드라인(WL1, ..., WLm)의 교차점에 위치한다. 메모리 셀들은 킬럼 디코더 및 로우 디코더에 의해서 선택된 비트라인(BL1, ..., BLn) 및 워드라인(WL1, ..., WLm)에 인가된 전압에 기초하여 데이터를 저장하거나 출력한다.
- [0037] 도시된 바와 같이, 셀 어레이에서 비트라인 (BL1, ..., BLn)은 제 1 방향(즉, 비트라인 방향)을 길이 방향으로 형성되고 워드라인 (WL1, ..., WLm)은 제 2 방향(즉, 워드라인 방향)을 길이 방향으로 형성되어 서로 교차하는 형태로 배열된다. 트랜지스터의 제 1 단자(예를 들어, 드레인 단자)는 비트라인(BL1, ..., BLn)에 연결되고, 제 2 단자(예를 들어, 소스 단자)는 캐패시터에 연결되며, 제 3 단자(예를 들어, 게이트 단자)는 워드라인(WL1, ..., WLm)에 연결된다. 이러한 비트라인들(BL1, ..., BLn), 워드라인들(WL1, ..., WLm)을 포함하는 다수의 메모리 셀들이 반도체 셀 어레이의 내에 위치한다.

- [0038] 도 4는 본 발명에 따른 반도체 소자의 구성을 설명하기 위한 블록도이다.
- [0039] 도 4를 참조하면, 반도체 소자는 셀 어레이(Cell Array), 로우 디코더(Row Decoder), 컬럼 디코더(Column Decoder) 및 센스 앰프(Sense Amplifier, SA)를 포함할 수 있다. 로우 디코더는 반도체 셀 어레이의 워드라인들 중에서 독출 동작 또는 기입 동작을 수행할 메모리 셀에 상응하는 워드라인을 선택하여 반도체 셀 어레이에 워드라인 선택 신호(RS)를 출력한다. 그리고, 컬럼 디코더는 반도체 셀 어레이의 비트라인들 중에서 독출 동작 또는 기입 동작을 수행할 메모리 셀에 상응하는 비트라인을 선택하여 반도체 셀 어레이에 비트라인 선택 신호(CS)를 출력한다. 또한, 센스 앰프들은 로우 디코더 및 컬럼 디코더에 의해 선택된 메모리 셀에 저장된 데이터(BDS)를 센싱한다.
- [0040] 이 외에 반도체 소자는 마이크로 프로세서(Micro-Processor)와 연결되거나 메모리 컨트롤러(Memory Controller)와 연결될 수 있으며, 반도체 소자는 마이크로 프로세서로부터 WE\*, RAS\* 및 CAS\*와 같은 제어 신호를 받고, 입출력 회로를 통하여 데이터를 받아서 저장한다. 이러한 반도체 소자는 디램(Dynamic Random Access Memory), 피램(Random Access Memory), 램램(Random Access Memory), 낸드 플래쉬, CIS(CMOS Image Sensor) 등에 적용할 수 있다. 특히, 디램을 이용하여 데스크탑, 노트북, 서버에 사용되거나, 그래픽 메모리 및 모바일 메모리에도 이용할 수 있으며, 낸드 플래쉬는 메모리 스틱, MMC, SD, CF, xD Picture Card, USB Flash Drive 등과 같은 휴대용 저장 장치, MP3, PMP, 디지털 카메라, 캠코더, 메모리카드, USB, 게임기, 네비게이션, 노트북 및 데스크탑 컴퓨터 및 핸드폰 등 다양한 디지털 어플리케이션에 적용할 수 있으며, CIS는 디지털 기기에서 일종의 전자 필름 역할을 하는 촬상 소자로서, 카메라 폰, 웹 카메라, 의학용 소형 촬영장비에 적용가능하다.
- [0041] 도 5는 본 발명에 따른 반도체 모듈의 구성을 설명하기 위한 블록도이다.
- [0042] 도 5를 참조하면, 반도체 모듈은 모듈 기관상에 탑재된 복수 개의 반도체 소자들, 반도체 소자가 외부의 제어기(미도시)로부터 제어신호(어드레스 신호(ADDR), 커맨드 신호(CMD), 클럭 신호(CLK))를 제공받을 수 있도록 해주는 커맨드 링크(Command Link) 및 반도체 소자와 연결되어 데이터를 전송하는 데이터 링크(Data Link)를 포함한다.
- [0043] 이때, 반도체 소자는 예컨대 도 4에 대한 설명에서 예시된 반도체 소자들이 사용될 수 있다. 그리고, 커맨드 링크 및 데이터 링크는 통상의 반도체 모듈에서 사용되는 것들과 동일 또는 유사하게 형성될 수 있다.
- [0044] 도 5에서는 모듈 기관의 전면에 8개의 반도체 소자(chip)들이 탑재되어 있는 모습을 도시하고 있으나 모듈 기관의 후면에도 동일하게 반도체 소자들이 탑재될 수 있다. 즉, 모듈 기관의 일측 또는 양측에 반도체 소자들이 탑재될 수 있으며, 탑재되는 반도체 소자의 수는 도 5에 한정되지 않는다. 또한, 모듈 기관의 재료 및 구조도 특별히 제한되지 않는다.
- [0045] 도 6은 본 발명에 따른 반도체 시스템의 구성을 설명하기 위한 블록도이다.
- [0046] 도 6을 참조하면, 반도체 시스템은 복수 개의 반도체 소자들이 탑재된 적어도 하나의 반도체 모듈 및 반도체 모듈과 외부의 시스템(미도시) 사이에서 양방향 인터페이스를 제공하여 반도체 모듈의 동작을 제어하는 제어기(Controller)를 포함한다. 이러한 제어기는 통상의 데이터 프로세싱 시스템에서 복수의 반도체 모듈들의 동작을 제어하기 위한 제어기와 그 기능이 동일 또는 유사하게 형성될 수 있다. 따라서, 본 실시 예에서는 이에 대한 상세한 설명은 생략한다. 이때, 반도체 모듈은 예컨대 도 5에 예시된 반도체 모듈이 사용될 수 있다.
- [0047] 도 7은 본 발명에 따른 전자 유닛 및 전자 시스템의 구성을 설명하기 위한 블록도이다.
- [0048] 도 7의 왼쪽 도면을 참조하면, 본 발명에 따른 전자 유닛(Electronic Unit)은 반도체 시스템(Semiconductor System)과 전기적으로 연결되는 프로세서(Processor)를 포함한다. 이때, 반도체 시스템은 도 6의 반도체 시스템과 동일하다. 여기서, 프로세서는 CPU(Central Processing Unit), MPU(Micro Processor Unit), MCU(Micro Controller Unit), GPU(Graphics Processing Unit) 및 DSP(Digital Signal Processor)를 포함한다.
- [0049] 여기서, CPU 또는 MPU는 산술, 논리 연산 유닛인 ALU(Arithmetic Logic Unit)와 명령어를 읽어오고 해석해서 각 유닛을 제어하는 컨트롤 유닛(CU, control unit)을 묶은 형태이다. 프로세서가 CPU 또는 MPU일 경우 전자 유닛은 컴퓨터 기기 또는 모바일 기기를 포함하는 것이 바람직하다. 또한, GPU는 그래픽을 위한 CPU로서 소수점을 가진 숫자들을 계산하는데 사용되는 것으로 그래픽들을 실시간 화면으로 그려주기 위한 프로세스이다. 프로세서가 GPU인 경우 전자 유닛은 그래픽 기기를 포함하는 것이 바람직하다. 그리고, DSP는 아날로그 신호(예를 들면 음성)를 디지털로 고속 변환 후 계산하여 그 결과를 이용하거나 다시 아날로그로 변환하여 사용하는 프로세스를 일컫는다. DSP는 주로 디지털 값을 계산한다. 프로세서가 DSP인 경우 전자 유닛은 음향 및 영상 기기를 포함하

는 것이 바람직하다.

[0050] 이 외에도 프로세서는 APU(Accelerate Procesor Unit)를 포함하는데 이는 CPU를 GPU에 통합하는 형태로써 그래픽 카드의 역할을 포함하는 형태의 프로세서이다.

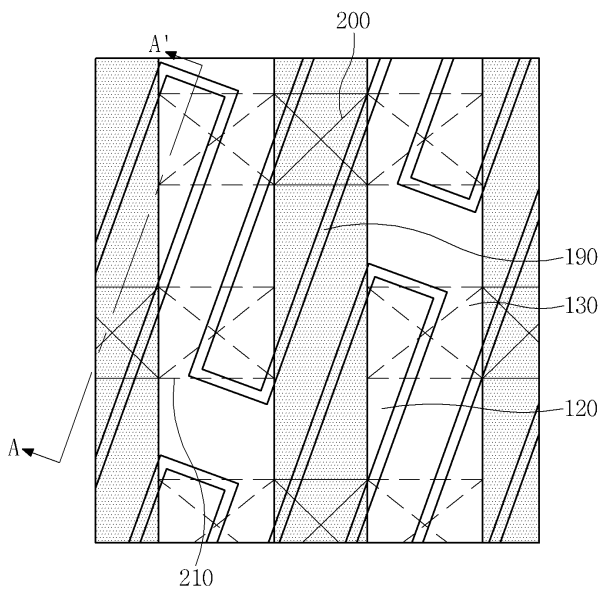
[0051] 도 7의 오른쪽 도면을 참조하면, 전자 시스템(Electronic System)은 전자 유닛과 전기적으로 연결되는 하나 또는 다수의 인터페이스(Interface)를 포함한다. 이때, 전자 유닛은 도 7의 전자 유닛과 동일하다. 여기서, 인터페이스는 모니터, 키보드, 프린터, 포인팅 디바이스(마우스), USB, 스위치, 카드 리더기, 키패드, 디스펜서, 전화기, 디스플레이 또는 스피커를 포함한다. 하지만 이에 한정되지 않고 변경 가능하다.

[0052] 전술한 바와 같이, 본 발명은 매립 게이트를 포함하는 반도체 소자를 형성함에 있어서 활성영역을 정의하는 소자분리영역을 형성한 후, 활성영역의 측벽 산화막을 일부 제거한 다음에 제거된 측벽 산화막 영역에 실리콘을 성장시켜, 소스/드레인 영역 상에 위치하는 콘택플러그 형성 과정에서 공정 마진을 증가시키고 콘택플러그와 워드 라인 사이에 전기적 연결 등의 반도체 소자의 동작 신뢰성을 저하시키는 요인들을 제거할 수 있는 장점이 있다.

[0053] 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

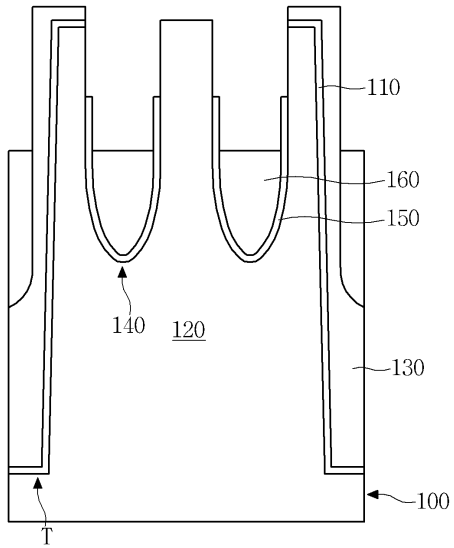
**도면**

**도면1**

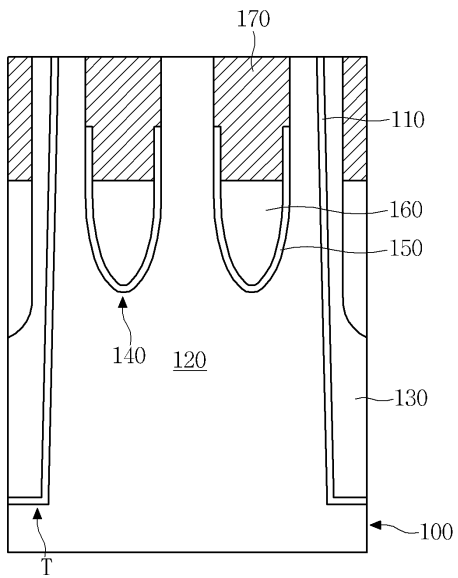




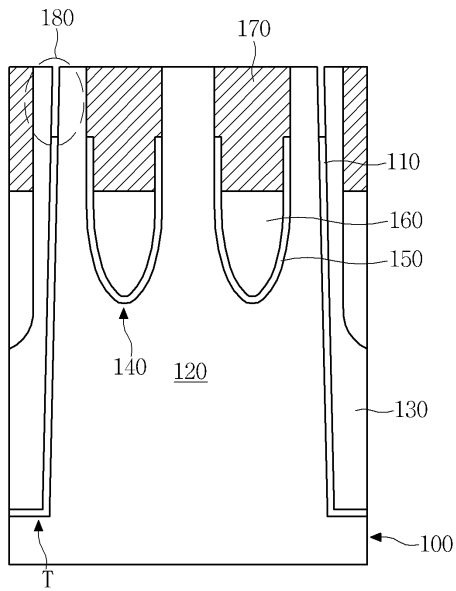
도면2a



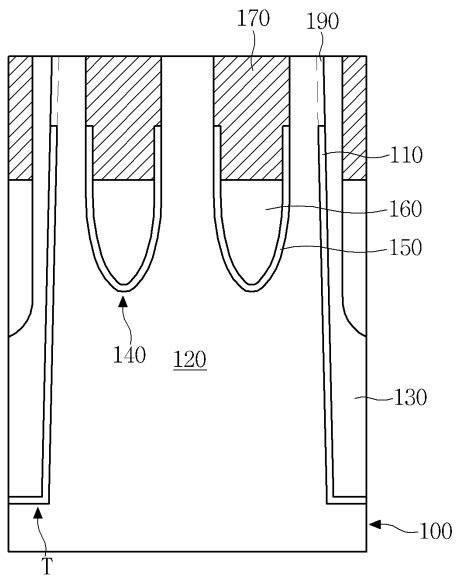
도면2b



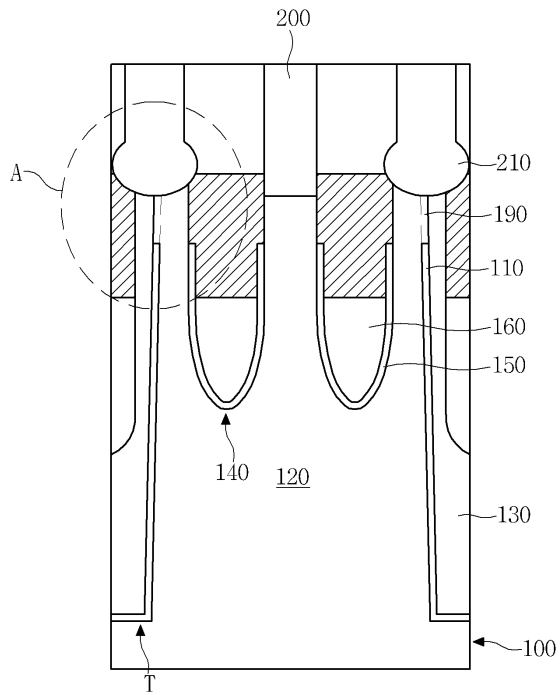
도면2c



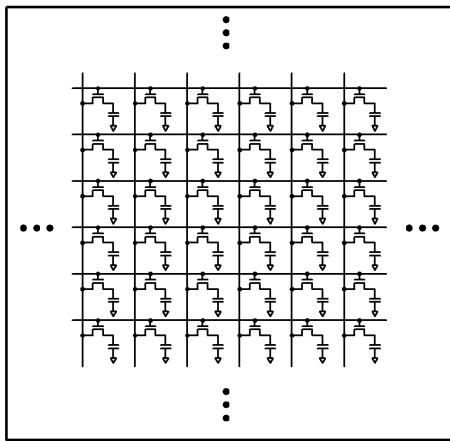
도면2d



도면2e

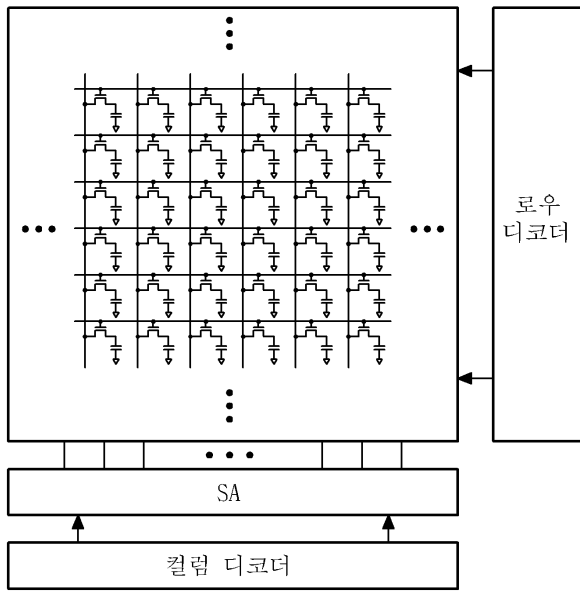


도면3

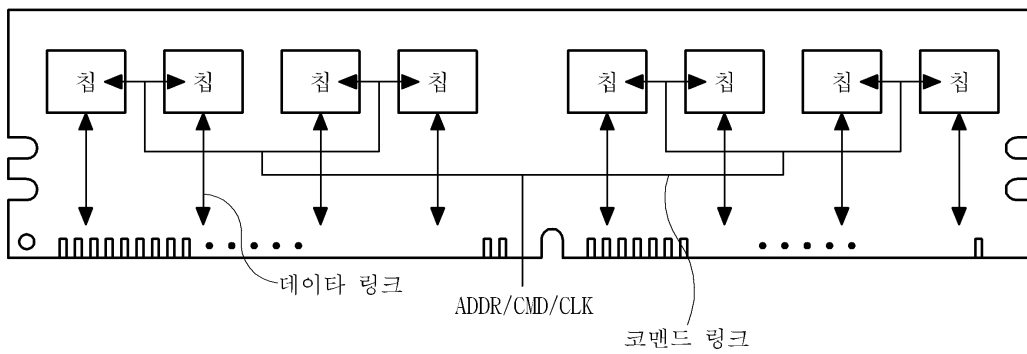


셀 어레이

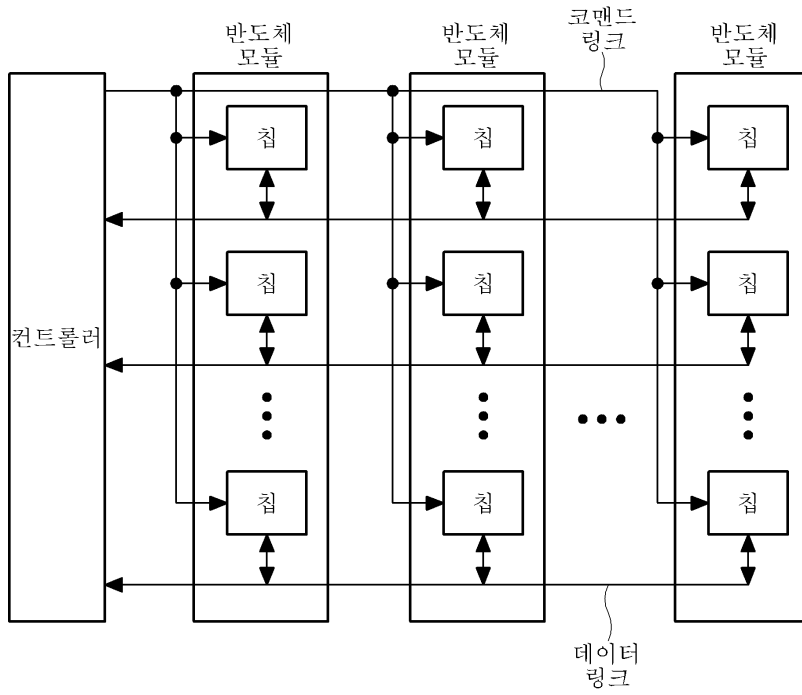
도면4



도면5



도면6



도면7

