



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I475690 B

(45) 公告日：中華民國 104 (2015) 年 03 月 01 日

(21) 申請案號：099136741

(22) 申請日：中華民國 99 (2010) 年 10 月 27 日

(51) Int. Cl. : **H01L29/772 (2006.01)****H01L29/778 (2006.01)**

(30) 優先權：2010/07/02 美國

12/803,717

(71) 申請人：穩懋半導體股份有限公司 (中華民國) WIN SEMICONDUCTORS CORP. (TW)

桃園市龜山區華亞科技園區科技七路 69 號

(72) 發明人：高谷信一郎 TAKATANI, SHINICHIRO (JP)

(74) 代理人：潘海濤；袁鐵生

(56) 參考文獻：

JP 2008-21949A

US 2010/0163929A1

審查人員：郭子鳳

申請專利範圍項數：9 項 圖式數：16 共 40 頁

(54) 名稱

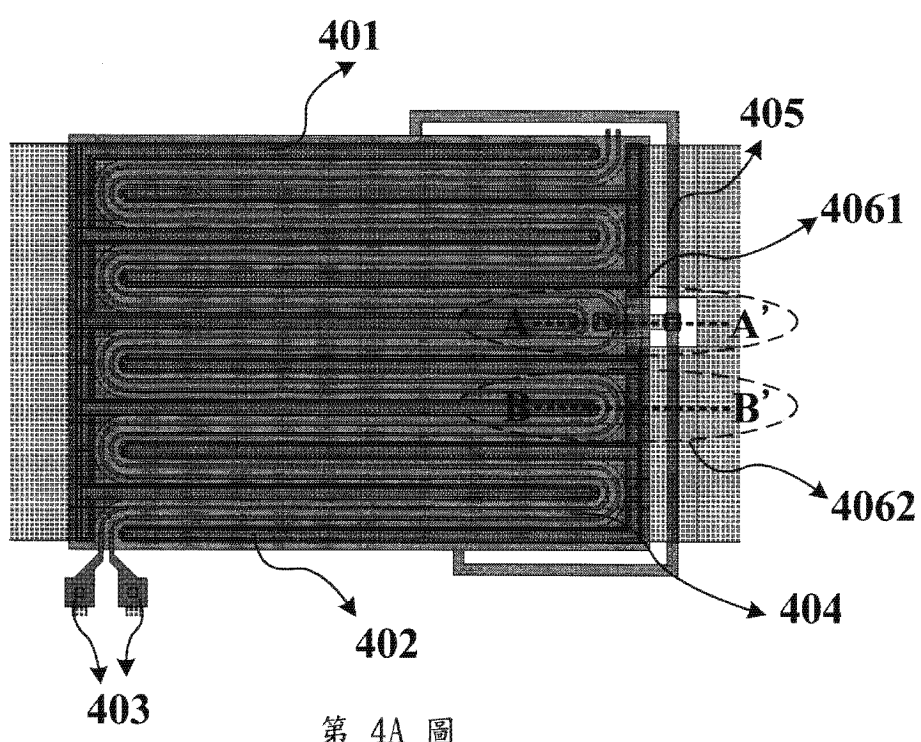
多閘半導體裝置

MULTI-GATE SEMICONDUCTOR DEVICES

(57) 摘要

本發明提供一多閘半導體裝置，其閘極間導電區域被連接到平衡電阻器。該多閘半導體裝置包括一基板，一形成於基板上之多層結構，一第一歐姆電極，一第二歐姆電極，複數個閘極電極，至少一個導電區域，以及至少一個電阻元件。實際使用時，該多閘半導體裝置具有以下之優點：可減少沿導電區域之電壓降且裝置只有最小的改變，改善元件關閉狀態之線性度而仍維持低的訊號插入損耗，以及可使電阻器所佔之區域及晶片總尺寸最小化。

A multi-gate semiconductor device with inter-gate conductive regions being connected to balance resistors is provided. The multi-gate semiconductor device comprises a substrate, a multilayer structure formed upon the substrate, a first ohmic electrode, a second ohmic electrode, a plural of gate electrodes, at least one conductive region, and at least one resistive component. When put into practice, the multi-gate semiconductor device is advantageous in reducing the voltage drop along the conductive region with a minimal change in device layout, improving the OFF-state linearity while retaining a low insertion loss, and minimizing the area occupied by the resistor and hence the total chip size.



- 401 . . . 源極
- 402 . . . 泄極
- 403 . . . 閘極
- 404 . . . 閘間導電性區域
- 405 . . . 電阻元件
- 4061、4062 . . . 轉彎區域

第 4A 圖

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體場效電晶體，尤指關於一種場效電晶體之開關元件，其元件之導通與不導通可被控制。

【先前技術】

開關元件已經被廣泛的應用於多功能積體無線電路上，可做為切換射頻(RF)信號在電路元件各路徑間之開關元件。天線開關是這種射頻開關元件之典型應用，而其中，開關元件則連接於天線與發射器及接收器之間。為了避免發射信號之損失及溢漏到接收部份，天線開關元件需要在“打開狀態”(ON-state)時具有低的插入損耗(insertion loss)，而在“關閉狀態”(OFF-state)時則必須具有高度的訊號隔離能力。雖然有許多裝置或元件可提供這種功能，但在單石微波積體電路(monolithic microwave integrated circuits；MMIC's)中，多半是以多閘極場效電晶體(FET)來做為天線開關元件，尤其是多閘極高電子遷移電晶體(high-electron-mobility transistors；HEMT)，或偽高電子遷移電晶體(pseudomorphic HEMT；pHEMT)。

以多閘極 FET 做為開關元件之主要問題在於開關元件在關閉狀態時之線性度問題。圖 1 顯示一典型雙閘極 FET 元件結構之橫切面，其一般包括一基板 101，一緩衝層 102，一通道層 103，一低導電層 104，一高導電層 105，二個歐姆電極 106，及二個配置在二個歐姆電極 106 之間的蕭特基(Schottky)電極 107，該二個歐

姆電極 106 經由高導電層 105 與通道層 103 形成歐姆性接觸，而做為 FET 之源極與汲極。另一方面，該二個蕭特基電極 107 做為 FET 之多閘極電極，其藉由凹槽蝕刻來與低導電層 104 形成蕭基接觸。在雙閘極 FET 元件中，在二個相鄰的閘電極 107 之間有一導電區域 108。當雙閘極 FET 處於打開狀態時，此導電區域 108 對元件的特性影響並不大。然而，當雙閘極 FET 處於關閉狀態時，此時通道被關閉，且二個相鄰的閘極 107 之間的導電區域 108 的電位變成浮動。因此在關閉狀態時，不論施加於閘極與歐姆電極間之的反向電壓多大，該導電區域 108 的浮動電位將被偏壓至通道臨界電壓(threshold voltage)之下。因此，對於防止較大輸入訊號漏經 FET，將會形成一最低的電壓操作範圍。此外，由於元件電容值在臨界電壓附近會隨電壓產生大幅度變化，故當 FET 元件處於關閉狀態時，會引生較大的非線性特性；也因此，天線開關在處理高功率射頻訊號時，常會造成明顯的訊號失真。

為改進多閘極 FET 開關元件處於關閉狀態時的線性度問題，閘極間導電區域必需以導線或電阻元件連接在一起。然而，閘極間之間隔寬度通常小於電阻元件或導線的寬度。若為了方便連接導線或電阻器而將閘極間隔寬度增加，則元件處於打開狀態時的電阻以及插入損耗也將會隨之增加。因此，閘極間隔寬度必需儘可能的小。為解決此問題，在過去通常會在閘極電極的一端可以製作一間隔較寬的區域，以便將導電區域連接到電阻器來平衡電位，如圖 2A 及 2B 之所示。藉由與電阻器的連接，閘極間導電區

本發明所提供關於多閘極 FET 開關元件的設計，其優點包括：

1. 減少沿導電區域之電壓降，且在元件平面配置有最小的改變；
2. 改善元件處於關閉狀態時之線性度，同時仍可維持低的訊號插入損耗；
3. 使電阻器所佔之區域及總晶片尺寸最小化。

為對於本發明之特點與作用能有更深入之瞭解，茲藉實施例配合圖式詳述於後。

【實施方式】

圖 3 係為本發明之磊晶層結構。基本上，此結構是形成於基板 310 上之多層結構。該基板係一半絕緣基板，其較佳為半絕緣砷化鎵(GaAs)基板，或是其它適合磊晶生長多層結構之基板。在準備好基板 310 之後，利用熟知技術，像分子束磊晶(molecular beam epitaxy; MBE)，或是金屬有機化學氣相沉積(metalorganic chemical vapor deposition; MOCVD)等，在基板 310 上生長多層結構 320。多層結構一般包括一緩衝層 321，一通道層 322，一低導電層 323，及一高導電層 324 等。

多層結構 320 可被設計成 HEMT 結構，或是 pHEMT 結構。下面將簡要說明 pHEMT 之多層結構。

一典型 pHEMT 多層結構包括一緩衝層，該緩衝層一般由 AlGaAs 層或 AlGaAs/GaAs 多層堆疊結構所形構成；一底部之 AlGaAs 調制摻雜層，該調制摻雜層含有一厚度約 10 nm 的高度 N

405。圖中可以清楚看到閘極間隔較窄，且金屬導線層 408 沒有連接到其下之電阻元件 405。電阻元件 405 亦連接到指形源極與指形汲極之最外指電極，藉此使導電區域之電壓可被穩定。

雖然為了方便形成歐姆接觸電極而在轉彎處加寬閘極間距，但 FET 沿指形源極與汲極之主體仍維持其原來的閘極間距；因此，對元件特性的影響(如電阻)將減至最低。

此外，電阻元件係設置於 FET 之周圍，因此可減少電阻元件所佔之面積。電阻元件也可設置於金屬導電層之下面，藉此保持導線金屬到源電極與汲極電極之良好的電性連接。

由下面簡單的估算，可了解將閘極間導電區域與電阻元件之連接點設計在靠近閘極電極中間的優點。例如，以閘極間隔為 $1\ \mu\text{m}$ ，而閘極寬為 $4\ \text{mm}$ 之三閘極 HEMT 而言，其閘極間導電區域係由高度摻雜的 GaAs 覆蓋層及下面之通道層所形成，具有電阻率約 $R_s=150\ \Omega/\square$ ，故由導電區域之一端到另一端之總電阻約 $R=600\ \text{k}\Omega$ 。當電阻元件連接到曲折閘極之中點時，由連接點所看到之總電阻將減少一半，亦即， $R=300\ \text{k}\Omega$ 。此意謂著，對相同之漏電流而言，與將電阻元件連接到閘極之一端時相比，其電壓降可減少一半。當此三閘極元件操作於 $V_g=-2.5\ \text{V}$ 之閘極電壓時，其漏電流於室溫下約 $0.1\ \mu\text{A}/\text{mm}$ 。然而，當其操作溫度上升到 85°C 時，漏電流會上升到 $1.3\ \mu\text{A}/\text{mm}$ 。這樣大的漏電流將產生更大的電壓降，而導至裝置線性度降低。將電阻元件連接到曲折纏繞閘極之中點可使電壓降減少一半，藉此將可維持良好的元件線性

度，尤其操作於較高之溫度時。

應注意到，平衡電阻元件之電阻值一般介於 $10\text{k}\Omega$ 到 $20\text{k}\Omega$ 之間，其比閘極間導電區域之電阻小很多。

如上所示，閘極間導電區域與電阻元件間之接觸點並不必然設置於閘電極之中點。而且，接觸點之數目也不限制為一點；利用設置於閘電極不同位置之複數個接觸點及複數個電阻元件也是可行。下面將說明本發明其它可能的實施例：不同數目的閘極電極及電阻元件接觸點的組合。

2. 閘極間區域具有二個接觸點的雙閘極 FET(1)：

圖 5 顯示一具有二個接觸點電性連接至二個平台式電阻器之雙閘極 FET 實施例。在此實施例中，連接閘極間導電區域與第一個平台式電阻元件之第一個接觸點設置於第一個轉彎處，其位於離開閘電極一端之閘極寬度的三分之一附近。連接閘極間導電區域與第二個平台式電阻元件的第二個接觸點設置於第二個轉彎處，其位於離開閘電極另一端之閘極寬度的三分之一附近。在第一個及第二個轉彎處，二個閘極電極有較寬的閘極間隔，有助於閘極間導電區域與平台式電阻元件之間的接觸。在本實施例中，第一個電阻元件由最外面之指形汲極電極連接到第一個接觸點，而後連接到源極電極之端點。另一方面，第一個接觸點另將第二個電阻元件連接到第二個接觸點。

3. 閘極間區域具有二個接觸點之雙閘極 FET(2)：

圖 6 顯示一具有二個接觸點電性連接到二個平台式電阻器之雙閘 FET 之另一實施例。在此實施例中，連接閘極間導電區域與第一個平台式電阻元件的第一個接觸點設置於第一個轉彎處，其位於閘極電極之一端點附近。連接閘極間導電區域與第二個平台式電阻元件的第二個接觸點係設置於第二個轉彎處，其位於閘極電極之另一端點附近。在第一及第二轉彎處，二個閘極具有較寬之閘極間隔，有助於閘極間導電區域與平台式電阻元件之間的電性接觸。在此實施例中，第一個電阻元件由最外面的汲極電極指連接到第一個接觸點，而第二個電阻元件則由最外面的源電極指連接到第二個接觸點。源極與汲極經由第一個電阻元件，第二個電阻元件及連接第一個與第二個電阻元件之閘極間導電區域而形成電性連接。故，縱使 FET 處於關閉狀態，亦可確保源極、汲極、及閘極間導電區域具有相同的穩定電壓。

4. 單一接觸點連接到單一電阻元件之雙閘極 FET：

圖 7 顯示一具有單一接觸點電性連接到單一電阻元件之雙閘 FET 實施例。在此實施例中，將閘極間導電區域連接到一平台式電阻元件之第一接觸點係設置於第一轉彎處，其位於閘極電極之一端附近。在此第一轉彎處，二個閘極具有較寬的閘極間隔，有助於閘極間導電區域與平台式電阻元件間之電性接觸。在此實施例中，該第一電阻元件由最外面之汲極電極指連接到第一接觸

點。在圖 7 所示之配置中，在源極與閘極間導電區域之間並沒有經由電阻元件連接。在源極與汲極之間可增設一電阻元件，用來確保縱使在 FET 處在關閉狀態時，源極、汲極，與閘極間導電區域均具有近乎相同的電壓。

5. 各閘極間區域具有單一接觸點的三閘極 FET(3)：

圖 8 顯示一各閘極間導電區域僅有單一接觸點連接到單一平台式電阻器之三閘極 FET 之一實施例。對三閘極 FET 而言，在三個閘極電極之間具有二個閘極間導電區域。因此，較佳之連接方式是將此二個導電區域均連接到電阻元件。在本實施例中，設於第一轉彎處之第一接觸點連接第一閘極間導電區域與平台式電阻元件。設於第二轉彎處之第二接觸點連接第二閘極間導電區域與平台式電阻元件。為了幫助各閘極間導電區域與平台式電阻元件之間的電性連接，第一閘極間導電區域在第一轉彎處具有一較寬的閘極間隔，而第二閘極間導電區域在第二轉彎處具有一較寬的閘極間隔。在本實施例中，只有使用一個平台式電阻元件，該電阻元件由最外面之汲極電極指連接到與第一閘極間導電區域相連的第一接觸點，而後再連接到與第二閘極間導電區域相連的第二接觸點，最後連接到最外面的源極電極指。值得注意的是，該二個轉彎處不必要位於離開閘極各端之閘極寬度三分之一處，如圖 8 所示。例如，它們可設置於位於曲折纏繞閘極之中點附近的二個相鄰的轉彎處。

6. 各閘極間區域有一接觸點的三閘 FET(2)：

圖 9 顯示一三閘極 FET 之另一實施例，其各閘極間導電區域各具有一個接觸點。在此實施例中，設置於第一轉彎處之第一接觸點連接第一閘極間導電區域與第一電阻元件。設置於第二轉彎處之第二接觸點連接第二閘極間導電區域與第二電阻元件。為了幫助各閘極間導電區域與平台式電阻元件間的電性接觸，第一閘極間導電區域在第一轉彎處有較寬的閘極間隔，而第二閘極間導電區域在第二轉彎處亦有一較寬的閘極間隔。在本實施例中，使用了二個平台式電阻元件。第一電阻元件由最外面的汲極電極指連接到與第一閘極間導電區域連接的第一接觸點，而第二電阻元件則由最外面的源極電極指連接到與第二閘極間導電區域連接的第二接觸點，在圖 9 中，在第一閘極間導電區域與第二閘極間導電區域並無電阻元件連接。在源極與汲極之間可增設一電阻元件，用來確保縱使 FET 在關閉狀態時，源極、汲極、第一閘極間導電區域，與第二閘極間導電區域仍然具有幾乎相同的穩定電壓。

7. 各閘極間區域各具有一個接觸點的三閘極 FET(3)：

圖 10 顯示一三閘極 FET 之另一實施例，其中各閘極間導電區域各具有一個接觸點。在本實施例中，設置於第一轉彎處之第一接觸點連接第一閘極間導電區域與第一電阻元件。設置於第二轉彎處之第二接觸點連接第二閘極間導電區域與第二電阻元件。為

了幫助各閘極間導電區域與平台式電阻元件間的電性接觸，第一閘極間導電區域在第一轉彎處有較寬的閘極間隔，而第二閘極間導電區域在第二轉彎處有一較寬的閘極間隔。在本實施例中，使用到二個平台式電阻元件。第一電阻元件由最外面的汲極電極指連接到與第一閘極間導電區域連接的第一接觸點，而第二電阻元件由第一電阻元件二端之間的一點連接到與第二閘極間導電區域連接的第二接觸點。第二閘極間導電區域經由第二電阻元件，及第一電阻元件之部份電性連接到最外面的汲極電極指。或者，第二電阻元件可直接連接到最外面的汲極電極指。在圖 10 中，第二閘極間導電區域與源極之間並沒有連接的電阻元件。在源極與汲極之間可增設一電阻元件，用來確保縱使 FET 在關閉狀態時，源極、汲極、第一閘極間導電區域，與第二閘極間導電區域仍然具有近乎相同的穩定電壓。

8. 二個閘極間區域之一具有二個接觸點的三閘 FET：

圖 11 顯示一三閘極 FET 之另一實施例，其中二個閘極間導電區域之一具有二個接觸點連接到平台式電阻器，且有一個接觸點由另一個閘極間導電區域連接到另一個平台式電阻器。在本實施例中，第一接觸點與第二接觸點設置於第一閘極間導電區域，但分別設置於第一轉彎處及第二轉彎處，它們經由第一平台式電阻元件連接在一起。第三接觸點設置於第三轉彎處，其由第二閘極間導電區域連接到第二平台式電阻元件。為幫助各接觸點與電阻

元件電性連接，第一閘極間導電區域在第一及第二轉彎處有一較寬的閘極間隔，而第二閘極間導電區域在第三轉彎處亦有一較寬的閘極間隔。第二電阻元件由最外面的汲極電極指連接到第一閘極間導電區域的第一接觸點，而後再連接到與第二閘極間導電區域連接的第三接觸點，最後再連接到源極的端點。

9. 各閘極間區域有一接觸點的四閘極 FET(1)：

圖 12 顯示一四閘 FET 之一實施例，其中各閘極間導電區域各有一連接到平台式電阻器的接觸點。在四閘 FET 中，有三個閘極間導電區域，它們係位於四個閘電極中兩兩相鄰的電極之間。在本實施例中，第一接觸點、第二接觸點，及第三接觸點分別設置於第一閘極間導電區域之第一轉彎處，第二閘極間導電區域之第二轉彎處，以及第三閘極間導電區域之第三轉彎處。在各轉彎處，各別的閘極間導電區域有一較寬的閘極間隔，使得各轉彎處容易形成與電阻元件電性連接的接觸點。電阻元件由最外面的汲極電極指連接到與第一閘極間導電區域連接的第一接觸點，而後再連接到分別在第二及第三轉彎處與第三閘極間導電區域連接的第二及第三接觸點，而最後再連接到最外面的源極電極指。

10. 各閘極間區域有一接觸點的四閘極 FET(2)：

圖 13 顯示一四閘 FET 之另一實施例，其中各閘極間導電區域各有一接觸點連接平台式電阻器。在本實施例中，第一接觸點、

第二接觸點，以及第三接觸點分別設置於第一閘極間導電區域之第一轉彎處，第二閘極間導電區域之第二轉彎處，及第三閘極間導電區域之第三轉彎處。在各轉彎處，各別的閘極間導電區域有一較寬的閘極間隔，使得容易形成各轉彎處到電阻元件的電性接觸點。第一電阻元件由最外面的汲極電極指連接到第一接觸點的第一閘極間導電區域。第二電阻元件由第一電阻元件二端之間一點連接到第二接觸點的第二閘極間導電區域。第三閘極間導電區域經由第二電阻元件及第一電阻元件之部份連接到最外面的汲極電極指。或者，第二電阻元件可直接連接到最外面的汲極電極指。第三電阻元件由最外面的源極電極指連接到第三接觸點的第三閘極間導電區域。在圖 13 中，第二閘極間導電區域及第三閘極間導電區域之間並沒有電阻元件連接。在源極與汲極之間可增設一電阻元件，用來確保縱使 FET 在關閉狀態時，源極、汲極、第一閘極間導電區域、第二閘極間導電區域，及第三閘極間導電區域均具有幾乎相同的電壓。

11. 各閘極間區域有一接觸點之四閘 FET(3)：

圖 14 顯示一四閘極 FET 之另一個實施例，其中各閘極間導電區域有一接觸點連接到平台式電阻器。在本實施例中，第一接觸點、第二接觸點，與第三接觸點分別設置於第一閘極間導電區域之第一轉彎處，第二閘極間導電區域之第二轉彎處，及第三閘極間導電區域之第三轉彎處。在各轉彎處，各別的閘極間導電區域

有一較寬的閘極間隔，使得各轉彎處容易形成連接到電阻元件之電性接觸點。第一電阻元件由最外面的汲極電極指連接到第一接觸點的第一閘極間導電區域。第二電阻元件由第一電阻元件二端間的一點連接到第二接觸點的第二閘極間導電區域。第二閘極間導電區域經由第二電阻元件，及第一電阻元件之部份連接到最外面的汲極電極指。或者，第二電阻元件可直接連接到最外面的汲極電極指。此與圖 13 所示之實施例之不同點在於第一接觸點與第二接觸點係形成在同一邊的轉彎處。第三電阻元件由最外面的源極電極指連接到第三接觸點的第三閘極間導電區域。在圖 14 中，第二閘極間導電區域與第三閘極間導電區域之間並沒有連接的電阻元件。在源極與汲極之間可增設一電阻元件，用來確保縱使 FET 在關閉狀態時，源極、汲極、第一閘極間導電區域、第二閘極間導電區域，及第三閘極間導電區域均具有幾乎相同的電壓。

本發明所設計之多閘極 FET 元件，其性能已被檢測過。將電阻器連接在曲折閘極之半路上比起將電阻器連接在閘極之一端上，會有較低的交互調制失真(Inter Modulation Distortion; IMD)及較低的諧波失真(Harmonic Distortion; HD)。圖 15A 及 15B 分別顯示習知設計與本發明設計，閘極寬度為 4 mm 的三閘極 HEMT 元件之 IMD 隨閘極電壓 V_g 的變化情形。由該圖可以清楚看到，在一較寬的操作溫度範圍下，本發明之設計有一較低的 IMD。操作於 85°C 及 $V_g = -2.5\text{V}$ 時，本發明之元件的 IMD 有 6dB 的改善。另

一方面，本發明設計的三閘極 HEMT 元件，其 HD 也可大幅改善。圖 16A 及 16B 分別顯示習知設計與本發明設計，閘極寬度為 4 mm 的三閘極 HEMT 元件，其 HD 隨輸入射頻(RF)功率(Pin)的變化情形。對於電阻器連接在曲折閘極之半路上的裝置，在操作於 85°C 時有一較低的 HD。此顯示出本發明在較大的操作溫度範圍有較低的 HD。

在上述較佳實施例中，閘極曲折纏繞於指形源極與汲極之間，使得曲折閘極之轉彎區域對元件之貢獻幾乎相等於元件之其它部份。然而，本發明並不侷限於此種情況。只要閘極導電區域形成於包括轉彎區域之閘極間隔，則連接電阻元件之接觸點就可形成於轉彎處，其可用來做為平衡電阻元件與閘極間導電區域之間的電性接觸點。

如上所述，本發明所揭露之應用於多閘極 FET 開關元件的設計，其具有如下之優點：

- 1.減少導電區域之電壓降，且對元件之平面配置僅有小幅改變；
- 2.改善關閉狀態時之元件線性度，同時仍維持較低的訊號插入損耗；
- 3.使電阻元件所佔之面積及總晶片之尺寸最小化。

雖然本發明之實施例已被詳細說明，但精於本技藝之專業人士仍可由上面所揭露之特徵而對本發明之實施例有所修正與改變。因此，應了解到，等效於本發明之精神的修正與改善仍然被視為被包含於本發明所附之申請專利範圍之內。

【圖式簡單說明】

圖 1 是多閘極 FET 結構之橫切面的示意圖。

圖 2A 及 2B 是習知多閘極 FET 元件之配置，其電阻元件由指狀閘電極一端之閘極間導電區域連接到源極與汲極電極。

圖 3 是本發明一實施例之磊晶層結構。

圖 4A 是本發明雙閘極 FET 元件之配置示意圖。

圖 4B 是圖 4A 中接近曲折纏繞閘極之轉彎區域沿 AA'線之橫切面結構，該閘極間導電區域電性連接到電阻元件。

圖 4C 是圖 4A 中沿 BB'線之橫切面結構，其也是位於曲折纏繞閘極之一轉彎區域，但該處閘極間導電區域沒有連接到電阻元件。

圖 5 顯示雙閘極 FET 之一實施例，其有二個接觸點電性連接到二個平台式電阻器。

圖 6 顯示雙閘極 FET 之另一實施例，其有二個接觸點電性連接到二個平台式電阻器。

圖 7 顯示雙閘極 FET 之一實施例，其有一接觸點電性連接到一個平台式電阻器。

圖 8 顯示三閘極 FET 之一實施例，其有一接觸點由各閘極間導電區域連接到平台式電阻器。

圖 9 顯示三閘極 FET 之另一實施例，其有一接觸點由各閘極間導電區域連接到平台式電阻器。

圖 10 顯示三閘極 FET 之另一實施例，其有一接觸點由各閘極間導

蕭特基電極 107

導電區域 108

基板 310

多層結構 320

緩衝層 321

間導電性區域 404

電阻元件 405

轉彎區域 4061、4062

隔離區域 407

導線金屬層 408

the multi-gate semiconductor device is advantageous in reducing the voltage drop along the conductive region with a minimal change in device layout, improving the OFF-state linearity while retaining a low insertion loss, and minimizing the area occupied by the resistor and hence the total chip size.

域的電壓在關閉狀態時將被固定在一與源極與汲極接近的電壓值，藉此將可改善關閉狀態時的線性度問題。另一方面，若將閘極間隔寬度減縮，二個相鄰閘極間的導電區域的電阻將會隨之變大。此將使得因閘極漏電流所造成沿導電區域之電壓降變得更加明顯，導致元件於關閉狀態時之線性度減低。此外，當元件操作溫度過高時，因閘極漏電流會變大，也將使元件關閉狀態之線性度變差。

● 因此，有需要提供一種關於多閘極 FET 的新設計，其中閘極間導電區域可被連接到平衡電阻器，其既可改善關閉狀態的線性度問題，亦可同時維持低的插入損耗及小的總晶片尺寸。

【發明內容】

● 本發明之一目的在於提供一種關於多閘極 FET 開關元件的新設計，其將多閘極 FET 之閘極間導電區域連接到平衡電阻器，以減少沿導電區域之電壓降，藉此改善關閉狀態之元件線性度，同時仍維持低的插入損耗及小的總晶片尺寸。

為了達成上述之目的，本發明將平衡電阻器與閘極間導電區域的連接點配置於曲折纏繞之閘極電極之二端，其較佳位置係位於接近曲折纏繞之閘極的中間。平衡電阻器與閘極間導電區域的連接點係設置於曲折纏繞之閘極電極的轉彎區域。平衡電阻器可被配置於 FET 區域之周圍，其較佳位於與源極連接或與汲極連接的金屬層下方，藉此可使電阻器所佔之區域為最小。平衡電阻器較佳由平台式 (mesa-type) 電阻器所構成。

型摻雜層；一未摻雜的 AlGaAs 底部間隔層；一厚度約在 5 nm 到 20 nm 之間的 InGaAs 通道層；一未摻雜的 AlGaAs 頂部間隔層；一頂部之 AlGaAs 調制摻雜層，該調制摻雜層亦含有一厚度約 10 nm 的高度 N 型摻雜層；一未摻雜的 AlGaAs 頂部能障層；以及，一高度摻雜的 AlGaAs 接觸層，該接觸層係用來做為源極或汲極之歐姆接觸層。本發明之另一較佳實施結構係為氮化鎵(GaN)之 FET 結構。一典型的 GaN FET 多層結構係包含一緩衝層，一 GaN 層，以及一 AlGaN 層，依序形成於基板上。閘極電極可由金屬與最頂端 AlGaN 層形成蕭基(Schottky)接觸，或形成金屬-絕緣體-半導體(metal-insulator-semiconductor; MIS)接觸所構成。源極與汲極則是利用位於閘極電極兩邊的金屬與 AlGaN 層上形成歐姆接觸，並連接至形成於或接近於 AlGaN/GaN 界面之通道層。

在磊晶生長多層結構 320 之後，晶圓可被處理成多閘 FET 裝置做為開關之用。下面將說明一些依據本發明之實施例。

1. 閘極間區域有一個接觸點的雙閘極 FET：

在此實施例中，依據本發明，雙閘極 FET 具有一接觸點，連接閘極間導電區域及電阻元件。圖 4A 是本實施例之示意圖，說明本發明之雙閘極 FET 的元件配置。該雙閘極 FET 包括二個相鄰的由複數個指形電極(finger electrode)所形成的歐姆電極，其一做為源極 401 而另一做為汲極 402，以及設置於指形源極 401 及指形汲極 402 之間的雙閘極電極 403；該雙閘極電極係由兩個相鄰之閘極

電極所構成，且曲折纏繞在指形源極與汲極之邊緣；該指形源極 401 與汲極 402 直接接觸高導電層 324；而該雙閘極電極 403 則經由凹槽蝕刻移除高導電層 324 後與低導電層 323 形成蕭基接觸。因此，在兩相鄰閘極電極 403 之間有一閘極間導電性區域 404。為了得到較好的關閉狀態之線性度，同時也維持較低的訊號插入損耗，一電阻元件 405 被連接到閘極間導電性區域 404。該電阻元件 405 可由平台式半導體層或薄膜電阻器來形成。在本實施例中，以平台式半導體層電阻器較佳。在電阻元件 405 及閘極間導電性區域 404 之間的電性連接點係位於接近曲線纏繞閘極之中間的轉彎區域 4061。圖 4B 顯示圖 4A 中沿 AA'線接近轉彎區域 4061 之橫切面圖，其進一步解釋閘極間導電區域 404 與電阻元件 405 之間如何形成電性連接。如圖 4B 之所示，電阻元件 405 係由多層結構本身來形成，其大小由周圍之隔離區域 407 來決定。該隔離區域 407 可利用蝕刻多層結構，或者利用離子佈植來形成，所形成之平台式電阻器與 FET 裝置之多層結構為電性絕緣。由於閘極間導電區域 404 與電阻元件 405 之間的電性連接係設置於曲折纏繞閘極 403 之轉彎區域 4061，因此可刻意在轉彎處設計成具有較寬的閘極間隔，藉此，閘極間導電區域 404 與電阻元件 405 之間的連接，將可於製造指形源極 401 與汲極 402 之製程步驟中一起完成。閘極間導電區域 404 與電阻元件 405 之間，係於轉彎區域 4061 利用金屬導線層 408 來達成電性連接。圖 4C 顯示圖 4A 中沿 BB'線之橫切面，其亦位於轉彎區域 4062，但沒有電性連接到電阻元件

電區域連接到平台式電阻器。

圖 11 顯示三閘極 FET 之一實施例，其有二個接觸點由二個閘極間導電區域之一連接到平台式電阻器，及一接觸點由另一個閘極間導電區域連接到另一個平台式電阻器。

圖 12 顯示四閘極 FET 之一實施例，其有一接觸點由各閘極間導電區域連接到平台式電阻器。

圖 13 顯示四閘極 FET 之另一實施例，其有一接觸點由各閘極間導電區域連接到平台式電阻器。

圖 14 顯示四閘極 FET 之另一實施例，其有一接觸點由各閘極間導電區域連接到平台式電阻器。

圖 15A 及 15B 分別是比较習知設計與本發明設計之兩組三閘極 HEMT 開關元件的 IMD 隨閘極電壓 V_g 之變化情形。

圖 16A 及 16B 分別是習知設計與本發明設計之三閘極 HEMT 開關元件的 HD 隨輸入射頻(RF)功率(Pin)之變化情形。

【主要元件符號說明】

基板 101	通道層 322
緩衝層 102	低導電層 323
通道層 103	高導電層 324
低導電層 104	源極 401
高導電層 105	泄極 402
歐姆性電極 106	閘極 403

發明專利說明書

99年12月1日 修正補充頁

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99136741

※申請日： 99.10.27

※IPC 分類：

H01L 29/772 (2006.01)

H01L 29/778 (2006.01)

公告本

一、發明名稱：(中文/英文)

多閘半導體裝置

MULTI-GATE SEMICONDUCTOR DEVICES

二、中文發明摘要：

本發明提供一多閘半導體裝置，其閘極間導電區域被連接到平衡電阻器。該多閘半導體裝置包括一基板，一形成於基板上之多層結構，一第一歐姆電極，一第二歐姆電極，複數個閘極電極，至少一個導電區域，以及至少一個電阻元件。實際使用時，該多閘半導體裝置具有以下之優點：可減少沿導電區域之電壓降且裝置只有最小的改變，改善元件關閉狀態之線性度而仍維持低的訊號插入損耗，以及可使電阻器所佔之區域及晶片總尺寸最小化。

三、英文發明摘要：

A multi-gate semiconductor device with inter-gate conductive regions being connected to balance resistors is provided. The multi-gate semiconductor device comprises a substrate, a multilayer structure formed upon the substrate, a first ohmic electrode, a second ohmic electrode, a plural of gate electrodes, at least one conductive region, and at least one resistive component. When put into practice,

七、申請專利範圍：

1、一多閘半導體裝置，其包括

一基板；

一形成在基板上之多層結構；

一第一歐姆性電極，其係形成在多層結構上之複數個指形電極；

一第二歐姆性電極，其係形成在多層結構上之複數個指形電極，且與第一歐姆性電極指相鄰；

一形成在多層結構中第一與第二歐姆性電極之間的通道層；

複數個閘電極，其曲折設置於第一與第二歐姆性電極之間；

至少一個導電區域，其形成在複數個閘電極中二相鄰閘電極之間；以及

至少一個電阻元件，

其中，多層結構，通道層，第一歐姆性指形電極，第二歐姆性指形電極，及閘電極等形成一場效電晶體，

其中，每一個曲折設置的該閘電極包括複數個轉彎區域和複數個直線部分，而曲折設置的該閘電極的複數個轉彎區域中的至少一個其長度基本上短於該複數個直線部分中的一個，並且至少一個該複數個轉彎區域包括該通道層的一部分，以作為該場效電晶體的一個工作區域，

其中，至少一個設置於相鄰閘電極之間的導電區域具有一較寬區域，其在至少一個曲折設置的該閘電極具有一較寬的閘間間隔，

以提供一個供該電阻元件電連接的接觸點，及

其中，電阻元件與導電區域間的電性連接係形成於各閘電極二端之間，不包括閘電極之二端點。

2、依據申請專利範圍第 1 項所述之多閘半導體裝置，其中，電阻元件與導電區域之間的電連接點形成於曲折閘電極之轉彎區域。

3、依據申請專利範圍第 1 項所述之多閘半導體裝置，其中，至少一個導電區域具有一較寬的閘間間隔，以供電連接到電阻元件之用。

4、依據申請專利範圍第 1、2 或 3 項所述之多閘半導體裝置，其中，供導電區域與電阻元件間電連接用的轉彎區域位於曲折閘電極之中點附近。

5、依據申請專利範圍第 1、2 或 3 項所述之多閘半導體裝置，其中，場效電晶體包括高電子遷移電晶體。

6、依據申請專利範圍第 5 項所述之多閘半導體裝置，其中，高電子遷移電晶體包括擬形高電子遷移電晶體。

- 7、依據申請專利範圍第 1、2 或 3 項所述之多閘半導體裝置，其中，場效電晶體包括氮化鎵場效電晶體。
- 8、依據申請專利範圍第 1、2 或 3 項所述之多閘半導體裝置，其中，電阻元件之電阻小於導電區域之電阻。
- 9、依據申請專利範圍第 1、2 或 3 項所述之多閘半導體裝置，其中，電阻元件由半導體多層結構形成，且至少一部份的電阻元件設置於金屬層下面，射頻信號可經由歐姆性電極指進入通道層。

修正頁(本)
劃線
9月12日

四、指定代表圖：

(一)本案指定代表圖為：第(4A)圖。

(二)本代表圖之元件符號簡單說明：

源極 401

閘間導電性區域 404

泄極 402

電阻元件 405

閘極 403

轉彎區域 4061、4062

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：