

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 10 月 17 日 (17.10.2002)

PCT

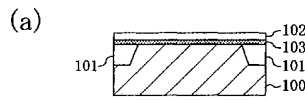
(10) 国際公開番号
WO 02/082554 A1

- (51) 国際特許分類: H01L 29/78, 21/336, 21/8234, 27/088, 27/108, 21/8242, 21/316 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1006 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP02/00997 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 森脇 将 (MORI-WAKI, Masaru) [JP/JP]; 〒572-0082 大阪府 寝屋川市 香里本通町 8-2-505 Osaka (JP). 丹羽 正昭 (NIWA, Masaaki) [JP/JP]; 〒573-0086 大阪府 枚方市 香里園町 9-3 2 Osaka (JP). 久保田 正文 (KUBOTA, Masafumi) [JP/JP]; 〒569-0044 大阪府 高槻市 番田 1-3 5-3 Osaka (JP).
- (22) 国際出願日: 2002 年 2 月 6 日 (06.02.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-102908 2001 年 4 月 2 日 (02.04.2001) JP

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURE THEREOF

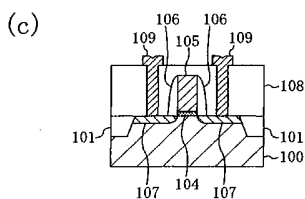
(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A method for manufacturing a semiconductor device, which comprises forming a zirconium silicate layer (103) on a silicon substrate (100) and simultaneously a zirconium oxide layer (102) on the zirconium silicate layer (103) and then removing the zirconium oxide layer (102) to thereby form a gate insulating film (104) consisting essentially of the zirconium silicate layer (103).



(57) 要約:



シリコン基板 100 上にジルコニウムシリケート層 103 を形成すると共にジルコニウムシリケート層 103 の上にジルコニウム酸化物層 102 を形成し、その後、ジルコニウム酸化物層 102 を除去してジルコニウムシリケート層 103 からなるゲート絶縁膜 104 を形成する。



WO 02/082554 A1



(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒550-0004 大阪府 大阪市 西区 鞠本町 1 丁目 4 番 8 号 太平ビル Osaka (JP).

添付公開書類:
— 国際調査報告書

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体装置及びその製造方法

技術分野

本発明は、高誘電体からなるゲート絶縁膜を有する半導体装置及びその製造方法に関する。

背景技術

近年、半導体装置における高集積化及び高速化を実現するための技術進展に伴って、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の微細化が進められている。それに伴ってゲート絶縁膜の薄膜化が進められた結果、トンネル電流によりゲートリーク電流が増大してしまうという問題が顕在化してきた。この問題を抑制するために、ゲート絶縁膜の材料として、 SiO_2 よりも誘電率の高い high-k 材料 (以下、高誘電率材料と称する)、具体的には HfO_2 又は ZrO_2 等の絶縁性金属酸化物を用いることによって、薄い SiO_2 膜と同等の容量 (つまり小さい SiO_2 換算膜厚) を有し、物理的膜厚の大きい (つまりリーク電流の小さい) ゲート絶縁膜を実現する手法が研究されている。

また、最近のシステムLSIにおいては、演算処理を行なう内部回路、入出力を受け持つ周辺回路、及びDRAM (Dynamic Random Access Memory) 等のように、複数の機能を持つ回路を1つのチップ上に集積することが一般的になってきている。このようなシステムLSIを構成するMOSFETに対しては、それぞれの機能に応じて、リーク電流は大きくても高駆動力を実現できること、又は駆動力は低くてもリーク電流を低減できること等が求められる。そこで、MOSFETのゲート絶縁膜となる SiO_2 膜の膜厚を、MOSFETの機能に応じて変

える技術、つまり複数の膜厚を有するゲート絶縁膜を形成するマルチゲート絶縁膜技術が用いられている。

しかしながら、ゲート絶縁膜の材料として高誘電率材料を用いた場合、ゲートリーク電流の増大を防止できる一方、所望の SiO_2 換算膜厚の実現が難しいという問題がある。

また、マルチゲート絶縁膜技術においても、ゲート絶縁膜の薄膜化に起因してゲートリーク電流が増大してしまうという問題がある。

発明の開示

前記に鑑み、本発明は、 SiO_2 換算膜厚及びリーク電流が小さいゲート絶縁膜を実現できるようにすることを第1の目的とし、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるようにすることを第2の目的とする。

前記の目的を達成するために、本願発明者らが、ゲート絶縁膜の材料として高誘電率材料（具体的には金属酸化物）を用いても所望の SiO_2 換算膜厚を実現できない原因について検討したところ、次のようなことが判明した。

すなわち、ゲート絶縁膜となる金属酸化物層をシリコン基板上に形成すると、シリコン基板と金属酸化物層との間に、シリコン、酸素、及び金属酸化物層中に含まれる金属の3元素からなる絶縁性の化合物層（以下、金属シリケート層と称する）が形成されてしまう。言い換えると、金属シリケート層と金属酸化物層との積層構造からなるゲート絶縁膜が形成されてしまう。このとき、金属シリケート層の誘電率は金属酸化物層の誘電率と比べて低いため、ゲート絶縁膜全体としての実効的な誘電率が低くなってしまう。その結果、所望の SiO_2 換算膜厚を有するゲート絶縁膜を形成できないので、期待される高い駆動力を有するMOSFETを実現すること、つまりMOSFETを高性能化することができない。

図6は、ゲート絶縁膜を構成する高誘電率材料としてジルコニウム酸化物（ ZrO_2 ）を用いた従来の半導体装置、具体的には従来のMOSFETの断面図で

ある。

図6に示すように、シリコン基板10上にゲート絶縁膜となるジルコニウム酸化物層11が形成されている。このとき、シリコン基板10とジルコニウム酸化物層11との間には、ジルコニウムシリケート層12が形成されてしまう。従って、ジルコニウム酸化物層11とジルコニウムシリケート層12との積層構造からなるゲート絶縁膜上にゲート電極13が形成されてしまうことになる。

ところで、本願発明者らは、シリコン基板上に高誘電率材料層となる金属酸化物層を、例えば反応性スパッタリング法を用いて形成する場合、ターゲットからスパッタされて基板表面に打ち込まれる粒子やスパッタリング時に生成される O_2 プラズマを制御することによって、シリコン基板と金属酸化物層との間に、2～3nm程度の均一な厚さと SiO_2 膜よりも高い誘電率とを有する金属シリケート層を形成できることを見出した。そして、この金属シリケート層をゲート絶縁膜として利用することによって、つまり、金属酸化物層と共に金属シリケート層を形成した後に金属酸化物層を除去することによって、第1の目的を達成できること、つまり、 SiO_2 換算膜厚及びリーク電流が小さいゲート絶縁膜を実現できることを見出した。尚、金属シリケート層の形成に、反応性スパッタリング法に代えて例えば化学気相成長法等を用いた場合にも、前述のような良質の金属シリケート層を形成できる。

また、本願発明者らは、金属酸化物層を除去した後に金属シリケート層上に他の金属酸化物層を形成すると、基板との反応を意識せずに他の金属酸化物層を設計通りに形成できるので、金属シリケート層と他の金属酸化物層との積層構造をゲート絶縁膜として利用することによっても、第1の目的を達成できることを見出した。

さらに、本願発明者らは、金属酸化物層と共に金属シリケート層を形成した後に金属酸化物層を部分的に除去することによって、薄いゲート絶縁膜として金属シリケート層の単層構造を用い且つ厚いゲート絶縁膜として金属シリケート層と

金属酸化物層との積層構造を用いたマルチゲート絶縁膜技術を実現できることを見出した。これにより、第2の目的、つまり、マルチゲート絶縁膜技術におけるゲートリーク電流の抑制を達成することができる。このとき、薄いゲート絶縁膜として金属シリケート層と他の金属酸化物層との積層構造を用いてもよい。

本発明は、以上の知見に基づきなされたものであって、具体的には、前記の第1の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、シリコン基板上に少なくとも一の金属を含む金属シリケート層を形成する共に金属シリケート層上に一の金属を含む金属酸化物層を形成する工程(a)と、金属酸化物層を除去して、金属シリケート層からなるゲート絶縁膜を形成する工程(b)と、ゲート絶縁膜上にゲート電極を形成する工程(c)とを備えている。

第1の半導体装置の製造方法によると、一の金属を含む金属シリケート層及び金属酸化物層をシリコン基板上に順次形成した後、金属酸化物層を除去して金属シリケート層からなるゲート絶縁膜を形成する。このとき、例えば反応性スパッタリング法又は化学気相成長法等を用いることにより、均一な厚さと SiO_2 よりも高い誘電率とを有する金属シリケート層を形成できると共に、例えばスパッタ条件又は成長条件等の制御によって金属シリケート層の厚さを容易に調節できる。従って、 SiO_2 換算膜厚及びリーク電流の小さいゲート絶縁膜を実現できるので、所望の駆動力を有する低消費電力のMOSFETを実現できる。

前記の第1の目的を達成するために、本発明に係る第2の半導体装置の製造方法は、シリコン基板上に少なくとも一の金属を含む金属シリケート層を形成する共に金属シリケート層上に一の金属を含む金属酸化物層を形成する工程(a)と、金属酸化物層を除去した後にシリコン基板上に一の金属と異なる他の金属を含む他の金属酸化物層を形成することによって、金属シリケート層及び他の金属酸化物層からなるゲート絶縁膜を形成する工程(b)と、ゲート絶縁膜上にゲート電極を形成する工程(c)とを備えている。

第2の半導体装置の製造方法によると、一の金属を含む金属シリケート層及び

金属酸化物層をシリコン基板上に順次形成し、その後、金属酸化物層を除去した後に一の金属と異なる他の金属を含む他の金属酸化物層を形成して、金属シリケート層及び他の金属酸化物層からなるゲート絶縁膜を形成する。このとき、例えば反応性スパッタリング法又は化学気相成長法等を用いることにより、均一な厚さと SiO_2 よりも高い誘電率とを有する金属シリケート層を形成できると共に、例えばスパッタ条件又は成長条件等の制御によって金属シリケート層の厚さを容易に調節できる。また、金属シリケート層上に他の金属酸化物層を別途形成するため、シリコン基板との反応を意識せずに他の金属酸化物層を設計通りに形成できる。従って、金属シリケート層と他の金属酸化物層との積層構造によって、 SiO_2 換算膜厚及びリーク電流の小さいゲート絶縁膜を実現できるので、所望の駆動力を有する低消費電力のMOSFETを実現できる。

また、第2の半導体装置の製造方法によると、金属シリケート層と他の金属酸化物層との積層構造を、所望の厚さ構成を有するように簡単に形成できるので、MOSFETに要求される機能に応じたゲート絶縁膜の設計、例えば高駆動力化と低消費電力化との両立を目指したゲート絶縁膜等の設計が容易になる。

尚、第2の半導体装置の製造方法においては、金属シリケート層が基板界面で熱的に安定するように、且つ、金属シリケート層がシリコン結晶に大きな歪みを与えて移動度を劣化させることのないように、一の金属を選ぶことが好ましい。また、他の金属を含む他の金属酸化物層の誘電率が、一の金属を含む金属酸化物層の誘電率よりも高くなるように他の金属を選ぶことが好ましい。

前記の第2の目的を達成するために、本発明に係る第3の半導体装置の製造方法は、シリコン基板における第1の素子形成領域及び第2の素子形成領域のそれぞれの上に少なくとも一の金属を含む金属シリケート層を形成する共に金属シリケート層上に一の金属を含む金属酸化物層を形成する工程(a)と、金属酸化物層における第1の素子形成領域上の部分を除去することによって、第1の素子形成領域上に金属シリケート層からなる第1のゲート絶縁膜を形成すると共に第2

の素子形成領域上に金属シリケート層及び金属酸化物層からなる第2のゲート絶縁膜を形成する工程(b)と、第1のゲート絶縁膜上に第1のゲート電極を形成すると共に第2のゲート絶縁膜上に第2のゲート電極を形成する工程(c)とを備えている。

第3の半導体装置の製造方法によると、一の金属を含む金属シリケート層及び金属酸化物層をシリコン基板上に順次形成し、その後、金属酸化物層を部分的に除去して、金属シリケート層からなる第1のゲート絶縁膜と、金属シリケート層及び金属酸化物層からなる第2のゲート絶縁膜を形成する。すなわち、第3の半導体装置の製造方法は、薄いゲート絶縁膜として金属シリケート層の単層構造を用い且つ厚いゲート絶縁膜として金属シリケート層及び金属酸化物層の積層構造を用いたマルチゲート絶縁膜技術である。また、第3の半導体装置の製造方法では、例えば反応性スパッタリング法又は化学気相成長法等を用いることにより、均一な厚さと SiO_2 よりも高い誘電率とを有する金属シリケート層を形成できると共に、例えばスパッタ条件又は成長条件等の制御によって金属シリケート層の厚さを容易に調節できる。従って、薄いゲート絶縁膜(第1のゲート絶縁膜)において小さい SiO_2 換算膜厚と小さいリーク電流とを実現できるため、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステムLSIを形成できる。また、第1のゲート絶縁膜によって駆動力の向上を優先したMOSFETを実現できると同時に、第2のゲート絶縁膜によって消費電力の低減を優先したMOSFETを実現できるので、高駆動力化と低消費電力化とを両立できるシステムLSIを実現できる。

前記の第2の目的を達成するために、本発明に係る第4の半導体装置の製造方法は、シリコン基板における第1の素子形成領域及び第2の素子形成領域のそれぞれの上に少なくとも一の金属を含む金属シリケート層を形成する共に金属シリケート層上に一の金属を含む金属酸化物層を形成する工程(a)と、金属酸化物層における第1の素子形成領域上の部分を除去した後に第1の素子形成領域及び

第2の素子形成領域のそれぞれの上の一の金属と異なる他の金属を含む他の金属酸化物層を形成することによって、第1の素子形成領域上に金属シリケート層及び他の金属酸化物層からなる第1のゲート絶縁膜を形成すると共に第2の素子形成領域上に金属シリケート層、金属酸化物層及び他の金属酸化物層からなる第2のゲート絶縁膜を形成する工程（b）と、第1のゲート絶縁膜上に第1のゲート電極を形成すると共に第2のゲート絶縁膜上に第2のゲート電極を形成する工程（c）とを備えている。

第4の半導体装置の製造方法によると、一の金属を含む金属シリケート層及び金属酸化物層をシリコン基板上に順次形成し、その後、金属酸化物層を部分的に除去した後は一の金属と異なる他の金属を含む他の金属酸化物層を形成して、金属シリケート層及び他の金属酸化物層からなる第1のゲート絶縁膜と、金属シリケート層、金属酸化物層及び他の金属酸化物層からなる第2のゲート絶縁膜を形成する。すなわち、第4の半導体装置の製造方法は、薄いゲート絶縁膜として金属シリケート層及び他の金属酸化物層の積層構造を用い且つ厚いゲート絶縁膜として金属シリケート層、金属酸化物層及び他の金属酸化物層の積層構造を用いたマルチゲート絶縁膜技術である。また、第4の半導体装置の製造方法では、例えば反応性スパッタリング法又は化学気相成長法等を用いることにより、均一な厚さと SiO_2 よりも高い誘電率とを有する金属シリケート層を形成できると共に、例えばスパッタ条件又は成長条件等の制御によって金属シリケート層の厚さを容易に調節できる。さらに、第4の半導体装置の製造方法では、金属シリケート層又は金属酸化物層の上に他の金属酸化物層を別途形成するため、シリコン基板との反応を意識せずに他の金属酸化物層を設計通りに形成できる。従って、金属シリケート層と他の金属酸化物層との積層構造によって、薄いゲート絶縁膜（第1のゲート絶縁膜）において小さい SiO_2 換算膜厚と小さいリーク電流とを実現できるため、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステムLSIを形成できる。また、第1のゲート絶

縁膜によって駆動力の向上を優先したMOSFETを実現できると同時に、第2のゲート絶縁膜によって消費電力の低減を優先したMOSFETを実現できるので、高駆動力化と低消費電力化とを両立できるシステムLSIを実現できる。

また、第4の半導体装置の製造方法によると、金属シリケート層と他の金属酸化物層との積層構造、又は金属シリケート層と金属酸化物層と他の金属酸化物層との積層構造を、所望の厚さ構成を有するように簡単に形成できるので、MOSFETに要求される機能に応じたゲート絶縁膜の設計、例えば高駆動力化と低消費電力化との両立を目指したゲート絶縁膜等の設計が容易になる。

尚、第4の半導体装置の製造方法においては、金属シリケート層が基板界面で熱的に安定するように、且つ、金属シリケート層がシリコン結晶に大きな歪みを与えて移動度を劣化させることのないように、一の金属を選ぶことが好ましい。また、他の金属を含む他の金属酸化物層の誘電率が、一の金属を含む金属酸化物層の誘電率よりも高くなるように他の金属を選ぶことが好ましい。

第1～第4の半導体装置の製造方法において、工程(a)は、少なくとも一の金属を含むターゲットを用いる反応性スパッタリング法によって、金属シリケート層及び金属酸化物層を形成する工程(d)を含むことが好ましい。

このようにすると、均一な厚さとSiO₂よりも高い誘電率とを有する金属シリケート層を確実に形成できると共に、スパッタ条件の制御によって金属シリケート層の厚さを確実に調節できる。

第1～第4の半導体装置の製造方法において、工程(a)は、少なくとも一の金属を含むソースガスを用いる化学気相成長法によって、金属シリケート層及び金属酸化物層を形成する工程(e)を含むことが好ましい。

このようにすると、均一な厚さとSiO₂よりも高い誘電率とを有する金属シリケート層を確実に形成できると共に、成長条件の制御によって金属シリケート層の厚さを確実に調節できる。

また、この場合、工程(e)は、ソースガスをパルス状に供給することによっ

て金属酸化物層を1分子層ずつ堆積する工程を含むことが好ましい。

このようにすると、金属シリケート層の厚さにおける制御性及び均一性の向上を図ることができる。

第1～第4の半導体装置の製造方法において、一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は該金属群のうちの2つ以上の金属からなる合金であることが好ましい。

このようにすると、金属シリケート層の誘電率が確実にSiO₂の誘電率よりも高くなる。また、第1又は第3の半導体装置の製造方法においては、一の金属がZrであることが特に好ましく、第2又は第4の半導体装置の製造方法においては、一の金属がZrであり、他の金属がHfであることが特に好ましい。

前記の第1の目的を達成するために、本発明に係る第1の半導体装置は、一の金属を含む金属シリケート層、及び一の金属と異なる他の金属を含む金属酸化物層が順次積層されてなるゲート絶縁膜を有するMOSFETを備えている。

すなわち、第1の半導体装置は、本発明に係る第2の半導体装置の製造方法によって形成される半導体装置であり、第1の半導体装置によると、SiO₂換算膜厚及びリーク電流の小さいゲート絶縁膜を実現できるので、所望の駆動力を有する低消費電力のMOSFETを実現できる。また、MOSFETに要求される機能に応じたゲート絶縁膜の設計が容易になる。

前記の第2の目的を達成するために、本発明に係る第2の半導体装置は、一の金属を含む金属シリケート層からなる第1のゲート絶縁膜を有する第1のMOSFETと、金属シリケート層、及び一の金属を含む金属酸化物層が順次積層されてなる第2のゲート絶縁膜を有する第2のMOSFETとを備えている。

すなわち、第2の半導体装置は、本発明に係る第3の半導体装置の製造方法によって形成される半導体装置であり、第2の半導体装置によると、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステムLSIを形成できる。また、第1のゲート絶縁膜を有する第1のMOSF

E Tにおいて駆動力の向上を優先できると共に、第2のゲート絶縁膜を有する第2のMOSFETにおいて消費電力の低減を優先できるので、高駆動力化と低消費電力化とを両立できるシステムLSIを実現できる。

前記の第2の目的を達成するために、本発明に係る第3の半導体装置は、一の金属を含む金属シリケート層、及び一の金属と異なる他の金属を含む金属酸化物層が順次積層されてなる第1のゲート絶縁膜を有する第1のMOSFETと、金属シリケート層、一の金属を含む金属酸化物層、他の金属を含む金属酸化物層が順次積層されてなる第2のゲート絶縁膜を有する第2のMOSFETとを備えている。

すなわち、第3の半導体装置は、本発明に係る第4の半導体装置の製造方法によって形成される半導体装置であり、第3の半導体装置によると、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステムLSIを形成できる。また、第1のゲート絶縁膜を有する第1のMOSFETにおいて駆動力の向上を優先できると共に、第2のゲート絶縁膜を有する第2のMOSFETにおいて消費電力の低減を優先できるので、高駆動力化と低消費電力化とを両立できるシステムLSIを実現できる。さらに、MOSFETに要求される機能に応じたゲート絶縁膜の設計が容易になる。

第1～第3の半導体装置において、一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は該金属群のうちの2つ以上の金属からなる合金であることが好ましい。

このようにすると、金属シリケート層の誘電率が確実にSiO₂の誘電率よりも高くなる。

第2又は第3の半導体装置において、第1のMOSFETが内部回路に用いられていると共に第2のMOSFETが周辺回路に用いられていることが好ましい。

このようにすると、駆動力が高く且つ消費電力が低い内部回路と、消費電力が

低い周辺回路とを備えたシステムLSIを実現できる。

第2又は第3の半導体装置において、第1のMOSFETがロジック部に用いられていると共に第2のMOSFETがDRAM部に用いられていることが好ましい。

このようにすると、駆動力が高く且つ消費電力が低いロジック部と、消費電力が低いDRAM部とを備えたシステムLSIを実現できる。

図面の簡単な説明

図1(a)～(c)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図2は本発明の第1の実施形態に係る半導体装置の製造方法における、ジルコニウム酸化物層の堆積時間とジルコニウムシリケート層の堆積厚さとの関係を示す図である。

図3(a)及び(b)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図4(a)～(e)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図5(a)及び(b)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図6は従来 of 半導体装置の断面図である。

発明を実施するための最良の形態

第1の実施形態

以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について、n型MOSFETを例として図面を参照しながら説明する。

図1(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を

示す断面図である。

第1の実施形態に係る半導体装置の製造方法の特徴は、シリコン基板上に金属シリケート層を形成する共に金属シリケート層上に金属酸化物層を形成した後、金属酸化物層を除去して、金属シリケート層からなるゲート絶縁膜を形成することである。第1の実施形態では、金属シリケート層及び金属酸化物層を形成するため、例えば反応性スパッタリング法を用いる。

具体的には、まず、図1(a)に示すように、例えばp型のシリコン基板100に周知の方法を用いて素子分離101を形成する。その後、例えばArガスとO₂ガスとの混合ガス中において、例えばジルコニウム(Zr)からなる金属ターゲットに対して反応性スパッタリングを行なうことにより、シリコン基板100上に高誘電率材料層となる例えば厚さ5nm程度のジルコニウム酸化物層(ZrO₂層)102を堆積する。このとき、シリコン基板100とジルコニウム酸化物層102との界面に、ジルコニウム、シリコン及び酸素の3元素化合物(具体的にはZrSi_xO_y(x、y>0))からなるジルコニウムシリケート層103が形成される。

ここで、ジルコニウムシリケート層103の形成過程について詳しく説明する。まず、スパッタリング時の放電により生じたO₂プラズマがシリコン基板100の表面を酸化させると共に金属ターゲットの表面を酸化させる。その後、金属ターゲット表面に形成されたジルコニウム酸化物がスパッタされて、シリコン基板100の表面に形成されたシリコン酸化物層に打ち込まれると共に、ジルコニウム酸化物とシリコン酸化物とがミキシングされる結果、ジルコニウムシリケート層103が形成される。

本願発明者らは、このように形成されたジルコニウムシリケート層103の誘電率が、SiO₂の誘電率の約2倍であることを見出した。このことは、例えば約1.5nmという極めて薄いSiO₂換算膜厚を有するジルコニウムシリケート層を形成する場合に、その物理的厚さを約3nmと比較的厚くしてもよいこと

を意味している。

また、本願発明者らは、図2に示すように、ジルコニウム酸化物層102の堆積時間に比例して、ジルコニウムシリケート層103の堆積厚さが増大していくことを見出した。図2に示す結果は、特定のスパッタ条件（チャンバー内圧力：0.4kPa、放電パワー：200W、Ar/O₂流量比（標準状態における1分間当たりの流量比）：10/10cc）において得られたものである。すなわち、スパッタ条件を変えることにより、ジルコニウム酸化物層102の堆積厚さとジルコニウムシリケート層103の堆積厚さとの関係を変化させることができ、それによってジルコニウム酸化物層102とジルコニウムシリケート層103との積層構造における厚さ構成を任意に設定できることはいうまでもない。尚、参考のため、図2において、ジルコニウム酸化物層102の堆積時間とジルコニウム酸化物層102の堆積厚さとの関係も示している。

次に、図1（b）に示すように、例えば希フッ酸溶液を用いてジルコニウム酸化物層102を除去する。このとき、ジルコニウムシリケート層103のエッチレートがジルコニウム酸化物層102のエッチレートよりも小さいので、ジルコニウムシリケート層103のみを残存させることができる。これにより、ジルコニウムシリケート層103からなるゲート絶縁膜104（図1（c）参照）を形成することができる。

次に、図1（c）に示すように、ゲート絶縁膜104の上にゲート電極105を形成する。その後、ゲート電極105の両側面にサイドウォール絶縁膜106を形成すると共に、シリコン基板100におけるゲート電極105の両側にソース領域及びドレイン領域となる不純物拡散層107を形成する。その後、ゲート電極105等の上を含むシリコン基板100の上に層間絶縁膜108を形成した後、層間絶縁膜108の上に配線109を形成する。尚、配線109は、不純物拡散層107と接続するように層間絶縁膜108に設けられたプラグを有する。

以上に説明したように、第1の実施形態によると、シリコン基板100上にジ

ルコニウムシリケート層 103 を形成すると共にジルコニウムシリケート層 103 の上にジルコニウム酸化物層 102 を形成し、その後、ジルコニウム酸化物層 102 を除去してジルコニウムシリケート層 103 からなるゲート絶縁膜 104 を形成する。このとき、ジルコニウムからなるターゲットを用いる反応性スパッタリング法によって、均一な厚さと SiO_2 よりも高い誘電率とを有するジルコニウムシリケート層 103 を確実に形成できると共に、スパッタ条件の制御によってジルコニウムシリケート層 103 の厚さを容易且つ確実に調節できる。従って、 SiO_2 換算膜厚及びリーク電流の小さいゲート絶縁膜 104 を実現できるので、所望の駆動力を有する低消費電力の MOSFET を実現できる。

尚、第 1 の実施形態において、金属ターゲットの材料としてジルコニウム (Zr) を用いたが、これに代えて、反応性スパッタリングにより高誘電率 (SiO_2 よりも高い誘電率) を有する化合物 (酸化物) が得られる他の材料、例えば Hf、Ti、Ta、Al、Pr、Nd 若しくは La 等の金属又はこれらの金属の合金を用いてもよい。このとき、金属ターゲットが酸素や微量のシリコンを含んでいてもよい。

第 1 の実施形態の変形例

以下、本発明の第 1 の実施形態の変形例に係る半導体装置の製造方法について n 型 MOSFET を例として説明する。

第 1 の実施形態の変形例が第 1 の実施形態と異なっている点は、図 1 (a) に示す工程において、反応性スパッタリング法に代えて化学気相成長法を用いてジルコニウムシリケート層 103 及びジルコニウム酸化物層 102 を形成することである。

具体的には、素子分離 101 の形成後、まず、化学気相成長工程の初期過程として、高温の H_2O 雰囲気においてシリコン基板 100 の表面に 1 nm 程度の酸化膜 (シリコン酸化物層) を形成する。その後、 H_2O と ZrCl_4 との混合ガ

スをソースガスとして用いた化学気相成長法によって、シリコン基板100上にジルコニウム酸化物層102を形成する。このとき、ジルコニウムを含むソースガスとシリコン酸化物層との間で反応が生じて、シリコン基板100とジルコニウム酸化物層102との界面に、ジルコニウム、シリコン及び酸素の3元素化合物からなるジルコニウムシリケート層103が形成される。このように形成されたジルコニウムシリケート層103は、反応性スパッタリング法を用いた場合（第1の実施形態）と同様の性質を有している。また、成長条件、例えばソースガスにおける各ガス成分の流量比、又は成長温度若しくは成長時間等を変えることにより、ジルコニウム酸化物層102とジルコニウムシリケート層103との積層構造における厚さ構成を任意に設定できる。

従って、第1の実施形態の変形例によると、第1の実施形態と同様の効果を得ることができる。

詳しくは、第1の実施形態の変形例によると、シリコン基板100上にジルコニウムシリケート層103を形成すると共にジルコニウムシリケート層103の上にジルコニウム酸化物層102を形成し、その後、ジルコニウム酸化物層102を除去してジルコニウムシリケート層103からなるゲート絶縁膜104を形成する。このとき、ジルコニウムを含むソースガスを用いる化学気相成長法によって、均一な厚さと SiO_2 よりも高い誘電率とを有するジルコニウムシリケート層103を確実に形成できると共に、成長条件の制御によってジルコニウムシリケート層103の厚さを容易且つ確実に調節できる。従って、 SiO_2 換算膜厚及びリーク電流の小さいゲート絶縁膜104を実現できるので、所望の駆動力を有する低消費電力のMOSFETを実現できる。

尚、第1の実施形態の変形例において、ジルコニウム（Zr）を含むソースガスを用いたが、これに代えて、化学気相成長法により高誘電率の化合物（酸化物）が得られる他の材料（例えばHf、Ti、Ta、Al、Pr、Nd若しくはLa等の金属又はこれらの金属の合金）を含むソースガスを用いてもよい。

また、第1の実施形態の変形例において、化学気相成長法として通常の熱CVD法等を用いてもよいし、又は、ソースガスをパルス状に（間欠的に）供給することによってジルコニウム酸化物層等の金属酸化物層を1分子層ずつ堆積するALD（Atomic layer Deposition）法（Dae-Gyu Park等、2000 Symposium on VLSI Technology Digest of Technical papers p46-47、又はDae-Gyu Park等、2000 American Institute of Physics p2207-2209 等参照）を用いてもよい。ALD法を用いる場合、ジルコニウムシリケート層等の金属シリケート層の厚さにおける制御性及び均一性の向上を図ることができる。

また、第1の実施形態及びその変形例において、金属シリケート層及び金属酸化物層を形成するために反応性スパッタリング法又は化学気相成長法を用いたが、これに限られず、前述のジルコニウムシリケート層103のような良質の金属シリケート層を形成できる他の成膜方法を用いてもよいことは言うまでもない。

第2の実施形態

以下、本発明の第2の実施形態に係る半導体装置及びの製造方法について、n型MOSFETを例として図面を参照しながら説明する。

図3（a）、（b）は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

第2の実施形態に係る半導体装置の製造方法の特徴は、シリコン基板上に金属シリケート層を形成する共に金属シリケート層上に金属酸化物層を形成し、その後、金属酸化物層を除去した後に他の金属酸化物層を形成することによって、金属シリケート層及び他の金属酸化物層からなるゲート絶縁膜を形成することである。尚、第2の実施形態においては、図1（b）に示す工程までは第1の実施形態又はその変形例と同様の工程を行なう。

すなわち、まず、図1（a）及び（b）に示すように、例えば反応性スパッタリング法又は化学気相成長法等を用いてシリコン基板100上にジルコニウムシ

リケート層 103 を形成すると共にジルコニウムシリケート層 103 の上にジルコニウム酸化物層 102 を形成し、その後、ジルコニウムシリケート層 103 のみが残存するようにジルコニウム酸化物層 102 を除去する。

次に、図 3 (a) に示すように、例えば反応性スパッタリング法を用いてジルコニウムシリケート層 103 の上に、高誘電率材料層となる厚さ 5 nm 程度のハフニウム酸化物層 (HfO₂ 層) 110 を形成する。これにより、ジルコニウムシリケート層 103 とハフニウム酸化物層 110 との積層構造からなるゲート絶縁膜 104 (図 3 (b) 参照) を形成することができる。このとき、ハフニウム酸化物層 110 の誘電率は、ジルコニウム酸化物層 102 の誘電率よりも高いので、同じ厚さで比べた場合、ジルコニウムシリケート層 103 とハフニウム酸化物層 110 との積層構造の方が、ジルコニウムシリケート層 103 とジルコニウム酸化物層 102 との積層構造よりも SiO₂ 換算膜厚が小さくなる。

次に、図 3 (b) に示すように、ゲート絶縁膜 104 の上にゲート電極 105 を形成する。その後、ゲート電極 105 の両側面にサイドウォール絶縁膜 106 を形成すると共に、シリコン基板 100 におけるゲート電極 105 の両側にソース領域及びドレイン領域となる不純物拡散層 107 を形成する。その後、ゲート電極 105 等の上を含むシリコン基板 100 の上に層間絶縁膜 108 を形成した後、層間絶縁膜 108 の上に配線 109 を形成する。尚、配線 109 は、不純物拡散層 107 と接続するように層間絶縁膜 108 に設けられたプラグを有する。

以上に説明したように、第 2 の実施形態によると、シリコン基板 100 上にジルコニウムシリケート層 103 を形成すると共にジルコニウムシリケート層 103 の上にジルコニウム酸化物層 102 を形成し、その後、ジルコニウム酸化物層 102 を除去した後にハフニウム酸化物層 110 を形成して、ジルコニウムシリケート層 103 及びハフニウム酸化物層 110 からなるゲート絶縁膜 104 を形成する。このとき、例えば反応性スパッタリング法又は化学気相成長法等を用いることにより、均一な厚さと SiO₂ よりも高い誘電率とを有するジルコニウム

シリケート層 103 を形成できると共に、例えばスパッタ条件又は成長条件等の制御によってジルコニウムシリケート層 103 の厚さを容易に調節できる。また、ジルコニウムシリケート層 103 上にハフニウム酸化物層 110 を別途形成するため、シリコン基板 100 との反応を意識せずにハフニウム酸化物層 110 を設計通りに形成できる。従って、ジルコニウムシリケート層 103 とハフニウム酸化物層 110 との積層構造によって、 SiO_2 換算膜厚及びリーク電流の小さいゲート絶縁膜 104 を実現できるので、所望の駆動力を有する低消費電力の MOSFET を実現できる。

また、第 2 の実施形態によると、ジルコニウムシリケート層 103 とハフニウム酸化物層 110 との積層構造を、所望の厚さ構成を有するように簡単に形成できるので、MOSFET に要求される機能に応じたゲート絶縁膜 104 の設計、例えば高駆動力化と低消費電力化との両立を目指したゲート絶縁膜等の設計が容易になる。

尚、第 2 の実施形態において、ジルコニウムからなるターゲットを用いる反応性スパッタリング法によって、又はジルコニウムを含むソースガスを用いる化学気相成長法によって、ジルコニウムシリケート層 103 及びジルコニウム酸化物層 102 を形成することが好ましい。このようにすると、均一な厚さと SiO_2 よりも高い誘電率とを有するジルコニウムシリケート層 103 を確実に形成できると共に、スパッタ条件又は成長条件の制御によってジルコニウム酸化物層 102 の厚さを確実に調節できる。ここで、化学気相成長法としては、通常の熱 CVD 法又は ALD 法等を用いてもよい。ALD 法を用いる場合、ジルコニウムシリケート層 103 の厚さにおける制御性及び均一性の向上を図ることができる。また、反応性スパッタリング法又は化学気相成長法に代えて、良質のジルコニウムシリケート層 103 を形成できる他の成膜方法を用いてもよいことは言うまでもない。

また、第 2 の実施形態において、ゲート絶縁膜 104 の下層となる金属シリケ

ート層としてジルコニウムシリケート層103を用いたが、これに限られず、該金属シリケート層は、Zr、Hf、Ti、Al、Pr、Nd若しくはLa等の金属又はこれらの金属の合金を含むことが好ましい。このようにすると、該金属シリケート層の誘電率が確実にSiO₂の誘電率よりも高くなる。

また、第2の実施形態において、ゲート絶縁膜104の上層となる他の金属酸化物層としてハフニウム酸化物層110を用いたが、これに限られず、他の金属酸化物層は、Zr、Hf、Ti、Al、Pr、Nd若しくはLa等の金属又はこれらの金属の合金を含むことが好ましい。但し、ゲート絶縁膜104の下層となる金属シリケート層に含まれる一の金属と、他の金属酸化物層に含まれる他の金属とは異なっていることが好ましい。

また、第2の実施形態において、ゲート絶縁膜104の下層となる金属シリケート層に含まれる一の金属は、該金属シリケート層が基板界面で熱的に安定するように、且つ、該金属シリケート層がシリコン結晶に大きな歪みを与えて移動度を劣化させることのないように選ばれることが好ましい。また、ゲート絶縁膜104の上層となる他の金属酸化物層に含まれる他の金属は、該他の金属酸化物層の誘電率が、金属シリケート層と同じ一の金属を含む金属酸化物層よりも高くなるように選ばれることが好ましい。

第3の実施形態

以下、本発明の第3の実施形態に係る半導体装置及びの製造方法について、n型MOSFETを例として図面を参照しながら説明する。

図4(a)～(e)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

第3の実施形態に係る半導体装置の製造方法の特徴は、シリコン基板上に金属シリケート層を形成する共に金属シリケート層上に金属酸化物層を形成した後、金属酸化物層を部分的に除去して、金属シリケート層からなる第1のゲート絶縁

膜と、金属シリケート層及び金属酸化物層からなる第2のゲート絶縁膜とを形成することである。第3の実施形態では、金属シリケート層及び金属酸化物層を形成するため、例えば反応性スパッタリング法を用いる。

具体的には、まず、図4(a)に示すように、例えばp型のシリコン基板200に周知の方法を用いて素子分離201を形成することにより、第1のデバイス形成領域 R_A 及び第2のデバイス形成領域 R_B を規定する。その後、例えばArガスと O_2 ガスとの混合ガス中において、例えばジルコニウム(Zr)からなる金属ターゲットに対して反応性スパッタリングを行なうことにより、第1のデバイス形成領域 R_A 及び第2のデバイス形成領域 R_B のそれぞれの上に、高誘電率材料層となる例えば厚さ5nm程度のジルコニウム酸化物層(ZrO_2 層)202を堆積する。このとき、シリコン基板200とジルコニウム酸化物層202との界面に、ジルコニウム、シリコン及び酸素の3元素化合物(具体的には $ZrSi_xO_y$ ($x, y > 0$))からなるジルコニウムシリケート層203が形成される。尚、ジルコニウムシリケート層203の具体的な形成過程及び特性は、第1の実施形態のジルコニウムシリケート層103と同様である。

次に、図4(b)に示すように、ジルコニウム酸化物層202における第2のデバイス形成領域 R_B 上の部分を覆うようにレジストパターン250を形成する。その後、図4(c)に示すように、レジストパターン250をマスクとして、例えば希フッ酸溶液を用いてジルコニウム酸化物層202における第1のデバイス形成領域 R_A 上の部分を除去する。このとき、ジルコニウムシリケート層203のエッチレートがジルコニウム酸化物層202のエッチレートよりも小さいので、第1のデバイス形成領域 R_A 上においてジルコニウムシリケート層203のみを残存させることができる。これにより、第1のデバイス形成領域 R_A 上にジルコニウムシリケート層203からなる第1のゲート絶縁膜204A(図4(e)参照)を形成できると共に、第2のデバイス形成領域 R_B 上にジルコニウムシリケート層203及びジルコニウム酸化物層202からなる第2のゲート絶縁膜

204B（図4（e）参照）を形成できる。

次に、図4（d）に示すように、レジストパターン250を除去した後、図4（e）に示すように、第1のゲート絶縁膜204A上に第1のゲート電極205Aを形成すると共に、第2のゲート絶縁膜204B上に第2のゲート電極205Bを形成する。その後、第1のゲート電極205Aの両側面に第1のサイドウォール絶縁膜206Aを形成すると共に、第2のゲート電極205Bの両側面に第2のサイドウォール絶縁膜206Bを形成する。また、シリコン基板200における第1のゲート電極205Aの両側にソース領域及びドレイン領域となる第1の不純物拡散層207Aを形成すると共に、シリコン基板200における第2のゲート電極205Bの両側にソース領域及びドレイン領域となる第2の不純物拡散層207Bを形成する。その後、第1のゲート電極205A及び第2のゲート電極205B等の上を含むシリコン基板200の上に層間絶縁膜208を形成する。その後、層間絶縁膜208の上に第1の配線209A及び第2の配線209Bを形成する。尚、第1の配線209Aは、第1の不純物拡散層207Aと接続するように層間絶縁膜208に設けられたプラグを有し、第2の配線209Bは、第2の不純物拡散層207Bと接続するように層間絶縁膜208に設けられたプラグを有する。

以上に説明したように、第3の実施形態によると、シリコン基板200上にジルコニウムシリケート層203を形成すると共にジルコニウムシリケート層203の上にジルコニウム酸化物層202を形成し、その後、ジルコニウム酸化物層202を部分的に除去して、ジルコニウムシリケート層203からなる第1のゲート絶縁膜204Aと、ジルコニウムシリケート層203及びジルコニウム酸化物層202からなる第2のゲート絶縁膜204Bとを形成する。すなわち、第3の実施形態は、薄いゲート絶縁膜としてジルコニウムシリケート層203の単層構造を用い且つ厚いゲート絶縁膜としてジルコニウムシリケート層203及びジルコニウム酸化物層202の積層構造を用いたマルチゲート絶縁膜技術である。

また、第3の実施形態では、ジルコニウムからなるターゲットを用いる反応性スパッタリング法によって、均一な厚さとSiO₂よりも高い誘電率とを有するジルコニウムシリケート層203を確実に形成できると共に、スパッタ条件の制御によってジルコニウムシリケート層203の厚さを容易且つ確実に調節できる。従って、薄いゲート絶縁膜（第1のゲート絶縁膜204A）において小さいSiO₂換算膜厚と小さいリーク電流とを実現できるため、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステムLSIを形成できる。また、第1のゲート絶縁膜204Aによって駆動力の向上を優先したMOSFETを実現できると同時に、第2のゲート絶縁膜204Bによって消費電力の低減を優先したMOSFETを実現できるので、高駆動力化と低消費電力化とを両立できるシステムLSIを実現できる。

尚、第3の実施形態において、金属ターゲットの材料としてジルコニウム（Zr）を用いたが、これに代えて、反応性スパッタリングにより高誘電率（SiO₂よりも高い誘電率）を有する化合物（酸化物）が得られる他の材料、例えばHf、Ti、Ta、Al、Pr、Nd若しくはLa等の金属又はこれらの金属の合金を用いてもよい。このとき、金属ターゲットが酸素や微量のシリコンを含んでいてもよい。

また、第3の実施形態において、第1のゲート絶縁膜204Aを有するMOSFETを内部回路に用いると共に、第2のゲート絶縁膜204Bを有するMOSFETを周辺回路に用いることが好ましい。このようにすると、駆動力が高く且つ消費電力が低い内部回路と、消費電力が低い周辺回路とを備えたシステムLSIを実現できる。

また、第3の実施形態において、第1のゲート絶縁膜204Aを有するMOSFETをロジック部に用いると共に、第2のゲート絶縁膜204Bを有するMOSFETをDRAM部に用いることが好ましい。このようにすると、駆動力が高く且つ消費電力が低いロジック部と、消費電力が低いDRAM部とを備えたシス

テムLSIを実現できる。

第3の実施形態の変形例

以下、本発明の第3の実施形態の変形例に係る半導体装置の製造方法についてn型MOSFETを例として説明する。

第3の実施形態の変形例が第3の実施形態と異なっている点は、図4(a)に示す工程において、反応性スパッタリング法に代えて化学気相成長法を用いてジルコニウムシリケート層203及びジルコニウム酸化物層202を形成することである。

具体的には、素子分離201の形成後、まず、化学気相成長工程の初期過程として、高温の H_2O 雰囲気においてシリコン基板200の表面に1nm程度の酸化膜（シリコン酸化物層）を形成する。その後、 H_2O と $ZrCl_4$ との混合ガスをソースガスとして用いた化学気相成長法によって、シリコン基板200上にジルコニウム酸化物層202を形成する。このとき、ジルコニウムを含むソースガスとシリコン酸化物層との間で反応が生じて、シリコン基板200とジルコニウム酸化物層202との界面に、ジルコニウム、シリコン及び酸素の3元素化合物からなるジルコニウムシリケート層203が形成される。このように形成されたジルコニウムシリケート層203は、反応性スパッタリング法を用いた場合（第3の実施形態）と同様の性質を有している。また、成長条件、例えばソースガスにおける各ガス成分の流量比、又は成長温度若しくは成長時間等を変えることにより、ジルコニウム酸化物層202とジルコニウムシリケート層203との積層構造における厚さ構成を任意に設定できる。

従って、第3の実施形態の変形例によると、第3の実施形態と同様の効果を得ることができる。

詳しくは、第3の実施形態の変形例によると、シリコン基板200上にジルコニウムシリケート層203を形成すると共にジルコニウムシリケート層203の

上にジルコニウム酸化物層 202 を形成し、その後、ジルコニウム酸化物層 202 を部分的に除去して、ジルコニウムシリケート層 203 からなる第1のゲート絶縁膜 204 A と、ジルコニウムシリケート層 203 及びジルコニウム酸化物層 202 からなる第2のゲート絶縁膜 204 B とを形成する。すなわち、第3の実施形態の変形例は、薄いゲート絶縁膜としてジルコニウムシリケート層 203 の単層構造を用い且つ厚いゲート絶縁膜としてジルコニウムシリケート層 203 及びジルコニウム酸化物層 202 の積層構造を用いたマルチゲート絶縁膜技術である。また、第3の実施形態の変形例では、ジルコニウムを含むソースガスを用いる化学気相成長法によって、均一な厚さと SiO_2 よりも高い誘電率とを有するジルコニウムシリケート層 203 を確実に形成できると共に、成長条件の制御によってジルコニウムシリケート層 203 の厚さを容易且つ確実に調節できる。従って、薄いゲート絶縁膜（第1のゲート絶縁膜 204 A）において小さい SiO_2 換算膜厚と小さいリーク電流とを実現できるため、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステム L S I を形成できる。また、第1のゲート絶縁膜 204 A によって駆動力の向上を優先した M O S F E T を実現できると同時に、第2のゲート絶縁膜 204 B によって消費電力の低減を優先した M O S F E T を実現できるので、高駆動力化と低消費電力化とを両立できるシステム L S I を実現できる。

尚、第3の実施形態の変形例において、ジルコニウム（Zr）を含むソースガスを用いたが、これに代えて、化学気相成長法により高誘電率の化合物（酸化物）が得られる他の材料（例えば Hf、Ti、Ta、Al、Pr、Nd 若しくは La 等の金属又はこれらの金属の合金）を含むソースガスを用いてもよい。

また、第3の実施形態の変形例において、化学気相成長法として通常の熱 C V D 法等を用いてもよいし、又は、ソースガスをパルス状に供給することによってジルコニウム酸化物層等の金属酸化物層を1分子層ずつ堆積する A L D 法を用いてもよい。A L D 法を用いる場合、ジルコニウムシリケート層等の金属シリケ-

ト層における制御性及び均一性の向上を図ることができる。

また、第3の実施形態及びその変形例において、金属シリケート層及び金属酸化物層を形成するために反応性スパッタリング法又は化学気相成長法を用いたが、これに限られず、前述のジルコニウムシリケート層203のような良質の金属シリケート層を形成できる他の成膜方法を用いてもよいことは言うまでもない。

第4の実施形態

以下、本発明の第4の実施形態に係る半導体装置及びの製造方法について、n型MOSFETを例として図面を参照しながら説明する。

図5(a)、(b)は第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

第4の実施形態に係る半導体装置の製造方法の特徴は、シリコン基板上に金属シリケート層を形成する共に金属シリケート層上に金属酸化物層を形成し、その後、金属酸化物層を部分的に除去した後に他の金属酸化物層を形成することによって、金属シリケート層及び他の金属酸化物層からなる第1のゲート絶縁膜と、金属シリケート層、金属酸化物層及び他の金属酸化物層からなる第2のゲート絶縁膜とを形成することである。尚、第4の実施形態においては、図4(d)に示す工程までは第3の実施形態又はその変形例と同様の工程を行なう。

すなわち、まず、図4(a)～(d)に示すように、例えば反応性スパッタリング法又は化学気相成長法等を用いてシリコン基板200上にジルコニウムシリケート層203を形成すると共にジルコニウムシリケート層203の上にジルコニウム酸化物層202を形成し、その後、第1のデバイス形成領域 R_A 上ではジルコニウムシリケート層203のみが残存するようにジルコニウム酸化物層202を除去すると共に、第2のデバイス形成領域 R_B 上ではジルコニウムシリケート層203及びジルコニウム酸化物層202の積層構造を残存させる。

次に、図5(a)に示すように、例えば反応性スパッタリング法を用いて、シ

リコン基板 200 の上に全面に亘って、高誘電率材料層となる厚さ 5 nm 程度のハフニウム酸化物層 (HfO₂ 層) 210 を形成する。これにより、第 1 のデバイス形成領域 R_A の上に、ジルコニウムシリケート層 203 とハフニウム酸化物層 210 との積層構造からなる第 1 のゲート絶縁膜 204 A (図 5 (b) 参照) を形成できると共に、第 2 のデバイス形成領域 R_B 上に、ジルコニウムシリケート層 203 とジルコニウム酸化物層 202 とハフニウム酸化物層 210 との積層構造からなる第 2 のゲート絶縁膜 204 B (図 5 (b) 参照) を形成できる。このとき、ハフニウム酸化物層 210 の誘電率は、ジルコニウム酸化物層 202 の誘電率よりも高いので、同じ厚さで比べた場合、ジルコニウムシリケート層 203 とハフニウム酸化物層 210 との積層構造の方が、ジルコニウムシリケート層 203 とジルコニウム酸化物層 202 との積層構造よりも SiO₂ 換算膜厚が小さくなる。

次に、図 5 (b) に示すように、第 1 のゲート絶縁膜 204 A の上に第 1 のゲート電極 205 A を形成すると共に、第 2 のゲート絶縁膜 204 B の上に第 2 のゲート電極 205 B を形成する。その後、第 1 のゲート電極 205 A の両側面に第 1 のサイドウォール絶縁膜 206 A を形成すると共に、第 2 のゲート電極 205 B の両側面に第 2 のサイドウォール絶縁膜 206 B を形成する。また、シリコン基板 200 における第 1 のゲート電極 205 A の両側にソース領域及びドレイン領域となる第 1 の不純物拡散層 207 A を形成すると共に、シリコン基板 200 における第 2 のゲート電極 205 B の両側にソース領域及びドレイン領域となる第 2 の不純物拡散層 207 B を形成する。その後、第 1 のゲート電極 205 A 及び第 2 のゲート電極 205 B 等の上を含むシリコン基板 200 の上に層間絶縁膜 208 を形成する。その後、層間絶縁膜 208 の上に第 1 の配線 209 A 及び第 2 の配線 209 B を形成する。尚、第 1 の配線 209 A は、第 1 の不純物拡散層 207 A と接続するように層間絶縁膜 208 に設けられたプラグを有し、第 2 の配線 209 B は、第 2 の不純物拡散層 207 B と接続するように層間絶縁膜 2

08に設けられたプラグを有する。

以上に説明したように、第4の実施形態によると、シリコン基板200上にジルコニウムシリケート層203を形成すると共にジルコニウムシリケート層203の上にジルコニウム酸化物層202を形成し、その後、ジルコニウム酸化物層202を部分的に除去した後にハフニウム酸化物層210を形成して、ジルコニウムシリケート層203及びハフニウム酸化物層210からなる第1のゲート絶縁膜204Aと、ジルコニウムシリケート層203、ジルコニウム酸化物層202及びハフニウム酸化物層210からなる第2のゲート絶縁膜204Bとを形成する。すなわち、第4の実施形態は、薄いゲート絶縁膜としてジルコニウムシリケート層203及びハフニウム酸化物層210の積層構造を用い且つ厚いゲート絶縁膜としてジルコニウムシリケート層203、ジルコニウム酸化物層202及びハフニウム酸化物層210の積層構造を用いたマルチゲート絶縁膜技術である。また、第4の実施形態では、例えば反応性スパッタリング法又は化学気相成長法等を用いることにより、均一な厚さとSiO₂よりも高い誘電率とを有するジルコニウムシリケート層203を形成できると共に、例えばスパッタ条件又は成長条件等の制御によってジルコニウムシリケート層203の厚さを容易に調節できる。また、第4の実施形態では、ジルコニウムシリケート層203又はジルコニウム酸化物層202の上にハフニウム酸化物層210を別途形成するため、シリコン基板200との反応を意識せずにハフニウム酸化物層210を設計通りに形成できる。従って、ジルコニウムシリケート層203とハフニウム酸化物層210との積層構造によって、薄いゲート絶縁膜（第1のゲート絶縁膜204A）において小さいSiO₂換算膜厚と小さいリーク電流とを実現できるため、マルチゲート絶縁膜技術においてゲートリーク電流の増大を防止できるので、低消費電力のシステムLSIを形成できる。また、第1のゲート絶縁膜204Aによって駆動力の向上を優先したMOSFETを実現できると同時に、第2のゲート絶縁膜204Bによって消費電力の低減を優先したMOSFETを実現できるので

、高駆動力化と低消費電力化とを両立できるシステムLSIを実現できる。

また、第4の実施形態によると、ジルコニウムシリケート層203とハフニウム酸化物層210との積層構造、又はジルコニウムシリケート層203とジルコニウム酸化物層202とハフニウム酸化物層210との積層構造を、所望の厚さ構成を有するように簡単に形成できるので、MOSFETに要求される機能に応じた第1のゲート絶縁膜204A又は第2のゲート絶縁膜204Bの設計、例えば高駆動力化と低消費電力化との両立を目指したゲート絶縁膜等の設計が容易になる。

尚、第4の実施形態において、ジルコニウムからなるターゲットを用いる反応性スパッタリング法によって、又はジルコニウムを含むソースガスを用いる化学気相成長法によって、ジルコニウムシリケート層203及びジルコニウム酸化物層202を形成することが好ましい。このようにすると、均一な厚さとSiO₂よりも高い誘電率とを有するジルコニウムシリケート層203を確実に形成できると共に、スパッタ条件又は成長条件の制御によってジルコニウム酸化物層202の厚さを確実に調節できる。ここで、化学気相成長法としては、通常の熱CVD法又はALD法等を用いてもよい。ALD法を用いる場合、ジルコニウムシリケート層203の厚さにおける制御性及び均一性の向上を図ることができる。また、反応性スパッタリング法又は化学気相成長法に代えて、良質のジルコニウムシリケート層203を形成できる他の成膜方法を用いてもよいことは言うまでもない。

また、第4の実施形態において、第1のゲート絶縁膜204A又は第2のゲート絶縁膜204Bの下層となる金属シリケート層としてジルコニウムシリケート層203を用いたが、これに限られず、該金属シリケート層は、Zr、Hf、Ti、Al、Pr、Nd若しくはLa等の金属又はこれらの金属の合金を含むことが好ましい。このようにすると、該金属シリケート層の誘電率が確実にSiO₂の誘電率よりも高くなる。

また、第4の実施形態において、第1のゲート絶縁膜204A又は第2のゲート絶縁膜204Bの上層となる他の金属酸化物層としてハフニウム酸化物層210を用いたが、これに限られず、他の金属酸化物層は、Zr、Hf、Ti、Al、Pr、Nd若しくはLa等の金属又はこれらの金属の合金を含むことが好ましい。但し、第1のゲート絶縁膜204A又は第2のゲート絶縁膜204Bの下層となる金属シリケート層に含まれる一の金属と、他の金属酸化物層に含まれる他の金属とは異なっていることが好ましい。

また、第4の実施形態において、第1のゲート絶縁膜204A又は第2のゲート絶縁膜204Bの下層となる金属シリケート層に含まれる一の金属は、該金属シリケート層が基板界面で熱的に安定するように、且つ、該金属シリケート層がシリコン結晶に大きな歪みを与えて移動度を劣化させることのないように選ばれることが好ましい。また、第1のゲート絶縁膜204A又は第2のゲート絶縁膜204Bの上層となる他の金属酸化物層に含まれる他の金属は、該他の金属酸化物層の誘電率が、金属シリケート層と同じ一の金属を含む金属酸化物層よりも高くなるように選ばれることが好ましい。

また、第4の実施形態において、第1のゲート絶縁膜204Aを有するMOSFETを内部回路に用いると共に、第2のゲート絶縁膜204Bを有するMOSFETを周辺回路に用いることが好ましい。このようにすると、駆動力が高く且つ消費電力が低い内部回路と、消費電力が低い周辺回路とを備えたシステムLSIを実現できる。

また、第4の実施形態において、第1のゲート絶縁膜204Aを有するMOSFETをロジック部に用いると共に、第2のゲート絶縁膜204Bを有するMOSFETをDRAM部に用いることが好ましい。このようにすると、駆動力が高く且つ消費電力が低いロジック部と、消費電力が低いDRAM部とを備えたシステムLSIを実現できる。

請求の範囲

1. シリコン基板上に少なくとも一の金属を含む金属シリケート層を形成する共に前記金属シリケート層上に前記一の金属を含む金属酸化物層を形成する工程（a）と、

前記金属酸化物層を除去して、前記金属シリケート層からなるゲート絶縁膜を形成する工程（b）と、

前記ゲート絶縁膜上にゲート電極を形成する工程（c）とを備えていることを特徴とする半導体装置の製造方法。

2. 請求項1において、

前記工程（a）は、少なくとも前記一の金属を含むターゲットを用いる反応性スパッタリング法によって、前記金属シリケート層及び金属酸化物層を形成する工程（d）を含むことを特徴とする半導体装置の製造方法。

3. 請求項1において、

前記工程（a）は、少なくとも前記一の金属を含むソースガスを用いる化学気相成長法によって、前記金属シリケート層及び金属酸化物層を形成する工程（e）を含むことを特徴とする半導体装置の製造方法。

4. 請求項3において、

前記工程（e）は、前記ソースガスをパルス状に供給することによって前記金属酸化物層を1分子層ずつ堆積する工程を含むことを特徴とする半導体装置の製造方法。

5. 請求項1において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属からなる合金であることを特徴とする半導体装置の製造方法。

6. 請求項1において、

前記一の金属はZrであることを特徴とする半導体装置の製造方法。

7. シリコン基板上に少なくとも一の金属を含む金属シリケート層を形成する共に前記金属シリケート層上に前記一の金属を含む金属酸化物層を形成する工程（a）と、

前記金属酸化物層を除去した後に前記シリコン基板上に前記一の金属と異なる他の金属を含む他の金属酸化物層を形成することによって、前記金属シリケート層及び他の金属酸化物層からなるゲート絶縁膜を形成する工程（b）と、

前記ゲート絶縁膜上にゲート電極を形成する工程（c）とを備えていることを特徴とする半導体装置の製造方法。

8. 請求項7において、

前記工程（a）は、少なくとも前記一の金属を含むターゲットを用いる反応性スパッタリング法によって、前記金属シリケート層及び金属酸化物層を形成する工程（d）を含むことを特徴とする半導体装置の製造方法。

9. 請求項7において、

前記工程（a）は、少なくとも前記一の金属を含むソースガスを用いる化学気相成長法によって、前記金属シリケート層及び金属酸化物層を形成する工程（e）を含むことを特徴とする半導体装置の製造方法。

10. 請求項9において、

前記工程(e)は、前記ソースガスをパルス状に供給することによって前記金属酸化物層を1分子層ずつ堆積する工程を含むことを特徴とする半導体装置の製造方法。

11. 請求項7において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属からなる合金であることを特徴とする半導体装置の製造方法。

12. 請求項7において、

前記一の金属はZrであり、

前記他の金属はHfであることを特徴とする半導体装置の製造方法。

13. シリコン基板における第1の素子形成領域及び第2の素子形成領域のそれぞれの上に少なくとも一の金属を含む金属シリケート層を形成する共に前記金属シリケート層上に前記一の金属を含む金属酸化物層を形成する工程(a)と、

前記金属酸化物層における前記第1の素子形成領域上の部分を除去することによって、前記第1の素子形成領域上に前記金属シリケート層からなる第1のゲート絶縁膜を形成すると共に前記第2の素子形成領域上に前記金属シリケート層及び金属酸化物層からなる第2のゲート絶縁膜を形成する工程(b)と、

前記第1のゲート絶縁膜上に第1のゲート電極を形成すると共に前記第2のゲート絶縁膜上に第2のゲート電極を形成する工程(c)とを備えていることを特徴とする半導体装置の製造方法。

14. 請求項13において、

前記工程（a）は、少なくとも前記一の金属を含むターゲットを用いる反応性スパッタリング法によって、前記金属シリケート層及び金属酸化物層を形成する工程（d）を含むことを特徴とする半導体装置の製造方法。

15. 請求項13において、

前記工程（a）は、少なくとも前記一の金属を含むソースガスを用いる化学気相成長法によって、前記金属シリケート層及び金属酸化物層を形成する工程（e）を含むことを特徴とする半導体装置の製造方法。

16. 請求項15において、

前記工程（e）は、前記ソースガスをパルス状に供給することによって前記金属酸化物層を1分子層ずつ堆積する工程を含むことを特徴とする半導体装置の製造方法。

17. 請求項13において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属からなる合金であることを特徴とする半導体装置の製造方法。

18. 請求項13において、

前記一の金属はZrであることを特徴とする半導体装置の製造方法。

19. シリコン基板における第1の素子形成領域及び第2の素子形成領域のそれぞれの上に少なくとも一の金属を含む金属シリケート層を形成する共に前記金属シリケート層上に前記一の金属を含む金属酸化物層を形成する工程（a）と、

前記金属酸化物層における前記第1の素子形成領域上の部分を除去した後前

記第 1 の素子形成領域及び第 2 の素子形成領域のそれぞれの上に前記一の金属と異なる他の金属を含む他の金属酸化物層を形成することによって、前記第 1 の素子形成領域上に前記金属シリケート層及び他の金属酸化物層からなる第 1 のゲート絶縁膜を形成すると共に前記第 2 の素子形成領域上に前記金属シリケート層、金属酸化物層及び他の金属酸化物層からなる第 2 のゲート絶縁膜を形成する工程 (b) と、

前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成すると共に前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程 (c) とを備えていることを特徴とする半導体装置の製造方法。

20. 請求項 19 において、

前記工程 (a) は、少なくとも前記一の金属を含むターゲットを用いる反応性スパッタリング法によって、前記金属シリケート層及び金属酸化物層を形成する工程 (d) を含むことを特徴とする半導体装置の製造方法。

21. 請求項 19 において、

前記工程 (a) は、少なくとも前記一の金属を含むソースガスを用いる化学気相成長法によって、前記金属シリケート層及び金属酸化物層を形成する工程 (e) を含むことを特徴とする半導体装置の製造方法。

22. 請求項 21 において、

前記工程 (e) は、前記ソースガスをパルス状に供給することによって前記金属酸化物層を 1 分子層ずつ堆積する工程を含むことを特徴とする半導体装置の製造方法。

23. 請求項 19 において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属からなる合金であることを特徴とする半導体装置の製造方法。

24. 請求項19において、

前記一の金属はZrであり、

前記他の金属はHfであることを特徴とする半導体装置の製造方法。

25. 一の金属を含む金属シリケート層、及び前記一の金属と異なる他の金属を含む金属酸化物層が順次積層されてなるゲート絶縁膜を有するMOSFETを備えていることを特徴する半導体装置。

26. 請求項25において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属からなる合金であることを特徴とする半導体装置。

27. 一の金属を含む金属シリケート層からなる第1のゲート絶縁膜を有する第1のMOSFETと、

前記金属シリケート層、及び前記一の金属を含む金属酸化物層が順次積層されてなる第2のゲート絶縁膜を有する第2のMOSFETとを備えていることを特徴する半導体装置。

28. 請求項27において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属

からなる合金であることを特徴とする半導体装置。

29. 請求項27において、

前記第1のMOSFETが内部回路に用いられていると共に前記第2のMOSFETが周辺回路に用いられていることを特徴とする半導体装置。

30. 請求項27において、

前記第1のMOSFETがロジック部に用いられていると共に前記第2のMOSFETがDRAM部に用いられていることを特徴とする半導体装置。

31. 一の金属を含む金属シリケート層、及び前記一の金属と異なる他の金属を含む金属酸化物層が順次積層されてなる第1のゲート絶縁膜を有する第1のMOSFETと、

前記金属シリケート層、前記一の金属を含む金属酸化物層、前記他の金属を含む前記金属酸化物層が順次積層されてなる第2のゲート絶縁膜を有する第2のMOSFETとを備えていることを特徴する半導体装置。

32. 請求項31において、

前記一の金属は、Hf、Zr、Ti、Ta、Al、Pr、Nd及びLaにより構成される金属群のうちの1つの金属、又は前記金属群のうちの2つ以上の金属からなる合金であることを特徴とする半導体装置。

33. 請求項31において、

前記第1のMOSFETが内部回路に用いられていると共に前記第2のMOSFETが周辺回路に用いられていることを特徴とする半導体装置。

34. 請求項31において、

前記第1のMOSFETがロジック部に用いられていると共に前記第2のMOSFETがDRAM部に用いられていることを特徴とする半導体装置。

Fig. 1(a)

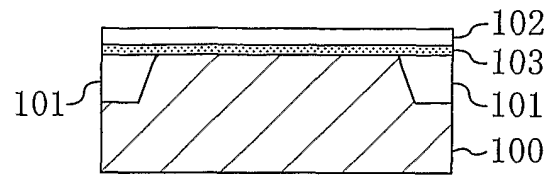


Fig. 1(b)

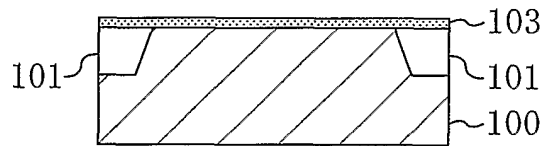
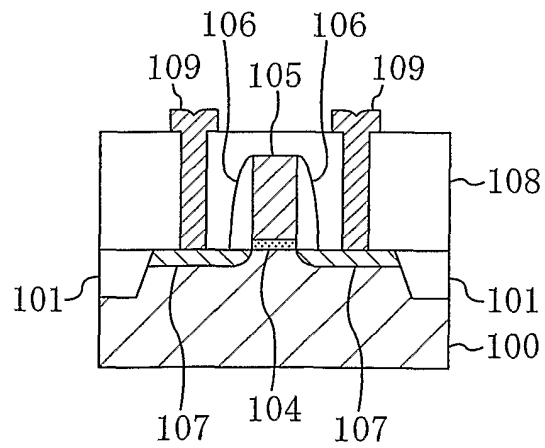


Fig. 1(c)



2 / 6

Fig. 2

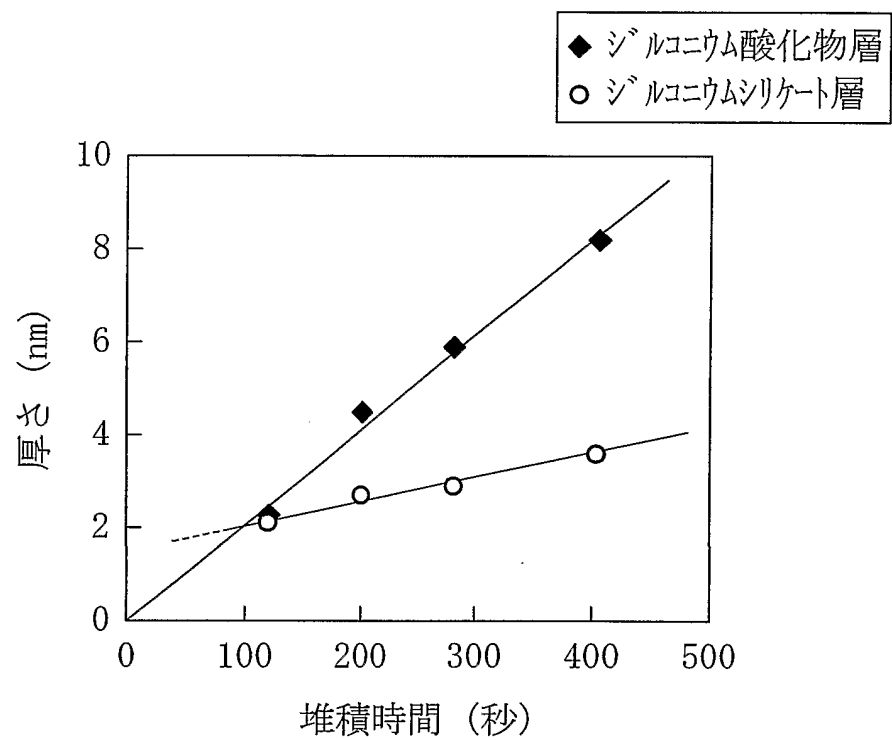


Fig. 3(a)

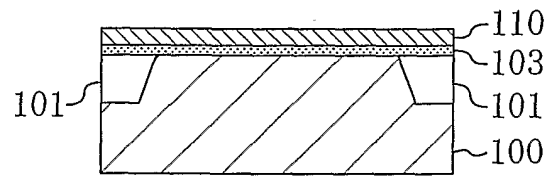


Fig. 3(b)

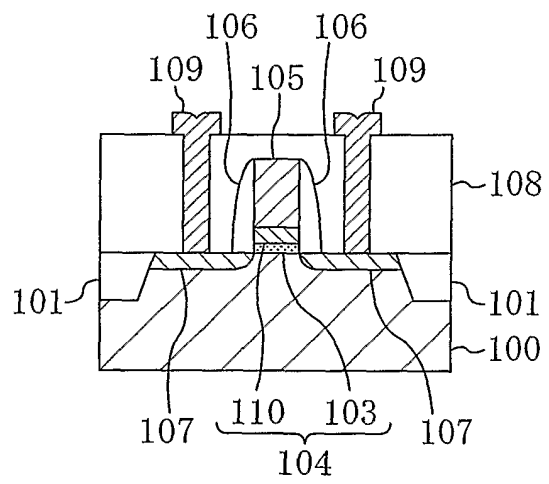




Fig. 4(a)

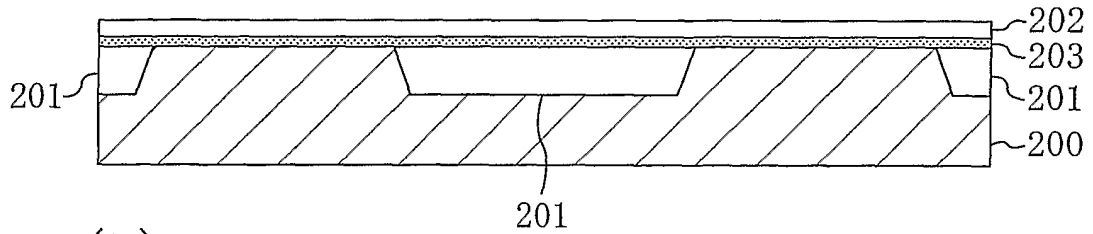


Fig. 4(b)

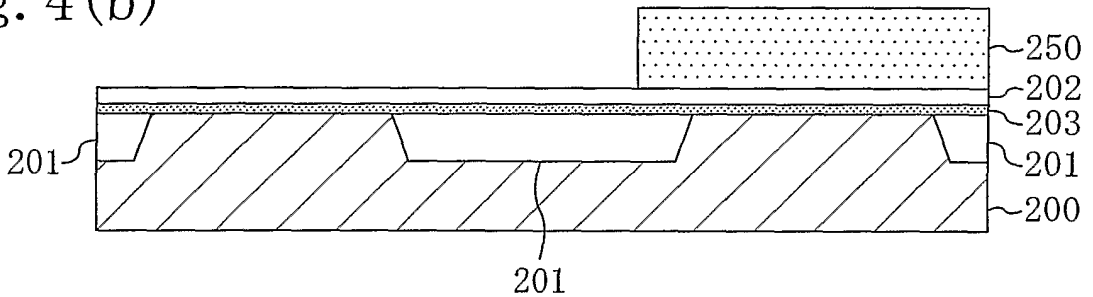


Fig. 4(c)

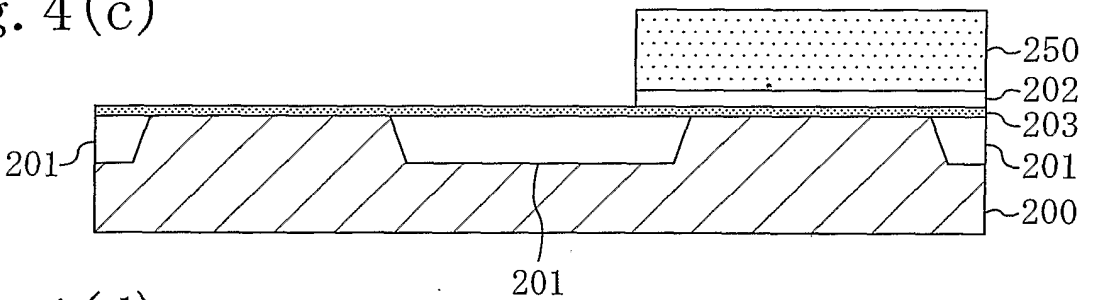


Fig. 4(d)

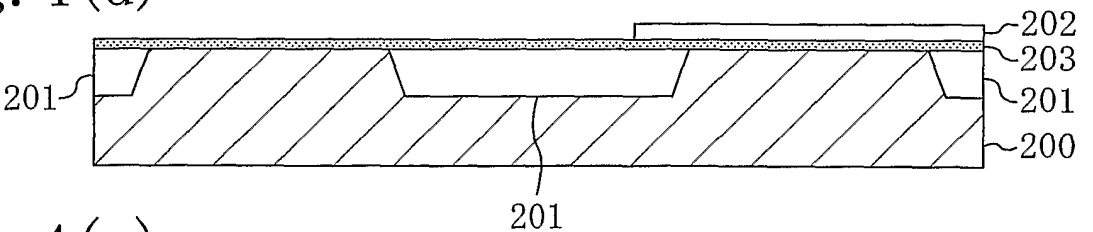
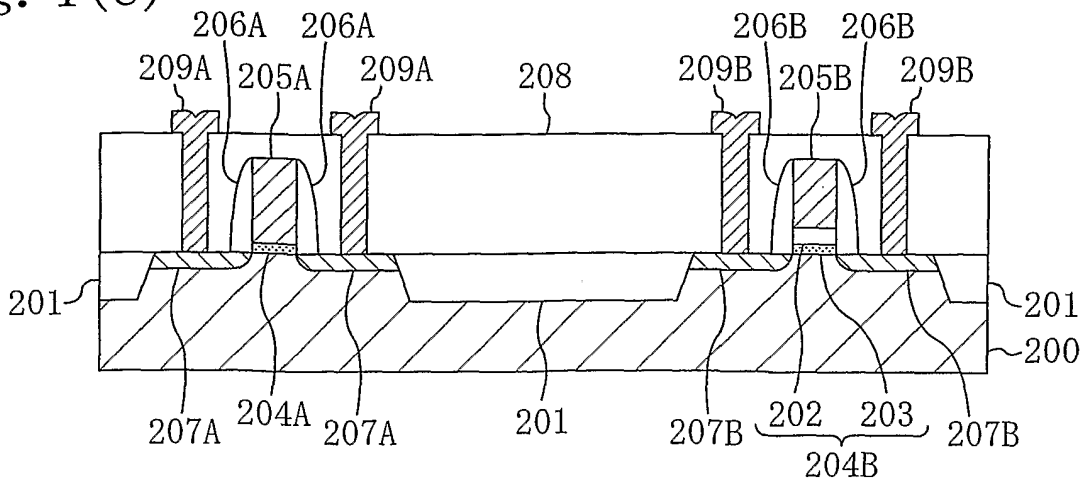


Fig. 4(e)



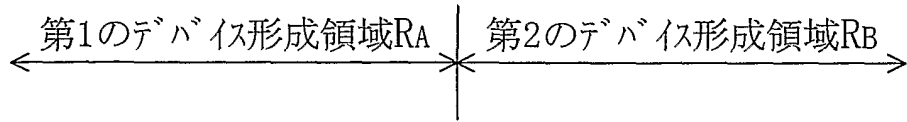


Fig. 5(a)

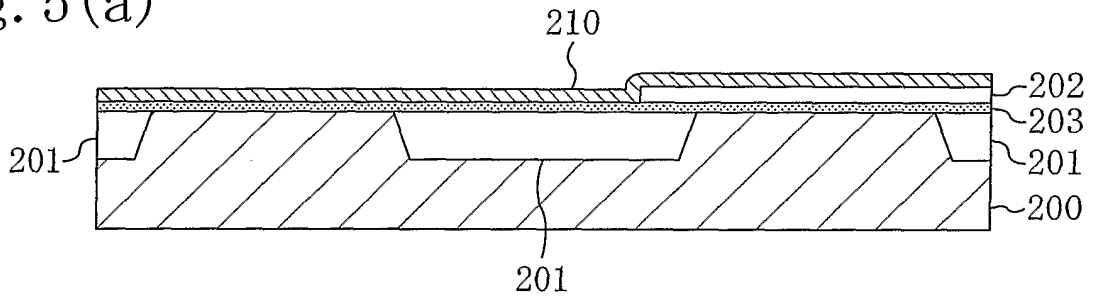


Fig. 5(b)

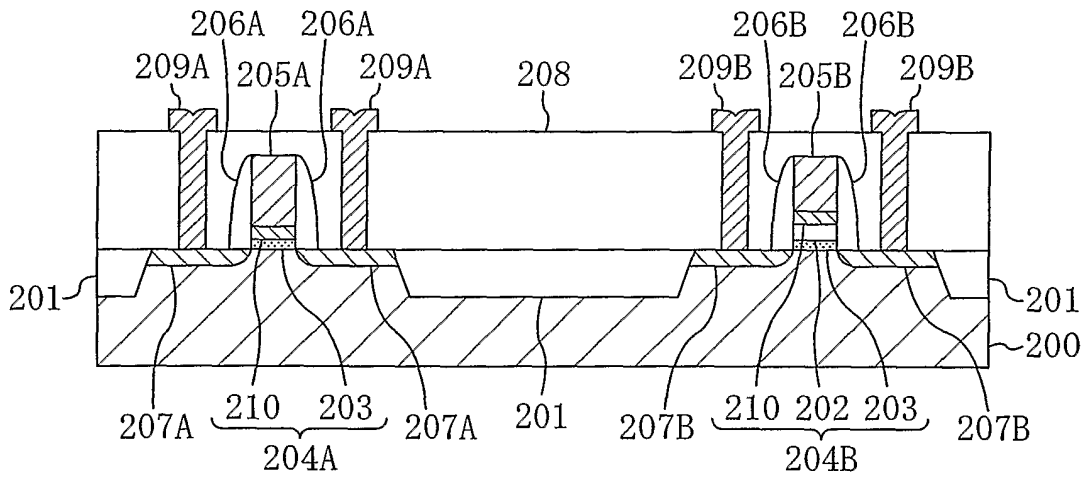
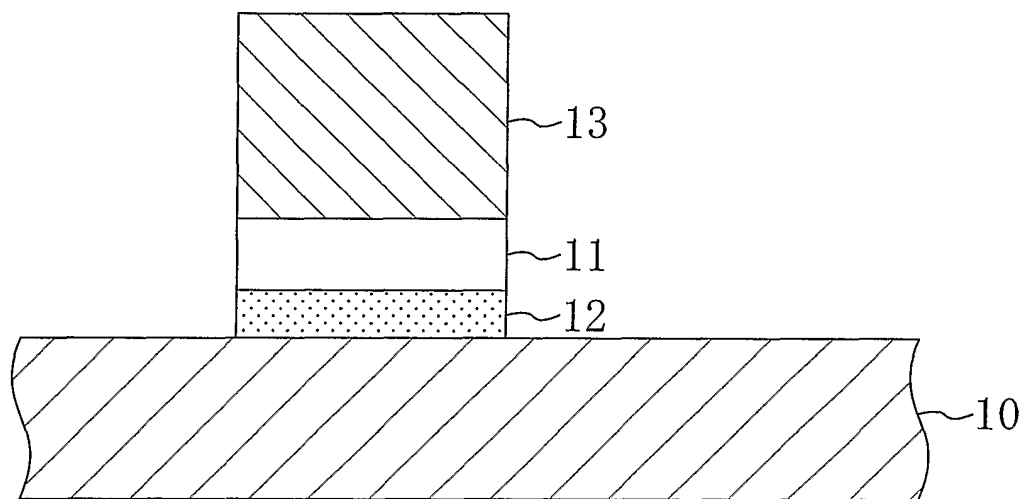


Fig. 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00997

| A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L29/78, H01L21/336, H01L21/8234, H01L27/088, H01L27/108, H01L21/8242, H01L21/316 According to International Patent Classification (IPC) or to both national classification and IPC | | |
|---|--|--|
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L29/78, H01L21/336, H01L21/8234, H01L27/08, H01L27/108, H01L21/8242, H01L21/316 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1966-1996 Jitsuyo Shinan Toroku Koho 1996-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002 | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A Y | JP, 11-135774, A (Texas Instruments Inc.), 21 May, 1999 (21.05.99), Full text; Figs. 1 to 20 & KR 99014155 A & TW 402779 A | 1-24 25-34 |
| A Y | JP, 2000-188338, A (Hitachi, Ltd.), 04 July, 2000 (04.07.00), Full text; Figs. 1 to 12 (Family: none) | 1-24 25-34 |
| A Y | JP, 2000-307010, A (NEC Corp.), 02 November, 2000 (02.11.00), Full text; Figs. 1 to 6 (Family: none) | 1-24 25-34 |
| A Y | JP, 2000-340670, A (Sony Corp.), 08 December, 2000 (08.12.00), Full text; Par. Nos. [0047] to [0059]; Figs. 2, 3 (Family: none) | 1-24 25-34 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family |
| Date of the actual completion of the international search 06 March, 2002 (06.03.02) | | Date of mailing of the international search report 19 March, 2002 (19.03.02) |
| Name and mailing address of the ISA/ Japanese Patent Office Facsimile No. | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00997

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | EP, 1028458, A2 (Texas Instruments Inc.), 16 August, 2000 (16.08.00), Full text; Figs. 1 to 2 & JP 2000-208508 A | 1-34 |
| A | JP, 2000-188400, A (Texas Instruments Inc.), 04 July, 2000 (04.07.00), Full text; Figs. 1 to 20 & US 6291283 B1 | 1-34 |
| A | G.D.Wilk and R.M.Wallace, Electrical properties of hafnium silicate gate dielectrics deposited directly on silicon, Applied Physics Letters, 10 May, 1999 (10.05.99), Vol.74, No.19, pages 2854 to 2856 | 1-34 |
| A | GB, 2340508, A (Samsung Electronics Co., Ltd.), 23 February, 2000 (23.02.00), Full text; Figs. 1 to 2 & JP 2000-54134 A | 4,10,16,22 |
| A | Dae-Gyu Park et al., Characteristics of Al2O3 Gate Dielectric Prepared by Atomic Layer Deposition for Giga Scale CMOS DRAM Devices, 2000 Symposium on VLSI Technology Digest of Technical Papers, 2000, pages 46 to 47 | 4,10,16,22 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336 H01L21/8234
 H01L27/088 H01L27/108 H01L21/8242
 H01L21/316

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336 H01L21/8234
 H01L27/08 H01L27/108 H01L21/8242
 H01L21/316

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年
 日本国公開実用新案公報 1971-2002年
 日本国実用新案登録公報 1996-2002年
 日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| A Y | JP 11-135774 A (テキサス インストルメンツ インコーポレイテッド) 1999.05.21, 全文, 第1-20図 &KR 99014155 A &TW 402779 A | 1-24 25-34 |
| A Y | JP 2000-188338 A (株式会社 日立製作所) 2000.07.04, 全文, 第1-12図 (ファミリーなし) | 1-24 25-34 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー


- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日 06.03.02

国際調査報告の発送日 19.03.02

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 河口 雅 英  4L 8421
 電話番号 03-3581-1101 内線 3462

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| A Y | JP 2000-307010 A (日本電気株式会社) 2000. 11. 02, 全文, 第1-6図 (ファミリーなし) | 1-24 25-34 |
| A Y | JP 2000-340670 A (ソニー株式会社) 2000. 12. 08, 全文, 段落番号【0047】-【0059】, 第2図, 第3図 (ファミリーなし) | 1-24 25-34 |
| A | EP 1028458 A2 (TEXAS INSTRUMENTS INCORPORATED) 2000. 08. 16, 全文, 第1-2図 &JP 2000-208508 A | 1-34 |
| A | JP 2000-188400 A (テキサス インストルメンツ インコーポレイテッド) 2000. 07. 04, 全文, 第1-2 0図 &US 6291283 B1 | 1-34 |
| A | G.D.Wilk and R.M.Wallace, Electrical properties of hafnium silicate gete dielectrics deposited directly on silicon, APPLIED PHYSICS LETTERS, 10 May 1999, Vol.74, No.19, pages 2854-2856 | 1-34 |
| A | GB 2340508 A (Samsung Electronics Co Limited) 2000. 02. 23, 全文, 第1-2図 &JP 2000-54134 A | 4, 10, 16, 22 |
| A | Dae-Gyu Park et. al., Characteristics of Al2O3 Gate Dielectric Prepared by Atomic Layer Deposition for Giga Scale CMOS DRAM Devices, 2000 Symposium on VLSI Technology Digest of Technical Papers, 2000, pages 46-47 | 4, 10, 16, 22 |