



(21)申請案號：104121973

(22)申請日：中華民國 104 (2015) 年 07 月 07 日

(51)Int. Cl.：

H01L21/8247(2006.01)

H01L27/115 (2006.01)

(71)申請人：旺宏電子股份有限公司(中華民國)MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：洪鈺珉 HUNG, YU-MIN (TW)；韓宗廷 HAN, TZUNG TING (TW)；徐妙枝 HSU, MIAO-CHIH (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：20 項 圖式數：16 共 52 頁

(54)名稱

半導體裝置及其製造方法

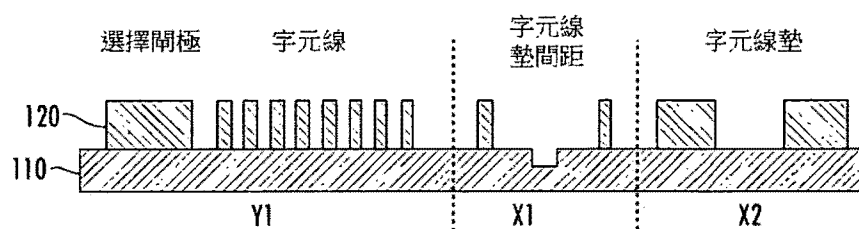
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明係提供一種半導體裝置及其製造方法。方法可包括以自對準四重圖案化步驟圖案化陣列和周邊區、並提供以此結合之圖案化步驟製作而成的半導體裝置。

Provided are improved semiconductor memory devices and methods for manufacturing such semiconductor memory devices. A method may incorporate the patterning of the array and periphery regions in self-aligned quadruple patterning and provide semiconductor devices resulting from the combined patterning.

指定代表圖：



第 1A 圖

符號簡單說明：

110 . . . 基板

120 . . . 膜堆疊

X1、X2、Y1 . . .

軸線



申請日: 104. 7. 07

IPC分類: H01L 21/8247 (2006.1)  
H01L 27/115 (2006.1)

201703202

**【發明摘要】****【中文發明名稱】** 半導體裝置及其製造方法**【英文發明名稱】** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREOF**【中文】**

本發明係提供一種半導體裝置及其製造方法。方法可包括以自對準四重圖案化步驟圖案化陣列和周邊區、並提供以此結合之圖案化步驟製作而成的半導體裝置。

**【英文】**

Provided are improved semiconductor memory devices and methods for manufacturing such semiconductor memory devices. A method may incorporate the patterning of the array and periphery regions in self-aligned quadruple patterning and provide semiconductor devices resulting from the combined patterning.

【指定代表圖】：第(1A)圖。

【代表圖之符號簡單說明】

110：基板

120：膜堆疊

X1、X2、Y1：軸線

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREOF

【技術領域】

【0001】 本發明之實施例係有關於一種半導體裝置及製作此半導體裝置的方法。

【先前技術】

【0002】 製作積體電路的製程大體而言可分類為沈積、圖案化及摻雜。經由使用此些不同的製程所製作的具有多個元件的多種複雜結構，而可以製作出一個半導體裝置。

【0003】 微影製程係形成一基板上的三維圖案化以形成基板上的圖案。可進行多個微影製程結構蝕刻和/或研磨拋光以製作出最終的半導體裝置。

【0004】 光微影製程 (photolithography) 或光學微影製程 (optical lithography) 包括使用光敏感性高分子或光阻曝光並顯影以形成基板上的三維圖案化。基板被光阻覆蓋的部分會受到保護而不會受到後續的蝕刻、離子摻雜或其他特定製程的影響。

【0005】 光微影的製程一般可包括以下步驟：準備基板、提供光阻、預烘烤 (prebaking)、曝光、曝光後的烘烤、顯影、後烘烤 (post-baking)。光阻可以經由任意數目的製程施加於基板上。一般來說，使光阻橫跨基板具有均勻的厚度係重要的。選擇性地

，可以在施加光阻層之前，施加一層底抗反射塗佈層(bottom anti reflectivity coating, BARC)於基板上。典型地，可以在施加光阻之前施加黏著促進劑於基板上。

【0006】 光顯影之後的前提是正型光阻在正型顯影劑中、且通過被光阻暴露於光線中的特定區域中的溶解度之改變，此光線係可見光、或更常見係為紫外光、或其他類型的發光(radiation)。曝光的區域可以經由例如是光罩(mask)的使用來控制。

【0007】 申請人係已指出傳統記憶裝置的製作方法及其方法製作的記憶裝置之缺陷與問題。舉例而言，在傳統的製造方法中，陣列與周邊區必須經由分開的圖案化步驟而分開製作。如此的製程既耗時且成本高。

【0008】 經由應用於此的努力、獨創性及創新，以上指出的問題已經經由本發明以下所述的多個實施例所包括的方法所解決。

#### 【發明內容】

【0009】 本發明之實施例係提供用於製造記憶裝置的半導體裝置的製造方法、及應用此些方法製作而成的半導體裝置。

【0010】 本發明係提供半導體裝置的製造方法，可降低成本及提高效率。一些特定實施例中，半導體裝置的陣列區和周邊區的圖案化製程可以合併，如此可以使用一個裝置來圖案化此兩個區域。本發明之發明人係設計一種用於半導體裝置的布局(layout)，可以整合陣列和周邊的圖案化。經由整合陣列區和周邊區的圖案化製程，成本可以降低，且製備適合的半導體裝置的效率可以提升。

【0011】 本發明的一些特定實施例中，係提供一種半導體裝置。半導體裝

置包括一基板；一第一字元線墊(word line pad)，形成於基板上；以及一第二字元線墊，形成於基板上。其中第一字元線墊包括一第一墊寬(pad width)及一第二墊寬，第一墊寬與一字元線相鄰，第二墊寬相對於字元線，第一墊寬不等同於第二墊寬。一些實施例中，半導體裝置包括一間距(space)，間距位於第一字元線墊和第二字元線墊之間，間距包括一第一間距寬度，第一間距寬度係以a表示。一些特定實施例中，間距包括一第一間距寬度和一第二間距寬度，第一間距寬度係以a表示，第二間距寬度係以b表示，其中a小於b。

【0012】 一些實施例中，半導體裝置包括一第一字元線墊以及一第二字元線墊，第一字元線墊包括一第一墊寬(pad width)及一第二墊寬，第一墊寬與一字元線相鄰，第二墊寬相對於字元線，第一墊寬不等同於第二墊寬。一些特定實施例中，第一墊寬小於第二墊寬。一些其他實施例中，第一墊寬小於第二墊寬約0.05至1.5倍的第一間距寬度a。舉例而言，一些實施中，第一墊寬小於第二墊寬約0.05倍的第一間距寬度a；而一些其他實施例中，第一墊寬小於第二墊寬約1.5倍的第一間距寬度a。

【0013】 一些特定實施例中，半導體裝置包括一第二字元線墊，第二字元線墊包括一第一寬度和一第二寬度，其中第二字元線墊的第一寬度小於第二字元線墊的第二寬度約1.5倍的第一間距寬度a。一些實施例中，第一字元線墊係為第二字元線墊的一鏡像(mirror image)。

【0014】 本發明的一方面亦提供一種半導體裝置的製造方法，包括：提供一基板；沿基板形成一膜堆疊(film stack)；以及蝕刻膜堆疊以

形成一第一字元線墊和一第二字元線墊，其中第一字元線墊包括一第一墊寬及一第二墊寬，第一墊寬與一字元線相鄰，第二墊寬相對於字元線，第一墊寬不等同於第二墊寬。一些實施例中，蝕刻膜堆疊以形成第一字元線墊和第二字元線墊包括：形成一間距於第一字元線墊和第二字元線墊之間，間距包括一第一間距寬度，第一間距寬度係以 $a$ 表示。一些特定實施例中，蝕刻膜堆疊以形成第一字元線墊和第二字元線墊包括：形成一間距於第一字元線墊和第二字元線墊之間，間距包括一第一間距寬度和一第二間距寬度，第一間距寬度係以 $a$ 表示，第二間距寬度係以 $b$ 表示，其中 $a$ 小於 $b$ 。一些特定實施例中，此方法更包括：蝕刻膜堆疊以形成第一字元線墊和第二字元線墊之前，沿膜堆疊的複數個選擇區域形成一光阻。

【0015】 本發明的一些特定實施例中，半導體裝置的製造方法更包括：沿膜堆疊形成一第一芯部(core)材料；沿膜堆疊形成一第二芯部材料；圖案化第二芯部材料以形成一圖案化第二芯部層；沿圖案化第二芯部層的複數個側壁形成複數個第二芯部間隔物；移除圖案化第二芯部層；圖案化第一芯部材料以形成一圖案化第一芯部層；沿圖案化第一芯部層的複數個側壁形成複數個第一芯部間隔物；以及移除圖案化第一芯部層的複數個部分。

【0016】 一些實施例中，圖案化第二芯部材料以形成圖案化第二芯部層包括：沿基板的複數個選擇區域形成一光阻；以及蝕刻未被光阻覆蓋的第一芯部材料。一些實施例中，圖案化第二芯部材料以形成圖案化第二芯部層包括：形成一墊圖案和一字元線圖案，其中墊圖案的一寬度係為大於約600奈米，字元線圖案的一寬度係為約

10~30奈米。一些特定實施例中，圖案化第一芯部材料以形成圖案化第一芯部層包括：沿基板的複數個選擇區域形成一光阻；以及蝕刻未被光阻覆蓋的第一芯部材料。一些實施例中，沿圖案化第二芯部層的多個側壁形成多個第二芯部間隔物包括：形成複數個間隔物，此些間隔物的一寬度係為約20~40奈米。

【0017】 本發明的一些實施例中，此方法更包括：切齊(trimming)圖案化第一芯部層。舉例而言，一些實施例中，切齊圖案化第一芯部層包括：切齊一字元線圖案以具有一寬度係為約10~20奈米。

【0018】 一些特定實施例中，移除圖案化第一芯部層的多個部分包括：移除沿膜堆疊的一墊圖案(pad pattern)中的一半圓(semicircle)中的圖案化第一芯部層。舉例而言，移除圖案化第一芯部層可包括：形成具有一半徑係為約200~300奈米的一半圓。

【0019】 於半導體裝置的製造方法之一些實施例中，形成第一字元線墊包括：形成包括一第一墊寬和一第二墊寬的第一字元線墊，第一墊寬與一字元線相鄰，第二墊寬相對於字元線，第一墊寬小於第二墊寬約0.05至1.5倍的第一間距寬度a。

【0020】 上述摘要僅用來整理本發明中的一些實施例，以用來提供對於本發明的一些方面之基本的瞭解。因此，以上所列的實施例僅用於示例，並非用以限定本發明之精神和範圍。在本發明之精神和範圍內，更可包含多種可能的實施例之更動與潤飾，且除了上述摘要之外，更於下文中敘述其他的一些可能實施例。

【0021】 下文係配合所附圖式對本發明作詳細說明如下，需注意圖式上的尺寸比例並非按照實際產品等比例繪製。



**【圖式簡單說明】**

**【0022】** 第1A~1C圖繪示根據本發明之一些實施例之一種半導體裝置的示意圖。

第2A~2C圖繪示根據本發明之一些實施例施加一光阻後的一種半導體裝置的示意圖。

第3A~3C圖繪示根據本發明之一些實施例蝕刻一第二芯部層以形成一圖案化第二芯部層後的一種半導體裝置的示意圖。

第4A~4C圖繪示根據本發明之一些實施例沿圖案化第二芯部層的側壁形成間隔物後的一種半導體裝置的示意圖。

第5A~5B圖繪示根據本發明之一些實施例移除圖案化第二芯部層後的一種半導體裝置的示意圖。

第6A~6C圖繪示根據本發明之一些實施例施加一光阻後的一種半導體裝置的示意圖。

第7A~7C圖繪示根據本發明之一些實施例蝕刻一圖案化第一芯部層後的一種半導體裝置的示意圖。

第8A~8C圖繪示根據本發明之一些實施例切齊(trimming)圖案化第一芯部材料後的一種半導體裝置的示意圖。

第9A~9C圖繪示根據本發明之一些實施例沿圖案化第一芯部層的側壁形成間隔物後的一種半導體裝置的示意圖。

第10A~10C圖繪示根據本發明之一些實施例移除圖案化第一芯部層的複數個部分後的一種半導體裝置的示意圖。

第11圖繪示根據本發明之一些實施例移除圖案化第一芯部層的複數個部分後的一種半導體裝置的示意圖。

第12A~12C圖繪示根據本發明之一些實施例蝕刻膜堆疊以形成半導體裝置的字元線、字元線墊和電晶體後的一種半導體裝置的示

意圖。

第13A~13C圖繪示根據本發明之一些實施例施加一光阻以將一個墊切割成數個墊後的一種半導體裝置的示意圖。

第14A~14B圖繪示根據本發明之一些實施例蝕刻膜堆疊以形成彼此分開而相鄰的數個墊後的一種半導體裝置的示意圖。

第15圖繪示根據本發明之一些實施例之半導體裝置的製造方法的一些特定步驟。

第16A~16B圖繪示根據本發明之一些實施例之半導體裝置的製造方法的細部流程圖。

#### 【實施方式】

【0023】 以下係提出本發明的多個實施例並搭配圖式進行詳細說明，然上述實施例並非本發明可呈現之所有實施例。實際上，本發明的多種實施例可以多種形式實施，本發明欲保護之範圍並非限縮於本文所述的實施例之態樣。本文所述之實施例係用以滿足揭露內容之法律規定。

【0024】 本文發明內容及申請專利範圍所述的單數量詞「一」和「該」的含意亦包括多個，除非明確指出只能是單一個。舉例而言，「一閘極結構」的含意包括複數個此閘極結構。

【0025】 除非特別指出，否則本文發明內容及申請專利範圍所述的所有用來表示成分的量、反應條件…等的數字均可以經由「約」之用語而調整。因此，除非特別相對地指明，否則本文發明內容及申請專利範圍所述的數值參數均係為概略值、且可以根據本揭露標的所欲達到的特性而調整改變。

【0026】 本文所述的用語「約」，係指一個數值或質量、重量、時間、體積、濃度或百分比的一個數量可包括一個從指定的數值可變異的範圍，而此可變異的範圍係適合於實施本揭露方法。一些實施例中，此可變異範圍可以是 $\pm 20\%$ 。一些實施例中，此可變異範圍可以是 $\pm 10\%$ 。一些實施例中，此可變異範圍可以是 $\pm 5\%$ 。一些實施例中，此可變異範圍可以是 $\pm 1\%$ 。一些實施例中，此可變異範圍可以是 $\pm 0.5\%$ 。一些實施例中，此可變異範圍可以是 $\pm 0.1\%$ 。

【0027】 雖然本文係使用特定的用語，然此些用語係以共通性且敘述性方式採用，而非用以限制本發明。所有的用於本文的用語，包括技術性或科學性用語，除非於本文中另有特定定義，均具有本發明所述技術領域具有通常知識者所共同理解的含意。更進一步，於一般常用字典中具有定義的用語，均係詮釋為具有本發明所述技術領域具有通常知識者所共同理解的含意。更進一步，於一般常用字典中具有定義的用語，其含意均係詮釋為與相關技術領域及本揭露內容所載文字內容所具有之含意相同。此些通用的用語，除非本揭露內容明確定義為其他含意，否則不會被解釋為理想化的或過度正式的含意。

【0028】 在半導體業界，降低製作半導體裝置的成本之需求仍持續性地增高，例如是非揮發性記憶裝置。市場需求更小且更便宜的裝置。在製作傳統的半導體裝置時，陣列及周邊區是以分開的光罩進行圖案化。分別的多個製程步驟增加製程的複雜度及成本。

【0029】 在相關領域中仍持續需要替代的記憶裝置結構及其製作方法以容許成本及複雜度的降低。

- 【0030】 本發明的發明人已發現可以經由形成本文所述的裝置的布局，陣列及周邊區的圖案化便可以整合。如此製作的半導體裝置之成本可降低且效率可提升。採用本文所述的製程步驟，陣列及周邊區的圖案化可以結合並且提供一個適合的半導體裝置。
- 【0031】 非揮發記憶體係指即使電力供應自記憶體移除、仍可以儲存資訊的半導體裝置。非揮發記憶體包括但不限定遮罩唯讀記憶體(Mask Read-Only Memory)、可程式化唯讀記憶體(Programmable Read-Only Memory)、可抹除可程式化唯讀記憶體(Erasable Programmable Read-Only Memory)、電性可抹除可程式化唯讀記憶體(Electrically Erasable Programmable Read-Only Memory)、以及快閃記憶體(Flash Memory)，例如是NAND裝置和NOR裝置。
- 【0032】 本文所述的「陣列圖案(array pattern)」係指在半導體裝置的中心區(central region)或陣列區(array region)中形成的圖案。在一個完全形成的積體電路中，「陣列區」係典型地高密度地分佈有多個導線和多個可能包括電晶體和電容的電子裝置。電子裝置可形成複數個記憶單元、此些記憶單元典型地配置成一個格狀圖案於多個字元線和多個位元線的多個交叉點。
- 【0033】 本文所述的「周邊圖案(“periphery pattern” or “peripheral pattern”)」係指在半導體裝置的周邊區中形成的圖案。「周邊區(periphery region)」是環繞陣列區的區域。周邊區典型地包括多個元件，此些元件支援例如是陣列區中的記憶單元之操作。

- 【0034】 本文所述的「間距(space)」係指裝置中缺了一個層或多個層而形成於裝置的剖面中的一個缺口(void)。舉例而言，第1A圖中，多個間距形成於多個字元線和多個墊之間。
- 【0035】 本文所述的「墊圖案(pad pattern)」係指形成於半導體裝置上用以設置一個或多個墊的圖案。當後續的步驟進行後，一個或多個墊可以形成於墊圖案中。本文所述的「字元線圖案」係指形成於半導體裝置上用以設置一個或多個字元線的圖案。當後續的步驟進行後，一個或多個字元線可以形成於字元線圖案中。
- 【0036】 本文所述的「邊界區域(boundary area)」係指環繞一個字元線和一個墊的連接點(connection point)之區域。「連接點」係指一個字元線與一個墊接觸的位置。連接至字元線墊的字元線係指「連接字元線(connecting word line)」。本發明之發明人已發現於一些實施例中，經由形成墊和連接字元線的特定布局，陣列和周邊區的圖案化可以整合。當形成此布局，可以蝕刻邊界區域使得進一步的製程更容易。邊界區域的蝕刻可以在各別的字元線或墊形成之前進行，以使得字元線和或墊可以形成。蝕刻邊界區域可以產生一個圖案，例如是一個半圓或鐘擺形(pendulum)，而可以在後續用於圖案化半導體裝置的欲得到的最終結構或布局。在第1A~1C圖中的相鄰的墊之間的區域可以見到鐘擺形。
- 【0037】 第1A~1C圖繪示根據本發明之一些實施例之一種半導體裝置的示意圖。第1A圖係半導體裝置在陣列區和周邊區的剖面圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。X1軸線之剖面位於四個墊之間，X2軸線之剖面跨過兩個相鄰的墊。如第1A圖所示的剖面中尚標示出選擇閘極(select gate)、字元

線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面之位置的示意圖如第1B圖所示，第1C圖係相鄰字元線墊的放大圖。

【0038】 如第1A圖所示，本實施例之半導體裝置包括一基板110和一膜堆疊120。膜堆疊120已經蝕刻以形成預定的特徵於半導體裝置的各個陣列和周邊區中。一些實施例中，膜堆疊120可包括一氧化物硬遮罩、一控制閘極、一多晶矽間介電層(interpoly dielectric layer)、一浮接閘極以及一穿隧氧化層。膜堆疊可包括以任何適合順序配置的任何適合的膜層。舉例而言，一些實施例中，膜堆疊可包括多種膜層作為埋擴散氧化層(buried diffusion oxide layer)、穿隧氧化層、浮接閘極、控制閘極、高密度電漿或上述任意組合。一些實施例中，一淺溝槽隔離(shallow trench isolation, STI)結構可以形成於基板中。一般而言，淺溝槽隔離(STI)係以多個側壁和一個底部來定義且包括介電材料，例如是氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{Si}_3\text{N}_4$ )、氮氧化矽( $\text{SiO}_x\text{N}_y$ )或上述之任意組合。

【0039】 基板可以包括任何下伏(underlying)材料或一裝置、一電路、一磊晶層、或一半導體可形成於其上的材料。一般而言，一個基板可以用來定義一個半導體裝置的一個或多個下伏層、或者可形成一個半導體裝置的基底層。基板可包括矽、摻雜矽、鍺、矽化鍺、半導體化合物、或任何半導體材料、或上述之任意組合，但不限於此。

【0040】 膜堆疊的多個介電層可以包括任何適合的介電材料，例如是氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{Si}_3\text{N}_4$ )、氮氧化矽( $\text{SiO}_x\text{N}_y$ )或上述之任意組合

。舉例而言，氧化物硬遮罩、多晶矽間介電層和穿隧氧化層可包括氧化矽( $\text{SiO}_2$ )、氮化矽( $\text{Si}_3\text{N}_4$ )、氮氧化矽( $\text{SiO}_x\text{N}_y$ )或上述之任意組合。一些特定實施例中，一個或多個介電層可包括一氧氮氧(ONO)層。一個或多個介電層可以經由任何適合的沈積製程形成，例如是化學氣相沈積(CVD)或旋塗介電製程(spin-on dielectric processing)。一些特定實施例中，一個或多個介電層可以成長於基板上。

【0041】 一些實施例中，多個導電層可包括多晶矽。舉例而言，控制閘極和浮接閘極可包括多晶矽。一個或多個導電層可以經由任何適合的製程形成，例如是化學氣相沈積(CVD)或旋塗製程(spin coating)。

【0042】 如第1C圖所示，相鄰的墊之間可具有一間距。本發明的一些特定實施例中，例如如第1C圖所示，相鄰的墊之間的可具有一個以a表示的寬度以及一個以b表示的寬度。在第1A~1C圖所示的實施例中，以a表示的寬度以及以b表示的寬度係如第1C圖所示。一些實施例中，以a表示的間距係為相鄰的墊之間的最窄間距。一些特定實施例中，以a表示的寬度可以小於以b表示的寬度。也就是說，一些特定實施例中，相鄰的墊之間可具有一間距，其中此間距具有一個窄部分和一個寬部分。

【0043】 一些實施例中，裝置的一個墊可以具有一第一寬度和一第二寬度，第一寬度相鄰於一連接字元線，第二寬度相對於此連接字元線。本文所述的「連接字元線」係指連接至墊的字元線。一般而言，一個墊會只有一個連接字元線。舉例而言，如第1C圖所示，本實施例的墊具有一個寬度D1相鄰於連接字元線(如第1C圖所示的

「線端(line end)」)並且具有一個寬度D2相對於連接字元線。一些特定實施例中，墊的相鄰於字元線的第一寬度(D1)可以小於相對於字元線的第二寬度(D2)。一些實施例中，墊的第一寬度小於墊的第二寬度約0.05~1.5倍的相鄰墊之間的最窄間距。如第1C圖所示，墊具有兩個寬度，第一寬度以D1表示，第一寬度小於第二寬度約0.05~1.5倍的此墊與一個第二墊之間間距(此間距以a表示)。也就是說，一些實施例中，墊的第一寬度小於相鄰墊之間的最窄間距約0.05~1.5倍。

● 【0044】 本發明的一些實施例中，超過一個的墊具有兩個寬度，其中第一寬度小於第二寬度約0.05~1.5倍的一個墊與一個相鄰的墊之間間距。如第1A~1C圖所示，相鄰的墊可以是鏡像(mirror images)，因而兩個字元線墊具有兩個寬度，其中第一寬度小於第二寬度約0.05~1.5倍各個字元線墊之間間距。一些實施例中，橫跨X1軸線的字元線墊為鏡像。第1B圖繪示橫跨X1軸線的字元線墊為鏡像之實施例。

● 【0045】 本發明的一些實施例中，一個半導體裝置可以由一個包括一基板和一膜堆疊的結構所形成。一些特定實施例中，此結構可更包括芯部材料以圖案化陣列和周邊區。舉例而言，如第2圖所示，此結構包括一矽基板110、一字元線膜堆疊120、一多晶矽芯部材料(130)和一進階圖案化膜芯部材料(advanced patterning film (APF) core material)(140)。第2圖提供各個層的特定材料類型，然而本發明並非限於此，而可以使用任何適合的材料。舉例而言，基板可以包括如前所述的材料(例如矽、矽、摻雜矽、鍺、矽化鍺、半導體化合物、或任何半導體材料)。膜堆疊可以是最



終結構所需的任何膜堆疊且可以經由任何適合的製程沿著基板形成。芯部材料可以是任何適合圖案化的材料，例如是進階圖案化膜(advanced patterning film, APF)、矽或其組合，且可以以任何適合的順序及任何適合的製程形成於基板上。

【0046】 第2A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第2A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第2B圖所示，第2C圖可形成係相鄰字元線墊之位置的放大圖。

【0047】 一些特定實施例中，可以形成一圖案化第二芯部層。爲了形成此圖案化芯部，一些實施例中，可以施加一光阻於裝置，且搭配單一個光罩可以形成第一芯部材料之上的一圖案。第2A~2C圖繪示根據本發明之一些實施例施加一光阻後150的一種半導體裝置的示意圖。此光阻可以是任何可圖案化下伏芯部材料的適合的光阻。如第2A圖所示，一些特地實施例中，可以施加光阻150以形成第二芯部材料(140)之上的一圖案。

【0048】 一些實施例中，光阻圖案可以形成一圖案用於後續的墊的形成後續的字元線的形成。一些實施例中，用於後續的字元線之形成的光阻圖案可以使用第一光阻，第一光阻具有一寬度約爲10~70奈米，例如是約20~60奈米，或是約30~50奈米。第2C圖係呈現用於後續的字元線之形成的光阻圖案具有大約爲30~50奈米的一寬度，此寬度以D3表示。

- 【0049】 一些實施例中，用於後續的墊之形成的光阻圖案可以具有一寬度大於約200奈米，例如是大於約400奈米，或是大於約600奈米。第2C圖係呈現用於後續的墊之形成的光阻圖案具有大於約600奈米的一寬度，此寬度以D4表示。
- 【0050】 可以使用此光阻蝕刻裝置。第3A~3C圖繪示根據本發明之一些實施例蝕刻一第二芯部層以形成一圖案化第二芯部層後的一種半導體裝置的示意圖。第3A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第3A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第3B圖所示，第3C圖係可形成相鄰字元線墊之位置的放大圖。
- 【0051】 第3A~3C圖繪示根據本發明之一些實施例蝕刻一第二芯部材料以提供一圖案化第二芯部層後的裝置。本文所述的「圖案化第二芯部層(patterned second core layer)」係指第二芯部材料、即使圖案化第二芯部層可以在圖案化第一芯部層之前形成。光阻可以保護芯部材料的特定預定區域不受到蝕刻的影響，例如是形成一圖案之蝕刻。可以使用任何適合的製程蝕刻採用的芯部材料。可以經由任何已知的製程移除光阻，以留下具有預定圖案的芯部材料。
- 【0052】 一些實施例中，蝕刻第二芯部材料後形成的圖案化第二芯部層包括一墊圖案和一字元線圖案。如第3C圖所示，一些實施例中，留在基板上的第二芯部材料可以形成至少一個墊圖案其具有一大於

約600奈米的寬度、及至少一字元線圖案其寬度約30~50奈米。如上所述，墊圖案可以具有一寬度大於約200奈米，大於約400奈米，或是大於約600奈米，此寬度例如可以如第3C圖的D4表示。字元線圖案可以具有一寬度約為10~70奈米，例如是約20~60奈米，或是約30~50奈米，此寬度例如可以如第3C圖的D3表示。

【0053】 一些實施例中，可以沿圖案化第二芯部層的多個側壁形成多個間隔物。第4A~4C圖繪示根據本發明之一些實施例沿圖案化第二芯部層140的側壁形成間隔物160後的一種半導體裝置的示意圖。第4A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第4A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第4B圖所示，第4C圖係可形成相鄰字元線墊之位置的放大圖。

【0054】 如第4A~4C圖所示的實施例中，根據本發明之一些實施例，沿圖案化第二芯部層140的側壁形成間隔物160。間隔物的材料可以經由任何適合的方法沈積於或形成於半導體裝置上。間隔物的材料可以沿著半導體裝置的表面沈積、且經過一部分蝕刻後形成間隔物160，間隔物160沿著圖案化第二芯部層140的側壁沈積。間隔物之間可以形成溝槽或開口區。

【0055】 一些特定實施例中，間隔物的材料可包括任何可以在自對準圖案化(self-aligned patterning)製程中形成間隔物的適合的材料。舉例而言，一些實施例中，低溫氧化物可以沈積於裝置上、並

且被蝕刻以沿著圖案化芯部的側壁形成間隔物。在如第4A~4C圖所示的實施例中，間隔物160包括低溫氧化物。一些特定實施例中，間隔物可以形成以具有一預定厚度，此厚度可以表示為如第4C圖所示的D5。間隔物可以具有任何適合的厚度，例如是約5~60奈米，約10~50奈米，或約20~40奈米。如第4C圖所示，一些特定實施例中，間隔物160沿著圖案化第二芯部層140可具有寬度約20~40奈米。

● 【0056】 一些實施例中，可以沿裝置移除圖案化第二芯部層。一些實施例中，如第5A~5B圖所示，可以移除圖案化第二芯部層並留下沿著基板沈積的間隔物。第5A~5B圖繪示根據本發明之一些實施例移除圖案化第二芯部層140後的一種半導體裝置的示意圖。間隔物160仍沿著裝置沈積。第5A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第5A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第5B圖所示。

● 【0057】 圖案化第二芯部層可以經由任何適合的製程移除，例如是乾式或濕式剝除。沿著基板沈積的間隔物可提供用於後續蝕刻製程的外型輪廓。

● 【0058】 一些實施例中，可以施加一光阻於半導體裝置的特定區域之上以圖案化第一芯部材料。第6A~6C圖繪示根據本發明之一些實施例施加一光阻後的一種半導體裝置的示意圖。第6A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線

表示，周邊的剖面係由X1軸線和X2軸線表示。如第6A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第6B圖所示，第6C圖係用於後續的墊之形成的光阻圖案的放大圖。

【0059】 可以經由任何適合的製程施加一光阻。如第6A~6C圖所示，光阻170覆蓋墊和電晶體預定的區域。如第6A~6C圖所示，字元線預定的區域則保持未被光阻所覆蓋或保護，因而暴露於後續的蝕刻製程。舉例而言，光阻可以形成以覆蓋如第6A~6C圖所示之用於後續形成一個或多個墊的區域。一些特定實施例中，用於後續的墊的形成的一個或多個區域可以由尺寸A和B所定義，其中A是下伏間隔物至光阻的一相對邊緣的距離，B是光阻的寬度。第6C圖繪示本實施例之尺寸A和B。光阻可以設置於間隔物之上，使得間隔物可以位於光阻的中間(例如間隔物至光阻的一個相對邊緣的距離等同於間隔物至光阻的另一邊端點的距離)。舉例而言，在第6C圖中，間隔物至光阻的任意一邊緣的距離係為A。一些實施例中，距離A可以大於約100奈米，例如大於約200奈米，或大於約250奈米。光阻也可以具有一寬度B。寬度B可以大於約100奈米，例如大於約200奈米，或大於約300奈米，甚至大於約400奈米。如第6C圖所示，間隔物160可以具有一寬度(D5)約20~40奈米。

【0060】 一些實施例中，可以蝕刻裝置以沿著基板形成一圖案化第一芯部層。第7A~7C圖繪示根據本發明之一些實施例蝕刻一圖案化第一芯部層後的一種半導體裝置的示意圖。第7A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示

，周邊的剖面係由X1軸線和X2軸線表示。如第7A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第7B圖所示，第7C圖係可形成相鄰的墊之位置的放大圖。

【0061】 一些實施例中，可以蝕刻第一芯部材料以沿基板提供一圖案化第一芯部層。如第7A~7C圖所示，由於間隔物係形成以具有一預定厚度，例如是約20~40奈米，圖案化第一芯部層則包括具有此預定厚度的字元線圖案。舉例而言，在如第7A~7C圖所示的實施例中，字元線圖案具有一厚度約20~40奈米，其厚度係為如第7C圖所示的D6。

【0062】 一些實施例中，可以切齊(trimming)圖案化第一芯部層以形成具有一預定厚度的字元線圖案和墊圖案。第8A~8C圖繪示根據本發明之一些實施例切齊圖案化第一芯部材料後的一種半導體裝置的示意圖。第8A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第8A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第8B圖所示，第8C圖係可形成相鄰字元線墊之位置的放大圖。

【0063】 一些實施例中，圖案化第一芯部層可以被切齊以達到一臨界尺寸(critical dimension)。因此則可以形成具有預定節距(pitch)(節距例如是結構之間的尺寸)的半導體裝置。一些特定實施例中

，圖案化第一芯部層可以被切齊以形成字元線圖案，字元線圖案具有一寬度約為5~40奈米，例如約為10~30奈米，或約為10~20奈米。在如第8A~8C圖所示的實施例中，圖案化第一芯部層130係為了字元線圖案切齊至大約10~20奈米，寬度如第8C圖所示的D7。

【0064】 一些實施例中，可以沿圖案化第一芯部層的多個側壁形成多個部間隔物。第9A~9C圖繪示根據本發明之一些實施例沿圖案化第一芯部層130的側壁形成間隔物180後的一種半導體裝置的示意圖。第9A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第9A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第9B圖所示，第9C圖係可形成相鄰字元線墊之位置的放大圖。

【0065】 一些實施例中，例如是如第9A~9C圖所示的實施例中，可以沿圖案化第一芯部層130形成多個間隔物180。一些特定實施例中，間隔物的材料可以經由任何適合的方法沈積於或形成於半導體裝置上。間隔物的材料可以沿著半導體裝置的表面沈積、且經過一部分蝕刻後形成間隔物180，間隔物180沿著圖案化第一芯部層130的側壁沈積。間隔物之間可以形成溝槽或開口區。

【0066】 一些特定實施例中，間隔物的材料可包括任何可以在自對準圖案化(self-aligned patterning)製程中形成間隔物的適合的材料。舉例而言，一些實施例中，低溫氧化物可以沈積於裝置上、並且被蝕刻以沿著圖案化芯部的側壁形成間隔物。在如第9A~9C圖

所示的實施例中，間隔物180包括低溫氧化物。一些特定實施例中，間隔物可以形成以具有一預定厚度，此厚度可以表示為D8。間隔物可以具有任何適合的厚度，例如是約5~60奈米，約10~50奈米，約20~40奈米，或約10~20奈米。如第9C圖所示，一些特定實施例中，間隔物180沿著圖案化第一芯部層130可具有寬度約10~20奈米。

【0067】 一些實施例中，可以移除位於裝置的一些區域中的圖案化第一芯部層、而保留位於裝置的一些其他區域中的圖案化第一芯部層。第10A~10C圖繪示根據本發明之一些實施例移除圖案化第一芯部層的複數個部分後的一種半導體裝置的示意圖。第10A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第10A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第10B圖所示，第10C圖係可形成相鄰的字元線墊之位置的放大圖。

【0068】 一些特定實施例中，移除圖案化第一芯部層的多個部分之前，可以負載(load)一聚合物至裝置上。在一些特定區域中，例如是小而窄的區域，則負載較少的聚合物；而在其他區域中，例如是大而開放的區域，則堆積較多聚合物於其中。後續的蝕刻步驟可以移除位於具有較少聚合物之區域中的圖案化第一芯部材料，而留下具有較多聚合物之區域中的圖案化第一芯部材料。舉例而言，如第10A~10C圖所示，間隔物之間的窄區域中的第一芯部材料可



以被移除(如第10A圖所示的於Y1軸線之剖面的「字元線」區域)，而間隔物之間的較寬區域中的第一芯部材料可以被留下(如第10A圖所示的於X2軸線之剖面的「字元線墊」區域)。此種不同的移除量可以歸因為聚合物的負載效應(loading effect)。舉例而言，一些特定實施例中，由於較多聚合物負載於較大的區域，當位於較分散排列的間隔物之間的第一芯部材料可能被保留，位於較密排列的間隔物之間的第一芯部材料則可能被移除。當越多聚合物負載於較分散排列的間隔物之間，例如是周邊區，則在後續的蝕刻製程中，此些較分散排列的間隔物之間的第一芯部材料則可能不會被移除。當越少聚合物負載於較密排列的間隔物之間，例如是陣列區，則在後續的蝕刻製程中，此些較密排列的間隔物之間的第一芯部材料則可能會被移除。

**【0069】** 因此，一些特定實施例中，較小區域中的第一芯部材料可能會被移除，而較大區域中的第一芯部材料則較不會被移除。如第10A圖和第7A圖所示，字元線圖案中，彼此較靠近設置的間隔物180之間的第一芯部材料(130)係被移除。並且，如第10A圖和第7A圖所示，沿X2軸線的間隔物180之間的第一芯部材料(130)未被移除。較多聚合物沈積在間隔物之間的此大區域中以防止第一芯部材料被蝕刻。

**【0070】** 一些實施例中，較小而窄的區域可能與較大而開放的區域接觸，而大而開放的區域可以係指前述的邊界區域(boundary area)。一些特定實施例中，此邊界區域中的第一芯部材料的一些部分可以被移除。舉例而言，如第10C圖所示，墊圖案中的邊界區域中的第一新度材料係被移除。一些特定實施例中，此材料的移除可

形成墊圖案中的一個圖案。此圖案可以是任意形狀，例如是半圓或鐘擺形，如第10C圖所示。一些實施例中，此形狀可具有一尺寸，例如是如第10C圖所示的半徑C。一些特定實施例中，此尺寸可以是約50~500奈米，例如是約100~400奈米，或約200~300奈米。舉例而言，在於第10C圖所示的實施例中，墊圖案中可形成一個半圓，此半圓具有一半徑約為200~300奈米。在如第10C圖所示的實施例中，墊圖案具有兩個合併的蝕刻區域。在本發明的一些其他實施例中，這些邊界區域中的蝕刻區域亦可以不合併。一些特定實施例中，可以操作第一芯部材料的蝕刻製程以變化邊界區域中最終形成的圖案。當進行蝕刻時，可以使用多種蝕刻氣體，例如是二氟甲烷( $\text{CH}_2\text{F}_2$ )、八氟環丁烷( $\text{C}_4\text{F}_8$ )、六氟丁二烯( $\text{C}_4\text{F}_6$ )、全氟環戊烯( $\text{C}_5\text{F}_8$ )、氟甲烷( $\text{CH}_3\text{F}$ )、三氟甲烷( $\text{CHF}_3$ )及上述之任意組合，並且採用多種氣體流速，例如是10~100sccm。經由調整蝕刻氣體的組成和氣體流速，可以在邊界區域中形成預定的圖案，例如是具有半徑約為200~300奈米的半圓。

**【0071】** 第11圖繪示根據本發明之一些實施例移除圖案化第一芯部層的多個部分後的一種半導體裝置的示意圖。如第11圖所示，由於負載效應，墊圖案的多個部分可以移除，以形成多個半圓於連接字元線圖案及對應的墊圖案之邊界區域中。一些實施例中，邊界區域中的一個蝕刻圖案可和另一個邊界區域中的一個相鄰的蝕刻圖案合併。在如第11圖所示的實施例中，墊圖案中的兩個相鄰的圖案係合併而形成一個開口輪廓(open profile)。

**【0072】** 一些實施例中，可以蝕刻膜堆疊以形成裝置的預定結構。第12A~12C圖繪示根據本發明之一些實施例蝕刻膜堆疊以形成半導

體裝置的多個字元線、多個墊和多個電晶體後的一種半導體裝置的示意圖。第12A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第12A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第12B圖所示，第12C圖係可形成相鄰的字元線墊之位置的放大圖。

【0073】 膜堆疊可以經由任何適合的製程蝕刻以形成預定的結構。一些特定實施例中，移除圖案化第二芯部層的一些部分後所形成的圖案可以被轉移至膜堆疊。舉例而言，如第12C圖所示，墊圖案中形成的圖案(例如是墊圖案中形成的多個半圓)可以被轉移到膜堆疊，而形成多個包括此圖案的墊。形成於膜堆疊中的墊圖案可以是任何適合的形狀。一些實施例中，例如是如第12C圖所示的實施例，膜堆疊可以被蝕刻以形成多個半圓於一個或多個墊中。此些半圓可以具有任何適合的尺寸，例如是一半徑約為50~500奈米，例如是約為100~400奈米，或是約為200~300奈米。舉例而言，在如第12C圖所示的實施例中，一個或多個半圓係形成而具有一半徑C約為200~300奈米，在如第12C圖所示的實施例中，此些半圓係基於前述的負載效應而合併。然而，其他實施例中，此些墊中的此些半圓或其他形狀可以不合併。

【0074】 一些實施例中，經由蝕刻膜堆疊而形成的多個墊可以連接至超過一個字元線。也就是說，一些實施例中，單一個墊可以連接至超過一個字元線。在此些實施例中，可以進一步蝕刻墊，而使得此

墊僅連接至一個字元線。一些實施例中，若一個墊連接至超過一個字元線，此墊可能會斷路而造成裝置的失效。第13A~13C圖繪示根據本發明之一些實施例施加一光阻以將一個墊切割成數個墊後的一種半導體裝置的示意圖。第13A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第13A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第13B圖所示，第13C圖係可形成相鄰的字元線墊之位置的放大圖。

【0075】 一些實施例中，一光阻可以施加在裝置上，使得連接至多個字元線的多個墊的一些部分暴露於後續的蝕刻步驟。此些未受到保護的部分可能被蝕刻而將多個墊分開，因而能提供一裝置，此裝置中的各個墊僅連接至單一個字元線。

【0076】 下伏的墊之暴露於蝕刻的部分可具有一預定寬度，例如是如第13C圖所示的a。此寬度可以是任何適合的寬度而可以允許一個墊分開成多個墊、進而提供裝置，此裝置中的各個墊僅連接至單一個字元線。

【0077】 本發明的一些實施例中，此寬度可以和後續形成的墊的一寬度具有某種特定的關連性。也就是說，可以施加光阻於裝置以形成一個蝕刻間距於相鄰的墊之間，其中此蝕刻間距具有一寬度a，此兩個相鄰的墊的其中一個或兩者具有一第一寬度和一第二寬度，第一寬度小於第二寬度約0.05至1.5倍的寬度a。一些特定實施例中，預定形成一個墊，此墊具有一第一寬度及一第二寬度，第一

寬度與一連接字元線相鄰，第二寬度相對於此連接字元線，第一寬度小於第二寬度約0.05至1.5倍的寬度a。舉例而言，此墊可具有一第一寬度大於一第二寬度約0.1、0.15、0.2、0.25、0.3、0.35、0.4、0.45、0.5、0.55、0.6、0.65、0.7、0.75、0.8、0.85、0.9、1.0、1.05、1.1、1.15、1.2、1.25、1.3、1.35、1.4、1.45或1.5倍的寬度a。

【0078】 第14A~14B圖繪示根據本發明之一些實施例蝕刻膜堆疊以形成彼此分開而相鄰的數個墊後的一種半導體裝置的示意圖。第14A圖繪示半導體裝置於預定的陣列和周邊區的剖面示意圖。陣列的剖面係由Y1軸線表示，周邊的剖面係由X1軸線和X2軸線表示。如第14A圖所示的剖面中尚標示出選擇閘極(select gate)、字元線(word line)、字元線墊間距(word line pad space)以及字元線墊(word line pad)。半導體裝置的各個剖面所製作之位置的示意圖如第14B圖所示。如第14B~14C圖所示，特別是沿X2軸線的剖面，可以經由蝕刻裝置之未保護的區域而形成相鄰的墊。

【0079】 一些提供光阻以進一步蝕刻相鄰的墊之實施例中，可以移除此光阻。至此完成本發明之一種半導體裝置，如第1A~1C圖所示。

【0080】 第15圖繪示根據本發明之一些實施例之半導體裝置的製造方法的一些特定步驟。第15圖描述在一些特定實施例中，形成圖案化第一芯部層時的光阻之設置提供了膜堆疊中的最後圖案的基礎。一些實施例中，例如第15圖所示，可以施加一光阻至半導體裝置而使得多個間隔物對準(aligned)於光阻的中間。舉例而言，如第15圖所示，間隔物(STR1)和光阻(PLH PHOTO)的相對邊緣之間的距離(A)係等同於間隔物與光阻的另一個邊緣的距離。於一些並

非用於限定的實施例中，經由沿間隔物設置光阻而使得間隔物位於光阻的中間，可以為後續的蝕刻步驟形成較大的製程窗口。一些特定的實施例中，設置光阻之後，可以進行後續的步驟，例如是蝕刻膜堆疊。舉例而言，在第15圖中係描述後續蝕刻製程(PL3/PLC ETCH)。如第15圖所示，後續製程步驟的蝕刻窗口(etching window)可以經由沿間隔物設置光阻而使得間隔物位於光阻的中間而擴大。

【0081】 本發明的一方面係提供一種半導體裝置，係經由本文所述的半導體裝置之製造流程或方法所製作。一些其他特定實施例中，一種半導體裝置可以經由任意組合本文所述的多個方法步驟而製作。更進一步，任何本領域具有通常知識者所知的製程方法若對於本揭露內容所有助益，亦可以用於本發明之實施例之半導體裝置的製造方法。

【0082】 第16A~16B圖繪示根據本發明之一些實施例之半導體裝置的製造方法的細部流程圖。一些特定實施例中，根據本發明之半導體裝置的製造方法可包括提供一基板之步驟410以及沿基板形成一膜堆疊之步驟420。一些實施例中，此方法更可包括沿膜堆疊形成一第一芯部材料之步驟430、沿膜堆疊形成一第二芯部材料之步驟440以及圖案化第二芯部材料以形成一圖案化第二芯部層之步驟450。一些實施例中，圖案化第二芯部材料以形成圖案化第二芯部層時，此方法更可包括沿基板的複數個選擇區域形成一第一光阻之步驟460以及蝕刻未被第一光阻覆蓋的第二芯部材料之步驟470。一些實施例中，如第16A圖所示，根據本發明之半導體裝置的製造方法可包括沿圖案化第二芯部層的複數個側壁形成複數

個第二芯部間隔物之步驟480以及移除圖案化第二芯部層之步驟490。如第16B圖所示，此方法更可包括圖案化第一芯部材料以形成一圖案化第一芯部層之步驟500、沿圖案化第一芯部層的複數個側壁形成複數個第一芯部間隔物之步驟540以及移除圖案化第一芯部層的複數個部分之步驟550。一些實施例中，當圖案化第一芯部材料時，此方法更可包括沿基板的複數個選擇區域形成一第二光阻之步驟510以及蝕刻未被第二光阻覆蓋的第一芯部材料之步驟520。再進一步，此方法可包括切齊圖案化第一芯部層之步驟530。一些實施例中，此方法可包括蝕刻膜堆疊之步驟560。一些進一步的實施例中，此方法更可包括沿膜堆疊的複數個選擇區域形成一第三光阻之步驟570、蝕刻膜堆疊以形成第一字元線墊和第二字元線墊之步驟580以及移除第三光阻步驟590。本發明之方法可包括如第16A~16B圖所述的多個步驟之多種組合。

**【0083】** 本文所述的任何製程步驟、方法或技術均可用來完成本發明所請之方法的任意步驟。於方法中如前所概述的特定步驟本身可包括其他子步驟，而並未必須於此處特別指明。本領域中具有通常知識者均了解可以對於本揭露內容有所助益之進一步的多個步驟。

**【0084】** 本發明可以應用於製造任何記憶裝置。舉例而言，本發明之方法可以應用於製造任何非揮發性記憶裝置，例如是NAND快閃記憶裝置、NOR快閃記憶裝置、邏輯裝置或任何其他可以使用自對準多重圖案化之裝置。

**【0085】** 綜上所述，雖然本發明已以各種實施例揭露如上，然其並非用以限定本發明。雖然前述之實施例說明某些特定的元件和/或功能之組合，本發明所屬技術領域中具有通常知識者，在不脫離本發

明之精神和範圍內，當可作各種之更動與潤飾。據此，舉例而言，除了前文詳述的元件和/或功能之組合，其他類型之組合應亦係為本發明之申請專利範圍所界定之保護範圍。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【符號說明】**

- 【0086】** 110：基板  
120：膜堆疊  
130：圖案化第一芯部層  
140：圖案化第二芯部層  
150、170、PLH PHOTO：光阻  
160、180、SPR1：間隔物  
410~490、500~590：步驟  
a、b、A、D1、D2、D3、D4、D7：寬度  
B：距離  
C：半徑  
D5、D6、D8：厚度  
PL3/PLC ETCH：後續蝕刻製程  
X1、X2、Y1：軸線



## 【發明申請專利範圍】

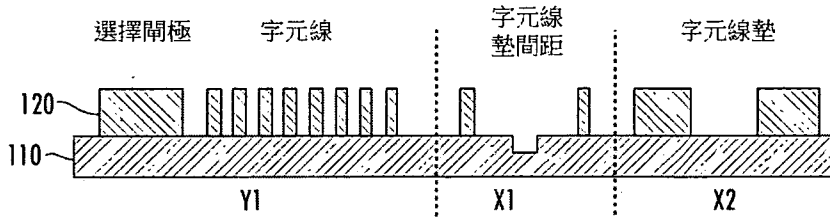
- 【第1項】 一種半導體裝置，包括：
- 一基板；
  - 一第一字元線墊(word line pad)，形成於該基板上；以及
  - 一第二字元線墊，形成於該基板上；
- 其中該第一字元線墊包括一第一墊寬(pad width)及一第二墊寬，該第一墊寬與一字元線相鄰，該第二墊寬相對於該字元線，該第一墊寬不等同於該第二墊寬。
- 【第2項】 如申請專利範圍第1項所述之半導體裝置，其中一間距(space)位於該第一字元線墊和該第二字元線墊之間，該間距包括一第一間距寬度，該第一間距寬度係以 $a$ 表示。
- 【第3項】 如申請專利範圍第1項所述之半導體裝置，其中該第一墊寬小於該第二墊寬。
- 【第4項】 如申請專利範圍第2項所述之半導體裝置，其中該第一墊寬小於該第二墊寬約0.05至1.5倍的該第一間距寬度 $a$ 。
- 【第5項】 如申請專利範圍第2項所述之半導體裝置，其中該第一墊寬小於該第二墊寬約0.05倍的該第一間距寬度 $a$ 。
- 【第6項】 如申請專利範圍第2項所述之半導體裝置，其中該第一墊寬小於該第二墊寬約1.5倍的該第一間距寬度 $a$ 。
- 【第7項】 如申請專利範圍第2項所述之半導體裝置，其中該第二字元線墊包括一第一寬度和一第二寬度，其中該第二字元線墊的該第一寬度小於該第二字元線墊的該第二寬度約1.5倍的該第一間距寬度 $a$

- 。
- 【第8項】 如申請專利範圍第1項所述之半導體裝置，其中該第一字元線墊係為該第二字元線墊的一鏡像(mirror image)。
- 【第9項】 一種半導體裝置的製造方法，包括：  
提供一基板；  
沿該基板形成一膜堆疊(film stack)；以及  
蝕刻該膜堆疊以形成一第一字元線墊和一第二字元線墊，其中該第一字元線墊包括一第一墊寬及一第二墊寬，該第一墊寬與一字元線相鄰，該第二墊寬相對於該字元線，該第一墊寬不等同於該第二墊寬。
- 【第10項】 如申請專利範圍第9項所述之半導體裝置的製造方法，更包括：  
沿該膜堆疊形成一第一芯部(core)材料；  
沿該膜堆疊形成一第二芯部材料；  
圖案化該第二芯部材料以形成一圖案化第二芯部層；  
沿該圖案化第二芯部層的複數個側壁形成複數個第二芯部間隔物；  
；  
移除該圖案化第二芯部層；  
圖案化該第一芯部材料以形成一圖案化第一芯部層；  
沿該圖案化第一芯部層的複數個側壁形成複數個第一芯部間隔物；  
；以及  
移除該圖案化第一芯部層的複數個部分。
- 【第11項】 如申請專利範圍第10項所述之半導體裝置的製造方法，其中圖案化該第二芯部材料以形成該圖案化第二芯部層包括：  
沿該基板的複數個選擇區域形成一光阻；以及  
蝕刻未被該光阻覆蓋的該第二芯部材料。

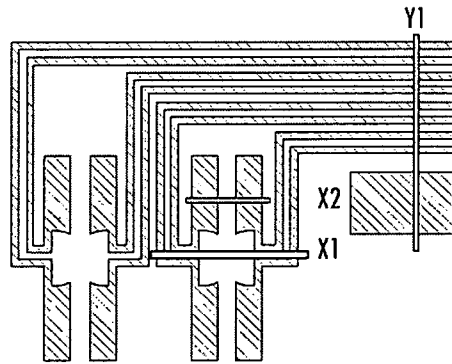
- 【第12項】 如申請專利範圍第10項所述之半導體裝置的製造方法，其中圖案化該第一芯部材料以形成該圖案化第一芯部層包括：  
沿該基板的複數個選擇區域形成一光阻；以及  
蝕刻未被該光阻覆蓋的該第一芯部材料。
- 【第13項】 如申請專利範圍第10項所述之半導體裝置的製造方法，更包括：  
切齊(trimming)該圖案化第一芯部層。
- 【第14項】 如申請專利範圍第9項所述之半導體裝置的製造方法，更包括：  
蝕刻該膜堆疊以形成該第一字元線墊和該第二字元線墊之前，沿該膜堆疊的複數個選擇區域施加一光阻。
- 【第15項】 如申請專利範圍第10項所述之半導體裝置的製造方法，其中移除該圖案化第一芯部層的該些部分包括：  
移除沿該膜堆疊的一墊圖案(pad pattern)中的一半圓(semicircle)中的該圖案化第一芯部層。
- 【第16項】 如申請專利範圍第15項所述之半導體裝置的製造方法，其中該半圓具有一半徑係為約200~300奈米。
- 【第17項】 如申請專利範圍第10項所述之半導體裝置的製造方法，其中圖案化該第二芯部材料以形成該圖案化第二芯部層包括：  
形成一墊圖案和一字元線圖案，其中該墊圖案的一寬度係為大於約600奈米，該字元線圖案的一寬度係為約10~30奈米。
- 【第18項】 如申請專利範圍第10項所述之半導體裝置的製造方法，其中沿該圖案化第二芯部層的該些側壁形成該些第二芯部間隔物包括：  
形成複數個間隔物，該些間隔物的一寬度係為約20~40奈米。
- 【第19項】 如申請專利範圍第13項所述之半導體裝置的製造方法，其中切齊該圖案化第一芯部層包括：  
切齊一字元線圖案以具有一寬度係為約10~20奈米。

【第20項】 如申請專利範圍第9項所述之半導體裝置的製造方法，其中蝕刻該膜堆疊以形成該第一字元線墊和該第二字元線墊包括：  
形成一間距於該第一字元線墊和該第二字元線墊之間，該間距包括一第一間距寬度，該第一間距寬度係以 $a$ 表示；以及  
其中該第一墊寬小於該第二墊寬約0.05至1.5倍的該第一間距寬度 $a$ 。

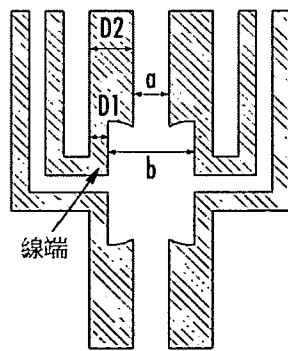
# 【發明圖式】



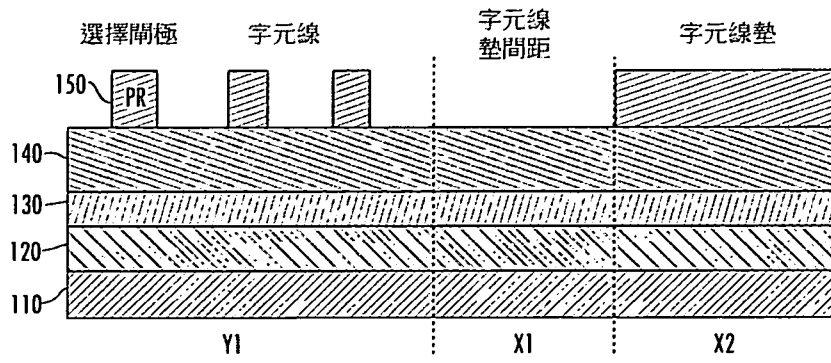
第 1A 圖



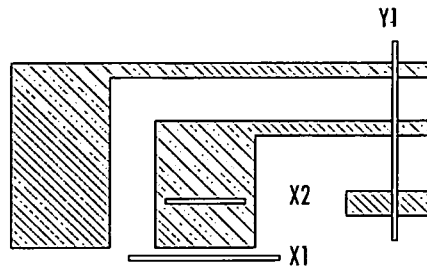
第 1B 圖



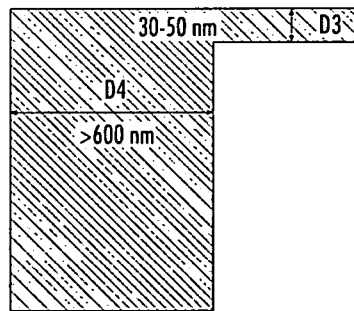
第 1C 圖



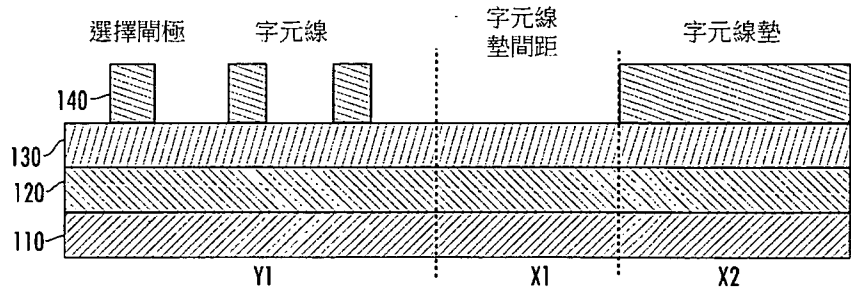
第 2A 圖



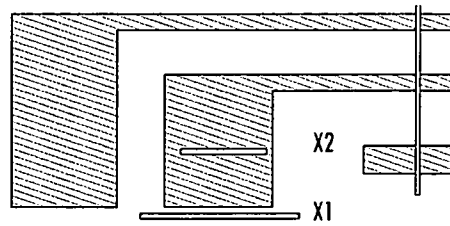
第 2B 圖



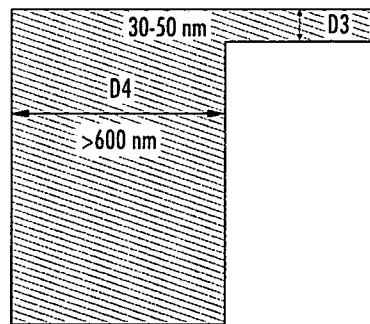
第 2C 圖



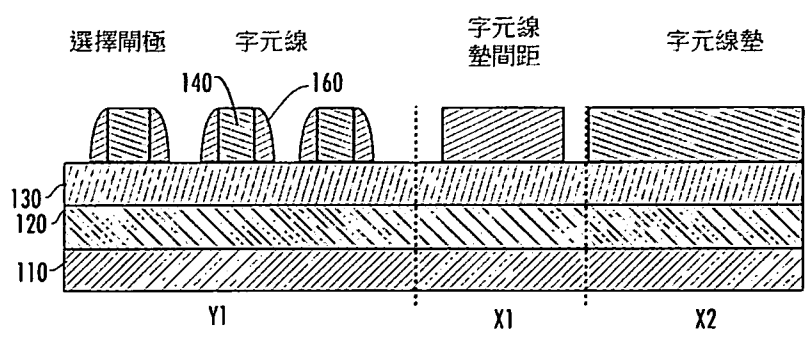
第 3A 圖



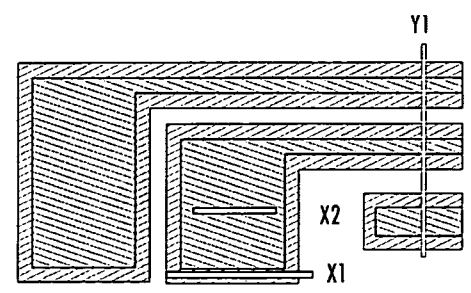
第 3B 圖



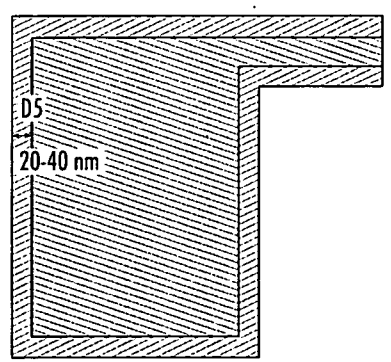
第 3C 圖



第 4A 圖

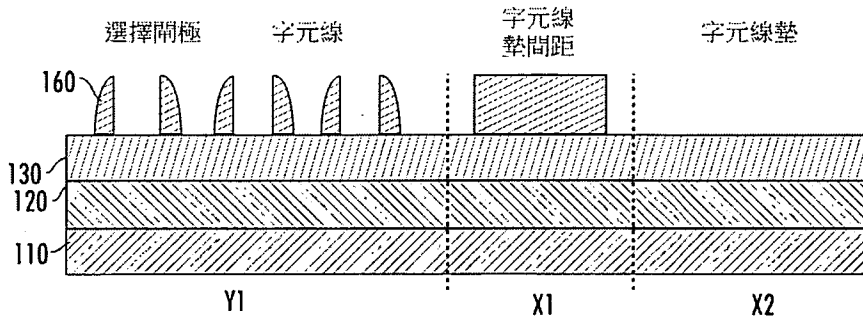


第 4B 圖

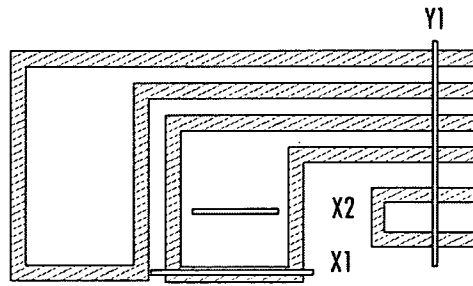


第 4C 圖

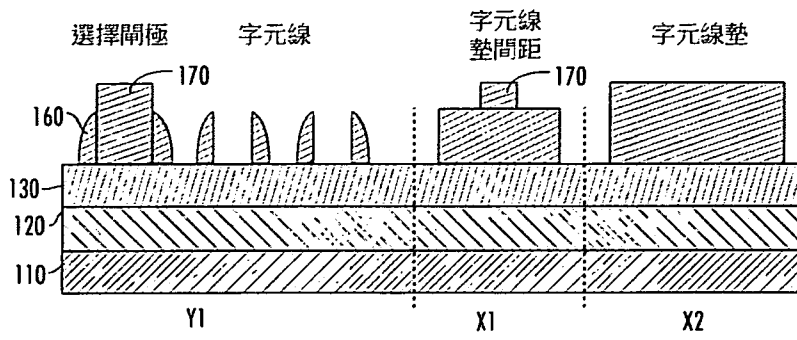




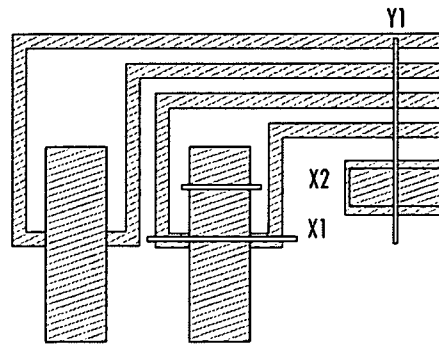
第5A圖



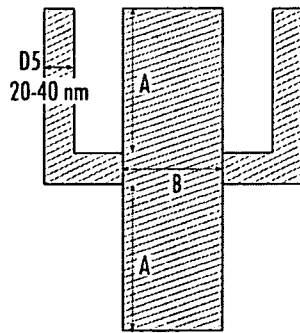
第5B圖



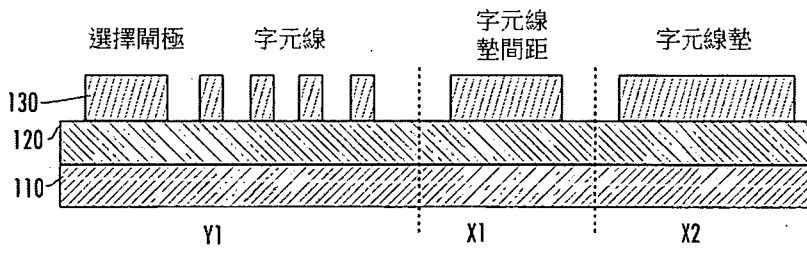
第 6A 圖



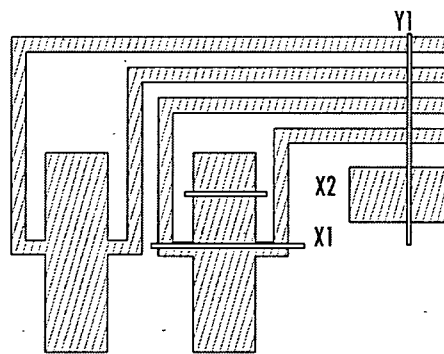
第 6B 圖



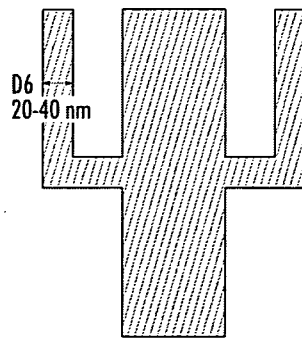
第 6C 圖



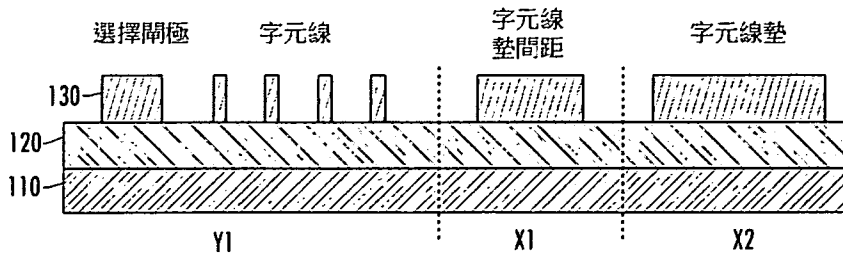
第 7A 圖



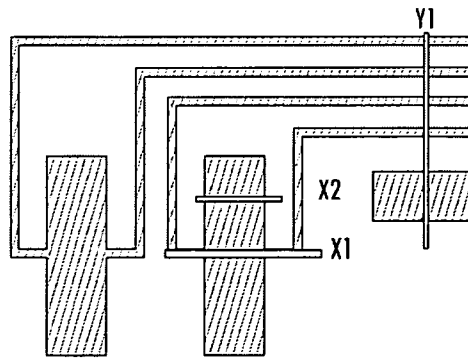
第 7B 圖



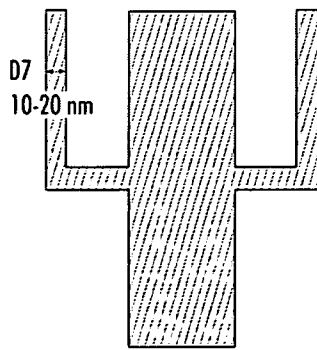
第 7C 圖



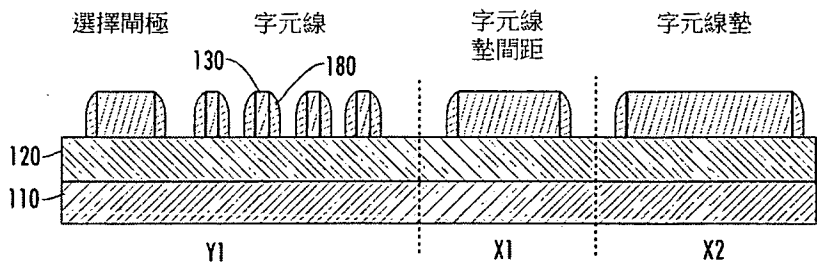
第 8A 圖



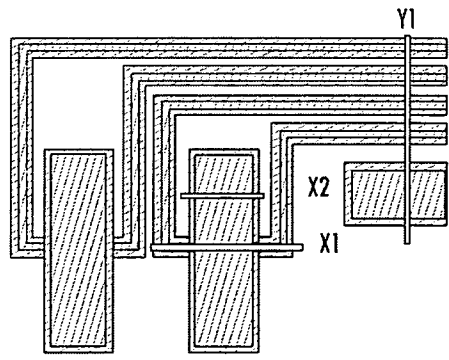
第 8B 圖



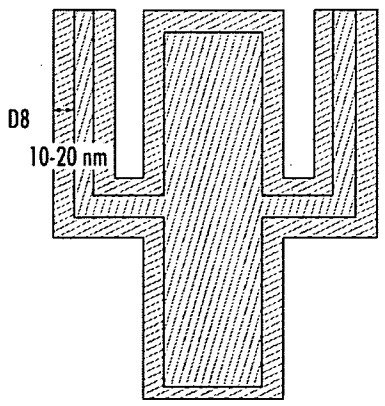
第 8C 圖



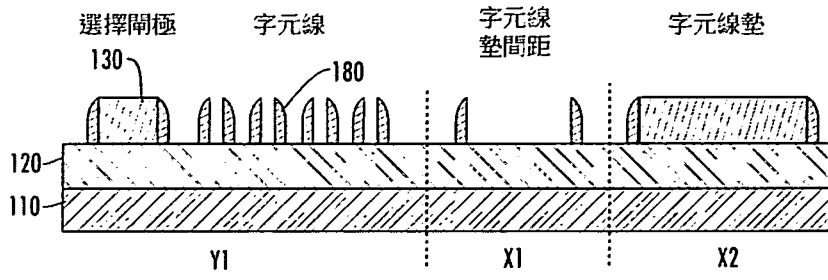
第9A圖



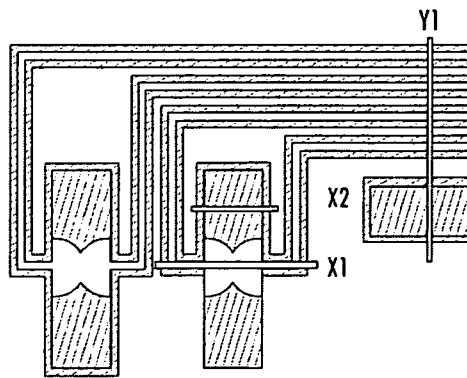
第9B圖



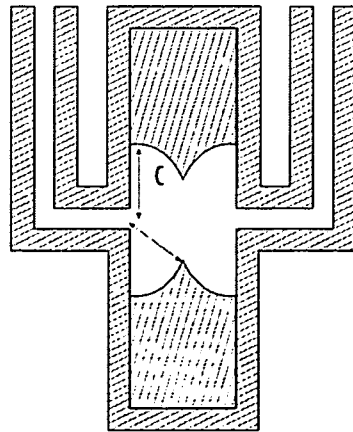
第9C圖



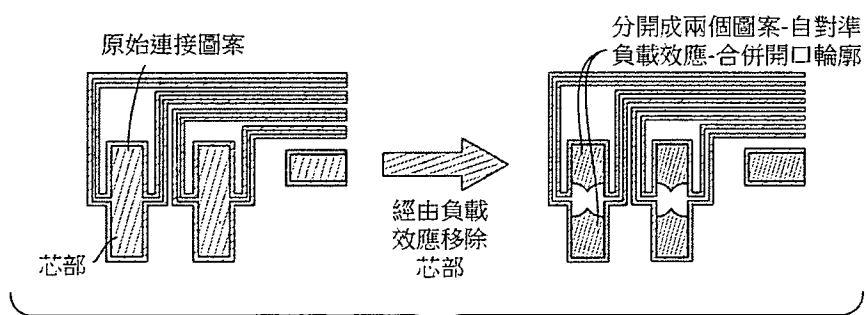
第 10A 圖



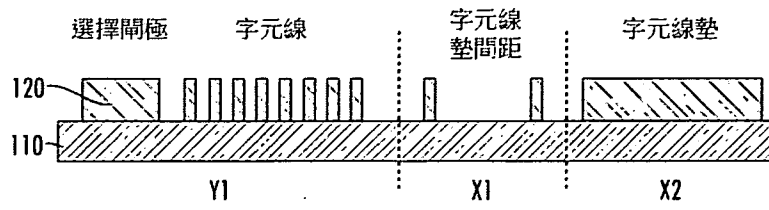
第 10B 圖



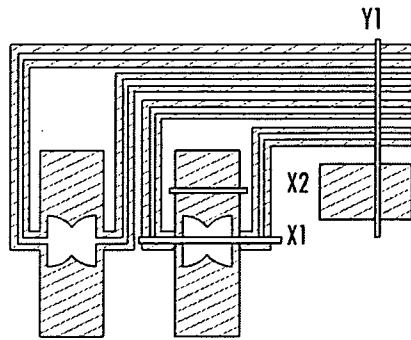
第 10C 圖



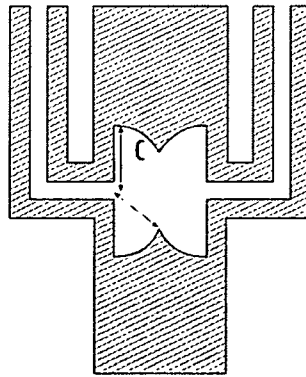
第 11 圖



第 12A 圖

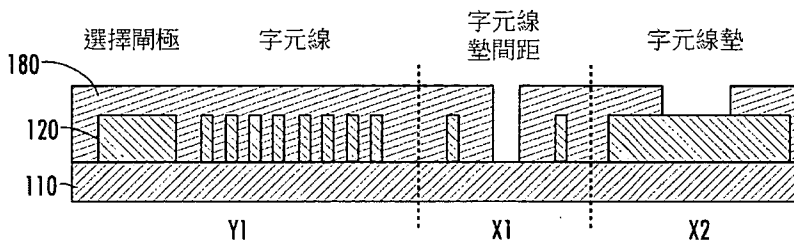


第 12B 圖

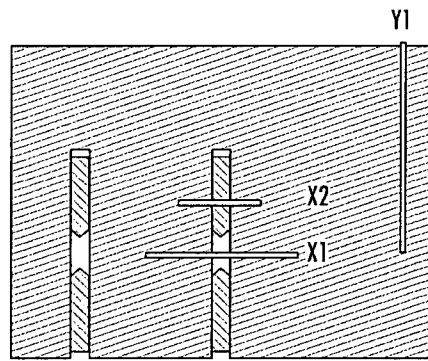


第 12C 圖

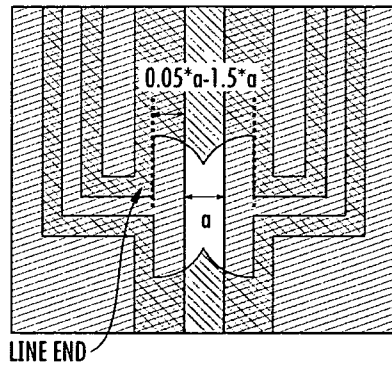




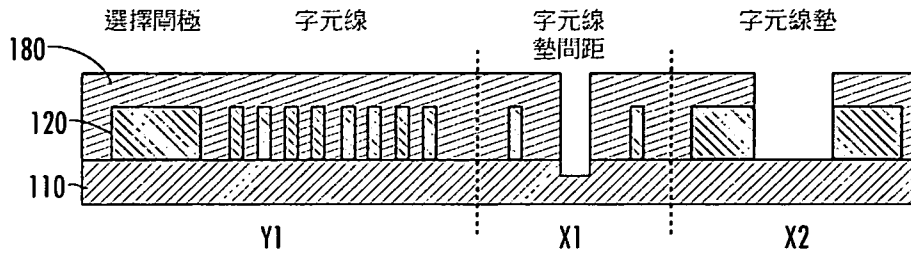
第 13A 圖



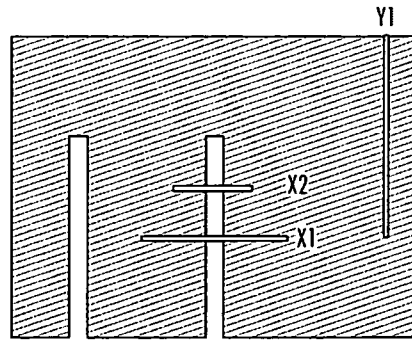
第 13B 圖



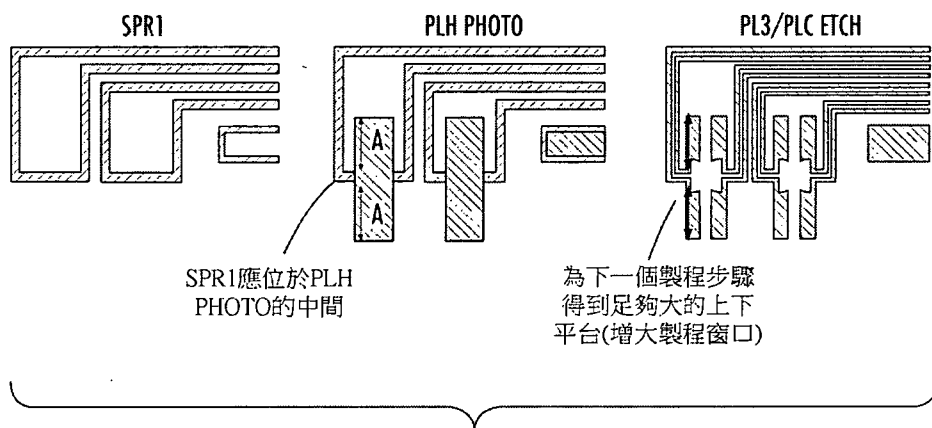
第 13C 圖



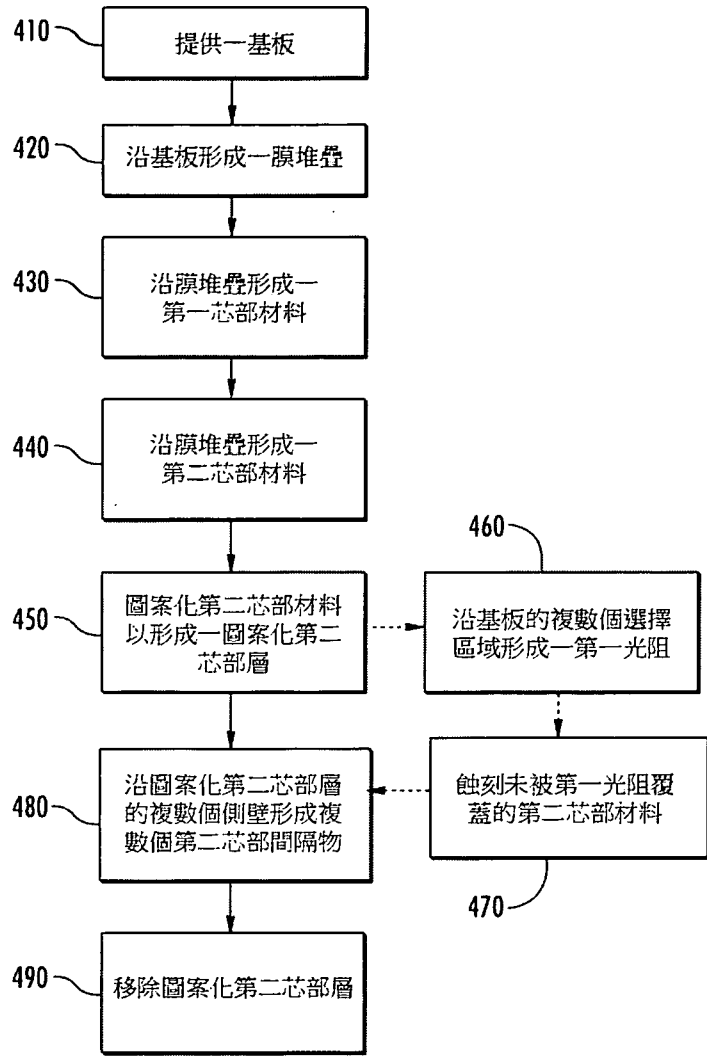
第 14A 圖



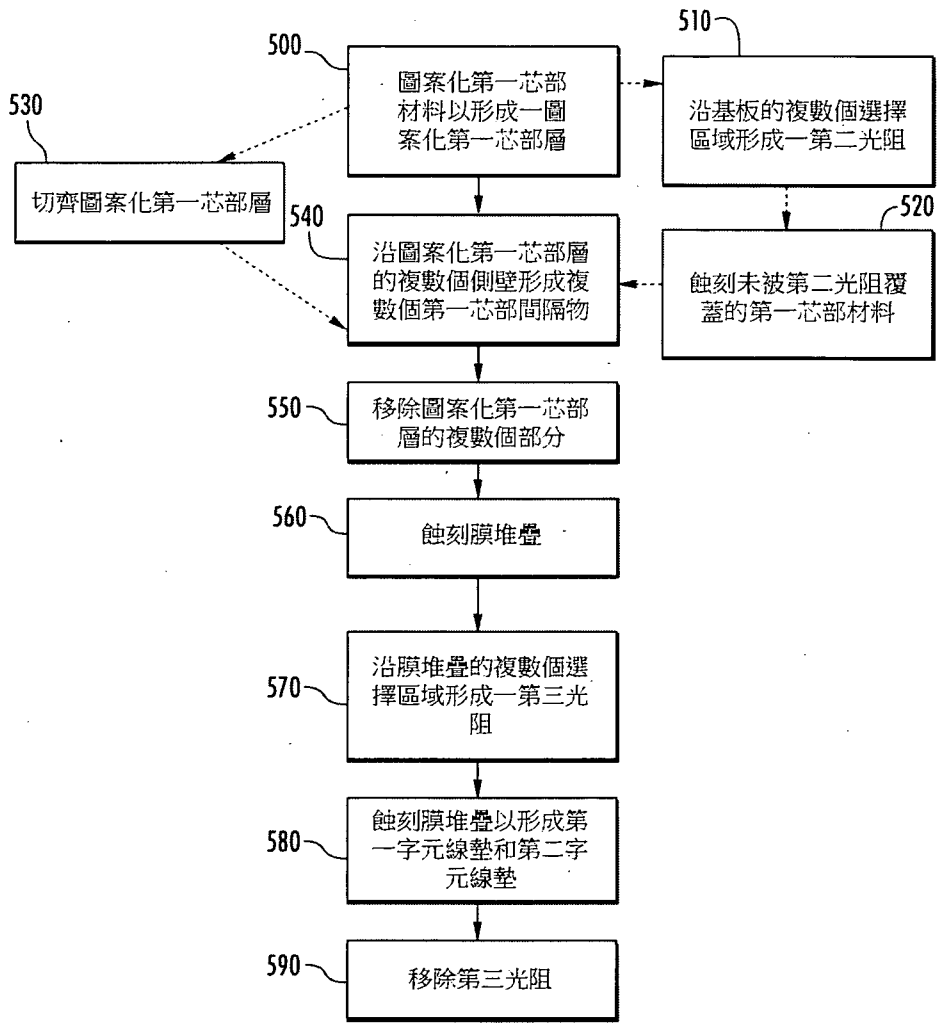
第 14B 圖



第 15 圖



第 16A 圖



第 16B 圖