



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I501241 B

(45)公告日：中華民國 104 (2015) 年 09 月 21 日

(21)申請案號：098122308

(22)申請日：中華民國 98 (2009) 年 07 月 01 日

(51)Int. Cl. : G11C16/10 (2006.01)

G11C16/34 (2006.01)

| | | |
|--------------------|----|------------|
| (30)優先權：2008/07/01 | 美國 | 61/133,675 |
| 2008/07/07 | 美國 | 61/133,921 |
| 2008/07/10 | 美國 | 61/134,688 |
| 2008/07/22 | 美國 | 61/135,732 |
| 2008/09/30 | 美國 | 61/194,751 |

(71)申請人：司固科技公司(美國) SEAGATE TECHNOLOGY LLC (US)
美國

(72)發明人：哈瑞區 艾利希 F HARATSCH, ERICH F. (DE)；伊夫柯維克 米洛斯 IVKOVIC, MILOS (RS)；克拉契柯夫斯基 維克特 KRACHKOVSKY, VICTOR (RU)；米拉迪諾維奇 奈納德 MILADINOVIC, NENAD (RS)；維堤亞夫 安德利 VITYAEV, ANDREI (US)；言 強森 YEN, JOHNSON (US)

(74)代理人：陳長文

(56)參考文獻：

| | | | |
|----|----------------|----|----------------|
| TW | 201001431A1 | US | 7388781B2 |
| US | 2007/0086239A1 | US | 2008/0077841A1 |
| US | 2008/0089123A1 | US | 2008/0106936A1 |

審查人員：劉耀允

申請專利範圍項數：10 項 圖式數：13 共 49 頁

(54)名稱

在快閃記憶體中用於軟性解映射及單元間干擾抑制的方法及裝置

METHODS AND APPARATUS FOR SOFT DEMAPPING AND INTERCELL INTERFERENCE MITIGATION IN FLASH MEMORIES

(57)摘要

本發明提供在快閃記憶體中用於軟性解映射及單元間干擾抑制的方法及裝置。在一變化中，能夠每單元儲存至少兩個資料位準 s 之一快閃記憶體器件中之一目標單元係藉由以下步驟來讀取：獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；獲得一表示經儲存用於該快閃記憶體中之至少一干擾單元之資料的值 h ；基於儲存於該快閃記憶體之至少一部分中之值之一樣式選擇一或多個機率密度函數，其中該等機率密度函數包含在該快閃記憶體中一或多個干擾單元對該至少一目標單元的樣式相依擾動；基於該經量測讀取值 r ，評估至少一選定機率密度函數；及基於該評估步驟之一結果，計算一或多個對數似然比。

Methods and apparatus are provided for soft demapping and intercell interference mitigation in flash memories. In one variation, a target cell in a flash memory device capable of storing at least two data levels, s , per cell is read by obtaining a measured read value, r , for at least one target cell in the flash memory; obtaining a value, h , representing data stored for at least one aggressor cell in the flash memory; selecting one or more probability density functions based on a pattern of values stored in at least a portion of the flash

memory, wherein the probability density functions comprises pattern-dependent disturbance of one or more aggressor cells on the at least one target cell in the flash memory; evaluating at least one selected probability density function based on the measured read value, r ; and computing one or more log likelihood ratios based on a result of the evaluating step.

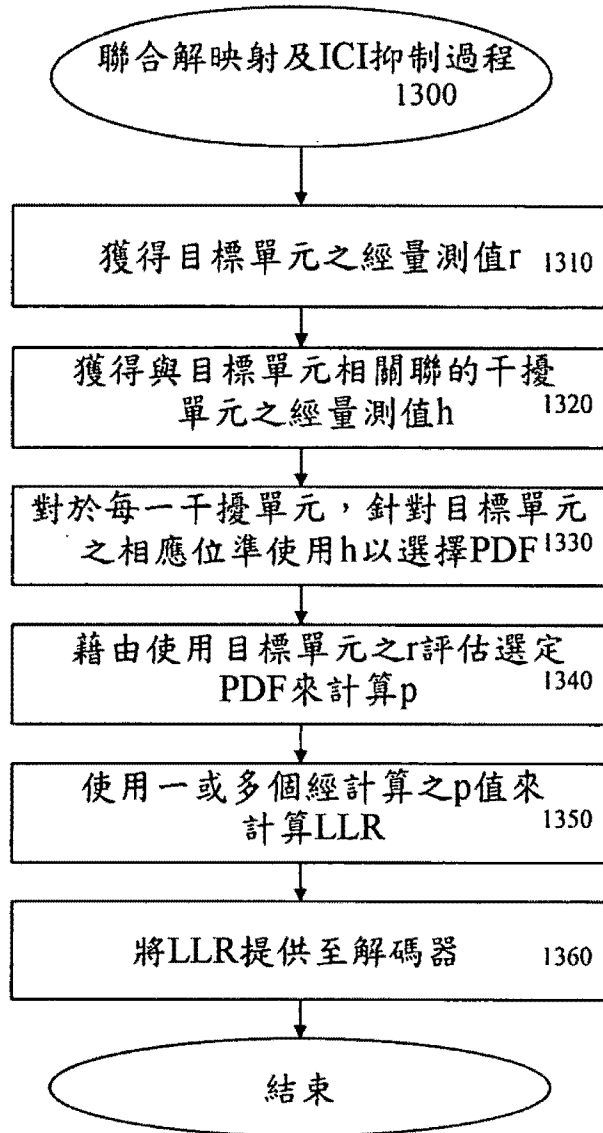


圖13

發明專利說明書

| | | |
|-----------|----------|---|
| 98年10月30日 | 修正 補充 | 本 |
|-----------|----------|---|

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98122308

※申請日：98.7.1

※IPC 分類：G11C16/10 (2006.01)

G11C16/34 (2006.01)

一、發明名稱：(中文/英文)

在快閃記憶體中用於軟性解映射及單元間干擾抑制的方法及裝置

METHODS AND APPARATUS FOR SOFT DEMAPPING AND
INTERCELL INTERFERENCE MITIGATION IN FLASH MEMORIES

二、中文發明摘要：

本發明提供在快閃記憶體中用於軟性解映射及單元間干擾抑制的方法及裝置。在一變化中，能夠每單元儲存至少兩個資料位準 s 之一快閃記憶體器件中之一目標單元係藉由以下步驟來讀取：獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；獲得一表示經儲存用於該快閃記憶體中之至少一干擾單元之資料的值 h ；基於儲存於該快閃記憶體之至少一部分中之值之一樣式選擇一或多個機率密度函數，其中該等機率密度函數包含在該快閃記憶體中一或多個干擾單元對該至少一目標單元的樣式相依擾動；基於該經量測讀取值 r ，評估至少一選定機率密度函數；及基於該評估步驟之一結果，計算一或多個對數似然比。

三、英文發明摘要：

Methods and apparatus are provided for soft demapping and intercell interference mitigation in flash memories. In one variation, a target cell in a flash memory device capable of storing at least two data levels, s , per cell is read by obtaining a measured read value, r , for at least one target cell in the flash memory; obtaining a value, h , representing data stored for at least one aggressor cell in the flash memory; selecting one or more probability density functions based on a pattern of values stored in at least a portion of the flash memory, wherein the probability density functions comprises pattern-dependent disturbance of one or more aggressor cells on the at least one target cell in the flash memory; evaluating at least one selected probability density function based on the measured read value, r ; and computing one or more log likelihood ratios based on a result of the evaluating step.

四、指定代表圖：

(一)本案指定代表圖為：第 (13) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於快閃記憶體器件且更特定言之，係關於在此等快閃記憶體器件用於抑制單元間干擾之效應的改良技術。

本申請案主張2008年7月1日申請之美國臨時專利申請案第61/133,675號、2008年7月3日申請之美國臨時專利申請案第61/133,921號、2008年7月10日申請之美國臨時專利申請案第61/134,688號、2008年7月22日申請之美國臨時專利申請案第61/135,732號及2008年9月30日申請之美國臨時專利申請案第61/194,751號之優先權，該等申請案中之每一者以引用的方式併入本文中。

本申請案涉及2009年3月11日申請之名為「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding」之國際專利申請案第PCT/US09/36810號及名為「Methods and Apparatus for Read-Side Intercell Interference Mitigation in Flash Memories」之國際專利申請案、名為「Methods and Apparatus for Write-Side Intercell Interference Mitigation in Flash Memories」之國際專利申請案、名為「Methods and Apparatus for Interfacing Between a Flash Memory Controller and a Flash Memory Array」之國際專利申請案及名為「Methods and Apparatus for Intercell Interference

Mitigation Using Modulation Coding」之國際專利申請案，該等申請案中之每一者在同一天申請且以引用的方式併入本文中。

【先前技術】

許多記憶體器件(諸如，快閃記憶體器件)使用類比記憶體單元儲存資料。每一記憶體單元儲存一類比值，其亦被稱為儲存值(諸如，電荷或電壓)。該儲存值表示儲存於該單元中之資訊。舉例而言，在快閃記憶體器件中，每一類比記憶體單元通常儲存某一電壓。每一單元之可能類比值之範圍通常被分成多個臨限區域，其中每一區域對應於一或多個資料位元值。藉由寫入對應於所要一或多個位元之標稱類比值將資料寫入至類比記憶體單元。

舉例而言，單位準單元(Single-level cell, SLC)快閃記憶體器件每記憶體單元儲存一個位元(或兩個可能之記憶體狀態)。另一方面，多位準單元(Multi-level cell, MLC)快閃記憶體器件每記憶體單元儲存兩個或兩個以上位元(亦即，每一單元具有四個或四個以上可程式化狀態)。對於MLC快閃記憶體器件之更詳細論述，見(例如)2009年3月11日申請之名為「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding And Per-Page Coding」之國際專利申請案第PCT/US09/36810號，其以引用的方式併入本文中。

在多位準NAND快閃記憶體器件中，例如，浮動閘極器

件以處於一範圍中之可程式化臨限電壓來使用，該範圍被分成多個區間，其中每一區間對應於不同多位元值。為了將給定多位元值程式化至一記憶體單元中，該記憶體單元中之浮動閘極器件之臨限電壓經程式化至對應於該值之臨限電壓區間中。

儲存於記憶體單元中之類比值常常失真。失真通常歸因於(例如)向後樣式相依性(back pattern dependency, BPD)、雜訊及單元間干擾(ICI)。對於快閃記憶體器件中之失真之更詳細論述，見(例如)IEEE電子器件快報第264-266頁(2002年5月)J.D. Lee等人之「Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation」或IEEE固態電路期刊第43卷第4期第919-928頁(2008年4月)Ki-Tae Park等人之「A Zeroing Cell-to-Cell Interference Page Architecture With Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」，其中之每一者以引用的方式併入本文中。

ICI是單元之間之寄生電容的後果，且通常被認為是失真的最重要來源。舉例而言，已知ICI隨技術微縮(scaling)而增加，且隨電晶體尺寸變得更小而變成臨限電壓分布之失真的重要來源。因此，為了得到可靠MLC記憶體，尤其需要關注ICI，此係因ICI限制可以可靠方式儲存於MLC記憶體中之電壓位準的數目。

已提議或建議用於藉由減小單元之間的電容耦合來抑制ICI之效應的許多技術。舉例而言，Ki-Tae Park等人描述

抑制ICI之現有程式化技術，諸如，偶數/奇數程式化、自下而上程式化及多階段程式化。雖然此等現有方法已促進減小ICI的效應，但其隨電晶體尺寸減小(例如，低於65 nm之技術，其中寄生電容因快閃單元之緊密接近而大出許多)而變得較不有效。因此存在對用於抑制ICI效應之改良信號處理及編碼技術的需要。

【發明內容】

大體而言，提供在快閃記憶體中用於軟性解映射及單元間干擾抑制的方法及裝置。根據本發明之一態樣，能夠每單元儲存至少兩個資料位準 s 之快閃記憶體器件中之一目標單元係藉由以下步驟來讀取：獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；基於經量測讀取值 r 評估至少一機率密度函數，其中該機率密度函數指示針對給定資料位準 s 量測讀取值 r 之機率；及基於評估步驟之結果計算一或多個對數似然比。

該機率密度函數可進一步包含目標單元上之擾動的表式，諸如，在快閃記憶體中一或多個干擾單元對至少一目標單元之樣式相依擾動。該擾動可包含(例如)向後樣式相依性、單元間干擾、程式化擾動、讀取擾動及/或額外雜訊。機率密度函數可經表示為儲存表及/或表式。舉例而言，機率密度函數可基於直方圖、高斯近似法及交織式演算法(trellis-based algorithm)中之一或多者。

大體而言，該計算步驟進一步包含對於兩個可能二進位值中之每一者，針對與兩個可能二進位值相關聯的所有資

料位準，合計針對給定資料位準 s 量測讀取值 r 之機率的步驟。該合計包含(例如)加總及/或相乘。另外，可基於兩個可能二進位值中之每一者的合計機率來形成一比率。兩個可能二進位值中之每一者的合計機率可乘以一基於單元內除正計算對數似然比之位元以外之所有位元之一或多個先驗機率值的表式。

根據本發明之一態樣，能夠每單元儲存至少兩個資料位準 s 之快閃記憶體器件中之目標單元藉由以下步驟讀取：獲得快閃記憶體中之至少一目標單元之經量測讀取值 r ；獲得一表示經儲存用於快閃記憶體中之至少一干擾單元的資料之值 h ；基於儲存於快閃記憶體之至少一部分中之值的樣式選擇一或多個機率密度函數，其中該機率密度函數包含在快閃記憶體中一或多個干擾單元對至少一目標單元之樣式相依擾動；基於經量測讀取值 r 評估至少一選定機率密度函數；及基於評估步驟之結果計算一或多個對數似然比。該等值 h 可為硬性決策及/或軟性值。該等軟性值可視情況以反覆方式使用。

大體而言，評估步驟針對儲存於一或多個干擾單元中之值之給定樣式判定針對一給定資料位準 s 量測一讀取值 r 的樣式相依機率。

本發明之更完整理解以及本發明之另外特徵及優點將藉由參考以下[實施方式]及圖式來獲得。

【實施方式】

本發明之各種態樣係針對在諸如單位準單元或多位準單

元 (MLC) NAND 快閃記憶體器件之記憶體器件中用於抑制 ICI 的信號處理技術。如本文中所使用，多位準單元快閃記憶體包含一記憶體，其中每一記憶體單元儲存兩個或兩個以上位元。通常，儲存於一個快閃單元中之多個位元屬於不同頁。雖然本發明在本文中使用的儲存類比值作為電壓之記憶體單元來說明，但如一般熟習此項技術者將顯而易見，本發明可與用於快閃記憶體之任何儲存機制一起使用，諸如使用電壓或電流表示所儲存資料。

圖 1 為習知快閃記憶體系統 100 之示意性方塊圖。如圖 1 中所展示，例示性快閃記憶體系統 100 包含快閃控制系統 110 及快閃記憶體區塊 160。例示性快閃控制系統 110 包含快閃控制器 120、編碼器/解碼器區塊 140 及一或多個緩衝器 145。在一替代實施例中，編碼器/解碼器區塊 140 及一些緩衝器 145 可在快閃控制器 120 內實施。編碼器/解碼器區塊 140 及緩衝器 145 可(例如)使用熟知市售技術及/或產品來實施。

例示性快閃記憶體區塊 160 包含一記憶體陣列 170 及一或多個緩衝器 180(每一者可使用熟知市售技術及/或產品來實施)。記憶體陣列 170 可體現為單位準或多位準單元快閃記憶體，諸如 NAND 快閃記憶體、相變記憶體 (PCM)、MRAM 記憶體、NOR 快閃記憶體或另一非揮發性快閃記憶體。雖然主要有多位準單元 NAND 快閃記憶體之情況下說明本發明，但如一般熟習此項技術者將顯而易見，本發明亦可應用於單位準單元快閃記憶體及其他非揮發性記憶

體。

多位準單元快閃記憶體

在多位準單元NAND快閃記憶體中，臨限值偵測器通常用於將與特定單元相關聯的電壓值轉譯為預定記憶體狀態。圖2說明圖1之例示性多位準單元快閃記憶體170之例示性臨限電壓分布，其基於以引用的方式併入本文中之美國專利案第6,522,580號之教示。大體而言，一單元之臨限電壓為需要施加至該單元以使得該單元傳導某一量之電流的電壓。臨限電壓為對儲存於該單元中之資料之量測。

在圖2所展示之例示性實施例中，每一儲存元件使用四個可能之資料狀態將兩個資料位元儲存於每一記憶體單元中。圖2說明四個尖峰210-213，其中每一尖峰對應於一個狀態。在多位準單元快閃器件中，臨限電壓分布圖200之不同尖峰210-213用於將兩個位元儲存於該單元中。

臨限電壓分布圖200之尖峰210-213以相應二進位值標記。因此，當一單元處於第一狀態210時，其表示低位(亦被稱為最低有效位元LSB)之「1」及高位(亦被稱為最高有效位元MSB)之「1」。狀態210通常為單元之初始未被程式化狀態或抹除狀態。同樣地，當一單元處於第二狀態211時，其表示低位之「0」及高位之「1」。當一單元處於第三狀態212時，其表示低位之「0」及高位之「0」。最後，當一單元處於第四狀態213時，其表示低位之「1」及高位之「0」。

臨限電壓分布210表示陣列內處於抹除狀態(「11」資料

狀態)之單元之臨限電壓 V_t 的分布，其中負臨限電壓位準低於0伏特。分別儲存「10」及「00」使用者資料之記憶體單元之臨限電壓分布211及212經展示分別在0伏特與1伏特之間及1伏特與2伏特之間。臨限電壓分布213展示已程式化至「01」資料狀態之單元之分布，其中臨限電壓位準設定在2伏特與讀通電壓(read pass voltage)4.5伏特之間。

因此，在圖2之例示性實施例中，0伏特、1伏特及2伏特可用作每一位準或狀態之間的電壓位準臨限值。電壓位準臨限值由快閃記憶體160(例如，快閃記憶體160中之感測電路)用於判定給定單元之電壓位準或狀態。快閃記憶體160將基於經量測電壓與電壓位準臨限值之比較來將一或多個位元指派至每一單元，該一或多個位元接著作為硬性決策傳輸至快閃控制系統110。另外或其他，在使用軟性資訊之實施例中，快閃記憶體160可將經量測電壓或經量測電壓之量化版本作為軟性資訊傳輸至快閃控制系統110，其中使用比儲存於記憶體單元中之位元數目大的位元數目來表示經量測電壓。

應進一步注意，單元通常使用熟知程式化/驗證技術程式化。大體而言，在程式化/驗證週期期間，快閃記憶體160施加逐漸增加的電壓以將電荷儲存於單元電晶體中直至超過最小目標臨限電壓。舉例而言，當在圖2之實例中程式化「10」資料狀態時，快閃記憶體160可施加逐漸增加的電壓以將電荷儲存於單元電晶體中直至超過0.4 V之最小目標臨限電壓。

如下文進一步論述，儲存於單一記憶體單元中之兩個位元中之每一者來自不同頁。換言之，儲存於每一記憶體單元中之兩個位元中的每一位元載運不同的頁位址。當輸入下頁位址時存取圖2中所展示之右側位元。當輸入上頁位址時存取左側位元。

圖3說明多位準單元(MLC)快閃記憶體器件160中之例示性快閃單元陣列300之架構，其中每一例示性單元通常對應於儲存兩個位元之浮動閘極電晶體。在圖3中，每一單元與兩個位元所屬之兩頁之兩個編號相關聯。例示性單元陣列區段300展示字線 n 至 $n+2$ 及四個位元線。例示性快閃單元陣列300被劃分成偶數頁及奇數頁，其中(例如)具有偶數編號之單元(諸如，具有編號0及2之單元)對應於偶數頁，且具有奇數編號之單元(諸如，具有編號1及3之單元)對應於奇數頁。字線 n (例如)將偶數頁0及2儲存於偶數位元線中，且將奇數頁1及3儲存於奇數位元線中。

另外，圖3指示例示性程式序列，其中偶數或奇數位元線單元經選擇且以所指示次序依序(自下而上)程式化。編號指示程式化頁之次序。舉例而言，頁0在頁1之前被程式化。對於偶數頁及奇數頁之程式化之進一步論述，見(例如)IEEE固態電路期刊第43卷第4期第919-928頁(2008年4月)之K.-T. Park等人的「A Zeroing Cell-to-Cell Interference Page Architecture with Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」，其以引用的方式併入本文中。

圖4說明用於圖2之電壓指派方案之例示性二階段MLC程式化方案400。如圖4中所展示，在LSB程式化階段期間，若LSB為零，則處於抹除狀態410之選定單元之狀態移動至最低程式化狀態411。因此，在LSB程式化階段，記憶體單元自抹除狀態「11」經程式化至「10」。接下來，在MSB程式化階段期間，視先前LSB資料而定，兩個狀態(狀態「00」(412)及狀態「01」(413))依序形成。大體而言，在MSB程式化階段期間，「10」狀態經程式化至「00」，且狀態「11」經程式化至「01」。

應注意，圖4之程式化方案400說明與自狀態410至狀態413之狀態改變相關聯的最大電壓偏移。已提議或建議許多程式化方案以減小與狀態改變相關聯的最大電壓偏移，且藉此減小由電壓偏移引起之ICI。

圖5A及圖5B共同說明減小鄰近單元遭受之ICI之替代MLC程式化方案500。如圖5A中所展示，在LSB程式化階段期間，記憶體單元以類似於SLC程式化之方式自狀態「11」經程式化至作為臨時(或中間)狀態的狀態「x0」。在相同字線中之鄰近單元亦經LSB程式化之後，分布歸因於ICI而可能如由圖5A中之尖峰510所展示經加寬。此後，在圖5B中所展示之MSB程式化階段，「x0」狀態經程式化至作為對應於輸入資料之最終狀態的「00」及「10」，否則「11」狀態經程式化至最終「01」狀態。大體而言，除「11」單元以外的所有記憶體單元在MSB程式化階段自LSB資料之臨時程式化狀態再程式化至其最終狀態，以使

得由鄰近單元引起之ICI可在很大程度上得以減小。處於最終狀態之單元將不經受在其處於中間狀態時所經歷之ICI，此係因為其已再程式化至最終狀態。處於最終狀態之單元將僅經受其自處於最終狀態以來所經歷之ICI。如上所註釋，使用中間程式化狀態之圖5A及圖5B之多步程式化序列減小最大電壓改變及因此由此等電壓改變引起之ICI。圖5B中可見(例如)在MSB程式化階段期間最大電壓偏移分別與自狀態「11」至狀態「01」及自狀態「x0」至狀態「10」之轉變相關聯。此等電壓偏移顯著小於圖4中自狀態「11」至狀態「01」之最大電壓偏移。

圖6進一步詳細說明多位準單元(MLC)快閃記憶體器件130中之例示性快閃單元陣列600。如圖6中所展示，快閃單元陣列600每快閃單元 c_i 儲存三個位元。圖6說明一區塊之快閃單元陣列架構，其中每一例示性單元通常對應於儲存三個位元之浮動閘極電晶體。例示性單元陣列600由 m 個字線及 n 個位元線組成。通常，在當前多頁單元快閃記憶體中，單一單元內之位元屬於不同頁。在圖6之實例中，每一單元之三個位元對應於三個不同頁，且每一字線儲存三頁。在以下論述中，頁0、1及2被稱為字線內之下頁層級、中頁層級及上頁層級。

如上所指示，快閃單元陣列可進一步被劃分成偶數頁及奇數頁，其中(例如)具有偶數編號之單元(諸如，圖6中之單元2及4)對應於偶數頁，且具有奇數編號之單元(諸如，圖6中之單元1及3)對應於奇數頁。在此種狀況下，一頁(諸

如，頁0)將含有偶數單元中之偶數頁(偶數頁0)及奇數單元中之奇數頁(奇數頁0)。

單元間干擾

如先前所指示，ICI為單元之間的寄生電容之後果且通常被認為係失真之最突出來源中之一者。圖7說明目標單元710歸因於來自許多例示性干擾單元(aggressor cell)720之寄生電容而存在的ICI。以下記號用於圖7中：

WL：字線；

BL：位元線；

BLo：奇數位元線；

BLe：偶數位元線；及

C：電容。

本發明認識到ICI由在已程式化目標單元710之後經程式化之干擾單元720引起。ICI改變目標單元710之電壓 V_i 。在例示性實施例中，假定「自下而上」程式化方案且字線 i 及 $i+1$ 中之鄰近干擾單元對目標單元710引起ICI。在區塊之此自下而上程式化的情況下，移除來自下字線 $i-1$ 之ICI，且多達五個的鄰近單元作為干擾單元720影響ICI，如圖7中所展示。然而，應注意本文中所揭示之技術可一般化為來自其他字線(諸如，字線 $i-1$)之干擾單元亦影響ICI之狀況，如一般熟習此項技術者將顯而易見的。若來自字線 $i-1$ 、 i 及 $i+1$ 之干擾單元影響ICI，則需要考慮多達八個的最近鄰近單元。若較遠離目標單元之其他單元對ICI之影響可忽略，則其可被忽略。大體上，干擾單元720藉由分析

程式化序列方案(諸如，自下而上或偶數/奇數技術)以識別在給定目標單元710之後經程式化之干擾單元720來識別。

由干擾單元720對目標單元710引起之ICI可在例示性實施例中模型化如下：

$$\Delta V_{ICI}^{(i,j)} = k_x \Delta V_i^{(i,j-1)} + k_x \Delta V_i^{(i,j+1)} + k_y \Delta V_i^{(i+1,j)} + k_{xy} \Delta V_i^{(i+1,j-1)} + k_{xy} \Delta V_i^{(i+1,j+1)} \quad (1)$$

其中 $\Delta V_i^{(w,b)}$ 為干擾單元(w,b)之 V_i 電壓中之改變， $\Delta V_{ICI}^{(i,j)}$ 為歸因於ICI之目標單元(i,j)之 V_i 電壓中的改變，且 k_x 、 k_y 及 k_{xy} 為電容耦合係數。

大體而言， V_i 為表示儲存於單元上且在讀取操作期間獲得之資料的電壓。 V_i 可為(例如)比每單元所儲存之位元數目更具精確度之軟性電壓值，或量化至具有與每單元所儲存之位元數目(例如，3位元/單元快閃之3個位元)相同解析度之硬性電壓位準之值。

解映射及ICI抑制

本發明提供使用機率密度函數之用於快閃記憶體之改良解映射功能。如本文中所使用，術語「機率密度函數」應包括機率密度函數及其近似法，諸如，直方圖及高斯近似法。根據以下結合圖8至圖9所論述之本發明之一態樣，所揭示ICI抑制功能性視情況與解映射功能一起實施以提供聯合解映射及ICI抑制解決方案。在以下結合圖10所論述之另一變化中，描述使用一或多個機率密度函數之反覆解映射及解碼技術，其讀取快閃記憶體。在另一變化中，如下文所論述，所揭示之解映射解決方案考慮取決於儲存

於鄰近單元中之資料樣式的機率密度函數(pdf)而非不具有此資料相依性之pdf。在一例示性實施例中，每一機率密度函數表徵在快閃記憶體陣列中一或多個干擾單元對至少一目標單元之樣式相依擾動(pattern-dependent disturbance)。

在一例示性實施例中，聯合解映射及ICI抑制解決方案假定機率密度函數可使用高斯機率密度函數近似。額外較高複雜度之實施例基於直方圖及諸如維特比、軟性維特比(SOVA)及BCJR演算法之交織式偵測演算法來論述，該等演算法原則上以較高複雜度為代價來提供較好效能。

圖8為根據本發明之併有基於控制器之軟性解映射器技術之例示性快閃記憶體系統800的示意性方塊圖。在另一實施例中，快閃記憶體系統800併有根據本發明的基於控制器之聯合解映射及ICI抑制技術。如圖8中所展示，例示性快閃記憶體系統800包含由介面850連接之快閃控制系統810與快閃記憶體區塊860。例示性快閃控制系統810包含快閃控制器820及讀取通道825(通常在一或多個積體電路上)。

例示性讀取通道825包含信號處理單元830、編碼器/解碼器區塊840及一或多個緩衝器845。應注意，術語「讀取通道」亦可包含寫入通道。在替代實施例中，編碼器/解碼器區塊840及一些緩衝器845可在快閃控制器820內部實施。編碼器/解碼器區塊840及緩衝器845可(例如)使用熟知市售技術及/或產品來實施，如本文中經修改以提供本發明之特徵及功能。

例示性信號處理單元830包含實施以下結合(例如)圖12進一步論述之一或多個軟性解映射過程835的一或多個處理器。在另一實施例中，軟性解映射器835實施一或多個聯合解映射及ICI抑制過程。例示性快閃記憶體區塊860包含記憶體陣列870及一或多個緩衝器880(每一者可使用熟知市售技術及/或產品來實施)。

在所揭示ICI抑制技術之各種實施例中，例示性介面850相對於習知快閃記憶體系統可需要輸送額外資訊(諸如，表示與干擾單元相關聯的資訊之值)。因此，介面850可需要具有比習知快閃記憶體系統中之介面高的容量或比習知快閃記憶體系統中之介面快的速率。介面850可視情況(例如)根據與本發明同時申請且以引用的方式併入本文中之名為「Methods and Apparatus for Interfacing Between a Flash Memory Controller and a Flash Memory Array」之國際PCT專利申請案第_____號(代理人案號08-0769)的教示來實施，其使用(例如)雙資料速率(DDR)技術增加介面850之資訊載運量。

在寫入操作期間，介面850通常使用頁或字線層級存取技術傳送待儲存於目標單元中之程式值。對於例示性頁或字線層級存取技術之更詳細論述，見(例如)2009年3月11日申請之名為「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding」之國際專利申請案第PCT/US09/36810號，其以引用的方式併入本

文中。

在讀取操作期間，介面850傳送目標單元及干擾單元之已自記憶體陣列870獲得的硬性及/或軟性讀取值。舉例而言，除關於目標單元之頁之讀取值以外，上字線/下字線或鄰近偶數或奇數位元線中之一或多個鄰近頁之讀取值經由介面匯流排傳送。在圖8之實施例中，所揭示之ICI抑制技術通常用為邏輯電路最佳化以達成最小面積之處理技術而在快閃記憶體外實施。然而，其以必須在介面850上傳送額外干擾單元資料為代價。

圖9為根據本發明替代實施例之併有基於記憶體之軟性解映射技術之例示性快閃記憶體系統900的示意性方塊圖。在另一實施例中，快閃記憶體系統900併有聯合解映射及ICI抑制技術。如圖9中所展示，例示性快閃記憶體系統900包含由介面950連接之快閃控制系統910與快閃記憶體區塊960。

例示性快閃控制系統910包含快閃控制器920及可選讀取通道925(通常在一或多個積體電路上)。在替代實施例中，編碼器/解碼器區塊940及一些緩衝器945可在快閃控制器920內部實施。例示性快閃控制器920可(例如)使用熟知市售技術及/或產品來實施，如本文中經修改以支援本發明之特徵及功能。例示性讀取通道925包含編碼器/解碼器區塊940及一或多個緩衝器945。編碼器/解碼器區塊940及緩衝器945可使用熟知市售技術及/或產品來實施。

例示性快閃記憶體區塊960包含記憶體陣列970及一或多

個緩衝器 980(每一者可使用熟知市售技術及/或產品來實施)。另外，例示性快閃記憶體區塊 960 包含一例示性信號處理單元 985，信號處理單元 985 包含實施以下結合(例如)圖 11 至圖 13 進一步論述的一或多個軟性解映射或聯合解映射及 ICI 抑制過程 990 之一或多個處理器。

在所揭示 ICI 抑制技術之各種實施例中，例示性介面 950 相對於習知快閃記憶體系統可需要輸送額外資訊(諸如，表示與干擾單元相關聯的資訊之值)。因此，介面 950 可需要具有比習知快閃記憶體系統中之介面高的容量或比習知快閃記憶體系統中之介面快的速率。介面 950 可視情況(例如)根據與本發明同時申請且以引用的方式併入本文中之名為「Methods and Apparatus for Interfacing Between a Flash Memory Controller and a Flash Memory Array」之國際 PCT 專利申請案第 _____ 號(代理人案號 08-0769)的教示來實施，其使用(例如)雙資料速率(DDR)技術增加介面 950 之資訊載運量。

在寫入操作期間，介面 950 傳送待儲存於目標單元及干擾單元中之程式資料。在讀取操作期間，介面 950 傳送目標單元及(視情況)干擾單元之由聯合解映射及 ICI 抑制過程 990 所計算之新的硬性或軟性讀取值或資料。通常，針對單一讀取存取輸送之資訊為一頁或字線之資料。應注意，僅發送目標單元之資料降低介面 950 之頻寬要求，其係以使用用於製造快閃記憶體之記憶體處理技術在記憶體內部實施 ICI 抑制過程為代價，該處理技術通常為記憶體而非

為邏輯電路最佳化。

應注意，用於圖 8 及圖 9 之 ICI 抑制技術之各實施例中的電容耦合係數 k_x 、 k_y 及 k_{xy} 可在快閃控制系統 810、910 及 / 或快閃記憶體區塊 860、960 中計算。電容耦合係數 k_x 、 k_y 及 k_{xy} 在各別介面 850、950 上傳送可為必要的。應注意，電容耦合係數可為適應性的且在連續、偶爾或週期性基礎上更新。

軟性解映射器

圖 10 說明利用根據本發明之反覆解映射及解碼以及可選交錯之例示性快閃讀取通道架構 1000。如圖 10 中所展示，例示性寫入路徑包含編碼器 1010、可選交錯器 1020、串列至並列轉換器 1030 及映射器 1040。資料以已知方式寫入至記憶體 1050 且自記憶體 1050 讀取。例示性讀取路徑包含解映射器 1060、並列至串列轉換器 1070、解交錯器 1080、解碼器 1090 及交錯器 1095。大體而言，如下文進一步論述，軟性解映射器 1060 產生軟性資訊，該軟性資訊由解碼器 1090 處理以用反覆方式產生新的軟性資訊直至反覆過程收斂至最終決策。

在一例示性實施例中，解映射器 1060 用以下等式產生軟性資訊 (LLR)：

$$L_e(C_t) = \log \frac{\sum_{S \in X'_0} p(r/s) \cdot \prod_{q=1, q \neq t}^m \exp(-L_a(C_q) \cdot c_q)}{\sum_{S \in X'_1} p(r/s) \cdot \prod_{q=1, q \neq t}^m \exp(-L_a(C_q) \cdot c_q)} \quad (2)$$

其中 $p(r|s)$ 為表徵快閃通道之機率密度函數； r 為通常表示

經量測臨限電壓之經量測讀取值(具有任意精度)， s 為資料或電壓位準或電壓狀態(在兩位元/單元之MLC NAND快閃記憶體中存在(例如)四個電壓位準)， c_q 為經編碼位元， m 為每單元之位元的數目， $L_o(C_i) = \log \frac{P(C_i=0)}{P(C_i=1)}$ 為在位置 t 之位元 C_i 之先驗對數似然比， $L_e(C_i)$ 為位元 C_i 之外來對數似然比，且 X'_c 為位元標記在位置 t 具有值 $C_i=c_i$ 之符號之子集。

大體而言，根據等式(2)，針對每一可能二進位值且針對與可能二進位值相關聯的所有資料位準合計(例如，加總或相乘)針對給定資料位準 s 量測讀取值 r 之機率。接著基於關於可能二進位值中之每一者之合計機率形成一比率。關於可能二進位值中之每一者之合計機率乘以一基於單元內除正計算對數似然比之位元以外的所有位元之一或多個先驗機率值的表式。

如圖10中所展示，由解映射器1060所產生之軟性資訊可用於在軟性解映射器1060、解交錯器1080、解碼器1090與反饋路徑中之交錯器1095之間進行反覆解映射及解碼。

在另一變化中，解映射器1060可如下使用機率密度函數之高斯近似法：

$$L_e(C_i) \approx \max_{S \in X'_i} \left[-\frac{1}{2\sigma^2} (r-s)^2 - \sum_{q=1, q \neq i}^m L_o(C_q) \cdot c_q \right] - \max_{S \in X_i} \left[-\frac{1}{2\sigma^2} (r-s)^2 - \sum_{q=1, q \neq i}^m L_o(C_q) \cdot c_q \right] \quad (2a)$$

其中 σ^2 為關於臨限電壓之機率密度函數之方差， σ_s 為 $\sigma_{s_i, h^{(i+1, j)}, h^{(i, j+1)}, h^{(i+1, j+1)}}$ 之縮短記號(亦即，高斯pdf之二階矩對於每一位元樣式大體上不同)。在此種狀況下，每一pdf之特徵在

於僅兩個參數： $E[p(x|s_i, h^{(i\pm 1, j)}, h^{(i, j\pm 1)}, h^{(i\pm 1, j\pm 1)})]$ 及 $\sigma_{s_i, h^{(i\pm 1, j)}, h^{(i, j\pm 1)}, h^{(i\pm 1, j\pm 1)}}$ 。

圖 11 為描述併有本發明之特徵之例示性解映射過程 1100 的流程圖。如圖 11 中所展示，例示性解映射過程 1100 最初在步驟 1110 期間獲得目標單元 710 之經量測值 r 。此後，在步驟 1120 期間藉由使用目標單元 710 之經量測值 r 評估機率密度函數來獲得 p 。

在步驟 1130 期間使用等式 (2) 或 (2a) (上文) 使用在步驟 1120 期間自機率密度函數獲得之 p 值來計算 LLR。最後，在步驟 1140 期間，將經計算 LLR 提供至解碼器。在替代實施例中，經計算 LLR 用於 (例如) 基於 LLR 之符號作出關於讀取資料的最終決策。

聯合解映射及單元間干擾抑制

如先前所指示，本發明之一態樣提供聯合解映射及 ICI 抑制解決方案。所揭示之聯合解映射及 ICI 抑制解決方案考慮取決於周圍單元之資料樣式之機率密度函數 (pdf)。圖 12 說明用於例示性多位準單元快閃記憶體 600 之給定目標單元 710 之機率密度函數 1210 的例示性集合 1200。例示性多位準單元快閃記憶體 600 每單元具有四個位準 (兩個位元)，且一個干擾單元 720 經考慮用於資料相依 pdf。

圖 12 說明基於每一干擾單元 720 之所有可能值的指示對給定目標單元 710 之可能 ICI 效應的機率密度函數之集合 1200。因此，適用於給定目標單元 710 之每一可能位準之機率密度函數的數目為每一干擾單元 720 之可能位準之數目的影響給定目標單元 710 之干擾單元 720 之數目次冪。如

先前所指示，在例示性實施例中，每一單元可具有四個可能值中之一者，每目標單元710存在一個干擾單元720且每一干擾單元720可具有四個可能位準中之一者。因此，為說明起見，機率密度函數之集合1200包含關於資料或電壓位準0的可歸因於干擾單元之樣式之四個機率密度函數1210-1至1210-4。亦存在關於其他資料位準1、2及3中之每一者之四個機率密度函數。本發明可擴展至每單元具有任意數目之位準及具有任意數目之干擾單元720的多位準單元快閃記憶體600，如一般熟習此項技術者將顯而易見的。

大體而言，圖12中之每一機率密度函數(除其他雜訊及擾動效應之外)表達相應干擾單元720之給定值對給定目標單元710之ICI效應。如下文所論述，在各種實施例中，機率密度函數可為預定義及靜態的，可基於即時觀察來調適，或表達為干擾單元720之經量測或偵測值 h 之函數(諸如，高斯函數)。

圖13為描述併有本發明之特徵之例示性聯合解映射及ICI抑制過程1300的流程圖。如圖13中所展示，例示性聯合解映射及ICI抑制過程1300最初在步驟1310期間獲得目標單元710之經量測值 r 。此後，在步驟1320期間獲得與目標單元710相關聯的該(等)干擾單元720之經量測值 h 。

對於每一干擾單元，在步驟1330期間針對目標單元710之相應位準使用 h 選擇機率密度函數。可視情況針對目標單元710之一或多個可能位準選擇機率密度函數。機率密

度函數可(例如)自儲存於記憶體中的表來獲得或使用描述機率密度函數之函數來評估。此後，在步驟1340期間使用目標單元710之經量測值 r 自在步驟1330期間所獲得之每一機率密度函數來獲得 p 。

在步驟1350期間使用等式(3)(下文)使用在步驟1340期間自每一機率密度函數所獲得之 p 值來計算LLR。最終，在步驟1360期間，將經計算LLR提供至解碼器。

在一例示性實施例中，聯合解映射及ICI抑制過程1300實施以下單元樣式相依機率密度函數：

$$L_e(C_i) = \log \frac{\sum_{S \in X'_0} P(r/s, h^{(i\pm 1, j)}, h^{(i, j\pm 1)}, h^{(i\pm 1, j\pm 1)}) \cdot \prod_{q=1, q \neq i}^m \exp(-L_a(C_q) \cdot c_q)}{\sum_{S \in X'_1} P(r/s, h^{(i\pm 1, j)}, h^{(i, j\pm 1)}, h^{(i\pm 1, j\pm 1)}) \cdot \prod_{q=1, q \neq i}^m \exp(-L_a(C_q) \cdot c_q)} \quad (3)$$

其中 $h^{(i, j)}$ 為基於通道之硬性輸出之干擾單元720之電壓位準。

應進一步注意機率密度函數之表項或函數參數可視情況(例如)基於所接收之資料決策適應性地更新。舉例而言，如上所指示，基於所接收之干擾樣式 h 選擇機率密度函數。選定機率密度函數接著使用已知技術基於所接收之目標單元值 r 以最近發生事件(occurrence)更新(例如，藉由遞增相應計數器)。

如先前所指示，影響給定目標單元710之干擾單元720之數目可基於許多因素而減少或忽略。以此方式，可減少需要考慮之機率密度函數之數目。舉例而言，若對角耦合係數 k_{xy} 顯著小於其他耦合係數(通常如此)，則可忽略來自對角定位之單元之ICI。另外，程式化序列影響需要考慮之

干擾單元720之數目。舉例而言，若字線始終以固定次序(諸如，自下而上方法)寫入，則不存在來自下字線中之單元之ICI影響。另外，若ICI相對於目標單元710之左鄰近者及右鄰近者對稱，則需要表徵之機率密度函數之數目減少一半。

如先前所指示，在一例示性實施例中，聯合解映射及ICI抑制解決方案假定機率密度函數可使用高斯機率密度函數近似。

在其他變化中，若機率密度函數基於(例如)直方圖或諸如維特比、軟性維特比(SOVA)及BCJR演算法之交織式偵測演算法，則可以額外複雜度為代價來獲得改良效能。當機率密度函數使用直方圖實施時，機率密度函數可使用成功解碼之字線訓練直方圖來適應性地更新。

在維特比實施例中，單元經連續解映射且當前經解映射單元之硬性輸出係基於先前經解映射之位準。維特比實施例需要來自快閃通道之軟性資訊及在解映射器節點之間的連接，如一般熟習此項技術者將顯而易見的。在基於維特比、軟性維特比(SOVA)或BCJR演算法之實施例中，分支度量由機率密度函數 $p(r|s, h^{(i\pm 1, j)}, h^{(i, j\pm 1)}, h^{(i\pm 1, j\pm 1)})$ 給出。

應注意在維特比實施例中，交織方向係組態成與程式化排程相反，亦即，稍後經程式化之單元在交織中係較早(由於新(鄰近)單元之程式化影響先前經程式化單元)。SOVA及BCJR演算法的定義類似。分支度量係基於 $p(r|s, h^{i\pm 1, j}, h^{(i, j\pm 1)}, h^{(i\pm 1, j\pm 1)})$ 來使用。與標準交織式演算法之一差

異在於在快閃記憶體的狀況下，交織是二維的，從而反映ICI來自鄰近位元線及字線的事實。

過程、系統及製品細節

雖然本文中之許多流程圖描述例示性步驟序列，但可能改變的序列亦為本發明的實施例。預期演算法之各種排列為本發明之替代實施例。雖然已關於軟體程式中之處理步驟描述本發明之例示性實施例，但如熟習此項技術者將顯而易見，各種功能可在數位域中實施為軟體程式中之處理步驟，藉由電路元件或狀態機，以硬體實施或以軟體與硬體兩者之組合來實施。此軟體可用於(例如)數位信號處理器、特殊應用積體電路、微控制器或通用電腦中。此硬體及軟體可體現於在積體電路內實施的電路內。

因此，本發明之功能可以方法及用於實踐彼等方法之裝置的形式體現。本發明之一或多個態樣可以程式碼(例如，儲存於儲存媒體中，載入至機器中及/或由機器執行或經由某傳輸媒體傳輸)的形式體現，其中當程式碼載入至機器(諸如，電腦)中且由機器(諸如，電腦)執行時，機器變為用於實踐本發明的裝置。當在通用處理器上實施時，程式碼片段與處理器結合以提供類似於特定邏輯電路操作的器件。本發明亦可在積體電路、數位信號處理器、微處理器及微控制器中之一或多者中實施。

如技術中已知的，本文中所論述之方法及裝置可散佈作為一製品，其本身包含上面體現有電腦可讀碼構件的電腦可讀媒體。電腦可讀程式碼構件可結合電腦系統操作以實

行所有或一些步驟以執行本文中所論述之方法或形成本文中所論述的裝置。電腦可讀媒體可為可記錄媒體(例如，軟碟、硬碟機、緊密光碟、記憶卡、半導體器件、晶片、特殊應用積體電路(ASIC))或可為傳輸媒體(例如，包含光纖之網路、全球資訊網、電纜，或使用分時多重存取、分碼多重存取之無線頻道，或其他射頻頻道)。可使用任何已知或經開發媒體，其可儲存適合於供電腦系統使用的資訊。電腦可讀碼構件為用於允許電腦讀取指令及資料(諸如，磁性媒體上之磁性變化或緊密光碟表面上之高度變化)的任何機構。

本文中所描述之電腦系統及伺服器中之每一者含有一記憶體，該記憶體將組態相關聯處理器以實施本文中所揭示之方法、步驟及功能。記憶體可為分散式或本端記憶體且處理器可為分散式或單一處理器。記憶體可經實施為電、磁性或光學記憶體，或此等或其他類型之儲存器件之任何組合。此外，術語「記憶體」應被足夠廣泛地解釋以包含能夠自藉由相關聯處理器存取之可定址空間中之一位址讀取或寫入至該位址的任何資訊。藉由此定義，關於網路之資訊仍在記憶體內，此係因為相關聯處理器可自網路擷取資訊。

應理解，本文中所展示並描述之實施例及變化僅說明本發明之原理且各種修改可在不脫離本發明之範疇及精神的情況下由熟習此項技術者實施。

【圖式簡單說明】

圖 1 為習知快閃記憶體系統之示意性方塊圖；

圖 2 說明圖 1 之例示性多位準單元快閃記憶體之例示性臨限電壓分布；

圖 3 說明多位準單元(MLC)快閃記憶體器件中之例示性快閃單元陣列之架構；

圖 4 說明用於圖 2 之電壓指派方案之例示性二階段 MLC 程式化方案；

圖 5A 及圖 5B 共同說明減小鄰近單元遭受之 ICI 之替代 MLC 程式化方案；

圖 6 進一步詳細說明多位準單元(MLC)快閃記憶體器件中之例示性快閃單元陣列；

圖 7 說明目標單元歸因於來自許多例示性干擾單元之寄生電容而存在的 ICI；

圖 8 為根據本發明之併有基於控制器之 ICI 抑制技術的例示性快閃記憶體系統之示意性方塊圖；

圖 9 為根據本發明之一替代實施例的併有基於記憶體之 ICI 抑制技術的例示性快閃記憶體系統之示意性方塊圖；

圖 10 說明利用根據本發明之反覆解映射及解碼以及可選交錯之例示性快閃讀取通道架構；

圖 11 為描述併有本發明之特徵之例示性解映射過程 1100 的流程圖；

圖 12 說明基於每一干擾單元之所有可能值之指示對給定目標單元之可能 ICI 效應的機率密度函數之集合；及

圖 13 為描述併有本發明之特徵之例示性聯合解映射及

ICI抑制過程的流程圖。

【主要元件符號說明】

| | |
|-----|-------------|
| 100 | 快閃記憶體系統 |
| 110 | 快閃控制系統 |
| 120 | 快閃控制器 |
| 140 | 編碼器/解碼器區塊 |
| 145 | 緩衝器 |
| 160 | 快閃記憶體區塊 |
| 170 | 記憶體陣列 |
| 180 | 緩衝器 |
| 200 | 臨限電壓分布圖 |
| 210 | 尖峰 |
| 211 | 尖峰 |
| 212 | 尖峰 |
| 213 | 尖峰 |
| 300 | 快閃單元陣列 |
| 400 | 二階段MLC程式化方案 |
| 410 | 狀態 |
| 411 | 狀態 |
| 412 | 狀態 |
| 413 | 狀態 |
| 500 | MLC程式化方案 |
| 510 | 尖峰 |
| 600 | 快閃單元陣列 |

| | |
|-----|-----------|
| 710 | 目標單元 |
| 720 | 干擾單元 |
| 800 | 快閃記憶體系統 |
| 810 | 快閃控制系統 |
| 820 | 快閃控制器 |
| 825 | 讀取通道 |
| 830 | 信號處理單元 |
| 835 | 軟性解映射器 |
| 840 | 編碼器/解碼器區塊 |
| 845 | 緩衝器 |
| 850 | 介面 |
| 860 | 快閃記憶體區塊 |
| 870 | 記憶體陣列 |
| 880 | 緩衝器 |
| 900 | 快閃記憶體系統 |
| 910 | 快閃控制系統 |
| 920 | 快閃控制器 |
| 925 | 讀取通道 |
| 940 | 編碼器/解碼器區塊 |
| 945 | 緩衝器 |
| 950 | 介面 |
| 960 | 快閃記憶體區塊 |
| 970 | 記憶體陣列 |
| 980 | 緩衝器 |

| | |
|--------|-------------|
| 985 | 信號處理單元 |
| 990 | 解映射及ICI抑制過程 |
| 1000 | 快閃讀取通道架構 |
| 1010 | 編碼器 |
| 1020 | 可選交錯器 |
| 1030 | 串列至並列轉換器 |
| 1040 | 映射器 |
| 1050 | 記憶體 |
| 1060 | 軟性解映射器 |
| 1070 | 並列至串列轉換器 |
| 1080 | 解交錯器 |
| 1090 | 解碼器 |
| 1095 | 交錯器 |
| 1200 | 集合 |
| 1210-1 | 機率密度函數 |
| 1210-4 | 機率密度函數 |

七、申請專利範圍：

1. 一種用於讀取能夠每單元儲存至少兩個資料位準 s 之快閃記憶體器件中之一目標單元的方法，該方法包含：

獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；

基於該經量測讀取值 r ，評估至少一機率密度函數，其中該機率密度函數指示針對一給定資料位準 s 量測一讀取值 r 之一機率；

基於該評估步驟之一結果，計算一或多個對數似然比；及

對於兩個可能二進位值中之每一者，針對與該等兩個可能二進位值相關聯的多重資料位準合計針對一給定資料位準 s 量測一讀取值 r 之該機率。

2. 如請求項 1 之方法，其中該機率密度函數進一步包含該快閃記憶體中一或多個干擾單元對至少一目標單元之樣式相依擾動之一表式。

3. 如請求項 1 之方法，其中該擾動包含向後樣式相依性、單元間干擾、程式擾動、讀取擾動及額外雜訊中之一或多者。

4. 一種用於讀取能夠每單元儲存至少兩個資料位準 s 之快閃記憶體器件中之一目標單元的方法，該方法包含：

獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；

獲得一表示經儲存用於該快閃記憶體中之至少一干擾

單元之資料的值 h ；

基於儲存於該快閃記憶體之至少一部分中之值之一樣式，選擇一或多個機率密度函數，其中該等機率密度函數包含在該快閃記憶體中一或多個干擾單元對該至少一目標單元的樣式相依擾動；

基於該經量測讀取值 r ，評估至少一選定機率密度函數；及

基於該評估步驟之一結果，計算一或多個對數似然比。

5. 如請求項4之方法，其中該計算步驟進一步包含對於兩個可能二進位值中之每一者，針對與該兩個可能二進位值相關聯的所有資料位準，合計針對一給定資料位準 s 量測一讀取值 r 之機率的步驟。
6. 如請求項5之方法，進一步包含以下步驟：基於關於該兩個可能二進位值中之每一者之該等經合計機率來形成一比率；及使關於該兩個可能二進位值中之每一者之該等經合計機率乘以一基於一單元內除正計算該對數似然比之一位元以外之所有位元之一或多個先驗機率值的表式。
7. 一種用於表徵一快閃記憶體中之擾動的方法，其包含：
 - 獲得一或多個機率密度函數，其表達一或多個干擾單元對至少一目標單元之樣式相依擾動；及
 - 基於儲存於該快閃記憶體之至少一部分中之值之一樣式，選擇該等機率密度函數中之一或多者。

8. 如請求項7之方法，其中該擾動包含向後樣式相依性、單元間干擾、程式擾動、讀取擾動及額外雜訊中之一或多者。
9. 一種用於讀取能夠每單元儲存至少兩個資料位準 s 之一快閃記憶體器件中之一目標單元的系統，該方法包含：
 - 一記憶體；及
 - 至少一處理器，其耦接至該記憶體，其操作以：
 - 獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；
 - 基於該經量測讀取值 r ，評估至少一機率密度函數，其中該機率密度函數指示針對一給定資料位準 s 量測一讀取值 r 之一機率；
 - 基於該評估步驟之一結果，計算一或多個對數似然比；及
 - 對於兩個可能二進位值中之每一者，針對與該等兩個可能二進位值相關聯的多重資料位準合計針對一給定資料位準 s 量測一讀取值 r 之該機率。
10. 一種用於讀取能夠每單元儲存至少兩個資料位準 s 之一快閃記憶體器件中之一目標單元的系統，該方法包含：
 - 一記憶體；及
 - 至少一處理器，其耦接至該記憶體，其操作以：
 - 獲得該快閃記憶體中之至少一目標單元之一經量測讀取值 r ；
 - 獲得一表示經儲存用於該快閃記憶體中之至少一干擾

單元之資料的值 h ；

基於儲存於該快閃記憶體之至少一部分中之值之一樣式，選擇一或多個機率密度函數，其中該等機率密度函數包含在該快閃記憶體中一或多個干擾單元對該至少一目標單元的樣式相依擾動；

基於該經量測讀取值 r ，評估至少一選定機率密度函數；及

基於該評估步驟之一結果，計算一或多個對數似然比。

98年10月30日修正本

八、圖式：

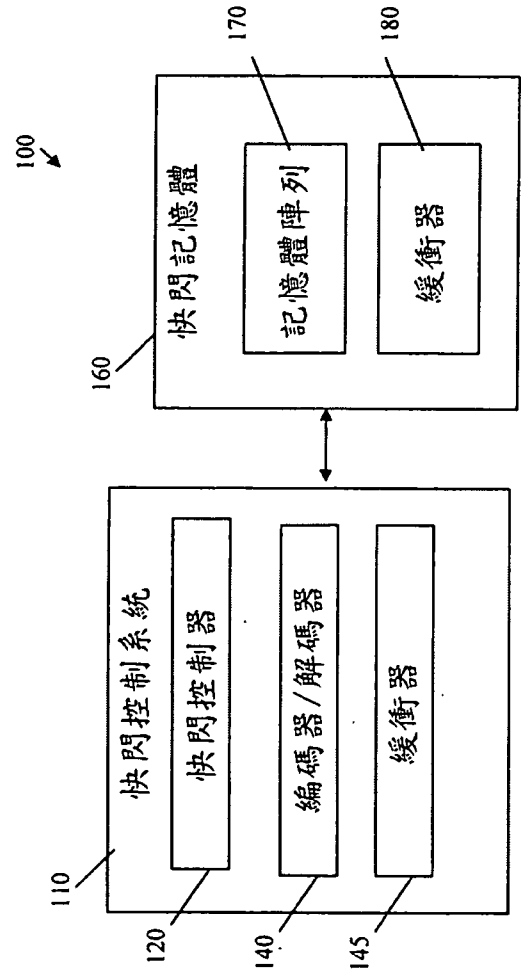


圖1

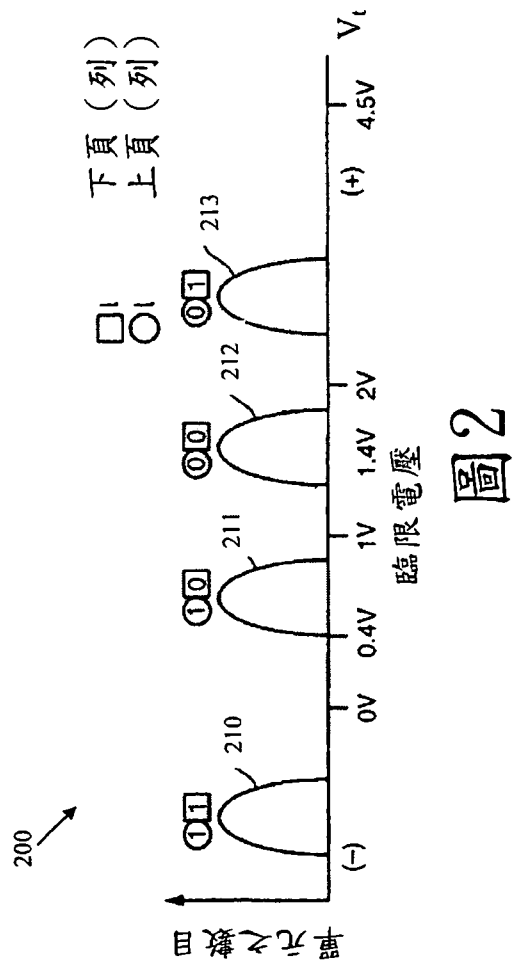


圖2

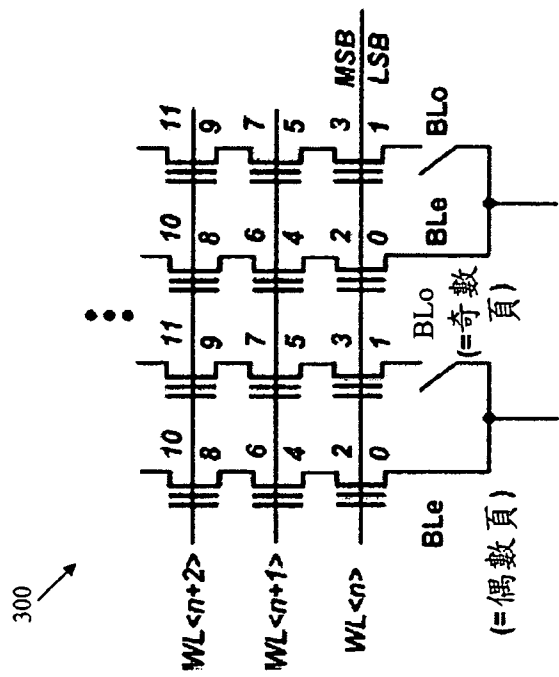


圖3

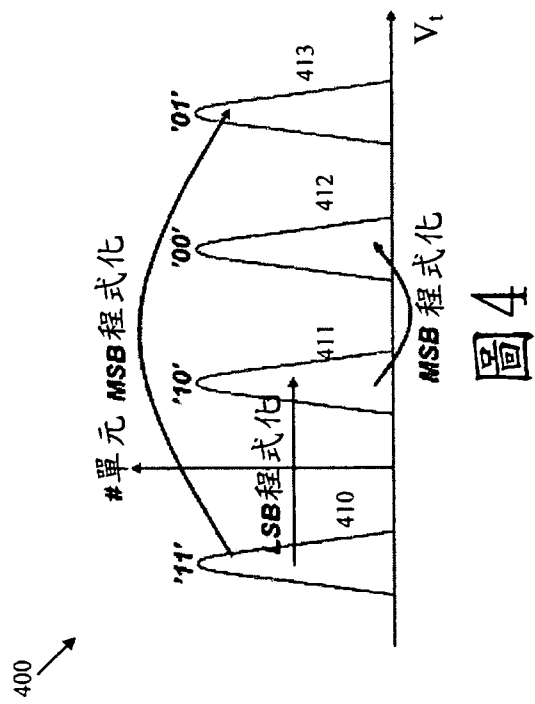


圖4

500 ↗

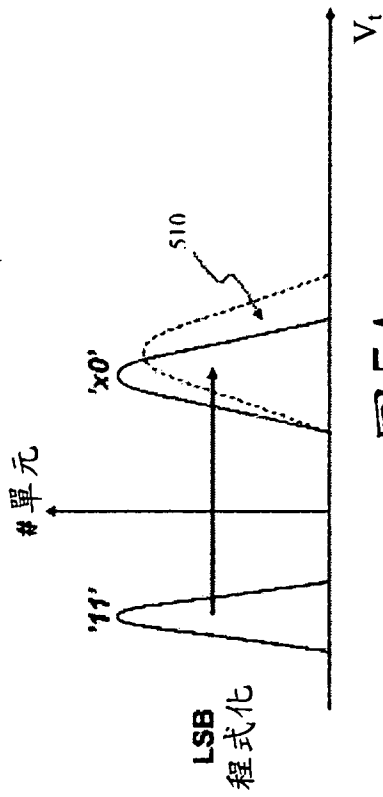


圖5A

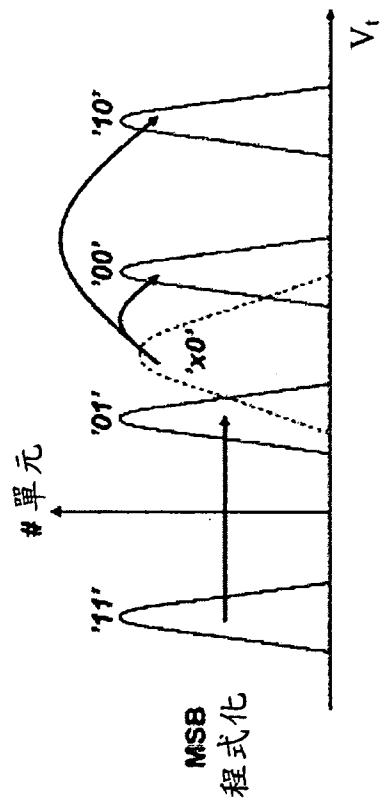


圖5B

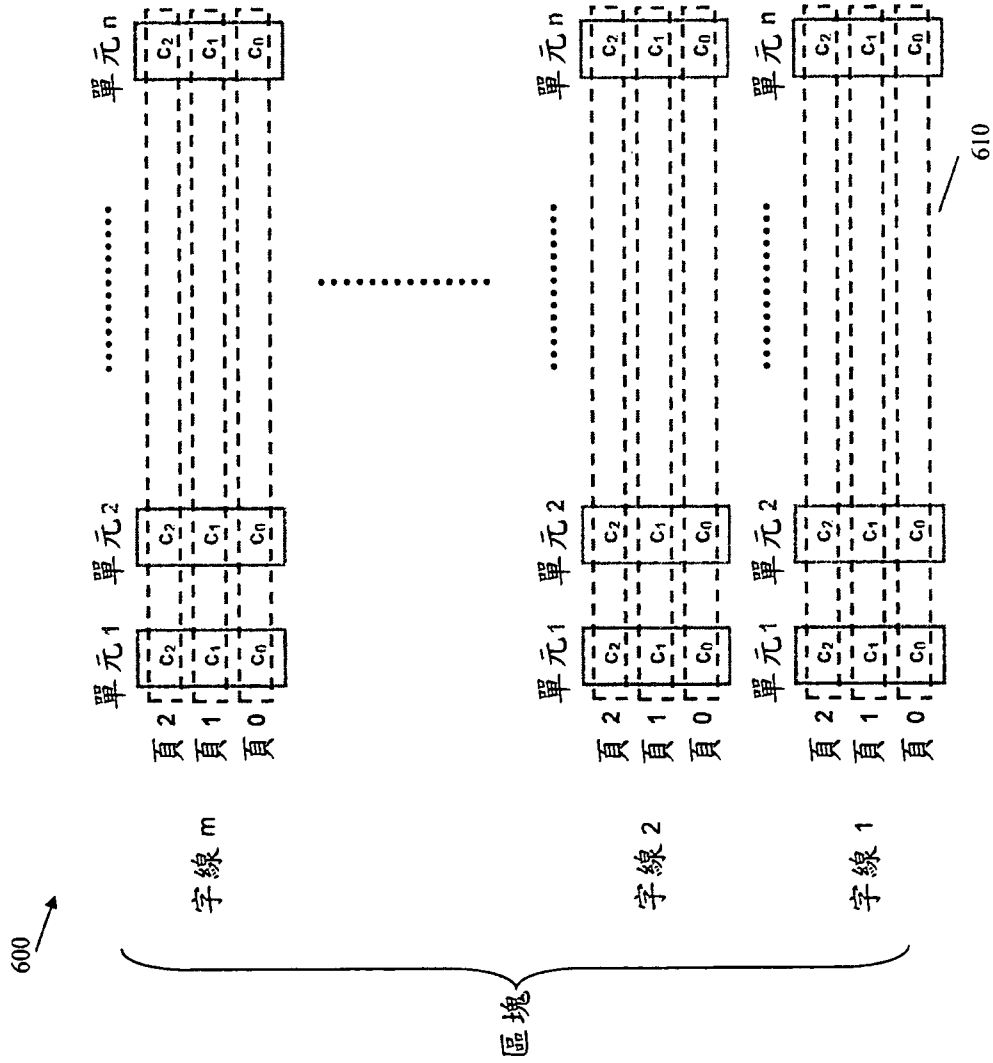


圖6

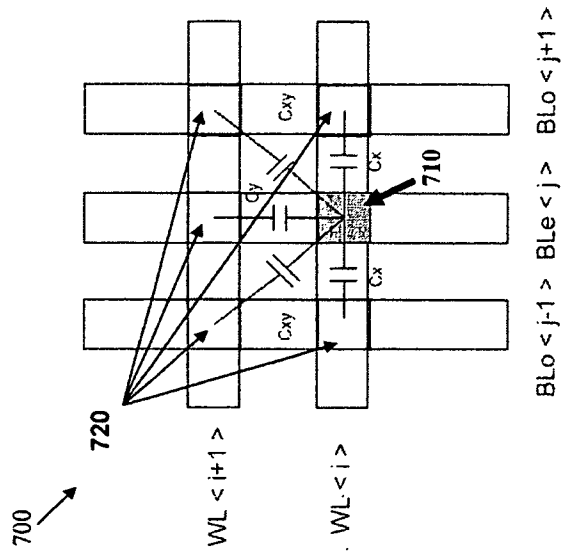


圖7

9

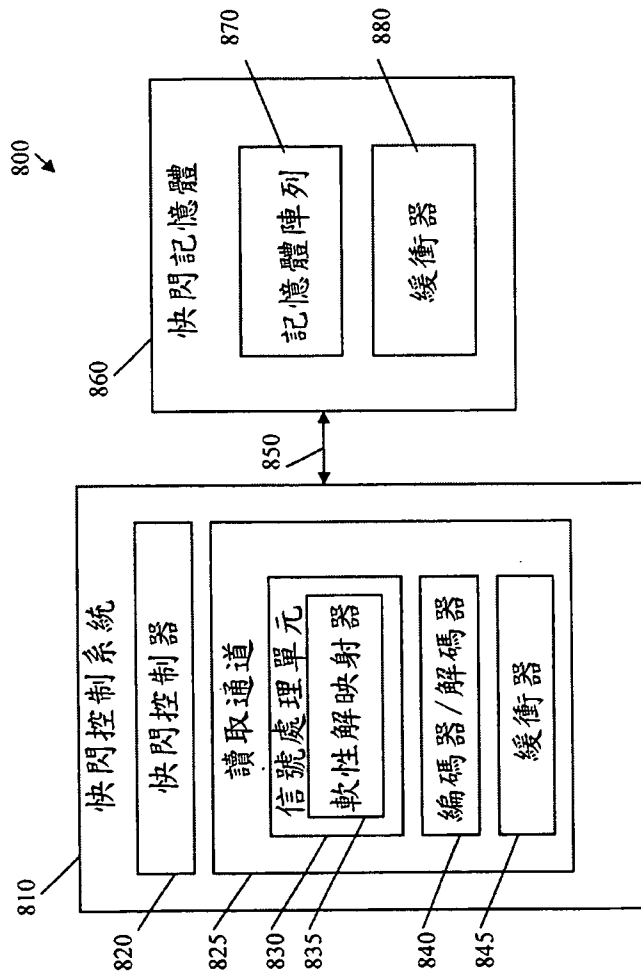


圖8

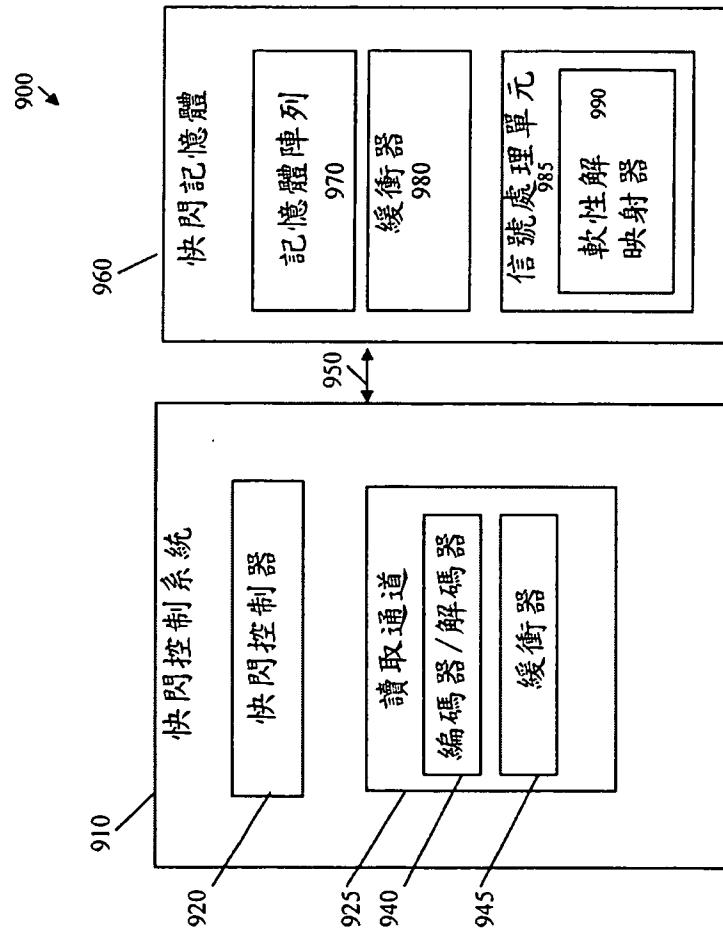


圖9

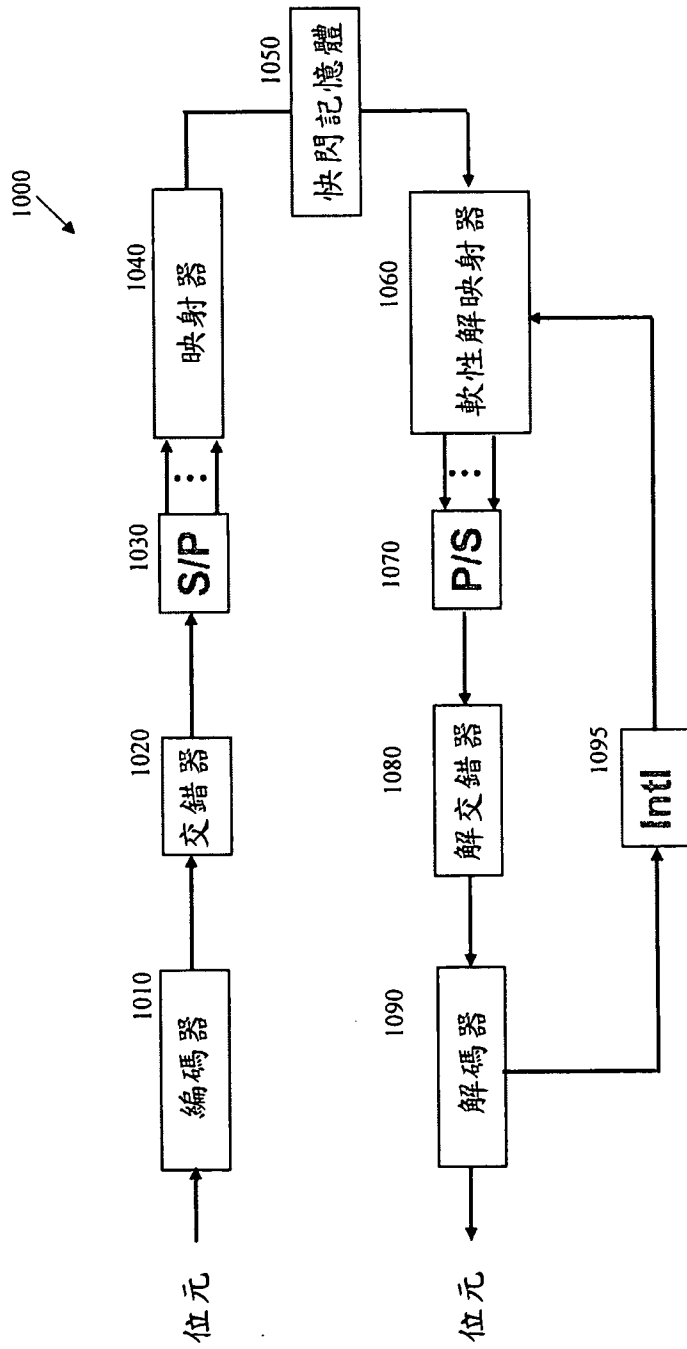


圖10

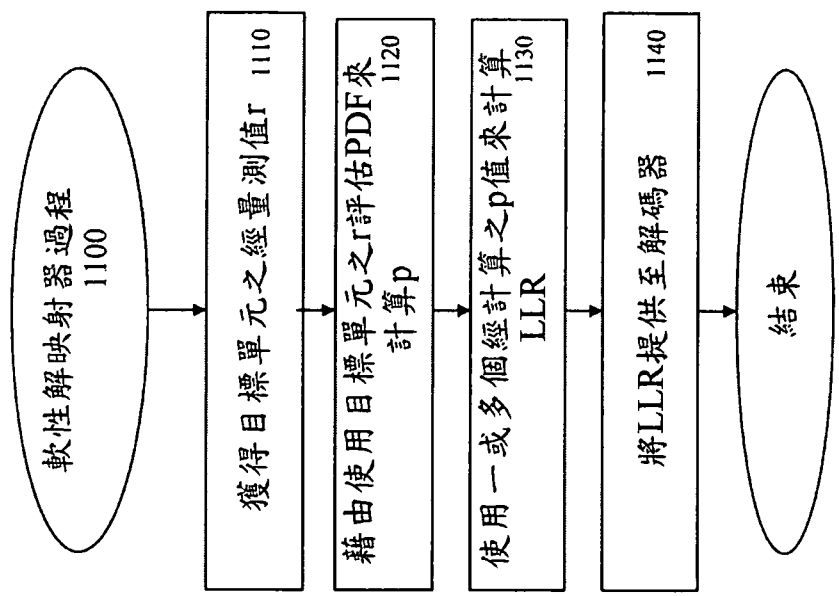


圖11

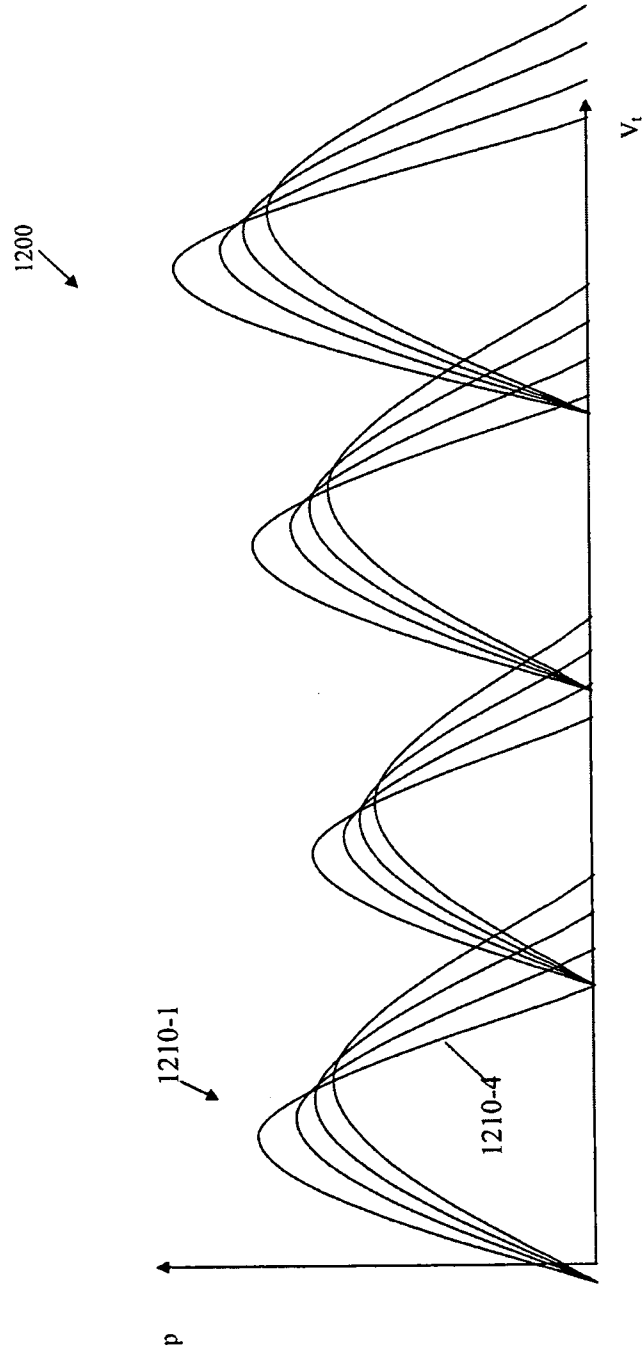


圖12

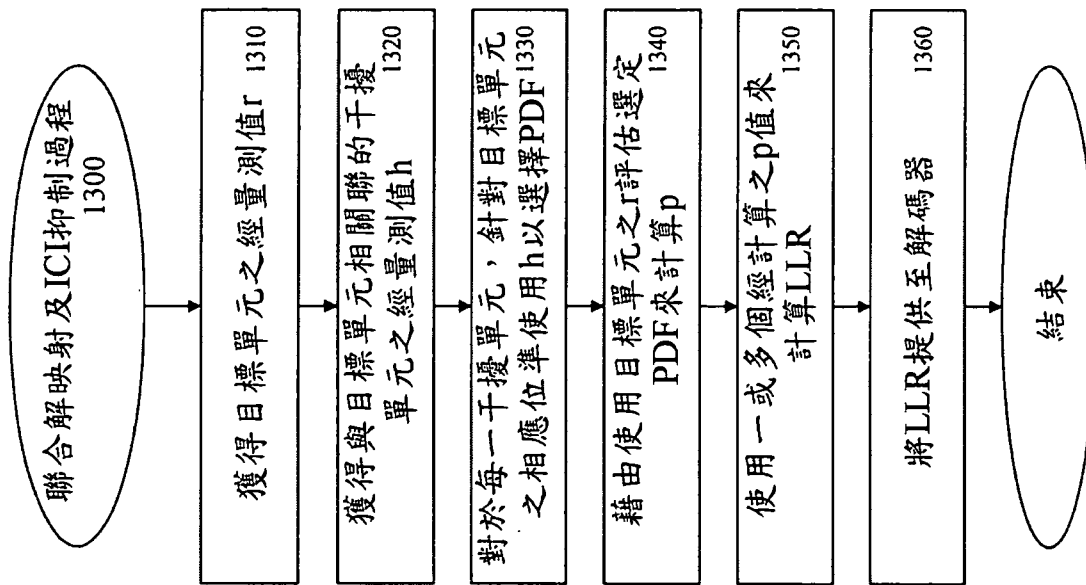


圖13