



(12)发明专利

(10)授权公告号 CN 103545346 B

(45)授权公告日 2016. 11. 16

(21)申请号 201210236375.9

H01L 29/78(2006.01)

(22)申请日 2012.07.09

H01L 21/762(2006.01)

(65)同一申请的已公布的文献号

H01L 21/336(2006.01)

申请公布号 CN 103545346 A

审查员 张雄娥

(43)申请公布日 2014.01.29

(73)专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园区祖冲之路1399号

(72)发明人 陈瑜 刘剑

(74)专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 丁纪铁

(51)Int. Cl.

H01L 29/06(2006.01)

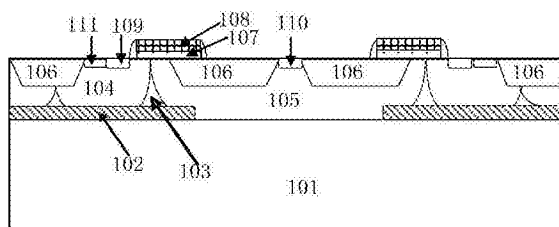
权利要求书1页 说明书6页 附图2页

(54)发明名称

隔离型N型LDMOS器件及其制造方法

(57)摘要

本发明公开了一种隔离型N型LDMOS器件,包括:SOI衬底,包括底层硅、埋氧化层和顶层硅;沟道区形成于顶层硅中,沟道区的底部和底层硅通过埋氧化层隔离;漂移区形成于顶层硅和埋氧化层去除后形成的硅外延层中,漂移区的底部和底层硅相接触。本发明还公开了一种隔离型N型LDMOS器件的制造方法。本发明能彻底消除沟道区与P型衬底之间的穿通问题,能减少N型漂移区的结深、提高N型漂移区的掺杂浓度以及降低器件的导通电阻,还能减小器件的尺寸和寄生电容、提高器件开关速度,并能防止热聚集现象。



1. 一种隔离型N型LDMOS器件的制造方法,其特征在于,包括如下步骤:

步骤一、提供一SOI衬底,所述SOI衬底由底层硅、埋氧化层和顶层硅组成,所述埋氧化层形成于所述底层硅上、所述顶层硅形成于所述埋氧化层上,所述底层硅为P型掺杂;

步骤二、在所述顶层硅上形成硬质掩模,该硬质掩模由依次形成于所述顶层硅上的二氧化硅层和氮化硅层组成;

步骤三、利用光刻工艺定义出区域一,区域一的外部为区域二,所述区域一小于等于形成N型漂移区的区域,所述区域二大于等于形成沟道区的区域;采用刻蚀工艺依次去除所述区域一的所述硬质掩模、所述顶层硅和所述埋氧化层,直至所述底层硅表面露出,所述区域二中的所述顶层硅和所述埋氧化层保留;

步骤四、采用选择性外延工艺方法在所述区域一中形成硅外延层;在所述区域二中的形成沟道区的区域的所述顶层硅中掺入P型杂质形成隔离型N型LDMOS器件的沟道区,所述沟道区的底部和所述埋氧化层接触并通过所述埋氧化层和所述底层硅相隔离;

步骤五、去除所述硬质掩模,在所述区域一中的所述硅外延层中形成N型阱,该N型阱还横向延伸到所述区域二中的所述顶层硅中并和所述沟道区横向接触;所述N型阱组成所述隔离型N型LDMOS器件的N型漂移区;所述N型漂移区的底部和所述底层硅相接触。

2. 如权利要求1所述的隔离型N型LDMOS器件的制造方法,其特征在于,还包括如下步骤:

步骤六、在由所述硅外延层和所述顶层硅组成的顶层结构中形成场氧化隔离层,所述场氧化隔离层用于隔离出有源区;在所述N型漂移区中包括有场氧化隔离层,该场氧化隔离层和所述沟道区之间隔离一段距离;

步骤七、在所述顶层结构和所述场氧化隔离层上依次形成栅介质层、多晶硅层,采用光刻刻蚀工艺对所述多晶硅层和所述栅介质层进行刻蚀形成多晶硅栅,所述多晶硅栅位于所述沟道区上方并延伸到和所述沟道区相邻的所述N型漂移区上方、以及延伸到所述N型漂移区中的所述场氧化隔离层的上方并覆盖部分该场氧化隔离层;

步骤八、进行N型离子注入形成N+区,由位于所述沟道区中的N+区组成源区,所述源区和所述多晶硅栅的位于所述沟道区中的边缘自对准;由形成于所述N型漂移区中的N+区组成漏区,所述漏区和位于所述N型漂移区中的所述场氧化隔离层的远离所述沟道区一侧的边缘对齐;

步骤九、进行P型离子注入在所述沟道区中形成P+区,该P+区组成沟道电极引出区,所述沟道电极引出区用于将所述沟道区引出。

隔离型N型LDMOS器件及其制造方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别是涉及一种隔离型N型LDMOS器件,本发明还涉及一种隔离型N型LDMOS器件的制造方法。

背景技术

[0002] 高压隔离型(Isolated)N型LDMOS器件由于具有设计灵活,比导通电阻(R_{dson})低,响应速度快等优点,大量的应用在电源管理芯片设计中。Isolated N型LDMOS器件与普通N型LDMOS器件即现有非隔离型N型LDMOS器件相比,在Isolated N型LDMOS器件的p型阱即P型沟道区(P body)的区域下会进行深N型阱(Deep N well, DNW)注入,以作为隔离用途。如图1所示,是现有高压隔离型N型LDMOS器件的结构示意图;高压隔离型N型LDMOS器件形成于P型衬底1如硅衬底上,有源区通过浅沟槽场氧5隔离。一深N阱(DNW)2形成于P型衬底1上,用于实现高压隔离型N型LDMOS器件和P型衬底1之间的隔离。P型沟道区(N body)3形成于深N阱2中。漏区9形成于所述深N阱2中,在漏区9到所述P型沟道区3之间区域的深N阱2为N型漂移区即高压器件的漏端扩展区(drain drift),其中虚线框4所示的部分用于满足器件耐压需求。在N型漂移区中包括有浅沟槽场氧5。多晶硅栅7形成于P型沟道区3的上方并延伸N型漂移区的上方以及延伸到N型漂移区上的浅沟槽场氧5上方并部分覆盖该浅沟槽场氧5。多晶硅栅7和其底部的P型沟道区3以及N型漂移区之间通过栅介质层6如栅氧化层隔离。源区8由形成于沟道区3中的N+区组成,源区8和多晶硅栅7的边缘自对准;源区8上方形成有和其接触的源极。漏区9由形成于N型漂移区中的N+区组成,漏区9的边缘和N型漂移区中的浅沟槽场氧5的边缘对准;漏区9上方形成有和其接触的漏极。沟道电极引出区10由形成于P型沟道区3中的P+区组成,沟道电极引出区10上方形成有和其接触的沟道电极(Bulk),沟道电极引出区10用于将沟道区引出。在深N阱2中形成有保护环(Guard Ring)11,保护环11由形成于深N阱2中的N+区组成。在深N阱2的周侧的P型衬底1中形成有P型阱12,该P型阱12中形成由P+区,该P+区组成隔离环(Isolation Ring)13。

[0003] 现有高压隔离型N型LDMOS器件的源极和p型阱引出端电极即沟道电极所允许连接的电位能在0电位(ground)和漏极所加载的电位(一般为Vdd,线路最高电位)之间浮动。而普通N型LDMOS器件的源极和沟道电极只能允许接0电位(与P型衬底电位相一致)。因此,Isolated N型LDMOS器件设计较为灵活,用途广泛。但是,现有这种深N型阱(Deep N well, DNW)隔离p型阱(P body)区域的结构给高压Isolated N型LDMOS器件的研发带来很大的困难。在考虑高压器件漏端扩展区(drain drift)满足器件耐压需求的同时,还要保证垂直方向上的PNP(P body-DNW-P型衬底)的穿通问题。如虚线框14所示,在器件的垂直方向上,P型沟道区3、深N阱2以及P型衬底1之间会形成一PNP结构。在现有工艺中,基本上是采用深推阱(thermal drive-in)的工艺防范,使深N阱2在垂直方向上尽量深,来确保PNP结构不穿通,但是,由于深N型阱也涵盖高压器件漏端扩展区(drain drift),所以深N阱还要求能够满足器件耐压需求。

[0004] 如图2A所示,是现有高压隔离型N型LDMOS器件的垂直方向的PNP结构穿通时的电

势分布图;标记15所指实线为P型沟道区和深N阱的PN结边界、标记16所指实线为深N阱和P型衬底的PN结边界,两个PN结边界两侧的白色虚线为耗尽区边界。图2B是现有高压隔离型N型LDMOS器件的击穿时的电势分布图,两个PN结边界和图2A中的相同,两个PN结边界两侧的白色虚线为耗尽区边界。由图2A可以看出,在确保垂直方向上的PNP结构不穿通时,过深的N型阱会导致器件漏端扩展区无法全耗尽(fully deplete),器件的耐压只能依靠延长该区域的横向尺寸来满足。横向尺寸的增加直接会导致比导通电阻(R_{dson})大幅增加,器件性能变差。器件的耐压要求越大,比导通电阻(R_{dson})劣化越明显。这是现有高压Isolated N型LDMOS器件的设计难点所在。

[0005] 针对上述情况,现有技术大多采用N型埋层+外延的工艺方法来满足器件在垂直方向上的PNP(P body-DNW-P型衬底)的穿通要求;对横向器件漏端扩展区(drain drift),采用降低表面电场(Resurf)的方法来进行设计,以期达到器件的耐压与比导通电阻(R_{dson})的优化,从而提升器件性能。但是,成本问题又是一个劣式。

发明内容

[0006] 本发明所要解决的技术问题是提供一种隔离型N型LDMOS器件,能彻底消除沟道区与P型衬底之间的穿通问题,能减少N型漂移区的结深、提高N型漂移区的掺杂浓度以及降低器件的导通电阻,还能减小器件的尺寸和寄生电容、提高器件开关速度,并能防止热聚集现象。为此,本发明还提供一种隔离型N型LDMOS器件的制造方法。

[0007] 为解决上述技术问题,本发明提供的隔离型N型LDMOS器件包括:

[0008] 一SOI衬底,所述SOI衬底由底层硅、埋氧化层和顶层硅组成,所述埋氧化层形成于所述底层硅上、所述顶层硅形成于所述埋氧化层上,所述底层硅为P型掺杂。

[0009] 所述SOI衬底分成区域一和区域二,所述区域一小于等于形成N型漂移区的区域,所述区域二大于等于形成沟道区的区域;位于所述区域一中的所述顶层硅和所述埋氧化层被去除、位于所述区域二中的所述顶层硅和所述埋氧化层保留;在所述区域一中形成有硅外延层。

[0010] 在形成沟道区的区域中的所述顶层硅中掺入有P型杂质并组成隔离型N型LDMOS器件的沟道区,所述沟道区的底部和所述埋氧化层接触并通过所述埋氧化层和所述底层硅相隔离。

[0011] 在所述区域一中的所述硅外延层中形成有N型阱,该N型阱还横向延伸到所述区域二中的所述顶层硅中并和所述沟道区横向接触;所述N型阱组成所述隔离型N型LDMOS器件的N型漂移区;所述N型漂移区的底部和所述底层硅相接触。

[0012] 进一步,隔离型N型LDMOS器件还包括:

[0013] 场氧化隔离层,形成于由所述硅外延层和所述顶层硅组成的顶层结构中,用于隔离出有源区;在所述N型漂移区中包括有场氧化隔离层,该场氧化隔离层和所述沟道区之间隔离一段距离。

[0014] 多晶硅栅,形成于所述沟道区上方并延伸到和所述沟道区相邻的所述N型漂移区上方、以及延伸到所述N型漂移区中的所述场氧化隔离层的上方并覆盖部分该场氧化隔离层。

[0015] 所述多晶硅栅和其底部的所述沟道区和所述N型漂移区之间隔离有栅介质层。

[0016] 源区,由形成于所述沟道区中N+区组成,所述源区和所述多晶硅栅的位于所述沟道区中的边缘自对准。

[0017] 漏区,由形成于所述N型漂移区中的N+区组成,所述漏区和位于所述N型漂移区中的所述场氧化隔离层的远离所述沟道区一侧的边缘对齐。

[0018] 沟道电极引出区,由形成于所述沟道区中P+区组成,用于将所述沟道区引出。

[0019] 为解决上述技术问题,本发明提供的隔离型N型LDMOS器件的制造方法包括如下步骤:

[0020] 步骤一、提供一SOI衬底,所述SOI衬底由底层硅、埋氧化层和顶层硅组成,所述埋氧化层形成于所述底层硅上、所述顶层硅形成于所述埋氧化层上,所述底层硅为P型掺杂。

[0021] 步骤二、在所述顶层硅上形成硬质掩模,该硬质掩模由依次形成于所述顶层硅上的二氧化硅层和氮化硅层组成。

[0022] 步骤三、利用光刻工艺定义出区域一,区域一的外部为区域二,所述区域一小于等于形成N型漂移区的区域,所述区域二大于等于形成沟道区的区域;采用刻蚀工艺依次去除所述区域一的所述硬质掩模、所述顶层硅和所述埋氧化层,直至所述底层硅表面露出,所述区域二中的所述顶层硅和所述埋氧化层保留。

[0023] 步骤四、采用选择性外延工艺方法在所述区域一中形成硅外延层;在所述区域二中的形成沟道区的区域的所述顶层硅中掺入P型杂质形成隔离型N型LDMOS器件的沟道区,所述沟道区的底部和所述埋氧化层接触并通过所述埋氧化层和所述底层硅相隔离。

[0024] 步骤五、去除所述硬质掩模,在所述区域一中的所述硅外延层中形成N型阱,该N型阱还横向延伸到所述区域二中的所述顶层硅中并和所述沟道区横向接触;所述N型阱组成所述隔离型N型LDMOS器件的N型漂移区;所述N型漂移区的底部和所述底层硅相接触。

[0025] 进一步的改进是,还包括如下步骤:

[0026] 步骤六、在由所述硅外延层和所述顶层硅组成的顶层结构中形成场氧化隔离层,所述场氧化隔离层用于隔离出有源区;在所述N型漂移区中包括有场氧化隔离层,该场氧化隔离层和所述沟道区之间隔离一段距离。

[0027] 步骤七、在所述顶层结构和所述场氧化隔离层上依次形成栅介质层、多晶硅层,采用光刻刻蚀工艺对所述多晶硅层和所述栅介质层进行刻蚀形成多晶硅栅,所述多晶硅栅位于所述沟道区上方并延伸到和所述沟道区相邻的所述N型漂移区上方、以及延伸到所述N型漂移区中的所述场氧化隔离层的上方并覆盖部分该场氧化隔离层。

[0028] 步骤八、进行N型离子注入形成N+区,由位于所述沟道区中的N+区组成源区,所述源区和所述多晶硅栅的位于所述沟道区中的边缘自对准;由形成于所述N型漂移区中的N+区组成漏区,所述漏区和位于所述N型漂移区中的所述场氧化隔离层的远离所述沟道区一侧的边缘对齐。

[0029] 步骤九、进行P型离子注入在所述沟道区中形成P+区,该P+区组成沟道电极引出区,所述沟道电极引出区用于将所述沟道区引出。

[0030] 本发明通过采用SOI衬底,通过埋氧化层来实现器件的P型沟道区与P型衬底即SOI衬底的底层硅之间的隔离,能彻底消除沟道区和P型衬底之间的穿通问题。同时,由于无需考虑沟道区和P型衬底之间的隔离问题,所以本发明还能减少N型漂移区的结深,并提高N型漂移区的掺杂浓度以及降低器件的导通电阻。另外,由于无需形成深N阱,故形成深N阱的过

程中采用的高温长时间的推阱工艺不需再进行,故能减少组成器件的各掺杂区域的横向扩散量,使组成器件的各掺杂区域的横向扩散量非常小,从而能够减少器件尺寸和寄生电容、提高器件开关速度。同时,本发明的器件的漏区通过漏区底部的漂移区底部和P型衬底即SOI衬底的底层硅相连,从而能够防止出现由于埋氧化层导热效率差出现热聚集现象。

附图说明

[0031] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0032] 图1是现有高压隔离型N型LDMOS器件的结构示意图;

[0033] 图2A是现有高压隔离型N型LDMOS器件的垂直方向的PNP结构贯通时的电势分布图;

[0034] 图2B是现有高压隔离型N型LDMOS器件的击穿时的电势分布图;

[0035] 图3是本发明实施例隔离型N型LDMOS器件的结构示意图;

[0036] 图4A-图4C是本发明实施例隔离型N型LDMOS器件的制造方法的各步骤中的器件结构示意图。

具体实施方式

[0037] 如图3所示,是本发明实施例隔离型N型LDMOS器件的结构示意图;本发明实施例隔离型N型LDMOS器件包括:

[0038] 一SOI衬底,所述SOI衬底由底层硅101、埋氧化层102和顶层硅103组成,所述埋氧化层102形成于所述底层硅101上、所述顶层硅103形成于所述埋氧化层102上,所述底层硅101为P型掺杂。

[0039] 所述SOI衬底分成区域一和区域二,所述区域一小于等于形成N型漂移区的区域,所述区域二大于等于形成沟道区的区域;位于所述区域一中的所述顶层硅103和所述埋氧化层102被去除、位于所述区域二中的所述顶层硅103和所述埋氧化层102保留;在所述区域一中形成有硅外延层。

[0040] 在形成沟道区的区域中的所述顶层硅103中掺入有P型杂质并组成隔离型N型LDMOS器件的沟道区104,所述沟道区104处于所述区域二中,所述沟道区104的底部和所述埋氧化层102接触并通过所述埋氧化层102和所述底层硅101相隔离。

[0041] 在所述区域一中的所述硅外延层中形成有N型阱,该N型阱还横向延伸到所述区域二中的所述顶层硅103中并和所述沟道区104横向接触;所述N型阱组成所述隔离型N型LDMOS器件的N型漂移区105;所述N型漂移区105的底部和所述底层硅101相接触。

[0042] 场氧化隔离层106,形成于由所述硅外延层和所述顶层硅103组成的顶层结构中,用于隔离出有源区;在所述N型漂移区105中包括有场氧化隔离层106,该场氧化隔离层106和所述沟道区104之间隔离一段距离。

[0043] 多晶硅栅108,形成于所述沟道区104上方并延伸到和所述沟道区104相邻的所述N型漂移区105上方、以及延伸到所述N型漂移区105中的所述场氧化隔离层106的上方并覆盖部分该场氧化隔离层106。

[0044] 所述多晶硅栅108和其底部的所述沟道区104和所述N型漂移区105之间隔离有栅介质层107,本发明实施例中所述栅介质层107为栅氧化层。

[0045] 源区109,由形成于所述沟道区104中N+区组成,所述源区109和所述多晶硅栅108的位于所述沟道区104中的边缘自对准。所述源区109顶部形成有和其连接的源极。

[0046] 漏区110,由形成于所述N型漂移区105中的N+区组成,所述漏区110和位于所述N型漂移区105中的所述场氧化隔离层106的远离所述沟道区104一侧的边缘对齐。所述漏区110顶部形成有和其连接的漏极。

[0047] 沟道电极引出区111,由形成于所述沟道区104中P+区组成,用于将所述沟道区104引出。沟道电极引出区111上方形成有和其接触的沟道电极(Bulk),沟道电极引出区111用于将沟道区引出。

[0048] 本发明实施例隔离型N型LDMOS器件的制造方法包括如下步骤:

[0049] 步骤一、如图4A所示,提供一SOI衬底,所述SOI衬底由底层硅101、埋氧化层102和顶层硅103组成,所述埋氧化层102形成于所述底层硅101上、所述顶层硅103形成于所述埋氧化层102上,所述底层硅101为P型掺杂。

[0050] 步骤二、在所述顶层硅103上形成硬质掩模112,该硬质掩模112由依次形成于所述顶层硅103上的二氧化硅层和氮化硅层组成。

[0051] 步骤三、如图4B所示,利用光刻工艺定义出区域一105a,区域一105a的外部为区域二,所述区域一105a小于等于形成N型漂移区的区域,所述区域二大于等于形成沟道区的区域;采用刻蚀工艺依次去除所述区域一105a的所述硬质掩模112、所述顶层硅103和所述埋氧化层102,直至所述底层硅101表面露出,所述区域二中的所述顶层硅103和所述埋氧化层102保留。

[0052] 步骤四、如图4C所示,采用选择性外延工艺方法在所述区域一105a中形成硅外延层105b。如图3所示,在所述区域二中的形成沟道区的区域的所述顶层硅103中掺入P型杂质形成隔离型N型LDMOS器件的沟道区104,所述沟道区104的底部和所述埋氧化层102接触并通过所述埋氧化层102和所述底层硅101相隔离。

[0053] 步骤五、如图3所示,去除所述硬质掩模112,在所述区域一105a中的所述硅外延层中形成N型阱,该N型阱还横向延伸到所述区域二中的所述顶层硅103中并和所述沟道区104横向接触;所述N型阱组成所述隔离型N型LDMOS器件的N型漂移区105;所述N型漂移区105的底部和所述底层硅101相接触。

[0054] 步骤六、如图3所示,在由所述硅外延层和所述顶层硅103组成的顶层结构中形成场氧化隔离层106,所述场氧化隔离层106用于隔离出有源区;在所述N型漂移区105中包括有场氧化隔离层106,该场氧化隔离层106和所述沟道区104之间隔离一段距离。

[0055] 步骤七、如图3所示,在所述顶层结构和所述场氧化隔离层106上依次形成栅介质层107、多晶硅层,采用光刻刻蚀工艺对所述多晶硅层和所述栅介质层107进行刻蚀形成多晶硅栅108,所述多晶硅栅108位于所述沟道区104上方并延伸到和所述沟道区104相邻的所述N型漂移区105上方、以及延伸到所述N型漂移区105中的所述场氧化隔离层106的上方并覆盖部分该场氧化隔离层106。

[0056] 步骤八、如图3所示,进行N型离子注入形成N+区,由位于所述沟道区104中的N+区组成源区109,所述源区109和所述多晶硅栅108的位于所述沟道区104中的边缘自对准;由形成于所述N型漂移区105中的N+区组成漏区110,所述漏区110和位于所述N型漂移区105中的所述场氧化隔离层106的远离所述沟道区104一侧的边缘对齐。

[0057] 步骤九、如图3所示,进行P型离子注入在所述沟道区104中形成P+区,该P+区组成沟道电极引出区111,所述沟道电极引出区111用于将所述沟道区104引出。

[0058] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

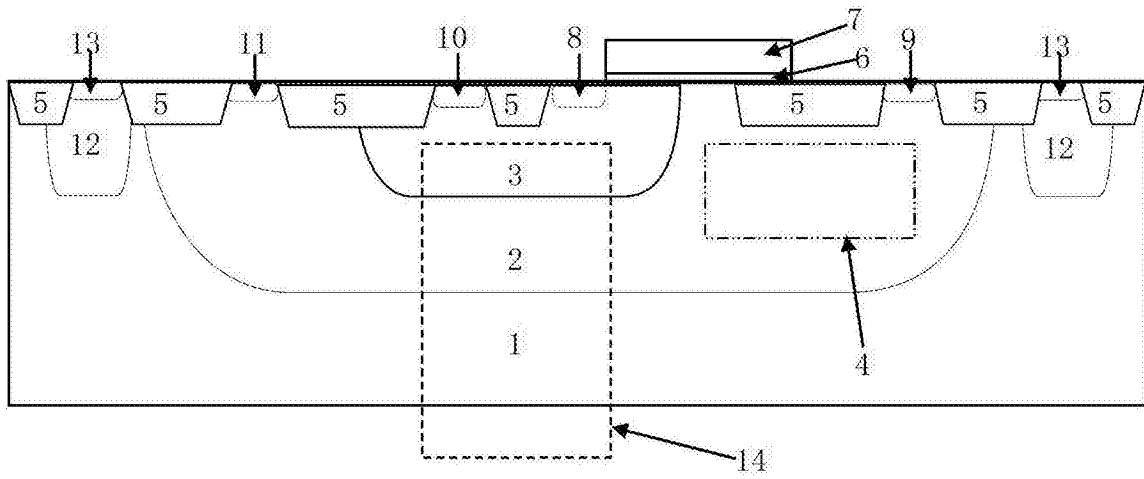


图1

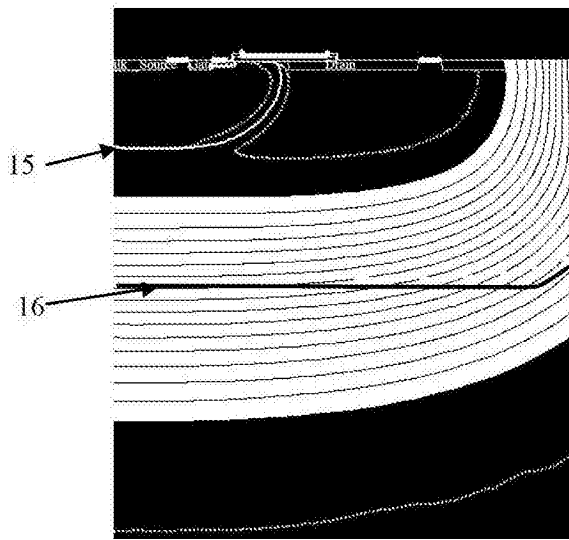


图2A

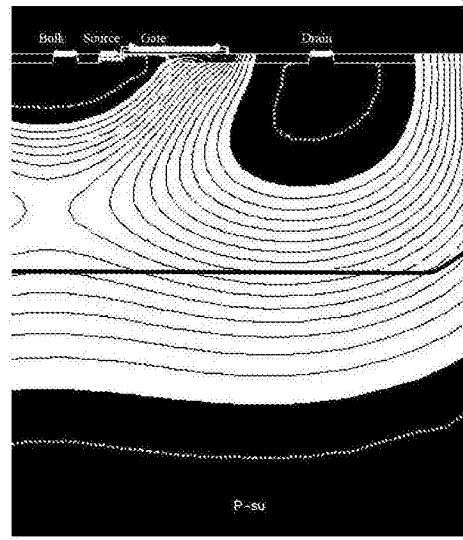


图2B

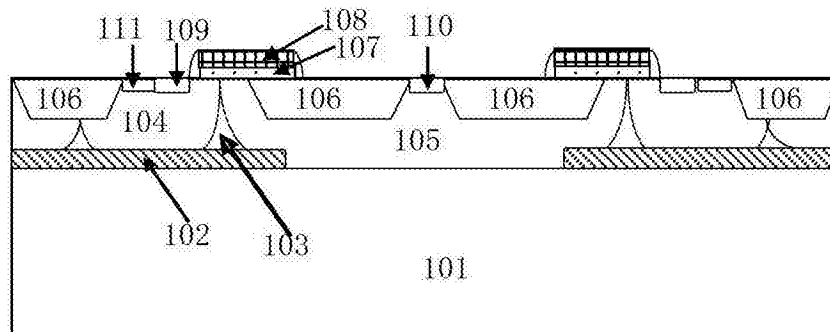


图3

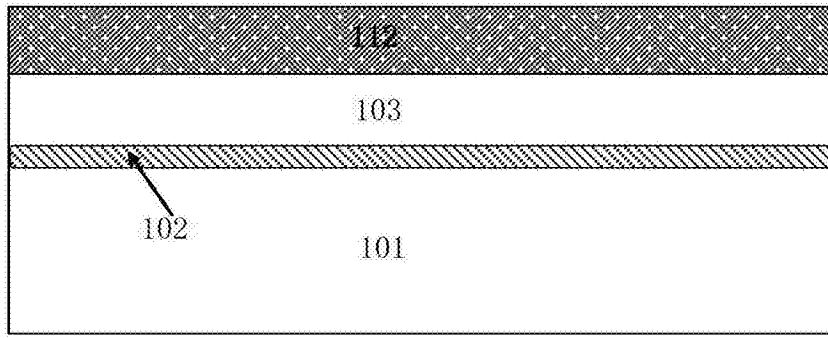


图4A

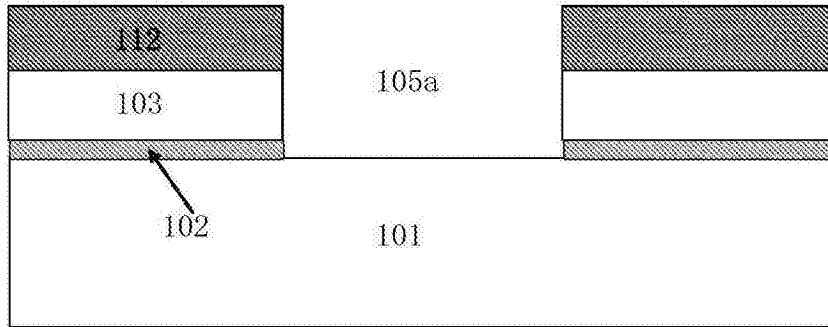


图4B

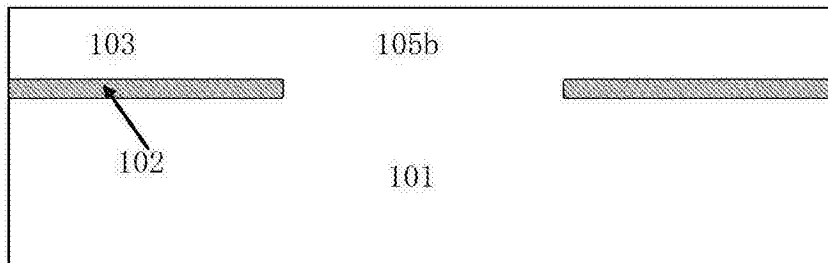


图4C