



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월30일 10-0753365 2007년08월23일
----------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0063800 2001년10월16일 2006년10월10일	(65) 공개번호 (43) 공개일자	10-2003-0032199 2003년04월26일
----------------------------------	-----------------------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	정우석 경기도안양시동안구관양동 한가람한양아파트307동1503호
(74) 대리인	박영우
(56) 선행기술조사문헌	
JP06318055 A	JP09244585 A
JP10065516 A	JP11150452 A

심사관 : 김세영

전체 청구항 수 : 총 20 항

(54) 쉬프트 레지스터 및 이를 갖는 액정표시장치

(57) 요약

쉬프트 레지스터 및 액정표시장치가 개시된다. 쉬프트 레지스터는 복수의 스테이지들이 종속 연결되고, 각 스테이지들은 제 1 입력단자, 제 2 입력단자, 제 1 출력단자, 제 2 출력단자, 제 3 출력단자, 클럭단자, 및 반전클럭단자를 포함한다. 각 스테이지는 입력회로, 레벨슈프터, 출력회로를 포함한다. 입력회로는 입력단자에 공급되는 이전 스테이지의 제 1 출력단자로부터 공급되는 제 1 출력신호와 자신의 제 1 출력신호를 조합하여 제어신호를 발생한다. 레벨슈프터는 상기 제어신호 및 상기 이전 스테이지의 제 2 출력단자로부터 공급되는 제 2 출력신호에 응답하여 상기 반전클럭단자에 공급되는 반전클럭신호의 레벨을 쉬프트시킨 제 1 펄스신호와, 상기 제어신호와 상기 제 1 펄스신호에 응답하여 상기 클럭단자에 공급되는 클럭신호의 레벨을 쉬프트시킨 제 2 펄스신호를 각각 발생한다. 출력회로는 제 1 펄스신호를 위상 반전시켜서 다음 스테이지의 제 1 입력단자에 결합된 상기 제 1 출력단자에 상기 제 1 출력신호로 출력하고, 상기 제 2 펄스신호를 위상 반전시켜서 다음 스테이지의 제 2 입력단자에 결합된 상기 제 2 출력단자에 제 2 출력신호를 출력하고, 상기 제 2 펄스신호를 버퍼링하여 상기 제 3 출력단자에 제 3 출력신호로 출력한다. 따라서, 쉬프트레지스터의 전력소모를 줄일 수 있다.

대표도

도 7

특허청구의 범위

청구항 1.

복수의 스테이지들이 종속 연결되고, 각 스테이지들은 제 1 입력단자, 제 2 입력단자, 제 1 출력단자, 제 2 출력단자, 제 3 출력단자, 클럭입력단자, 및 반전클럭입력단자를 포함하는 쉬프트 레지스터에 있어서,

상기 각 스테이지는

이전 스테이지의 제 1 출력단자로부터 공급되는 상기 입력단자에 제 1 출력신호와 자신의 제 1 출력신호를 조합하여 제어 신호를 발생하는 입력수단;

상기 제어신호 및 상기 이전 스테이지의 제 2 출력단자로부터 공급되는 제 2 출력신호에 응답하여 상기 반전클럭단자에 공급되는 반전클럭신호의 레벨을 쉬프트시킨 제 1 펄스신호와, 상기 제어신호와 상기 제 1 펄스신호에 응답하여 상기 클럭단자에 공급되는 클럭신호의 레벨을 쉬프트시킨 제 2 펄스신호를 각각 발생하는 레벨쉬프트수단; 및

상기 제 1 펄스신호를 위상 반전시켜서 다음 스테이지의 제 1 입력단자에 결합된 상기 제 1 출력단자에 상기 제 1 출력신호로 출력하고, 상기 제 2 펄스신호를 위상 반전시켜서 다음 스테이지의 제 2 입력단자에 결합된 상기 제 2 출력단자에 제 2 출력신호를 출력하고, 상기 제 2 펄스신호를 버퍼링하여 상기 제 3 출력단자에 제 3 출력신호로 출력하는 출력수단을 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서, 상기 레벨쉬프트수단은

제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 입력단자에 게이트가 결합된 제 1 피모스 트랜지스터;

상기 제 1 노드에 드레인이 연결되고, 상기 반전클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 1 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 제 2 노드에 드레인이 연결되고, 상기 제 1 펄스신호가 게이트에 결합된 제 2 피모스 트랜지스터;

상기 제 2 노드에 드레인이 연결되고, 상기 클럭입력단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 2 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 상기 제 2 노드에 드레인이 연결되고, 상기 제 1 노드에 게이트가 연결된 제 3 피모스 트랜지스터;

상기 제 2 노드에 드레인이 연결되고, 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 3 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 노드에 게이트가 연결된 제 4 피모스 트랜지스터; 및

상기 제 2 노드에 드레인이 연결되고, 상기 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 4 엔모스 트랜지스터를 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제 2 항에 있어서, 상기 제 1 및 제 2 피모스 트랜지스터들과 제 3 및 제 4 엔모스 트랜지스터들의 사이즈 보다 상기 제 1 및 제 2 엔모스 트랜지스터들과 제 3 및 제 4 피모스 트랜지스터들의 사이즈가 더 큰 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제 1 항에 있어서, 상기 레벨쉬프트수단은

제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 입력단자에 게이트가 결합된 제 1 피모스 트랜지스터;

상기 제 1 노드에 드레인이 연결되고, 상기 반전클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 1 엔모스 트랜지스터;

제 2 노드에 드레인이 연결되고, 상기 클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 2 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 상기 제 2 노드에 드레인이 연결되고, 상기 제 1 노드에 게이트가 연결된 제 2 피모스 트랜지스터;

상기 제 2 노드에 드레인이 연결되고, 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 3 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 노드에 게이트가 연결된 제 3 피모스 트랜지스터; 및

상기 제 2 노드에 드레인이 연결되고, 상기 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 4 엔모스 트랜지스터를 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

제 4 항에 있어서, 상기 제 1 및 제 2 피모스 트랜지스터들과 제 3 및 제 4 엔모스 트랜지스터들의 사이즈 보다 상기 제 1 및 제 2 엔모스 트랜지스터들과 제 3 피모스 트랜지스터들의 사이즈가 더 큰 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.

투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정표시장치에 있어서,

상기 데이터 구동회로 및 게이트 구동회로 중 적어도 어느 하나는 외부로부터 공급되는 저전압 클럭신호에 동기하여 고전압 스캔펄스신호를 발생하는 쉬프트 레지스터를 포함하고,

상기 쉬프트 레지스터는 복수의 스테이지들이 종속 연결되고, 각 스테이지들은 제 1 입력단자, 제 2 입력단자, 제 1 출력단자, 제 2 출력단자, 제 3 출력단자, 클럭단자, 및 반전클럭단자를 포함하고,

상기 각 스테이지는

이전 스테이지의 제 1 출력단자로부터 상기 입력단자에 공급되는 제 1 출력신호와 자신의 제 1 출력신호를 조합하여 제어신호를 발생하는 입력수단;

상기 제어신호 및 상기 이전 스테이지의 제 2 출력단자로부터 공급되는 제 2 출력신호에 응답하여 상기 반전클럭단자에 공급되는 반전클럭신호의 레벨을 쉬프트시킨 제 1 펄스신호와, 상기 제어신호와 상기 제 1 펄스신호에 응답하여 상기 클럭단자에 공급되는 클럭신호의 레벨을 쉬프트시킨 제 2 펄스신호를 각각 발생하는 레벨쉬프트수단; 및

상기 제 1 펄스신호를 위상 반전시켜서 다음 스테이지의 제 1 입력단자에 결합된 상기 제 1 출력단자에 상기 제 1 출력신호로 출력하고, 상기 제 2 펄스신호를 위상 반전시켜서 다음 스테이지의 제 2 입력단자에 결합된 상기 제 2 출력단자에 제 2 출력신호를 출력하고, 상기 제 2 펄스신호를 버퍼링하여 상기 제 3 출력단자에 제 3 출력신호로 출력하는 출력수단을 구비한 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서, 상기 레벨쉬프트수단은

제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 입력단자에 게이트가 결합된 제 1 피모스 트랜지스터;

상기 제 1 노드에 드레인이 연결되고, 상기 반전클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 1 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 제 2 노드에 드레인이 연결되고, 상기 제 1 펄스신호가 게이트에 결합된 제 2 피모스 트랜지스터;

상기 제 2 노드에 드레인이 연결되고, 상기 클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 2 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 상기 제 2 노드에 드레인이 연결되고, 상기 제 1 노드에 게이트가 연결된 제 3 피모스 트랜지스터;

상기 제 2 노드에 드레인이 연결되고, 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 3 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 노드에 게이트가 연결된 제 4 피모스 트랜지스터; 및

상기 제 2 노드에 드레인이 연결되고, 상기 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 4 엔모스 트랜지스터를 구비한 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서, 상기 제 1 및 제 2 피모스 트랜지스터들과 제 3 및 제 4 엔모스 트랜지스터들의 사이즈 보다 상기 제 1 및 제 2 엔모스 트랜지스터들과 제 3 및 제 4 피모스 트랜지스터들의 사이즈가 더 큰 것을 특징으로 하는 액정표시장치.

청구항 9.

제 6 항에 있어서, 상기 레벨쉬프트수단은

제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 입력단자에 게이트가 결합된 제 1 피모스 트랜지스터;

상기 제 1 노드에 드레인이 연결되고, 상기 반전클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 1 엔모스 트랜지스터;

제 2 노드에 드레인이 연결되고, 상기 클럭단자에 소오스가 연결되고, 상기 제어신호가 게이트에 결합된 제 2 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 상기 제 2 노드에 드레인이 연결되고, 상기 제 1 노드에 게이트가 연결된 제 2 피모스 트랜지스터;

상기 제 2 노드에 드레인이 연결되고, 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 3 엔모스 트랜지스터;

상기 제 1 전원전압단자에 소오스가 연결되고, 제 1 노드에 드레인이 연결되고, 상기 제 2 노드에 게이트가 연결된 제 3 피모스 트랜지스터; 및

상기 제 2 노드에 드레인이 연결되고, 상기 제 2 전원전압단자에 소오스가 연결되고, 상기 제 1 노드에 게이트가 연결된 제 4 엔모스 트랜지스터를 구비한 것을 특징으로 하는 액정표시장치.

청구항 10.

제 9 항에 있어서, 상기 제 1 및 제 2 피모스 트랜지스터들과 제 3 및 제 4 엔모스 트랜지스터들의 사이즈 보다 상기 제 1 및 제 2 엔모스 트랜지스터들과 제 3 피모스 트랜지스터들의 사이즈가 더 큰 것을 특징으로 하는 액정표시장치.

청구항 11.

복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 첫 번째 스테이지에는 상기 개시신호와 위상이 반전된 제어신호가 스위칭단자에 입력되고, 상기 쉬프트 레지스터의 각 스테이지들에는 제1 클럭신호 및 상기 제1 클럭신호와 위상이 반전된 제2 클럭신호가 제공되며,

상기 각 스테이지는,

상기 개시신호 및 이전 스테이지의 출력신호에 응답하여 해당 스테이지의 타이밍신호를 발생하는 타이밍신호 발생수단;

상기 제1 및 제2 클럭신호를 입력받고, 상기 타이밍신호에 응답하여 상기 제1 및 제2 클럭신호를 바이어싱하여 각각 제1 및 제2 노드에 제1 및 제2 출력신호로서 제공하는 바이어싱수단;

상기 제어신호 및 상기 제1 출력신호에 응답하여 스위칭하고, 상기 제2 노드에 제1 전원전압을 제공하는 제1 차징수단;

상기 제1 전원전압 및 상기 제2 출력신호에 응답하여 스위칭하고, 상기 제1 노드에 상기 제1 전원전압을 제공하는 제2 차징수단;

상기 제1 노드에 연결되고, 상기 제2 차징수단에 의해 소정의 전압레벨로 차징된 상기 제1 출력신호를 제1 출력단자를 통해 상기 출력신호로서 출력하고, 상기 제1 출력신호와 위상이 반전된 신호를 상기 다음 스테이지의 스위칭단자에 상기 제어신호로서 제공하는 제1 출력수단; 및

상기 제2 노드에 연결되고, 상기 제1 차징수단에 의해 소정의 전압레벨로 차징된 상기 제2 출력신호를 제2 출력단자를 통해 다음 스테이지의 입력단자에 상기 개시신호로서 제공하는 제2 출력수단을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 12.

제11항에 있어서, 상기 제1 차징수단은,

상기 스위칭단자에 게이트가 연결되고, 상기 제2 노드에 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제1 PMOS 트랜지스터; 및

상기 제1 노드에 게이트가 연결되고, 상기 제2 노드에 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제2 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 13.

제12항에 있어서, 상기 제2 차징수단은,

상기 제2 노드에 게이트가 연결되고, 상기 제1 노드에 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제3 PMOS 트랜지스터; 및

상기 제2 노드에 게이트가 연결되고, 상기 제1 노드에 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제4 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 14.

제13항에 있어서, 상기 각 스테이지는,

상기 제1 노드에 상기 제4 PMOS 트랜지스터의 드레인과 공통으로 드레인이 연결되고, 상기 제2 노드에 상기 제4 PMOS 트랜지스터의 게이트와 공통으로 게이트가 연결되며, 소오스가 접지에 연결되어 상기 제1 차징수단으로부터의 출력신호에 응답하여 턴온되어서 상기 제1 노드에 나타나는 상기 제1 출력신호의 전압레벨을 접지레벨로 유지하기 위한 제1 NMOS 트랜지스터; 및

상기 제2 노드에 상기 제2 PMOS 트랜지스터의 드레인과 공통으로 드레인이 연결되고, 상기 제1 노드에 상기 제2 PMOS 트랜지스터의 게이트와 공통으로 게이트가 연결되며, 소오스가 상기 접지에 연결되어 상기 제2 차징수단으로부터의 출력신호에 응답하여 턴온되어서 상기 제2 노드에 나타나는 상기 제2 출력신호의 전압레벨을 접지레벨로 유지하기 위한 제2 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 15.

제14항에 있어서, 상기 바이어싱수단은,

상기 타이밍신호 발생수단에 게이트가 연결되고, 상기 제2 노드에 상기 제1 PMOS 트랜지스터의 드레인과 공통으로 드레인이 연결되고, 게이트가 상기 제2 클럭신호를 입력받는 제5 NMOS 트랜지스터; 및

상기 타이밍신호 발생수단에 상기 제5 NMOS 트랜지스터의 게이트와 공통으로 게이트가 연결되고, 상기 제1 노드에 상기 제3 PMOS 트랜지스터의 드레인과 공통으로 드레인이 연결되고, 게이트가 상기 제1 클럭신호를 입력받는 제6 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 16.

제14항에 있어서, 상기 제1 출력수단은,

상기 제1 노드에 입력단이 연결되고, 상기 제1 노드에 나타나는 상기 제1 출력신호와 위상이 반전된 신호를 상기 스위칭단자에 상기 제어신호로서 제공하는 제1 인버터; 및

상기 제1 인버터의 출력단에 입력단이 연결되고, 상기 제1 인버터로부터의 상기 제어신호와 위상이 반전된 신호를 출력하는 제2 인버터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 17.

제14항에 있어서, 상기 제2 출력수단은 입력단이 상기 제2 노드에 연결되고, 상기 제2 노드에 나타나는 상기 제2 출력신호와 위상이 반전된 신호를 상기 다음 스테이지의 입력단자에 상기 개시신호로서 제공하는 제3 인버터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 18.

제11항에 있어서, 상기 제1 차징수단은,

상기 스위칭단자에 게이트가 연결되고, 상기 제2 노드에 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제5 PMOS 트랜지스터; 및

상기 제1 노드에 게이트가 연결되고, 상기 제2 노드에 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제6 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 19.

제18항에 있어서, 상기 제2 차징수단은,

상기 제2 노드에 상기 제6 트랜지스터의 드레인과 공통으로 게이트가 연결되고, 상기 제1 노드에 상기 제6 트랜지스터의 게이트와 공통으로 드레인이 연결되고, 소오스가 상기 제1 전원전압에 연결된 제7 PMOS 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 20.

제19항에 있어서, 상기 각 스테이지는,

상기 제1 노드에 상기 제7 PMOS 트랜지스터의 드레인과 공통으로 드레인이 연결되고, 상기 제2 노드에 상기 제7 PMOS 트랜지스터의 게이트와 공통으로 게이트가 연결되며, 소오스가 접지에 연결되어 상기 제1 차징수단으로부터의 출력신호에 응답하여 턴온되어서 상기 제1 노드에 나타나는 상기 제1 출력신호의 전압레벨을 접지레벨로 유지하기 위한 제3 NMOS 트랜지스터; 및

상기 제2 노드에 상기 제6 PMOS 트랜지스터의 드레인과 공통으로 드레인이 연결되고, 상기 제1 노드에 상기 제6 PMOS 트랜지스터의 게이트와 공통으로 게이트가 연결되며, 소오스가 상기 접지에 연결되어 상기 제2 차징수단으로부터의 출력신호에 응답하여 턴온되어서 상기 제2 노드에 나타나는 상기 제2 출력신호의 전압레벨을 접지레벨로 유지하기 위한 제4 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 쉬프트 레지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터 및 액정표시장치에 관한 것으로, 특히 액정표시장치에 있어서 게이트 구동회로 및 신호선 구동회로의 쉬프트 레지스터의 소비전력을 줄일 수 있는 쉬프트 레지스터의 회로 개선에 것에 관한 것이다.

일반적으로 액정표시장치는 화면의 주사선을 차례로 선택하고 선택된 주사선 상의 모든 화소들 각각의 TFT(Thin Film Transister)와 같은 스위칭 소자를 턴온시켜서 동시에 각각의 신호를 인가하는 액티브 매트릭스(Active Matrix) 구동방법을 사용한다.

TFT-AM LCD는 투과형인 경우에 액정패널, 구동부, 백라이트 유닛을 포함하고, 반사형의 경우에는 백라이트 유닛 대신에 반사판을 구비한다.

투과형 LCD의 경우에는 공급전력의 대부분이 백라이트 유닛에서 약 70% 정도 소비되고, 약 10%정도가 신호처리를 수행하는 제어부에서 소비되며, 신호선 구동 LSI 내부에서 약 10% 정도가 소비되고, 신호선 충반전에 약 4%정도 소비되는 것으로 알려져 있다.

따라서, LCD에서 소비전력을 낮추기 위하여 백라이트의 고효율화, 구동회로의 저소비 전력화, 액정 패널의 고투과율 등의 세가지 방향에서의 기술 개발이 활발히 진행되고 있다.

구동회로의 저소비 전력화를 위하여 a-Si TFT LCD 기술에서 poly-Si 소자 기술이 관심을 끌고 있다. 폴리 실리콘 소자는 아몰퍼스 실리콘에 비해 캐리어 이동도가 100배 이상으로 매우 빠르기 때문에 화소용 스위치뿐만 아니라 게이트 구동회로 및 신호선 구동회로를 유리기판 위에 일체로 구현할 수 있다.

또한, 폴리 실리콘 소자는 높은 캐리어 이동도로 인하여 화소영역에서 소자의 크기를 대폭 감소시킬 수 있기 때문에 화질에 영향을 미치는 관통전압을 줄일 수 있고, 축적용량을 줄임으로써 개구율을 향상시킬 수 있다.

또한, 구동회로를 기판 상에 집적화시킬 수 있으므로 구동회로의 일체화에 따른 구동 집적회로의 절감 등으로 모듈공정의 단순화를 꾀할 수 있다.

폴리실리콘 LCD에서 구동회로는 기본적으로 CMOS-LSI가 사용된다. 구동회로는 신호선 구동회로와 게이트선 구동회로가 사용되지만 게이트선 구동회로의 동작 주파수가 신호선 구동회로의 동작 주파수보다 훨씬 낮기 때문에 소비전력은 신호선 구동회로가 많다.

신호선 구동회로는 아날로그 신호를 입력하고 내부에서 아날로그적으로 신호처리를 하는 아날로그 구동회로와 디지털 신호를 입력하고 내부에서 디지털신호를 아날로그 신호로 변환하는 디지털 구동회로로 구분된다.

디지털 구동회로 방식에서는 외부 제어회로의 저전압화 추세에 따라 0V~3V의 스윙폭을 가지는 클럭신호를 입력하여 0V~9V의 스윙폭을 가지는 스캔펄스신호를 발생하는 레벨쉬프트형 쉬프트 레지스터를 포함한다.

쉬프트 레지스터의 레벨쉬프터는 풀업 트랜지스터와 풀다운 트랜지스터의 턴온저항에 의한 전압분배에 의해 레벨 시프트된 신호를 발생한다. 따라서, 레벨시프팅 동작시 턴온된 풀업 트랜지스터와 풀다운 트랜지스터를 관통하는 스테디(steady) 전류가 형성되어 이 기간동안 전력을 소비하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 레벨 쉬프트 동작 동안에 스테디 전류를 감소시킬 수 있도록 레벨쉬프터 구조를 개선시킴으로써 저전력형 쉬프트 레지스터를 제공하는 데 있다.

본 발명의 다른 목적은 저전력형 쉬프트 레지스터를 사용한 액정표시장치를 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명의 쉬프트 레지스터는 복수의 스테이지들이 종속 연결되고, 각 스테이지들은 제 1 입력단자, 제 2 입력단자, 제 1 출력단자, 제 2 출력단자, 제 3 출력단자, 클럭단자, 및 반전클럭단자를 가진다.

상기 각 스테이지는 상기 입력단자에 공급되는 이전 스테이지의 제 1 출력단자로부터 공급되는 제 1 출력신호와 자신의 제 1 출력신호를 조합하여 제어신호를 발생하는 입력수단과, 상기 제어신호 및 상기 이전 스테이지의 제 2 출력단자로부터 공급되는 제 2 출력신호에 응답하여 상기 반전클럭단자에 공급되는 반전클럭신호의 레벨을 쉬프트시킨 제 1 펄스신호와, 상기 제어신호와 상기 제 1 펄스신호에 응답하여 상기 클럭단자에 공급되는 클럭신호의 레벨을 쉬프트시킨 제 2 펄스신호를 각각 발생하는 레벨쉬프트수단과, 상기 제 1 펄스신호를 위상 반전시켜서 다음 스테이지의 제 1 입력단자에 결합된 상기 제 1 출력단자에 상기 제 1 출력신호로 출력하고, 상기 제 2 펄스신호를 위상 반전시켜서 다음 스테이지의 제 2 입력단자에 결합된 상기 제 2 출력단자에 제 2 출력신호를 출력하고, 상기 제 2 펄스신호를 버퍼링하여 상기 제 3 출력단자에 제 3 출력신호로 출력하는 출력수단을 구비한다.

본 발명의 액정표시장치는 투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된다.

상기 데이터 구동회로 및 게이트 구동회로 중 적어도 어느 하나는 외부로부터 공급되는 저전압 클럭신호에 동기하여 고전압 스캔펄스신호를 발생하는 쉬프트 레지스터를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명을 보다 상세히 설명하고자 한다.

도 1을 참조하면, 일반적으로 액정패널은 칼라필터기판과 TFT 기판 사이에 액정을 봉입한 구조를 가진다.

TFT 기판(10) 위에는 표시 셀 어레이 회로(100), 신호선 구동회로(110), 게이트선 구동회로(120), 외부연결단자(130)가 형성된다. 외부연결단자(130)는 필름 케이블(30)을 통하여 외부 통합회로기판(20)과 연결된다. 외부 통합회로기판(20)은 저전력화를 위하여 저전압, 예컨대 3V 스윙폭을 가지는 클럭신호 및 반전클럭신호와 픽셀데이터, 제어신호 등을 TFT 기판(10) 상에 구현된 구동회로에 제공한다.

표시 셀 어레이 회로(100)는 컬럼 방향으로 연장된 m 개의 신호선들(DL1~DLm)과 로우방향으로 연장된 n 개의 게이트선들(GL1~GLn)을 포함한다.

신호선 구동회로(110) 및 게이트선 구동회로(120)는 외부 개시신호에 의해 외부 저전압 클럭신호에 동기된 고전압 스캔펄스신호를 차례로 발생하는 쉬프트 레지스터를 포함한다.

이하 도 2 내지 도 5를 참조하여 본 발명의 일 실시예를 설명한다.

도 2를 참조하면, 본 발명에 의한 개선된 쉬프트 레지스터(300)는 복수의 스테이지들(NSRC1~NSRCk)이 종속 연결된다.

각 스테이지들은 제 1 입력단자(IN), 제 2 입력단자(INB), 클럭단자(CK), 반전클럭단자(CKB), 제 1 전원전압단자(VDD), 제 2 전원전압단자(VSS), 제 1 출력단자(Y), 제 2 출력단자(OUTB), 제 3 출력단자(OUT), 리세트단자(RST)를 가진다.

각 스테이지들(NSRC1~NSRCk)은 스테이지(NSRC(i-1))의 제 1 출력단자(Y)와 제 2 출력단자(OUTB)가 스테이지(NSRCi)의 제 1 입력단자(IN)와 제 2 입력단자(INB)에 각각 연결되고, 스테이지(NSRCi)의 제 1 출력단자(Y)와 제 2 출력단자(OUTB)가 스테이지(NSRC(i+1))의 제 1 입력단자(IN)와 제 2 입력단자(INB)에 각각 연결되는 방식으로 종속 연결된다. 첫번째 스테이지(NSRC1)의 입력단자(IN)에는 개시신호(ST)가 연결되고, 입력단자(INB)에는 인버터(INV)를 통하여 반전된 개시신호(STB)가 연결된다.

각 스테이지의 제 3 출력단자(OUT)에서 출력되는 펄스신호가 스캔펄스신호로 제공된다.

도 3을 참조하면, 본 발명에 의한 바람직한 일 실시예의 쉬프트 레지스터(300)의 각 스테이지는 입력회로(310), 레벨슈프터(320), 제 1 출력회로(330), 제 2 출력회로(340)를 포함한다.

입력회로(310)는 제 1 입력단자(IN)와 자신의 제 1 출력단자(Y)로부터 제공되는 신호들을 조합하여 조합신호를 발생하는 노아 게이트(NOR)와 조합신호를 반전하여 제어신호(CTL)를 출력하는 인버터(INV1)를 포함한다.

레벨슈프터(320)는 레벨슈프터부(322)와 래치부(324)를 포함한다.

레벨슈프터부(322)는 제 1 및 제 2 피모스 트랜지스터들(PM1, PM2)과 제 1 및 제 2 엔모스 트랜지스터들(NM1, NM2)를 포함한다.

제 1 피모스 트랜지스터(PM1)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 1 노드(N1)에 드레인이 연결되고, 제 2 입력단자(INB)에 게이트가 결합된다. 제 1 엔모스 트랜지스터(NM1)는 제 1 노드(N1)에 드레인이 연결되고, 클럭단자(CK)에 소오스가 연결되고, 제어신호(CTL)가 게이트에 결합된다.

제 2 피모스 트랜지스터(PM2)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 2 노드(N2)에 드레인이 연결되고, 제 1 노드(N1)에 게이트가 결합된다. 제 2 엔모스 트랜지스터(NM2)는 제 2 노드(N2)에 드레인이 연결되고, 반전클럭단자(CKB)에 소오스가 연결되고, 제어신호(CTL)가 게이트에 결합된다.

PM1, PM2는 레벨슈프터부(322)의 전류를 최소화하기 위하여 NM1, NM2에 비해 상대적으로 작은 사이즈, 예컨대 약 1/5 정도 사이즈를 가지도록 구성한다.

래치부(224)는 제 3 내지 제 4 피모스 트랜지스터들(PM3, PM4, PM5)과 제 3 및 제 4 엔모스 트랜지스터들(NM3, NM4)를 포함한다.

제 3 피모스 트랜지스터(PM3)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 2 노드(N2)에 드레인이 연결되고, 제 1 노드(N1)에 게이트가 연결된다. 제 3 엔모스 트랜지스터(NM3)는 제 2 노드(N1)에 드레인이 연결되고, 제 2 전원전압단자(VSS)에 소오스가 연결되고, 제 1 노드(N1)에 게이트가 연결된다.

제 4 피모스 트랜지스터(PM4)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 1 노드(N1)에 드레인이 연결되고, 제 2 노드(N2)에 게이트가 연결된다. 제 4 엔모스 트랜지스터(NM4)는 제 1 노드(N2)에 드레인이 연결되고, 제 2 전원전압단자(VSS)에 소오스가 연결되고, 제 2 노드(N1)에 게이트가 연결된다.

제 5 피모스 트랜지스터(PM5)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 1 노드(N1)에 드레인이 연결되고, 리셋 단자(RST)에 게이트가 연결된다.

PM3, PM4, PM5는 제 1 및 제 2 노드를 빠르게 충전시켜서 안정된 신호상태를 래치하기 위하여 NM3, NM4에 비해 상대적으로 큰 사이즈, 예컨대 약 7 내지 8배 정도 사이즈를 가지도록 구성한다.

제 1 출력회로(330)는 제 1 노드(N1)의 신호를 인버터(INV2)를 통하여 반전시켜서 제 1 출력단자(Y)에 출력한다.

제 2 출력회로(340)는 인버터들(INV3, INV4)을 종속 연결한 것으로, 제 2 노드(N2)의 신호를 인버터(INV3)에서 반전시켜서 제 2 출력단자(OUTB)에 출력하고, 인버터(INV3)의 출력을 인버터(INV4)에서 반전시켜서 제 3 출력단자(OUT)에 출력한다.

이와 같이 구성된 일 실시예의 쉬프트 레지스터(300)의 동작은 도 4 및 도 5의 타이밍도를 참조하여 설명하면 다음과 같다.

각 스테이지는 넌액티브 구간에서는 제 1 및 제 3 출력단자들(Y, OUT)의 레벨이 로우상태, 제 2 출력단자(OUTB)의 레벨이 하이상태, 제 1 입력단자(IN)의 레벨이 로우상태, 제 2 입력단자(INB)의 레벨이 하이상태이므로, 래치부(324)에 의해 제 2 노드(N2)는 로우상태, 제 1 노드(N1)는 하이상태를 유지한다. 이때, 제어신호(CTL)는 로우상태를 유지한다. 따라서, 제 1 및 제 2 피모스 트랜지스터들(PM1, PM2) 및 제 1 및 제 2 엔모스 트랜지스터(NM1, NM2)는 모두 오프상태를 유지한다. 그러므로, 클럭단자(CK) 및 반전클럭단자(CKB)에 인가되는 클럭신호에 관계없이 출력상태는 래치부(324)에 의해 래치된 신호상태를 유지한다.

제 1 입력단자(IN)의 레벨이 하이상태로 천이하고, 제 2 입력단자(INB)의 레벨이 로우상태로 천이하게 되면, 제어신호(CTL)는 하이상태로 천이한다. 그러므로, 레벨슈프트부(322)의 PM1, NM1, NM2는 턴온된다. 그러므로, 제 1 노드(N1)에는 턴온된 PM1과 NM1의 턴온 저항비에 의한 전압 분배에 의한 전압이 나타나게 된다.

도 5에 도시한 바와 같이, 클럭신호의 처음 반주기동안에는 제 1 노드(N1)는 클럭단자(CK)에 인가되는 3V에 의해 9.3V에서 약 7.2V로 레벨다운되어 출력되었다.

그러나, PM2는 턴오프상태를 그대로 유지하였고, NM2만 턴온된 상태를 유지하므로, 제 2 노드(N2)는 반전클럭단자(CKB)에 인가되는 0V에 의해 0V상태를 그대로 유지하는 것으로 나타났다.

그러므로, 클럭신호의 처음 반주기 동안에는 PM1, PM4를 통하여 제 1 전원전압단자(VDD)로부터 NM1을 통하여 제 2 전원전압단자(VSS)로 제 1 스테디 전류패스만 형성된다.

이와 같은 상태에서 클럭신호의 위상이 반전되고, 제 2 입력단자(INB)에 인가된 신호의 상태가 하강천이되면, PM1은 턴온되므로, 제 1 노드(N1)의 레벨이 7.2V에서 0V로 급속히 다운되어 출력되었다. 이에 PM2가 턴온되므로, PM2와 NM2의 턴온 저항비에 의한 전압이 제 2노드에 나타나게 되어 제 2 노드(N2)의 레벨은 0V에서 7.2V로 업되어 나타났다.

이에, 래치부(324)에서는 상태천이된 제 1 및 제 2 노드(N1, N2)의 상태를 래치하게 된다. 제 1 출력회로(330)에서는 제 1 노드(N1)의 로우상태에 응답하여 하이상태의 제 1 출력신호를 제 1 출력단자(Y)에 출력한다. 제 2 출력회로(340)에서는 제 2 노드(N2)의 하이상태에 응답하여 버퍼링된 하이상태의 제 2 출력신호를 제 2 출력단자(OUT)에 출력하고, 반전된 로우상태의 제 3 출력신호를 제 3 출력단자(OUTB)에 출력한다.

제 1 출력단자(Y)의 신호상태가 하이상태로 천이된 상태이므로 입력단자(IN)에 인가된 신호가 로우상태로 천이되더라도 제어신호(CTL)는 이전상태인 하이상태를 그대로 유지하게 된다. 그러나, 제 2 입력단자(INB)의 상태는 로우상태에서 하이상태로 천이된 상태이므로 PM1은 턴오프된 상태를 유지한다.

그러므로, 클럭신호의 다음 반주기 동안 NM1은 턴온상태를 유지하지만, PM1, PM4는 턴오프되었으므로 제 1 스테디 전류패스는 차단되고, PM2, PM3을 통하여 제 1 전원전압단자(VDD)로부터 NM2를 통하여 제 2 전원전압단자(VSS)로 제 2 스테디 전류패스만 형성된다.

클럭신호의 위상이 반전되면, 제 1 노드(N1)의 레벨은 0V에서 7.2V로 업되어 출력되었고, 제 2 노드(N2)의 레벨은 7.2V에서 1.2V로 다운되어 출력되었다. 이에 출력단자(Y, OUT)의 출력신호는 하이레벨에서 로우레벨로 천이되고, 출력단자(OUTB)의 출력신호는 로우레벨에서 하이레벨로 천이된다.

그러므로, 제어신호(CTL)는 로우레벨로 천이되고, 이에 레벨슈프트부(322)의 모든 트랜지스터들은 턴오프된다.

따라서, 제 1 노드(N1)는 래치부(324)의 턴온된 PM4에 의해 계속 충전되므로 9V로 레벨 업되는 것으로 나타났고, 제 2 노드(N2)는 래치부(324)의 턴온된 NM3에 의해 계속 방전되므로 0V로 레벨 다운되는 것으로 나타났다.

상술한 바와 같이, 본 발명의 일 실시예의 시프트 레지스터에서는 레벨슈프트부(322)의 PM1과 PM2가 클럭신호의 반주기 동안 교대로 턴온된 상태를 유지하므로, 처음 반주기 동안에는 제 1 스테디 전류패스만 형성되었고, 나머지 반주기 동안에는 제 2 스테디 전류패스만 형성되었다. 또한, 제어신호의 스윙폭은 0V와 7.2V로 7.2V를 유지하는 것으로 나타났다.

도 6은 본 발명에 의한 다른 실시예의 시프트 레지스터의 각 스테이지의 회로구성을 나타낸다. 상술한 일 실시예와 동일한 구성은 동일 부호로 처리한다.

다른 실시예는 상술한 일 실시예와 비교하면, 레벨슈프트부(322)의 구성에서 PM2가 제거된 레벨슈프트부(323)를 가진다.

다른 실시예에서는 래치부(324)의 PM3가 PM2의 역할을 겸하도록 구성하였다. 즉, 일 실시예에서 레벨 슈프트부의 PM1, PM2는 NM1, NM2에 비해 사이즈가 약 1/5 정도로 작은 반면에 래치부의 PM3, PM4는 NM3, NM4에 비해 사이즈가 약 7 내지 8배 정도로 크므로 PM2를 제거하고 PM3가 PM2를 겸용하게 구성하더라도 PM3만으로도 제 2 노드를 충분히 충전시킬 정도의 전류구동능력을 유지할 수 있다.

상술한 다른 실시예의 동작은 상술한 일 실시예와 동일하므로 구체적인 설명은 생략한다.

한편, 상술한 본 발명의 쉬프트 레지스터의 구성을 부분적으로 변경하여 비교하였다.

도 7 내지 도 10은 이러한 비교예로서의 쉬프트 레지스터를 나타낸다.

도 7을 참조하면, 마찬가지로 쉬프트 레지스터는 복수의 스테이지들(SRC1~SRCK)이 종속 연결된다.

각 스테이지들은 입력단자(IN), 클럭단자(CK), 반전클럭단자(CKB), 제 1 전원전압단자(VDD), 제 2 전원전압단자(VSS), 제 1 출력단자(Y), 제 2 출력단자(OUT), 리세트단자(RST)로 구성된다. 각 스테이지들(SRC1~SRCK)은 스테이지(SCR(i-1))의 제 1 출력단자(Y)가 스테이지(SCRi)의 입력단자(IN)에 연결되고, 스테이지(SCRi)의 제 1 출력단자(Y)가 스테이지(SCR(i+1))의 입력단자(IN)에 연결되는 방식으로 종속 연결된다. 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 개시신호(ST)가 연결되도록 구성된다.

각 스테이지의 제 2 출력단자(OUT)에서 출력되는 펄스신호가 스캔펄스신호로 제공되었다.

도 8을 참조하면, 비교예로서의 쉬프트 레지스터(200)의 각 스테이지는 입력회로(210), 레벨슈프터(220), 제 1 출력회로(230), 제 2 출력회로(240)를 포함한다.

입력회로(210)는 입력단자(IN)와 자신의 제 1 출력단자(Y)로부터 제공되는 신호들을 조합하여 제 1 제어신호(C1)를 발생하는 노아 게이트(NOR)와 제 1 제어신호(C1)을 반전하여 제 2 제어신호(C2)를 출력하는 인버터(INV1)를 포함한다.

레벨슈프터(220)는 레벨슈프터부(222)와 래치부(224)를 포함한다.

레벨슈프터부(222)는 제 1 및 제 2 피모스 트랜지스터들(PM1, PM2)과 제 1 및 제 2 엔모스 트랜지스터들(NM1, NM2)를 포함한다.

제 1 피모스 트랜지스터(PM1)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 1 노드(N1)에 드레인이 연결되고, 상기 제 1 제어신호(C1)가 게이트에 결합된다. 제 1 엔모스 트랜지스터(NM1)는 제 1 노드(N1)에 드레인이 연결되고, 클럭단자(CK)에 소오스가 연결되고, 제 2 제어신호(C2)가 게이트에 결합된다.

제 2 피모스 트랜지스터(PM2)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 2 노드(N2)에 드레인이 연결되고, 제 1 제어신호(C1)가 게이트에 결합된다. 제 2 엔모스 트랜지스터(NM2)는 제 2 노드(N2)에 드레인이 연결되고, 반전클럭단자(CKB)에 소오스가 연결되며, 제 2 제어신호(C2)가 게이트에 결합된다.

래치부(224)는 제 3 내지 제 4 피모스 트랜지스터들(PM3, PM4, PM5)과 제 3 및 제 4 엔모스 트랜지스터들(NM3, NM4)를 포함한다.

제 3 피모스 트랜지스터(PM3)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 2 노드(N2)에 드레인이 연결되고, 제 1 노드(N1)에 게이트가 연결된다. 제 3 엔모스 트랜지스터(NM3)는 제 2 노드(N2)에 드레인이 연결되고, 제 2 전원전압단자(VSS)에 소오스가 연결되며, 제 1 노드(N1)에 게이트가 연결된다.

제 4 피모스 트랜지스터(PM4)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 1 노드(N1)에 드레인이 연결되며, 제 2 노드(N2)에 게이트가 연결된다. 제 4 엔모스 트랜지스터(NM4)는 제 1 노드(N2)에 드레인이 연결되고, 제 2 전원전압단자(VSS)에 소오스가 연결되며, 제 2 노드(N1)에 게이트가 연결된다.

제 5 피모스 트랜지스터(PM5)는 제 1 전원전압단자(VDD)에 소오스가 연결되고, 제 1 노드(N1)에 드레인이 연결되며, 리세트단자(RST)에 게이트가 연결된다.

제 1 출력회로(230)는 제 1 노드(N1)의 신호를 인버터(INV2)를 통하여 반전시켜서 제 1 출력단자(Y)로 출력한다.

제 2 출력회로(240)는 인버터들(INV3, INV4)을 종속 연결한 것으로, 제 2 노드(N2)의 신호를 버퍼링하여 제 2 출력단자(OUT)에 출력한다.

이와 같이 구성된 종래의 쉬프트 레지스터(200)의 동작은 도 9 및 도 10의 타이밍도를 참조하여 설명하면 다음과 같다.

각 스테이지는 년액티브 구간에서는 제 1 및 제 2 출력단자들(Y, OUT)의 레벨이 로우상태, 입력단자(IN)의 레벨이 로우상태이므로, 래치부(224)에 의해 제 2 노드(N2)는 로우상태, 제 1 노드(N1)는 하이상태를 유지한다. 제 1 제어신호(C1)는 하이상태, 제 2 제어신호(C2)는 로우상태를 유지한다. 따라서, 제 1 및 제 2 피모스 트랜지스터들(PM1, PM2) 및 제 1 및 제 2 엔모스 트랜지스터(NM1, NM2)는 모두 오프상태를 유지한다. 그러므로, 클럭단자(CK) 및 반전클럭단자(CKB)에 인가되는 클럭신호에 관계없이 출력상태는 래치부(224)에 의해 래치된 신호상태를 유지한다.

입력단자(IN)의 레벨이 하이상태로 천이하게 되면, 제 1 제어신호(C1)는 로우상태로 천이하고, 제 2 제어신호(C2)는 하이상태로 천이한다. 그러므로, 레벨쉬프트부(222)의 모든 트랜지스터들은 모두 턴온된다.

도 10에 도시한 바와 같이, 클럭신호의 처음 반주기 동안에는 제 1 노드(N1)는 클럭단자(CK)에 인가되는 3V에 의해 9.3V에서 약 7.2V로 레벨다운되어 나타났고, 제 2 노드(N2)는 반전클럭단자(CKB)에 인가되는 0V에 의해 0V에서 약 1.2V로 레벨업되어 나타났다.

그러므로, PM1, PM4를 통하여 제 1 전원전압단자(VDD)로부터 NM1을 통하여 제 2 전원전압단자(VSS)로 제 1 스테디 전류패스가 형성되고, PM2를 통하여 제 1 전원전압단자(VDD)로부터 NM2를 통하여 제 2 전원전압단자(VSS)로 제 2 스테디 전류패스가 형성된다.

이와 같은 상태에서 클럭신호의 위상이 반전되었을때, 도 10에 도시된 바와 같이, 제 1 노드(N1)의 레벨이 7.2V에서 1.2V로 다운되어 나타났고, 제 2 노드(N2)의 레벨은 1.2V에서 7.2V로 업되어 나타났다.

이에, 래치부(224)에서는 상태천이된 제 1 및 제 2 노드(N1, N2)의 상태를 래치하게 된다. 제 1 출력회로(230)에서는 제 1 노드(N1)의 로우상태에 응답하여 하이상태의 제 1 출력신호를 제 1 출력단자(Y)에 출력한다. 제 2 출력회로에서는 제 2 노드(N2)의 하이상태에 응답하여 버퍼링된 하이상태의 제 2 출력신호를 제 2 출력단자(OUT)에 출력한다.

제 1 출력단자(Y)의 신호상태가 하이상태로 천이된 상태이므로 입력단자(IN)에 인가된 신호가 로우상태로 천이되더라도 제 1 및 제 2 제어신호(C1, C2)는 이전상태를 그대로 유지한다.

그러므로, 클럭신호의 다음 반주기 동안 PM1을 통하여 제 1 전원전압단자(VDD)로부터 NM1을 통하여 제 2 전원전압단자(VSS)로 제 1 스테디 전류패스가 그대로 유지되고, PM2, PM3을 통하여 제 1 전원전압단자(VDD)로부터 NM2를 통하여 제 2 전원전압단자(VSS)로 제 2 스테디 전류패스가 그대로 유지된다.

클럭신호의 위상이 반전되면, 제 1 노드(N1)의 레벨은 1.2V에서 7.2V로 업되어 출력되었고, 제 2 노드(N2)의 레벨은 7.2V에서 1.2V로 다운되어 출력되었다. 이에 출력단자(Y, OUT)의 출력신호는 하이레벨에서 로우레벨로 천이되었다.

그러므로, 제 1 및 제 2 제어신호(C1, C2)는 모두 로우레벨로 천이되고, 이에 레벨쉬프트부(222)의 모든 트랜지스터들은 턴오프된다.

따라서, 제 1 노드(N1)는 래치부(224)의 PM4의 턴온상태에 의해 계속 충전되었으므로 9V로 레벨 업되어 출력되었고, 제 2 노드(N2)는 NM3의 턴온상태에 의해 계속 방전되었으므로 0V로 레벨 다운되어 출력되었다.

상술한 바와 같이, 비교예와 같은 구성을 갖는 쉬프트 레지스터에서는 레벨쉬프트부(222)의 모든 트랜지스터들이 클럭신호의 1주기동안 지속적으로 턴온된 상태를 유지한다.

즉, 도 10에 도시된 바와 같이, 스테디 전류에 의하여 클럭신호의 1주기 동안 지속적으로 전력이 소모되었다. 이에 반해, 상술한 본 발명의 일 실시예 및 다른 실시예에서는 제1 및 제2 스테디 전류패스가 교호적으로 턴온 또는 턴오프 상태를 유지한다.

그러므로, 도 5에 도시된 바와 같이, 클럭신호의 1주기 동안 제 1 및 제 2 스테디 전류패스가 모두 형성된 비교예의 쉬프트 레지스터에 비하여 본 발명의 쉬프트 레지스터에서의 전력소모가 약 1/2로 감소되는 것으로 나타났다.

또한, 제어신호의 스윙폭이 비교예의 구성의 쉬프트 레지스터에서는 도 10에 도시된 바와 같이 1.2V와 7.2V의 6V의 차이를 나타냈지만, 본 발명의 실시예들에서는 0V와 7.2V의 7.2V의 차이로 커졌으므로 레벨 쉬프트된 펄스신호의 신호 마진이 약 20%정도 향상되는 것으로 나타났다.

또한, 본 발명의 쉬프트 레지스터의 다른 실시예는 비교예의 구성을 갖는 쉬프트 레지스터에 비하여 트랜지스터의 숫자를 하나 줄일 수 있으므로 각 스테이지의 레이아웃 설계를 용이하게 하고 설계 면적을 줄일 수 있는 잇점이 있었다.

발명의 효과

상술한 바와 같이, 본 발명에서는 레벨 쉬프트부의 회로개선에 의해 각 스테이지에서 스테디 전류를 대략 1/2로 줄임으로써 전체 쉬프트 레지스터의 전력소모를 도 11에 도시한 바와 같이 2.75mW에서 2.05mW로 비교예의 쉬프트 레지스터에 비하여 약 30%정도 줄일 수 있다.

상기에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 일반적인 폴리 실리콘 TFT LCD의 TFT 기관의 구성도이다.

도 2는 본 발명에 의한 쉬프트 레지스터의 블록 구성도이다.

도 3은 본 발명에 의한 쉬프트 레지스터의 각 스테이지의 바람직한 일 실시예의 회로도이다.

도 4 및 도 5는 도 3의 각부 타이밍도이다.

도 6은 본 발명에 의한 쉬프트 레지스터의 각 스테이지의 바람직한 다른 실시예의 회로도이다.

도 7은 도 3에 도시된 본 발명의 쉬프트 레지스터의 비교예로서의 쉬프트 레지스터의 블록 구성도이다.

도 8은 도 7에 도시된 쉬프트 레지스터의 각 스테이지의 회로도이다

도 9 및 도 10은 도 8의 각부 타이밍도이다.

도 11은 본 발명의 쉬프트레지스터와 비교예의 쉬프트레지스터의 전력소모를 비교한 그래프이다.

도면의 주요 부분에 대한 간략한 부호의 설명

10 : TFT기관

20 : 필름 케이블

30 : 통합회로기관

100 : 표시 셀 어레이

110 : 게이트선구동회로

120 : 신호선 구동회로

130 : 외부연결단자

200, 300 : 쉬프트 레지스터

210, 310 : 입력회로

220, 320 : 레벨쉬프터

222, 322, 323 : 레벨쉬프트부

224, 324 : 래치부

230, 330 : 제 1 출력회로

240, 340 : 제 2 출력회로

PM1~PM5 : 피모스 트랜지스터

NM1~NM4 : 엔모스 트랜지스터

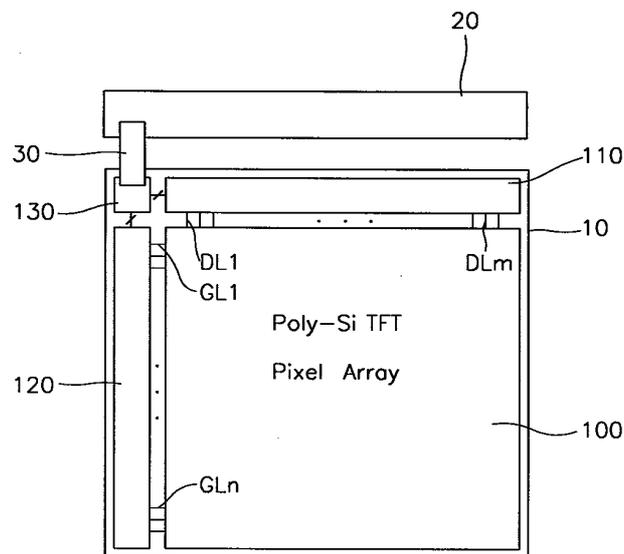
INV, INV1~INV4 ; 인버터

NOR : 노아 게이트

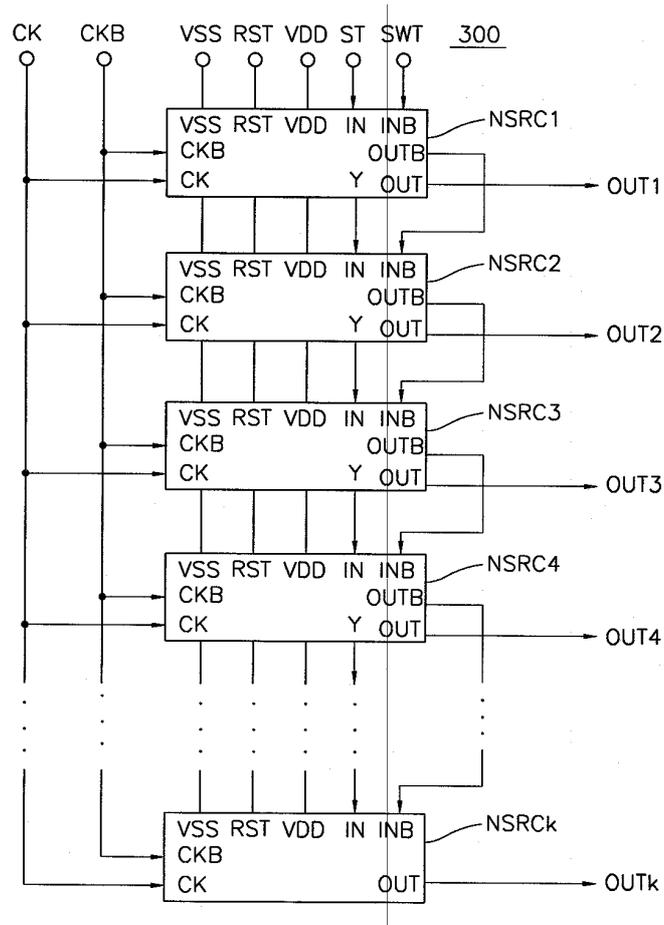
SRC, NSRC : 스테이지

도면

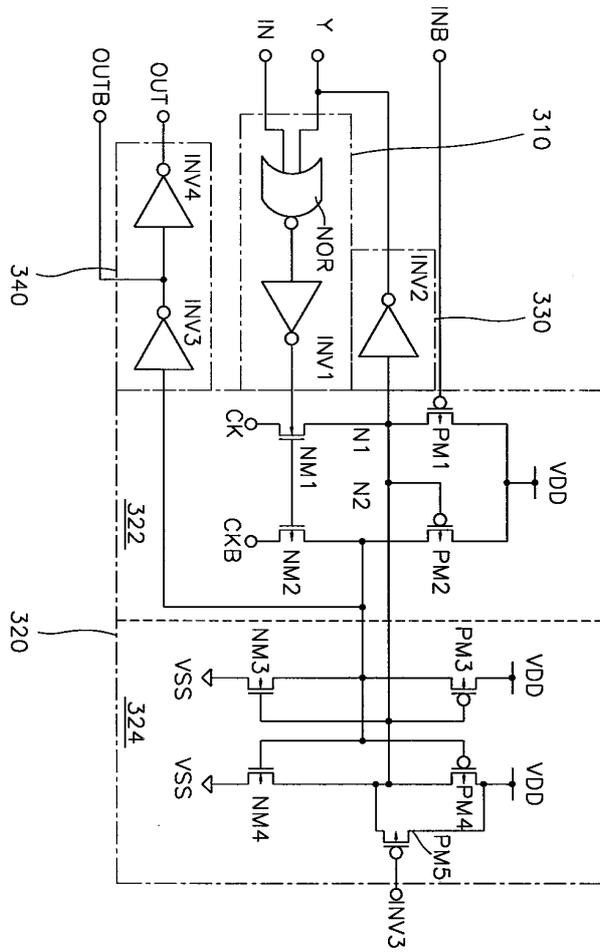
도면1



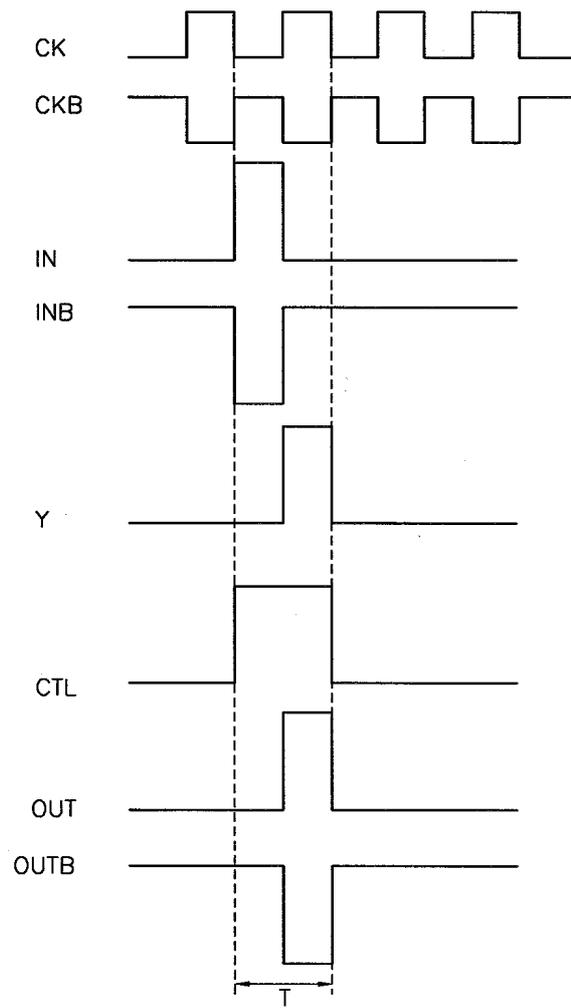
도면2



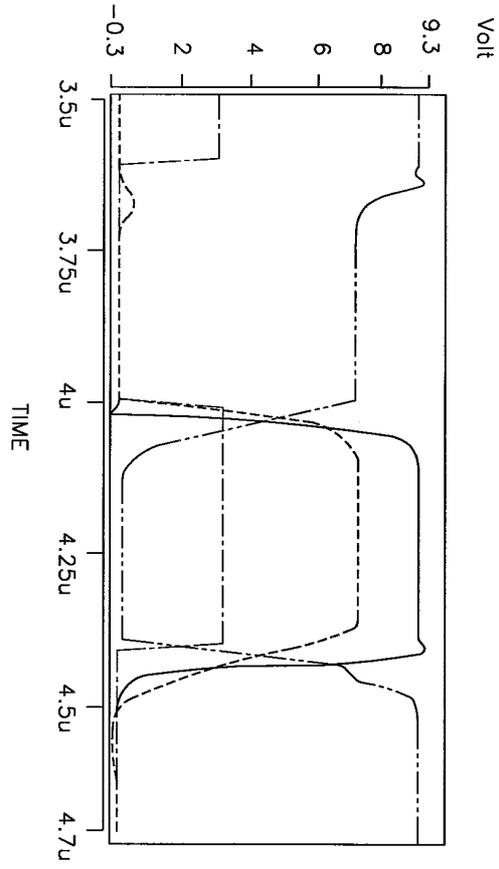
도면3



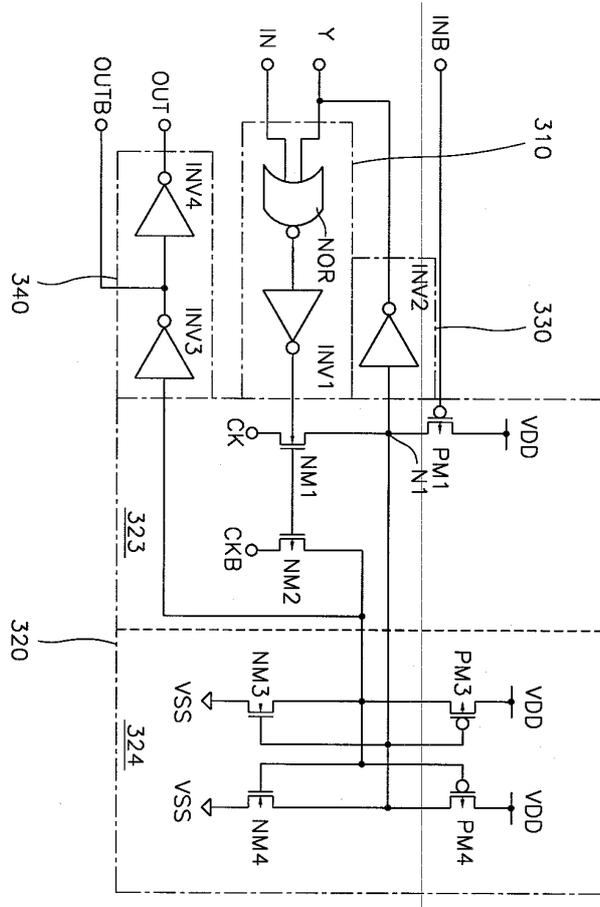
도면4



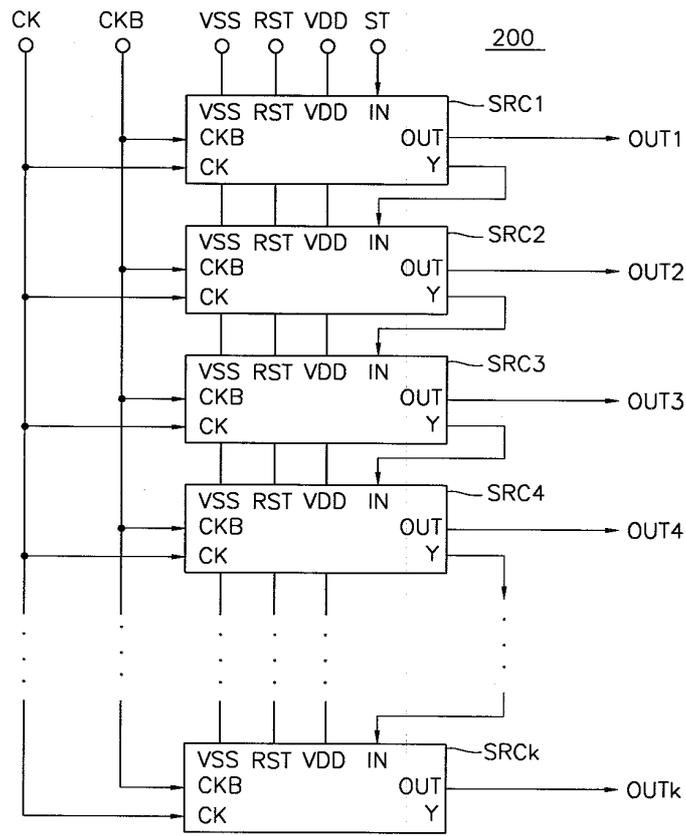
도면5



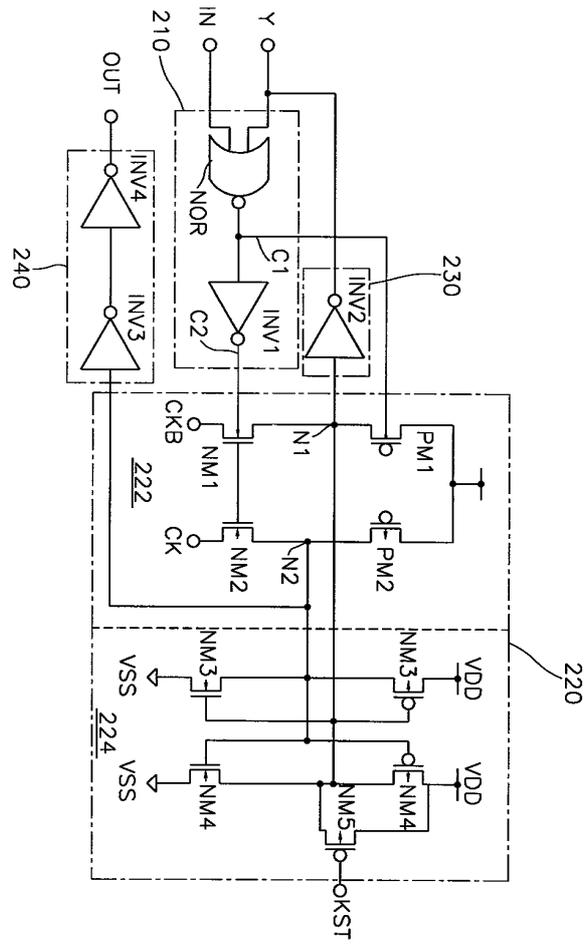
도면6



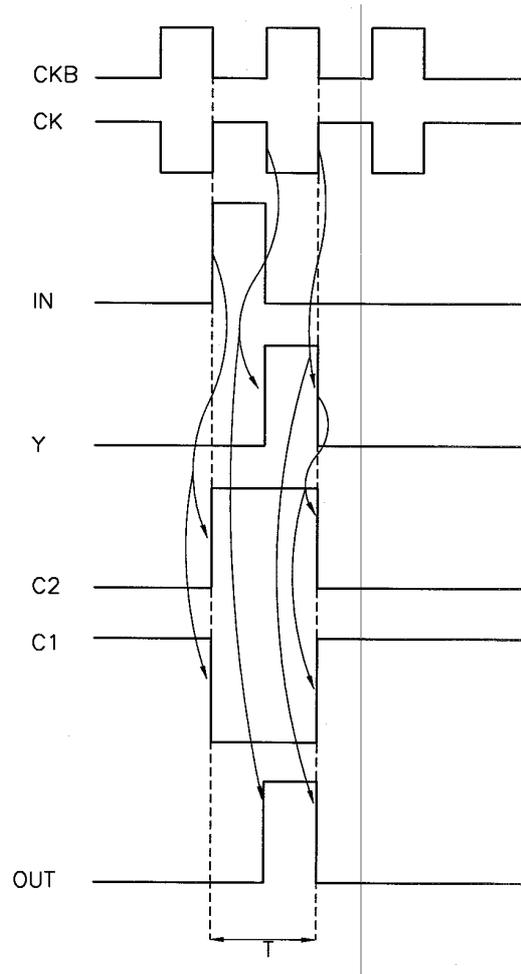
도면7



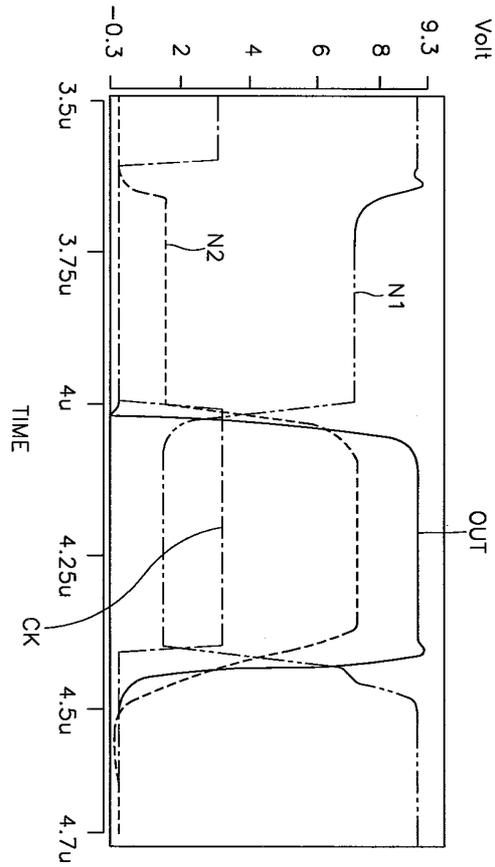
도면8



도면9



도면10



도면11

소비전력 비교

