

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월21일 10-0562506 2006년03월13일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0086371 2003년12월01일	(65) 공개번호 (43) 공개일자	10-2005-0052807 2005년06월07일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 권오석
 경기도 용인시 기흥읍 삼성전자(주)기흥공장 남자 기숙사 상 록수동 904호

 이준
 서울특별시 강남구 개포3동 주공아파트 706동 1207호

(74) 대리인 임창현
 권혁수
 오세준
 송윤호

심사관 : 조명관

(54) 플래시 메모리 장치 및 그것의 프로그램 방법

요약

여기에는 플래시 메모리 장치 및 그것의 프로그램 방법이 개시되어 있다. 본 발명의 플래시 메모리 장치는 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 적어도 하나의 스트링과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링에 연결된 비트 라인을 포함한다. 본 발명의 프로그램 방법에 따르면, 상기 스트링의 채널 영역이 플로팅된 상태에서, 선택된 워드 라인으로 프로그램 전압이 공급된다. 상기 선택된 워드 라인의 메모리 셀 트랜지스터의 게이트 전압이 상기 프로그램 전압에 도달한 후, 상기 스트링의 채널 영역으로 접지 전압이 공급된다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 플래시 메모리 장치의 메모리 셀 어레이를 보여주는 회로도;

- 도 2는 종래 기술에 따른 낸드 플래시 메모리 장치의 프로그램 방법을 설명하기 위한 타이밍도;
- 도 3은 본 발명에 따른 플래시 메모리 장치의 프로그램 방법을 개략적으로 설명하기 위한 흐름도;
- 도 4는 본 발명의 제 1 실시예에 따른 플래시 메모리 장치를 보여주는 블록도;
- 도 5은 본 발명의 바람직한 실시예에 따른 도 4에 도시된 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 타이밍도;
- 도 6 내지 도 8은 본 발명의 다른 실시예들에 따른 도 4에 도시된 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 타이밍도;
- 도 9는 본 발명의 제 2 실시예에 따른 플래시 메모리 장치를 보여주는 블록도;
- 도 10은 본 발명의 제 3 실시예에 따른 플래시 메모리 장치를 보여주는 블록도; 그리고
- 도 11은 본 발명의 제 4 실시예에 따른 플래시 메모리 장치를 보여주는 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 장치들에 관한 것으로, 좀 더 구체적으로는 플래시 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

반도체 메모리 장치에 저장된 데이터의 리프래시 없이 전기적으로 소거 및 프로그램 가능한 반도체 메모리 장치들에 대한 요구가 점차적으로 증가되고 있다. 또한, 메모리 장치의 저장 용량 및 집적도를 높이는 것이 주된 흐름이다. 저장된 데이터의 리프래시 없이 대용량 및 높은 집적도를 제공하는 불 휘발성 반도체 메모리 장치의 일예가 NAND형 플래시 메모리 장치이다. 파워-오프시 조차 데이터를 그대로 유지하기 때문에, 그러한 플래시 메모리 장치는 전원이 갑자기 차단될 수 있는 전자 장치들 (예를 들면, 휴대용 단말기, 휴대용 컴퓨터, 등등)에 폭넓게 사용되고 있다.

NAND형 플래시 메모리 장치와 같은 불 휘발성 반도체 메모리 장치는 전기적으로 소거 및 프로그램 가능한 롬 셀들 (Electrically Erasable and Programmable Read-Only Memory cells)을 포함하며, "플래시 EEPROM 셀들"이라 불린다. 통상적으로, 플래시 EEPROM 셀은 셀 트랜지스터를 포함하며, 셀 트랜지스터는 제 1 도전형 (예를 들면, P형)의 반도체 기관 (또는 벌크), 서로 소정 간격 떨어진 제 2 도전형 (예를 들면, N형)의 소오스 및 드레인 영역들, 소오스 및 드레인 영역들 (source and drain regions) 사이의 채널 영역 상에 위치하며 전하들을 저장하는 부유 게이트 (floating gate), 그리고 부유 게이트 상에 위치한 제어 게이트 (control gate)를 포함한다. 상술한 구조를 갖는 플래시 EEPROM 셀들을 포함한 일반적인 메모리 셀 어레이가 도 1에 도시되어 있다.

도 1을 참조하면, 메모리 셀 어레이 (1)는 비트 라인들 (BL0-BL_n)에 각각 대응하는 복수 개의 셀 스트링들 (또는 낸드 스트링이라 불림) (10)을 포함한다. 각 셀 스트링 (10)은 제 1 선택 트랜지스터로서 스트링 선택 트랜지스터 (SST), 제 2 선택 트랜지스터로서 접지 선택 트랜지스터 (GST), 그리고 상기 선택 트랜지스터들 (SST, GST) 사이에 직렬 연결된 복수의 플래시 EEPROM 셀들 (M_m)로 구성된다. 스트링 선택 트랜지스터 (SST)는 대응하는 비트 라인에 연결된 드레인 및 스트링 선택 라인 (SSL)에 연결된 게이트를 가지며, 접지 선택 트랜지스터 (GST)는 공통 소오스 라인 (CSL)에 연결된 소오스 및 접지 선택 라인 (GSL)에 연결된 게이트를 갖는다. 스트링 선택 트랜지스터 (SST)의 소오스 및 접지 선택 트랜지스터 (GSL)의 드레인 사이에는 플래시 EEPROM 셀들 (M₀-M_m)이 직렬 연결되며, 셀들 (M₀-M_m)은 대응하는 워드 라인들 (WL₀-WL_m)에 각각 연결된다. 워드 라인들 (WL₀-WL_m), 스트링 선택 라인 (SSL), 그리고 접지 선택 라인 (GSL)은 행 디코더 회로 (2) (도면에는 "X-DEC"라 표기됨)에 연결되어 있다.

종래 기술에 따른 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 타이밍도가 도 2에 도시되어 있다. 종래 기술에 따른 플래시 메모리 장치의 프로그램 동작은 U.S. Patent No. 6,353,555에 "FLASH MEMORY DEVICE CAPABLE OF MINIMIZING A SUBSTRATE VOLTAGE BOUNCING AND A PROGRAM METHOD THEREOF"라는 제목으로 게재되어 있다. 종래 기술에 따른 플래시 메모리 장치의 개략적인 프로그램 동작을 설명하면 다음과 같다.

도 2에 도시된 바와같이, 프로그램 사이클은 비트라인 셋업 구간, 프로그램 구간, 리커버리 구간 (또는 방전 구간), 그리고 검증 구간으로 구성된다. 먼저, 비트 라인들 (BL0-BL_n)은, 비트라인 셋업 구간에서, 페이지 버퍼 회로 (미도시됨)에 로드된 프로그램 데이터에 따라 전원 전압 또는 접지 전압으로 각각 충전된다. 예를 들면, 프로그램될 EEPROM 셀 트랜지스터에 연결된 비트 라인은 접지 전압으로 충전되고, 프로그램 금지된 EEPROM 셀 트랜지스터에 연결된 비트 라인은 전원 전압으로 충전된다. 그리고, 비트 라인 셋업 구간에서, 스트링 선택 라인 (SSL)은 전원 전압을 갖는 반면에 접지 선택 라인 (GSL) 및 워드 라인들 (WL0-WL_m)은 각각 접지 전압을 갖는다.

선택된 워드 라인은, 프로그램 구간에서, 프로그램 전압 (V_{pgm}) (예를 들면, 15.5V - 20V)으로 설정되고, 비선택 워드 라인들 각각은 패스 전압 (V_{pass}) (예를 들면, 10V)으로 설정된다. 접지 전압의 비트 라인들에 연결된 EEPROM 셀 트랜지스터들은 F-N 터널링 (Fowler-Nordheim tunneling)이 일어나기에 충분한 바이어스 조건이 만족되기 때문에 채널이 형성되는 벌크로부터 전자들이 플로팅 게이트에 프로그램된다. 반면, 전원 전압의 비트 라인들에 연결된 EEPROM 셀 트랜지스터들은 프로그램 금지된다. EEPROM 셀 트랜지스터가 요구되는 목표 드레슬드 전압을 갖는지의 여부를 판별하기 위한 단계가 수행되기 이전에, 워드 라인들 및 비트 라인들 상의 전압들은 리커버리 (방전) 구간 동안 접지 전압까지 방전된다.

예시적인 프로그램 금지 동작들이 U.S. Patent No. 5,677,873에 "METHOD OF PROGRAMMING FLASH EEPROM INTEGRATED CIRCUIT MEMORY DEVICES TO PREVENT INADVERTENT PROGRAMMING OF NONDESIGNATED NAND MEMORY CELLS THEREIN"라는 제목으로 그리고 U.S. Patent No. 5,991,202에 "METHOD FOR REDUCING PROGRAM DISTURB DURING SELF-BOOSTING IN A NAND FLASH MMEORY"라는 제목으로 각각 개시되어 있고, 레퍼런스로 포함된다.

앞서 설명에 따르면, 프로그램 구간에서 선택된 워드 라인에는 프로그램 전압 (V_{pgm})으로서 고전압이 인가된다. 선택된 워드 라인에 있어서, 각 플래시 EEPROM 셀의 제어 게이트 전압이 프로그램 전압으로 설정되는 데 필요한 시간은 행 디코더 회로 (2)로부터의 이격 거리에 따라 상이하다. 즉, 행 디코더 회로 (2)에 가깝게 위치한 셀의 제어 게이트 전압이 프로그램 전압으로 설정되는 데 걸리는 시간 (도 2에서 "A"로 표기됨)은 행 디코더 회로 (2)에서 멀리 위치한 셀의 제어 게이트 전압이 프로그램 전압으로 설정되는 데 걸리는 시간 (도 2에서 "B"로 표기됨)보다 짧다. 이는 행 디코더 회로 (2)에서 멀리 위치한 셀의 제어 게이트 로딩이 행 디코더 회로 (2)에 가깝게 위치한 셀의 제어 게이트 로딩보다 크기 때문이다.

도 2에 도시된 바와 같이, 행 디코더 회로 (2)에서 멀리 위치한 셀(들)에 있어서, 프로그램 전압이 인가되는 시간이 행 디코더 회로 (2)에 가깝게 위치한 셀(들)과 비교하여 볼 때 상대적으로 짧다. 이는 행 디코더 회로 (2)의 이격 거리 차이로 인해 문턱 전압 분포가 원하는 문턱 전압 분포보다 넓어짐을 의미한다. 그러한 이유때문에, 행 디코더 회로 (2)에서 멀리 위치한 플래시 EEPROM 셀을 목표 문턱 전압까지 프로그램하는 데 필요한 시간이 증가하게 된다. 즉, 프로그램 시간이 증가하게 된다. 행 디코더 회로 (2)에서 멀리 위치한 셀(들)을 프로그램하는 데 필요한 시간이 길어짐에 따라, 행 디코더 회로 (2)에 가깝게 위치한 셀(들)의 문턱 전압은 더 높아진다. 셀의 문턱 전압이 목표 문턱 전압보다 높아지면, 읽기 동작시 그러한 셀의 워드 라인에는 보다 높은 읽기 전압 (V_{read})이 인가되어야 한다. 잘 알려진 바와 같이, 읽기 전압의 증가는 셀 트랜지스터의 부유 게이트에 터널 효과에 의해서 전자들이 입력되는 소프트 라이트 현상 (soft write phenomenon)의 원인이 될 수 있다. 따라서, 읽기 동작시 비선택된 워드 라인들에 인가되는 전압이 높으면 높을수록 플래시 EEPROM 셀의 읽기 유지 특성 (read retention characteristic) (또는 데이터 유지 특성이라 불림)이 더 나빠진다.

결론적으로, 프로그램 시간의 증가 및 읽기 유지 특성의 저하의 원인이 되는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄일 수 있는 프로그램 기술이 절실히 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄일 수 있는 프로그램 방법을 제공하는 것이다.

본 발명의 다른 목적은 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄일 수 있는 플래시 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 제반 목적들을 달성하기 위한 본 발명의 특징에 따르면, 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 적어도 하나의 스트링과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링에 연결된 비트 라인을 포함하는 플래시 메모리 장치의 프로그램 방법이 제공된다. 본 발명의 프로그램 방법에 따르면, 상기 스트링의 채널 영역이 플로팅된 상태에서, 선택된 워드 라인으로 제 1 프로그램 전압(V_{pgm})이 공급된다. 상기 선택된 워드 라인의 메모리 셀 트랜지스터의 게이트 전압이 상기 제 1 프로그램 전압에 도달한 후, 상기 스트링의 채널 영역으로 제 2 프로그램 전압(V_{ss})이 공급된다.

이 실시예에 있어서, 상기 제 1 프로그램 전압을 인가하는 단계 이전에 상기 스트링의 채널 영역은 프로그램 금지 전압으로 프리차지된다.

이 실시예에 있어서, 상기 제 2 프로그램 전압은 상기 스트링 선택 트랜지스터의 턴-온 상태에서 상기 스트링의 채널 영역으로 공급된다.

이 실시예에 있어서, 상기 제 1 프로그램 전압을 인가하는 단계 이전에 상기 비트 라인이 상기 제 2 프로그램 전압으로 설정된다.

이 실시예에 있어서, 상기 제 2 프로그램 전압은 상기 워드 라인의 전압이 상기 프로그램 전압에 도달한 후 상기 스트링 선택 트랜지스터를 턴 온시킴으로써 상기 스트링의 채널 영역으로 공급된다.

이 실시예에 있어서, 상기 제 1 프로그램 전압을 공급하는 단계는 상기 선택된 워드 라인 및 비선택된 워드 라인들로 패스 전압을 각각 공급하는 단계와; 그리고 상기 선택된 워드 라인으로 상기 제 1 프로그램 전압을 공급하는 단계를 포함한다.

이 실시예에 있어서, 상기 제 1 프로그램 전압을 공급하는 단계에서, 상기 선택된 워드 라인에는 상기 제 1 프로그램 전압이 그리고 비선택된 워드 라인들에는 패스 전압이 동시에 공급된다.

본 발명의 다른 특징에 따르면, 플래시 메모리 장치는 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 적어도 하나의 스트링과; 상기 스트링에 연결된 비트 라인과; 상기 스트링 선택 트랜지스터에 연결된 스트링 선택 라인과; 상기 메모리 셀 트랜지스터들에 각각 연결된 워드 라인들과; 상기 워드 라인들 중 하나를 선택하는 행 선택 회로와; 상기 비트 라인에 연결된 감지 증폭 및 래치 회로와; 그리고 상기 감지 증폭 및 래치 회로 및 상기 행 선택 회로를 제어하는 제어 회로를 포함한다. 프로그램 동작 동안, 상기 제어 회로는 상기 선택된 워드 라인이 상기 행 선택 회로에 의해서 제 1 프로그램 전압으로 충분히 구동된 후 상기 스트링의 채널 영역이 제 2 프로그램 전압으로 설정되도록 상기 행 선택 회로 및 상기 감지 증폭 및 래치 회로를 제어한다.

이 실시예에 있어서, 상기 제어 회로는 상기 선택된 워드 라인에 상기 제 1 프로그램 전압이 공급되기 이전에 상기 비트 라인이 전원 전압으로 프리차지되도록 상기 감지 증폭 및 래치 회로를 제어한다.

이 실시예에 있어서, 상기 스트링 선택 트랜지스터는 상기 비트 라인이 전원 전압으로 프리차지되고 상기 제 1 프로그램 전압이 상기 선택된 워드 라인으로 공급되기 이전에 활성화된다.

이 실시예에 있어서, 상기 제어 회로는 상기 워드 라인들로 패스 전압이 동시에 공급된 후 상기 선택된 워드 라인에만 상기 제 1 프로그램 전압이 공급하도록 상기 행 선택 회로를 제어한다.

이 실시예에 있어서, 상기 제어 회로는 비선택된 워드 라인들로 패스 전압이 그리고 상기 선택된 워드 라인에 상기 제 1 프로그램 전압이 동시에 공급하도록 상기 행 선택 회로를 제어한다.

이 실시예에 있어서, 상기 제어 회로는, 상기 스트링 선택 트랜지스터의 턴-오프 상태에서, 상기 선택된 워드 라인이 상기 제 1 프로그램 전압으로 충분히 구동되기 이전에 프로그램될 데이터에 따라 상기 비트 라인이 상기 제 2 프로그램 전압과 프로그램 금지 전압 중 하나로 설정되도록 상기 감지 증폭 및 래치 회로를 제어한다.

이 실시예에 있어서, 상기 제어 회로는 상기 비트 라인이 상기 제 2 프로그램 전압과 프로그램 금지 전압 중 하나로 설정된 후 상기 스트링 선택 트랜지스터가 턴 오프되도록 상기 행 선택 회로를 제어한다.

이 실시예에 있어서, 상기 스트링 선택 라인의 저항을 줄이도록 상기 스트링 선택 라인 상에 형성되는 메탈 라인을 더 포함하며, 상기 스트링 선택 라인과 상기 메탈 라인은 전압을 통해 전기적으로 연결된다.

본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다. 본 발명은 플래시 메모리 장치의 프로그램 방법에 관련된 것으로, 특히 여기에는 낸드 플래시 메모리 장치의 프로그램 방법이 개시되어 있다. 하지만, 본 발명의 프로그램 방법이 낸드 플래시 메모리 장치에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 낸드 플래시 메모리 장치에 있어서, 잘 알려진 바와 같이, 플래시 EEPROM 셀은 워드 라인에 제 1 프로그램 전압으로서 고전압이 인가되고 비트 라인 (또는 플래시 EEPROM 셀을 포함한 스트링의 채널 영역)에 제 2 프로그램 전압으로서 접지 전압이 인가될 때만 잘 알려진 F-N 터널링에 의해서 프로그램된다. 본 발명의 신규한 프로그램 방법의 경우, F-N 터널링이 생기는 타이밍을 제어함으로써 셀들의 위치 (또는 행 선택 회로로부터의 이격 거리)에 따른 플래시 EEPROM 셀들 간의 문턱 전압 차이를 줄일 수 있다. 본 발명의 프로그램 방법이 도 3에 의거하여 이하 좀 더 구체적으로 설명될 것이다.

본 발명의 낸드 플래시 메모리 장치의 프로그램 방법에 따르면, 먼저, 프로그램될 데이터는 페이지 버퍼 회로로 알려진 감지 증폭 및 래치 회로에 로드된다 (S100). 그 다음에, 선택된 워드 라인으로 프로그램 전압 (V_{pgm})이 공급된다 (S120). 선택된 워드 라인에 프로그램 전압이 공급되고 소정 시간이 경과한 후, 프로그램될 셀을 포함한 낸드 스트링 또는 셀 스트링의 채널 영역으로 접지 전압이 공급된다 (S140). 여기서, 소정 시간은 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 모두 프로그램 전압으로 설정되는 데 필요한 시간이다. 선택된 워드 라인에 연결된 플래시 EEPROM 셀은 셀 스트링의 채널 영역으로 접지 전압이 공급될 때 F-N 터널링에 의해서 프로그램된다. 프로그램될 셀을 포함한 낸드 스트링 또는 셀 스트링의 채널 영역으로 접지 전압이 공급될 때, 프로그램 금지될 셀을 포함한 낸드 스트링 또는 셀 스트링의 채널 영역으로 프로그램 금지 전압으로서 전원 전압이 공급된다.

본 발명의 플래시 메모리 장치의 프로그램 방법의 경우, 셀 스트링의 채널 영역으로의 접지 전압의 공급은 다양하게 수행될 수 있다. 예를 들면, 프로그램 전압을 선택된 워드 라인에 인가하기 이전에 셀 스트링의 채널 영역이 프로그램 금지 전압으로서 전원 전압으로 프리차지된다. 그 다음에, 스트링 선택 트랜지스터의 턴-온 상태에서 프로그램 전압을 선택된 워드 라인에 인가한 후 접지 전압이 셀 스트링의 채널 영역으로 공급될 수 있다. 또는, 스트링 선택 트랜지스터의 턴-오프 상태에서 프로그램 전압을 선택된 워드 라인으로 인가하기 이전에 비트 라인을 접지 전압으로 설정하고, 선택된 워드 라인의 전압이 프로그램 전압에 도달한 후 스트링 선택 트랜지스터를 턴 온시킴으로써 접지 전압이 셀 스트링의 채널 영역으로 공급될 수 있다.

요약하면, 행 선택 회로로부터의 이격 거리에 관계없이 선택된 워드 라인이 충분히 프로그램 전압으로 구동된 후에 (또는 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압에 도달한 후), 셀 스트링의 채널 영역으로 접지 전압을 공급함으로써, 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄일 수 있다. 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄임으로써 프로그램 시간의 증가 및 읽기 유지 특성의 저하를 방지할 수 있다.

도 4는 본 발명의 제 1 실시예에 따른 플래시 메모리 장치를 보여주는 블록도이다. 도 4를 참조하면, 본 발명의 플래시 메모리 장치 (100)는 메모리 셀 어레이 (110)를 포함하며, 메모리 셀 어레이 (110)는 비트 라인들 (BL0-BL_n)에 각각 대응하는 복수 개의 셀 스트링들 (111)을 포함한다. 각 셀 스트링 (111)은 제 1 선택 트랜지스터로서 스트링 선택 트랜지스터 (SST), 제 2 선택 트랜지스터로서 접지 선택 트랜지스터 (GST), 그리고 선택 트랜지스터들 (SST, GST) 사이에 직렬 연결된 복수의 플래시 EEPROM 셀들 (M0-M_m)로 구성된다. 스트링 선택 트랜지스터 (SST)는 대응하는 비트 라인에 연결된 드레인 및 스트링 선택 라인 (SSL)에 연결된 게이트를 가지며, 접지 선택 트랜지스터 (GST)는 공통 소오스 라인 (CSL)에 연결된 소오스 및 접지 선택 라인 (GSL)에 연결된 게이트를 갖는다. 스트링 선택 트랜지스터 (SSL)의 소오스 및 접지 선택 트랜지스터 (GSL)의 드레인 사이에는 플래시 EEPROM 셀들 (M0-M_m)이 직렬 연결되며, 셀들 (M0-M_m)은 대응하는 워드 라인들 (WL0-WL_m)에 각각 연결된다. 워드 라인들 (WL0-WL_m), 스트링 선택 라인 (SSL), 그리고 접지 선택 라인 (GSL)은 행 선택 회로 (120)에 연결되어 있다. 행 선택 회로 (120)는 프로그램 동작시 워드 라인들 (WL0-WL_m) 중 하나를 선택하고, 선택된 워드 라인으로 프로그램 전압을 그리고 비선택된 워드 라인들로 패스 전압을 각각 인가한다. 행 선택 회로 (120)는 프로그램 동작시 스트링 선택 라인 (SSL)을 전원 전압으로 활성화시킨다. 여기서, 선택된 워드 라인으로의 프로그램 전압의 공급 시점 및 스트링 선택 라인 (SSL)의 활성화 시점은 프로그램 컨트롤러 (또는 프로그램 스케줄러-program scheduler) (130)의 제어에 따라 다양하게 변경될 수 있으며, 이는 이후 상세히 설명될 것이다.

계속해서 도 4를 참조하면, 본 발명의 플래시 메모리 장치 (100)는 프로그램 컨트롤러 (130)에 의해서 제어되는 감지 증폭 및 래치 회로 (140)를 포함하며, 감지 증폭 및 래치 회로 (140)는 비트 라인들 (BL0-BL_n)에 각각 대응하는 복수 개의 감지 증폭 및 래치부들 (140_0-140_n)을 포함한다. 각 감지 증폭 및 래치부는 프로그램 동작시 열 게이트 회로 (150)를 통

해 전달되는 프로그램될 데이터를 래치하고, 래치된 데이터에 따라 대응하는 비트 라인으로 프로그램 전압으로서 접지 전압 또는 프로그램 금지 전압으로서 전원 전압을 공급한다. 각 감지 증폭 및 래치부는 PMOS 트랜지스터 (MP0), NMOS 트랜지스터들 (MN0, MN1, MN2), 그리고 인버터들 (IO, I1)로 구성된 래치를 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 감지 증폭 및 래치 회로 (140)가 도 4에 도시된 것에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

도 5는 본 발명의 제 1 실시예에 따른 도 4에 도시된 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 타이밍도이다. 이하, 본 발명에 따른 플래시 메모리 장치의 프로그램 방법이 참조 도면들에 의거하여 상세히 설명될 것이다. 잘 알려진 바와 같이, 플래시 EEPROM 셀들을 프로그램하기에 앞서, 플래시 EEPROM 셀들은, 예를 들면, -1V의 문턱 전압을 갖도록 소거된다. 메모리 셀 어레이 (110)에 저장될 데이터는 열 게이트 회로 (150)를 통해 워드/바이트 단위로 감지 증폭 및 래치 회로 (140)에 로드된다. 프로그램될 데이터가 감지 증폭 및 래치 회로 (140)에 로드된 후, 프로그램 컨트롤러 (130)의 제어에 따라 워드 라인들 (WL0-WLm) 및 비트 라인들 (BL0-BLn)의 전압들이 설정될 것이다. 좀 더 구체적으로 설명하면 다음과 같다.

프로그램 컨트롤러 (130)는 비트 라인들 (BL0-BLn)이 전원 전압으로 각각 프리차지되도록 감지 증폭 및 래치 회로 (140)를 제어한다. 이는 각 감지 증폭 및 래치부의 PMOS 트랜지스터 (MP0)를 소정 시간 동안 턴 온시킴으로써 이루어진다. 비트 라인들 (BL0-BLn)이 전원 전압으로 각각 프리차지되는 동안, 스트링 선택 라인 (SSL), 워드 라인들 (WL0-WLm), 그리고 접지 선택 라인 (GSL)은 접지 전압의 로우 레벨로 유지된다. 스트링 선택 라인 (SSL)이 접지 전압을 갖기 때문에, 각 셀 스트링은 대응하는 비트 라인과 전기적으로 분리되어 있다. 비트 라인들 (BL0-BLn)을 전원 전압으로 프리차지한 후, 프로그램 컨트롤러 (130)는 각 감지 증폭 및 래치부의 PMOS 트랜지스터 (MP0)를 턴 오프시킨다. 각 감지 증폭 및 래치부의 PMOS 트랜지스터 (MP0)가 턴 오프되더라도, 도 5에 도시된 바와 같이, 각 비트 라인은 전원 전압으로 유지된다.

그 다음에, 도 5에 도시된 바와 같이, 전원 전압이 스트링 선택 라인 (SSL)으로 공급됨에 따라, 각 스트링의 채널 영역에는 ($V_{cc}-V_{th}$) (V_{th} 는 스트링 선택 트랜지스터의 문턱 전압임)이 충전된다. 이때, 셀 스트링들 (111)의 스트링 선택 트랜지스터들 (SST)은 셧 오프되며, 그 결과 셀 스트링들 (111)의 채널 영역들은 플로팅된다. 스트링 선택 트랜지스터들 (SST)이 셧 오프된 상태에서, 패스 전압 (V_{pass})이 선택된 및 비선택된 워드 라인들 (WL0-WLm)에 동시에 공급된다. 패스 전압 (V_{pass})이 선택된 및 비선택된 워드 라인들 (WL0-WLm)에 동시에 공급된 후, 도 5에 도시된 바와 같이, 선택된 워드 라인의 전압은 패스 전압 (V_{pass})에서 프로그램 전압 (V_{pgm})으로 증가된다. 이때, 셀 스트링들 (111)의 채널 영역들이 플로팅 상태에 있기 때문에, 셀 스트링들 (111)의 채널 영역들은 부스팅된다. 따라서, 선택된 워드 라인의 플래시 EEPROM 셀들은 프로그램되지 않는다. 왜냐하면 플래시 EEPROM 셀의 제어 게이트와 채널 영역 사이에 F-N 터널링이 일어나기에 충분한 바이어스 조건이 형성되지 않기 때문이다. 도 5에서 알 수 있듯이, 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압까지 증가하는 데 걸리는 시간은 행 선택 회로 (120)로부터의 이격 거리에 따라 상이하다. 이는, 앞서 설명된 바와 같이, 게이트 로딩 차이로 인한 것이다.

앞서 설명된 바이어스 조건하에서, 프로그램 전압 (V_{pgm})이 선택된 워드 라인에 인가되고 소정 시간이 경과한 후, 프로그램 컨트롤러 (130)는 로드된 데이터에 따라 프로그램 전압으로서 접지 전압 또는 프로그램 금지 전압으로서 전원 전압이 각 비트 라인으로 공급되도록 감지 증폭 및 래치 회로 (140)를 제어한다. 이는 각 감지 증폭 및 래치부의 NMOS 트랜지스터 (MN2)를 턴 온시킴으로써 이루어진다. 예를 들면, 프로그램될 데이터가 '0'일 때 비트 라인의 전압은 접지 전압이 되는 반면에, 프로그램될 데이터가 '1'일 때 비트 라인의 전압은 프리차지된 상태 즉, 전원 전압이 된다. 접지 전압의 비트 라인에 연결된 스트링 선택 트랜지스터는 셧 오프 상태에서 턴 온 상태가 되며, 그 결과 턴 온된 스트링 선택 트랜지스터를 갖는 스트링의 채널 영역의 부스팅된 전압은 비트 라인을 통해 대응하는 감지 증폭 및 래치부로 방전된다. 즉, 셀 스트링의 채널 영역으로 접지 전압이 공급된다. 셀 스트링의 채널 영역으로 접지 전압이 공급됨에 따라, 선택된 워드 라인의 플래시 EEPROM 셀(들)은 앞서 설명된 F-N 터널링을 통해 프로그램된다.

앞서의 설명에 따르면, 종래 기술과 마찬가지로, 선택된 워드 라인의 플래시 EEPROM 셀들은 위치에 따라 상이한 게이트 로딩을 갖는다. 종래 기술의 경우, 게이트 로딩이 셀 위치에 따라 다르기 때문에, 프로그램 시간이 증가되고 읽기 유지 특성이 저하되었다. 하지만, 본 발명의 프로그램 방법에 따르면, 행 선택 회로 (120)로부터의 이격 거리에 관계없이 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압에 도달한 후, 도 5에 도시된 바와 같이, 셀 스트링의 채널 영역으로 (또는 스트링 선택 트랜지스터의 턴 온 상태에서의 비트 라인으로) 접지 전압이 공급된다. 이는 선택된 워드 라인의 모든 플래시 EEPROM 셀들이 동일한 F-N 터널링 시간을 가짐을 의미한다. 따라서, 공정 특성을 제외하면, 이상적으로, 각 플래시 EEPROM 셀은 동일한 문턱 전압을 갖는다. 즉, 종래 기술의 프로그램 방법과 비교하여 볼 때, 행 선택 회로 (120)와의 이격 거리에 따라 생기는 동일한 워드 라인의 플래시 EEPROM 셀들 간의 문턱 전압 차이를 줄일 수 있다. 결론적으로, 행 선택 회로 (120)와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄임으로써 프로그램 시간의 증가 및 읽기 유지 특성의 저하를 방지할 수 있다.

도 5에 있어서, 선택된 워드 라인에는 패스 전압 (V_{pass})과 프로그램 전압 (V_{pgm})이 순차적으로 공급된다. 하지만, 도 6에 도시된 바와 같이, 선택된 워드 라인에 프로그램 전압 (V_{pgm})이 그리고 비선택된 워드 라인들에 패스 전압 (V_{pass})이 동시에 인가될 수 있다. 선택된 워드 라인으로 프로그램 전압을 공급하는 방식이 다르다는 점을 제외하면, 도 6에 도시된 프로그램 방식은 도 5에 도시된 것과 동일하며, 그것에 대한 설명은 그러므로 생략될 것이다.

도 7은 본 발명의 제 1 실시예에 따른 도 4에 도시된 플래시 메모리 장치의 다른 프로그램 동작을 설명하기 위한 타이밍도이다. 이하, 본 발명에 따른 플래시 메모리 장치의 프로그램 방법이 참조 도면들에 의거하여 상세히 설명될 것이다. 앞서 설명된 바와 같이, 플래시 EEPROM 셀들을 프로그램하기에 앞서, 플래시 EEPROM 셀들은, 예를 들면, $-1V$ 의 문턱 전압을 갖도록 소거된다. 메모리 셀 어레이 (110)에 저장될 데이터는 열 게이트 회로 (150)를 통해 워드/바이트 단위로 감지 증폭 및 래치 회로 (140)에 로드된다. 프로그램될 데이터가 감지 증폭 및 래치 회로 (140)에 로드된 후, 프로그램 컨트롤러 (130)의 제어에 따라 워드 라인들 ($WLO-WLm$) 및 비트 라인들 ($BL0-BLn$)의 전압들이 설정될 것이다. 좀 더 구체적으로 설명하면 다음과 같다.

프로그램 컨트롤러 (130)는 스트링 선택 트랜지스터들 (SST)의 턴-오프 상태에서 비트 라인들 ($BL0-BLn$) 각각이 로드된 데이터에 따라 전원 전압 또는 접지 전압으로 설정되도록 감지 증폭 및 래치 회로 (140)를 제어한다. 이는 각 감지 증폭 및 래치부의 NMOS 트랜지스터 ($MN2$)를 턴 온시킴으로써 이루어진다. 비트 라인들 ($BL0-BLn$)이 전원 전압 또는 접지 전압으로 각각 설정되는 동안, 스트링 선택 라인 (SSL), 워드 라인들 ($WLO-WLm$), 그리고 접지 선택 라인 (GSL)은 접지 전압의 로우 레벨로 유지된다. 스트링 선택 라인 (SSL)이 접지 전압을 갖기 때문에, 각 셀 스트링은 대응하는 비트 라인과 전기적으로 분리되어 있다.

그 다음에, 도 7에 도시된 바와 같이, 스트링 선택 트랜지스터들 (SST)이 턴 오프된 상태에서, 프로그램 컨트롤러 (130)는 패스 전압 (V_{pass})이 선택된 및 비선택된 워드 라인들 ($WLO-WLm$)에 동시에 공급되도록 행 선택 회로 (120)를 제어한다. 패스 전압 (V_{pass})이 선택된 및 비선택된 워드 라인들 ($WLO-WLm$)에 동시에 공급된 후, 선택된 워드 라인의 전압은 패스 전압 (V_{pass})에서 프로그램 전압 (V_{pgm})으로 증가된다. 이때, 셀 스트링들 (111)의 채널 영역들이 플로팅 상태에 있기 때문에, 셀 스트링들 (111)의 채널 영역들은 부스팅된다. 따라서, 선택된 워드 라인의 플래시 EEPROM 셀들은 프로그램되지 않는다. 왜냐하면 플래시 EEPROM 셀의 제어 게이트와 채널 영역 사이에 F-N 터널링이 일어나기에 충분한 바이어스 조건이 형성되지 않기 때문이다. 도 7에서 알 수 있듯이, 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압까지 증가하는 데 걸리는 시간은 행 선택 회로 (120)로부터의 이격 거리에 따라 상이하다. 이는, 앞서 설명된 바와 같이, 게이트 로딩 차이로 인한 것이다.

앞서 설명된 바이어스 조건하에서, 프로그램 전압 (V_{pgm})이 선택된 워드 라인에 인가되고 소정 시간이 경과한 후, 도 7에 도시된 바와 같이, 스트링 선택 라인 (SSL)으로 전원 전압이 인가된다. 스트링 선택 라인 (SSL)으로 전원 전압이 인가됨에 따라 스트링 선택 트랜지스터들 (SST)이 턴 온된다. 이는 비트 라인들과 셀 스트링들의 채널 영역들이 전기적으로 연결되게 한다. 이때, 전원 전압의 비트 라인에 연결된 스트링 선택 트랜지스터는 셧 오프되는 반면에 접지 전압의 비트 라인에 연결된 스트링 선택 트랜지스터는 턴 온된다. 이는 접지 전압의 비트 라인에 연결된 스트링 선택 트랜지스터를 포함한 스트링의 채널 전압이 접지 전압으로 방전됨을 의미한다. 즉, 셀 스트링의 채널 영역으로 접지 전압이 공급된다. 셀 스트링의 채널 영역으로 접지 전압이 공급됨에 따라, 선택된 워드 라인의 플래시 EEPROM 셀(들)은 앞서 설명된 F-N 터널링을 통해 프로그램된다.

도 7에 도시된 프로그램 방법에 따르면, 도 5에 도시된 것과 마찬가지로, 행 선택 회로로부터의 이격 거리에 관계없이 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압에 도달한 후, 도 5에 도시된 바와 같이, 셀 스트링의 채널 영역으로 접지 전압이 공급된다. 따라서, 종래 기술의 프로그램 방법과 비교하여 볼 때, 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 플래시 EEPROM 셀들 간의 문턱 전압 차이를 줄일 수 있다. 결론적으로, 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄임으로써 프로그램 시간의 증가 및 읽기 유지 특성의 저하를 방지할 수 있다.

도 7에 있어서, 선택된 워드 라인에는 패스 전압 (V_{pass})과 프로그램 전압 (V_{pgm})이 순차적으로 공급된다. 하지만, 도 8에 도시된 바와 같이, 선택된 워드 라인에 프로그램 전압 (V_{pgm})이 그리고 비선택된 워드 라인들에 패스 전압 (V_{pass})이 동시에 인가될 수 있다. 선택된 워드 라인으로 프로그램 전압을 공급하는 방식이 다르다는 점을 제외하면, 도 6에 도시된 프로그램 방식은 도 5에 도시된 것과 동일하며, 그것에 대한 설명은 그러므로 생략될 것이다.

도 9는 본 발명의 제 2 실시예에 따른 플래시 메모리 장치를 보여주는 블록도이다. 도 9에 있어서, 본 발명의 제 2 실시예에 따른 플래시 메모리 장치는 전압 레벨 검출 회로 (160)가 추가되었다는 점을 제외하면 도 4에 도시된 것과 동일하다. 전

압 레벨 검출 회로 (160)는 행 선택 회로 (120)의 맞은편에 위치하며 워드 라인들 (WL0-WLm)에 연결되어 있다. 전압 레벨 검출 회로 (160)는 선택된 워드 라인의 전압이 프로그램 전압 (Vp_{gm})에 도달하였는 지의 여부를 검출한다. 만약 선택된 워드 라인의 전압이 프로그램 전압 (Vp_{gm})에 도달하면, 전압 레벨 검출 회로 (160)는 검출 신호 (DET)를 활성화시킨다. 프로그램 컨트롤러 (130)는 검출 신호 (DET)의 활성화에 응답하여 접지 전압이 스트링의 채널 영역으로 공급되도록 감지 증폭 및 래치 회로 (140) 또는 행 선택 회로 (120)를 제어한다. 예를 들면, 도 6에 도시된 프로그램 방법이 사용되는 경우, 프로그램 컨트롤러 (130)는 검출 신호 (DET)의 활성화에 응답하여 감지 증폭 및 래치 회로 (140)를 제어하며, 그 결과 각 감지 증폭 및 래치부의 NMOS 트랜지스터 (MN2)가 턴 온된다. 도 7에 도시된 프로그램 방법이 사용되는 경우, 프로그램 컨트롤러 (130)는 검출 신호 (DET)의 활성화에 응답하여 행 선택 회로 (120)를 제어하며, 그 결과 스트링 선택 트랜지스터들 (SST)이 턴 온된다. 이러한 점을 제외하면, 본 발명의 제 2 실시예에 따른 플래시 메모리 장치는 도 5 내지 도 8에 도시된 프로그램 방법들에 따라 프로그램 동작을 수행하며, 그것에 대한 설명은 그러므로 생략된다.

도 10은 본 발명의 제 3 실시예에 따른 플래시 메모리 장치를 보여주는 블록도이다. 도 10을 참조하면, 본 발명의 제 3 실시예에 따른 플래시 메모리 장치 (200)는 메모리 셀 어레이 (210), 행 선택 회로 (220), 프로그램 컨트롤러 (230), 감지 증폭 및 래치 회로 (240), 그리고 열 게이트 회로 (250)를 포함한다. 도 10에 있어서, 메모리 셀 어레이 (210), 행 선택 회로 (220), 그리고 열 게이트 회로 (250)는 도 4에 도시된 것과 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다.

감지 증폭 및 래치 회로 (240)는 복수 개의 감지 증폭 및 래치부들 (240_0-240_j)을 포함하며, 각 감지 증폭 및 래치부는 한 쌍의 비트 라인들에 연결된다. 예를 들면, 감지 증폭 및 래치부 (240_0)는 한 쌍의 비트 라인들 (BL0, BL1)에 연결되고, 감지 증폭 및 래치부 (240_j)는 한 쌍의 비트 라인들 (BL_{n-1}, BL_n)에 연결된다. 각 감지 증폭 및 래치부는 대응하는 쌍의 비트 라인들 중 하나를 선택한다. 각 감지 증폭 및 래치부는 읽기 동작시 선택된 비트 라인을 통해 플래시 EEPROM 셀로부터 데이터를 읽고, 프로그램 동작시 프로그램 데이터에 따라 선택된 비트 라인으로 접지 전압/전원 전압을 공급한다. 각 감지 증폭 및 래치부는 동작 모드에 따라 비선택된 비트 라인으로 전원 전압/접지 전압을 공급한다.

본 발명의 제 3 실시예에 따른 플래시 메모리 장치의 프로그램 동작이 도 5에 도시된 프로그램 방법을 이용하여 이하 상세히 설명될 것이다. 잘 알려진 바와 같이, 플래시 EEPROM 셀들을 프로그램하기에 앞서, 플래시 EEPROM 셀들은, 예를 들면, -3V의 문턱 전압을 갖도록 소거된다. 메모리 셀 어레이 (210)에 저장될 데이터는 열 게이트 회로 (250)를 통해 워드/바이트 단위로 감지 증폭 및 래치 회로 (240)에 로드된다. 프로그램될 데이터가 감지 증폭 및 래치 회로 (240)에 로드된 후, 프로그램 컨트롤러 (230)의 제어에 따라 워드 라인들 (WL0-WLm) 및 비트 라인들 (BL0-BL_n)의 전압들이 설정될 것이다. 좀 더 구체적으로 설명하면 다음과 같다.

프로그램 컨트롤러 (230)는 비트 라인들 (BL0-BL_n)이 전원 전압으로 각각 프리차지되도록 감지 증폭 및 래치 회로 (140)를 제어한다. 이는 각 감지 증폭 및 래치부의 NMOS 트랜지스터들 (MN6, MN7)를 소정 시간 동안 턴 온시킴으로써 이루어진다. 비트 라인들 (BL0-BL_n)이 전원 전압으로 각각 프리차지되는 동안, 스트링 선택 라인 (SSL), 워드 라인들 (WL0-WLm), 그리고 접지 선택 라인 (GSL)은 접지 전압의 로우 레벨로 유지된다. 스트링 선택 라인 (SSL)이 접지 전압을 갖기 때문에, 각 셀 스트링은 대응하는 비트 라인과 전기적으로 분리되어 있다. 비트 라인들을 전원 전압으로 프리차지한 후, 프로그램 컨트롤러 (230)는 각 감지 증폭 및 래치부의 NMOS 트랜지스터 (MN6)를 턴 오프시킨다. 이때, 각 감지 증폭 및 래치부의 NMOS 트랜지스터 (MN7)는 전원 전압을 갖는 VIRPWR 단자에 계속 연결된다.

그 다음에, 전원 전압이 스트링 선택 라인 (SSL)로 공급됨에 따라, 각 스트링의 채널 영역에는 (V_{cc}-V_{th}) (V_{th}는 스트링 선택 트랜지스터의 문턱 전압임)이 충전된다. 이때, 셀 스트링들 (111)의 스트링 선택 트랜지스터들 (SST)은 셧 오프되며, 그 결과 셀 스트링들 (111)의 채널 영역들은 플로팅된다. 스트링 선택 트랜지스터들 (SST)이 셧 오프된 상태에서, 패스 전압 (V_{pass})이 선택된 및 비선택된 워드 라인들 (WL0-WLm)에 동시에 공급된다. 패스 전압 (V_{pass})이 선택된 및 비선택된 워드 라인들 (WL0-WLm)에 동시에 공급된 후, 선택된 워드 라인의 전압은 패스 전압 (V_{pass})에서 프로그램 전압 (V_{p_{gm}})으로 증가된다. 이때, 셀 스트링들 (111)의 채널 영역들이 플로팅 상태에 있기 때문에, 셀 스트링들 (111)의 채널 영역들은 부스팅된다. 따라서, 선택된 워드 라인의 플래시 EEPROM 셀들은 프로그램되지 않는다. 왜냐하면, 앞서 설명된 바와 같이, 플래시 EEPROM 셀의 제어 게이트와 채널 영역 사이에 F-N 터널링이 일어나기에 충분한 바이어스 조건이 형성되지 않기 때문이다.

앞서 설명된 바이어스 조건하에서, 프로그램 전압 (V_{p_{gm}})이 선택된 워드 라인에 인가되고 소정 시간이 경과한 후, 프로그램 컨트롤러 (230)는 로드된 데이터에 따라 프로그램 전압으로서 접지 전압 또는 프로그램 금지 전압으로서 전원 전압이 각 비트 라인으로 공급되도록 감지 증폭 및 래치 회로 (240)를 제어한다. 이는 각 감지 증폭 및 래치부의 NMOS 트랜지스터들 (MN5, MN8)을 턴 온시킴으로써 이루어진다. 접지 전압의 비트 라인에 연결된 스트링 선택 트랜지스터는 셧 오프 상태에서 턴 온 상태가 되며, 그 결과 턴 온된 스트링 선택 트랜지스터를 갖는 스트링의 채널 영역의 부스팅된 전압은 비트

라인을 통해 대응하는 감지 증폭 및 래치부로 방전된다. 즉, 셀 스트링의 채널 영역으로 접지 전압이 공급된다. 셀 스트링의 채널 영역으로 접지 전압이 공급됨에 따라, 선택된 워드 라인의 플래시 EEPROM 셀(들)은 앞서 설명된 F-N 터널링을 통해 프로그램된다.

본 발명의 제 3 실시예에 따른 플래시 메모리 장치는 역시 앞서 설명된 것과 동일한 효과를 얻을 수 있음은 자명하다. 즉, 행 선택 회로로부터의 이격 거리에 관계없이 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압에 도달한 후, 셀 스트링의 채널 영역으로 (또는 스트링 선택 트랜지스터의 턴 온 상태에서 비트 라인으로) 접지 전압이 공급된다. 따라서, 종래 기술의 프로그램 방법과 비교하여 볼 때, 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 플래시 EEPROM 셀들 간의 문턱 전압 차이를 줄일 수 있다. 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄임으로써 프로그램 시간의 증가 및 읽기 유지 특성의 저하를 방지할 수 있다.

본 발명의 제 3 실시예에 따른 플래시 메모리 장치의 프로그램 방법의 경우, 도 6에서 설명된 바와 같이, 선택된 워드 라인에 프로그램 전압 (V_{pgm})이 그리고 비선택된 워드 라인들에 패스 전압 (V_{pass})이 동시에 인가될 수 있다.

도 11은 본 발명의 제 4 실시예에 따른 플래시 메모리 장치를 보여주는 블록도이다. 도 11에 있어서, 본 발명의 제 4 실시예에 따른 플래시 메모리 장치는 전압 레벨 검출 회로 (260)가 부가되었다는 점을 제외하면 도 10에 도시된 것과 동일하다. 전압 레벨 검출 회로 (260)는 행 선택 회로 (220)의 맞은편에 위치하며 워드 라인들 (WL0-WL_m)에 연결되어 있다. 전압 레벨 검출 회로 (260)는 선택된 워드 라인의 전압이 프로그램 전압 (V_{pgm})에 도달하였는지의 여부를 검출한다. 만약 선택된 워드 라인의 전압이 프로그램 전압 (V_{pgm})에 도달하면, 전압 레벨 검출 회로 (260)는 검출 신호 (DET)를 활성화시킨다. 프로그램 컨트롤러 (230)는 검출 신호 (DET)의 활성화에 응답하여 접지 전압이 스트링의 채널 영역으로 공급되도록 감지 증폭 및 래치 회로 (240) 또는 행 선택 회로 (220)를 제어한다. 예를 들면, 도 6에 도시된 프로그램 방법이 사용되는 경우, 프로그램 컨트롤러 (230)는 검출 신호 (DET)의 활성화에 응답하여 감지 증폭 및 래치 회로 (240)를 제어하며, 그 결과 각 감지 증폭 및 래치부의 NMOS 트랜지스터들 (MN5, MN8)이 턴 온된다. 도 7에 도시된 프로그램 방법이 사용되는 경우, 프로그램 컨트롤러 (230)는 검출 신호 (DET)의 활성화에 응답하여 행 선택 회로 (220)를 제어하며, 그 결과 스트링 선택 트랜지스터들 (SST)이 턴 온된다. 이러한 점을 제외하면, 본 발명의 제 4 실시예에 따른 플래시 메모리 장치는 도 5 내지 도 8에 도시된 프로그램 방법들에 따라 프로그램 동작을 수행하며, 그것에 대한 설명은 그러므로 생략된다.

비록 도면에는 도시되지 않았지만, 프로그램 전압이 선택된 워드 라인으로 공급된 이후에 스트링 선택 트랜지스터를 제어하는 경우, 스트링 선택 라인의 저항을 줄이도록 스트링 선택 라인 상에 형성되는 메탈 라인이 형성될 것이다. 이때, 스트링 선택 라인과 메탈 라인은 접촉을 통해 전기적으로 연결될 것이다. 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

상술한 바와 같이, 행 선택 회로로부터의 이격 거리에 관계없이 선택된 워드 라인의 플래시 EEPROM 셀들의 제어 게이트 전압들이 프로그램 전압에 도달한 후, 셀 스트링의 채널 영역으로 (또는 스트링 선택 트랜지스터의 턴 온 상태에서 비트 라인으로) 접지 전압을 공급함으로써, 행 선택 회로와의 이격 거리에 따라 생기는 동일한 워드 라인의 셀들 간의 문턱 전압 차이를 줄일 수 있다. 따라서, 프로그램 시간의 증가 및 읽기 유지 특성의 저하를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 적어도 하나의 스트링과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링에 연결된 비트 라인을 포함하는 플래시 메모리 장치의 프로그램 방법에 있어서:

상기 스트링의 채널 영역이 플로팅된 상태에서, 선택된 워드 라인으로 제 1 프로그램 전압 (V_{pgm})을 비선택된 워드 라인들로 패스 전압을 각각 공급하는 단계와; 그리고

상기 선택된 워드 라인의 메모리 셀 트랜지스터의 게이트 전압이 상기 제 1 프로그램 전압에 도달한 후, 상기 스트링의 채널 영역으로 제 2 프로그램 전압 (V_{ss})을 공급하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 프로그램 전압을 인가하는 단계 이전에 상기 스트링의 채널 영역을 프로그램 금지 전압으로 프리차지하는 단계를 더 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 3.

제 2 항에 있어서,

상기 제 2 프로그램 전압은 상기 스트링 선택 트랜지스터의 턴-온 상태에서 상기 스트링의 채널 영역으로 공급되는 것을 특징으로 하는 프로그램 방법.

청구항 4.

제 1 항에 있어서,

상기 제 1 프로그램 전압을 인가하는 단계 이전에 상기 비트 라인을 상기 제 2 프로그램 전압으로 설정하는 단계를 더 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 5.

제 4 항에 있어서,

상기 제 2 프로그램 전압은 상기 워드 라인의 전압이 상기 제 1 프로그램 전압에 도달한 후 상기 스트링 선택 트랜지스터를 턴 온시킴으로써 상기 스트링의 채널 영역으로 공급되는 것을 특징으로 하는 프로그램 방법.

청구항 6.

제 1 항에 있어서,

상기 제 1 프로그램 전압을 공급하는 단계는

상기 선택된 워드 라인 및 비선택된 워드 라인들로 상기 패스 전압을 각각 공급하는 단계와; 그리고

상기 선택된 워드 라인으로 상기 제 1 프로그램 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 7.

제 1 항에 있어서,

상기 제 1 프로그램 전압을 공급하는 단계에서, 상기 선택된 워드 라인에는 상기 제 1 프로그램 전압이 그리고 비선택된 워드 라인들에는 상기 패스 전압이 동시에 공급되는 것을 특징으로 하는 프로그램 방법.

청구항 8.

제 1 항에 있어서,

상기 제 2 프로그램 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

청구항 9.

각각이 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 스트링들과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링들에 각각 연결된 비트 라인들을 포함하는 플래시 메모리 장치의 프로그램 방법에 있어서:

상기 비트 라인들을 프리차지 전압으로 각각 프리차지하는 단계와;

상기 스트링 선택 트랜지스터들의 턴-온 상태에서, 선택된 워드 라인으로 제 1 프로그램 전압 (V_{pgm}) 그리고 비선택된 워드 라인들로 패스 전압 (V_{pass})을 각각 공급하는 단계와; 그리고

상기 선택된 워드 라인의 메모리 셀 트랜지스터들의 게이트 전압들이 상기 제 1 프로그램 전압에 도달한 후, 상기 각 비트 라인으로 제 2 프로그램 전압 (V_{ss})과 프로그램 금지 전압 (V_{cc}) 중 하나를 공급하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 10.

제 9 항에 있어서,

상기 소정 전압 및 상기 프로그램 금지 전압은 전원 전압이고 상기 제 2 프로그램 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

청구항 11.

제 9 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 1 프로그램 전압에 도달한 후, 프로그램될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 제 2 프로그램 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 12.

제 9 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 1 프로그램 전압에 도달한 후, 프로그램 금지될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 프로그램 금지 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 13.

각각이 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 스트링들과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링들에 각각 연결된 비트 라인들을 포함하는 플래시 메모리 장치의 프로그램 방법에 있어서:

상기 비트 라인들을 프리차지 전압으로 각각 프리차지하는 단계와;

상기 각 스트링의 스트링 선택 트랜지스터를 턴 온시키는 단계와;

상기 워드 라인들로 패스 전압 (V_{pass})을 각각 공급하는 단계와;

상기 워드 라인들 중 선택된 워드 라인으로 프로그램 전압 (V_{pgm})을 공급하는 단계와; 그리고

상기 선택된 워드 라인의 메모리 셀 트랜지스터들의 게이트 전압들이 상기 제 1 프로그램 전압에 도달한 후, 상기 각 비트 라인으로 제 2 프로그램 전압 (V_{ss})과 프로그램 금지 전압 (V_{cc}) 중 하나를 공급하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 14.

제 13 항에 있어서,

상기 소정 전압 및 상기 프로그램 금지 전압은 전원 전압이고 상기 제 2 프로그램 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

청구항 15.

제 13 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 1 프로그램 전압에 도달한 후, 프로그램될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 제 2 프로그램 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 16.

제 13 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 1 프로그램 전압에 도달한 후, 프로그램 금지될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 프로그램 금지 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 17.

각각이 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 스트링들과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링들에 각각 연결된 비트 라인들을 포함하는 플래시 메모리 장치의 프로그램 방법에 있어서:

프로그램될 데이터에 따라 상기 각 비트 라인으로 제 1 프로그램 전압 (V_{ss})과 프로그램 금지 전압 (V_{cc}) 중 하나를 공급하는 단계와;

선택된 워드 라인으로 제 2 프로그램 전압 (V_{pgm}) 그리고 비선택된 워드 라인들로 패스 전압 (V_{pass})을 각각 공급하는 단계와; 그리고

상기 선택된 워드 라인의 메모리 셀 트랜지스터들의 게이트 전압들이 상기 제 2 프로그램 전압에 도달한 후, 상기 각 스트링의 스트링 선택 트랜지스터를 턴 온시키는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 18.

제 17 항에 있어서,

상기 프로그램 금지 전압은 전원 전압이고 상기 제 1 프로그램 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

청구항 19.

제 17 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 2 프로그램 전압에 도달한 후, 프로그램될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 제 1 프로그램 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 20.

제 17 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 2 프로그램 전압에 도달한 후, 프로그램 금지될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 프로그램 금지 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 21.

각각이 스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 스트링들과; 상기 메모리 셀 트랜지스터들은 대응하는 워드 라인들에 각각 연결되며; 그리고 상기 스트링들에 각각 연결된 비트 라인들을 포함하는 플래시 메모리 장치의 프로그램 방법에 있어서:

프로그램될 데이터에 따라 상기 각 비트 라인으로 제 1 프로그램 전압 (V_{ss})과 프로그램 금지 전압 (V_{cc}) 중 하나를 공급하는 단계와;

상기 워드 라인들로 페스 전압을 각각 공급하는 단계와;

상기 워드 라인들 중 선택된 워드 라인으로 제 2 프로그램 전압 (V_{pgm})을 공급하는 단계와; 그리고

상기 선택된 워드 라인의 메모리 셀 트랜지스터들의 게이트 전압들이 상기 제 2 프로그램 전압에 도달한 후, 상기 각 스트링의 스트링 선택 트랜지스터를 턴 온시키는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 22.

제 21 항에 있어서,

상기 프로그램 금지 전압은 전원 전압이고 상기 제 1 프로그램 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

청구항 23.

제 21 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 2 프로그램 전압에 도달한 후, 프로그램될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 제 1 프로그램 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 24.

제 21 항에 있어서,

상기 선택된 워드 라인의 전압이 상기 제 2 프로그램 전압에 도달한 후, 프로그램 금지될 메모리 셀 트랜지스터에 연결된 비트 라인은 상기 프로그램 금지 전압을 공급받는 것을 특징으로 하는 프로그램 방법.

청구항 25.

스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 적어도 하나의 스트링과;

상기 스트링에 연결된 비트 라인과;

상기 스트링 선택 트랜지스터에 연결된 스트링 선택 라인과;

상기 메모리 셀 트랜지스터들에 각각 연결된 워드 라인들과;

상기 워드 라인들 중 하나를 선택하는 행 선택 회로와;

상기 비트 라인에 연결된 감지 증폭 및 래치 회로와; 그리고

상기 감지 증폭 및 래치 회로 및 상기 행 선택 회로를 제어하는 제어 회로를 포함하며,

프로그램 동작 동안, 상기 제어 회로는 상기 선택된 워드 라인이 상기 행 선택 회로에 의해서 제 1 프로그램 전압으로 충분히 구동된 후 상기 스트링의 채널 영역이 제 2 프로그램 전압으로 설정되도록 상기 행 선택 회로 및 상기 감지 증폭 및 래치 회로를 제어하는 플래시 메모리 장치.

청구항 26.

제 25 항에 있어서,

상기 제어 회로는 상기 선택된 워드 라인에 상기 제 1 프로그램 전압이 공급되기 이전에 상기 비트 라인이 전원 전압으로 프리차지되도록 상기 감지 증폭 및 래치 회로를 제어하는 플래시 메모리 장치.

청구항 27.

제 26 항에 있어서,

상기 스트링 선택 트랜지스터는 상기 비트 라인이 전원 전압으로 프리차지되고 상기 제 1 프로그램 전압이 상기 선택된 워드 라인으로 공급되기 이전에 활성화되는 플래시 메모리 장치.

청구항 28.

제 25 항에 있어서,

상기 제어 회로는 상기 워드 라인들로 패스 전압이 동시에 공급된 후 상기 선택된 워드 라인에만 상기 제 1 프로그램 전압이 공급하도록 상기 행 선택 회로를 제어하는 플래시 메모리 장치.

청구항 29.

제 25 항에 있어서,

상기 제어 회로는 비선택된 워드 라인들로 패스 전압이 그리고 상기 선택된 워드 라인에 상기 제 1 프로그램 전압이 동시에 공급하도록 상기 행 선택 회로를 제어하는 플래시 메모리 장치.

청구항 30.

제 25 항에 있어서,

상기 제어 회로는, 상기 스트링 선택 트랜지스터의 턴-오프 상태에서, 상기 선택된 워드 라인이 상기 제 1 프로그램 전압으로 충분히 구동되기 이전에 프로그램될 데이터에 따라 상기 비트 라인이 상기 제 2 프로그램 전압과 프로그램 금지 전압 중 하나로 설정되도록 상기 감지 증폭 및 래치 회로를 제어하는 플래시 메모리 장치.

청구항 31.

제 30 항에 있어서,

상기 제어 회로는 상기 비트 라인이 상기 제 2 프로그램 전압과 프로그램 금지 전압 중 하나로 설정된 후 상기 스트링 선택 트랜지스터가 턴 온되도록 상기 행 선택 회로를 제어하는 플래시 메모리 장치.

청구항 32.

제 25 항에 있어서,

상기 제 2 프로그램 전압은 접지 전압인 플래시 메모리 장치.

청구항 33.

제 25 항에 있어서,

상기 스트링 선택 라인의 저항을 줄이도록 상기 스트링 선택 라인 상에 형성되는 메탈 라인을 더 포함하며, 상기 스트링 선택 라인과 상기 메탈 라인은 컨택을 통해 전기적으로 연결되는 플래시 메모리 장치.

청구항 34.

스트링 선택 트랜지스터, 접지 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결된 메모리 셀 트랜지스터들을 갖는 적어도 하나의 스트링과;

상기 스트링에 연결된 비트 라인과;

상기 스트링 선택 트랜지스터에 연결된 스트링 선택 라인과;

상기 메모리 셀 트랜지스터들에 각각 연결된 워드 라인들과;

상기 워드 라인들 중 하나를 선택하는 행 선택 회로와;

상기 비트 라인에 연결된 감지 증폭 및 래치 회로와;

상기 행 선택 회로의 맞은 편에 위치한 상기 워드 라인들의 끝단들에 연결되며, 프로그램 동작 동안 상기 선택된 워드 라인의 전압 레벨을 검출하는 전압 검출 회로와; 그리고

상기 감지 증폭 및 래치 회로 및 상기 행 선택 회로를 제어하는 제어 회로를 포함하며,

상기 프로그램 동작 동안, 상기 전압 검출 회로의 출력이 상기 선택된 워드 라인의 전압 레벨이 상기 행 선택 회로에 의해서 제 1 프로그램 전압으로 충분히 구동되었음을 나타낼 때, 상기 제어 회로는 상기 스트링의 채널 영역이 제 2 프로그램 전압으로 설정되도록 상기 행 선택 회로 및 상기 감지 증폭 및 래치 회로를 제어하는 플래시 메모리 장치.

청구항 35.

제 34 항에 있어서,

상기 제어 회로는 상기 선택된 워드 라인에 상기 제 1 프로그램 전압이 공급되기 이전에 상기 비트 라인이 전원 전압으로 프리차지되도록 상기 감지 증폭 및 래치 회로를 제어하는 플래시 메모리 장치.

청구항 36.

제 35 항에 있어서,

상기 스트링 선택 트랜지스터는 상기 비트 라인이 전원 전압으로 프리차지되고 상기 제 1 프로그램 전압이 상기 선택된 워드 라인으로 공급되기 이전에 활성화되는 플래시 메모리 장치.

청구항 37.

제 34 항에 있어서,

상기 제어 회로는 상기 워드 라인들로 패스 전압이 동시에 공급된 후 상기 선택된 워드 라인에만 상기 제 1 프로그램 전압이 공급하도록 상기 행 선택 회로를 제어하는 플래시 메모리 장치.

청구항 38.

제 34 항에 있어서,

상기 제어 회로는 비선택된 워드 라인들로 패스 전압이 그리고 상기 선택된 워드 라인에 상기 제 1 프로그램 전압이 동시에 공급하도록 상기 행 선택 회로를 제어하는 플래시 메모리 장치.

청구항 39.

제 32 항에 있어서,

상기 제어 회로는, 상기 스트링 선택 트랜지스터의 턴-오프 상태에서, 상기 선택된 워드 라인이 상기 제 1 프로그램 전압으로 충분히 구동되기 이전에 프로그램될 데이터에 따라 상기 비트 라인이 상기 제 2 프로그램 전압과 프로그램 금지 전압 중 하나로 설정되도록 상기 감지 증폭 및 래치 회로를 제어하는 플래시 메모리 장치.

청구항 40.

제 39 항에 있어서,

상기 제어 회로는 상기 비트 라인이 상기 제 2 프로그램 전압과 프로그램 금지 전압 중 하나로 설정되고 상기 선택된 워드 라인이 상기 제 1 프로그램 전압으로 충분히 구동된 후 상기 스트링 선택 트랜지스터가 턴 온되도록 상기 행 선택 회로를 제어하는 플래시 메모리 장치.

청구항 41.

제 32 항에 있어서,

상기 제 2 프로그램 전압은 접지 전압인 플래시 메모리 장치.

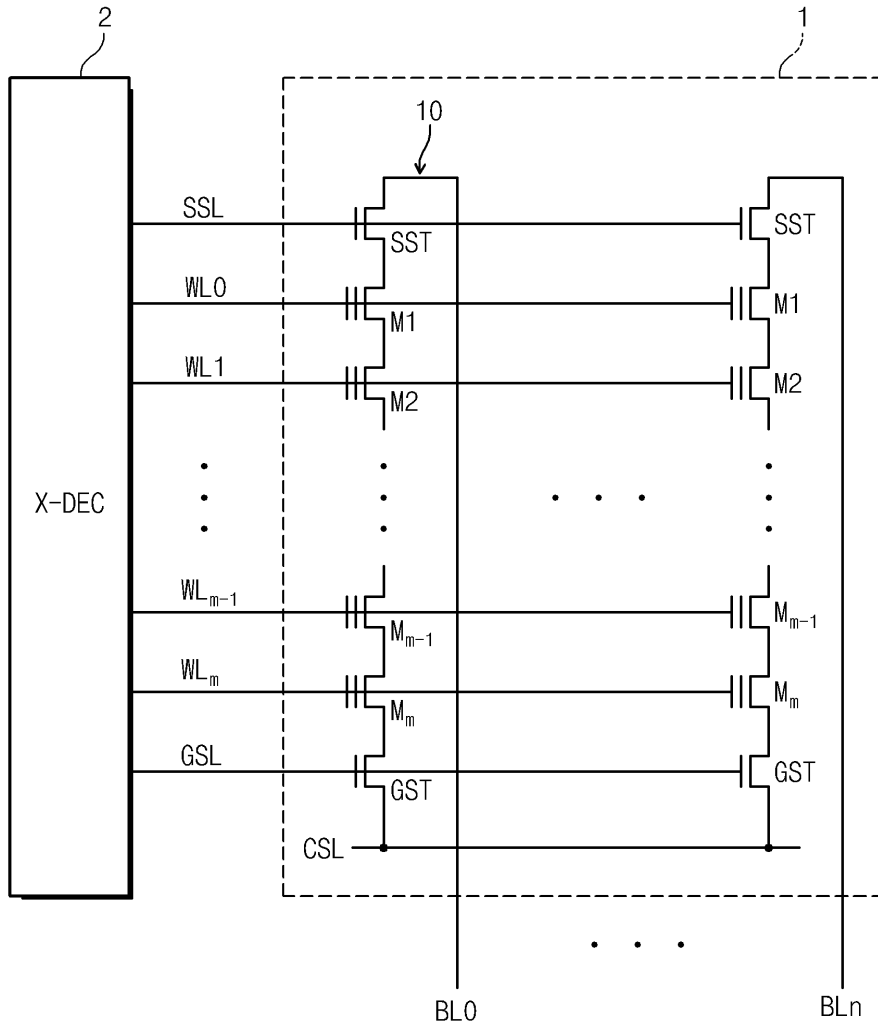
청구항 42.

제 32 항에 있어서,

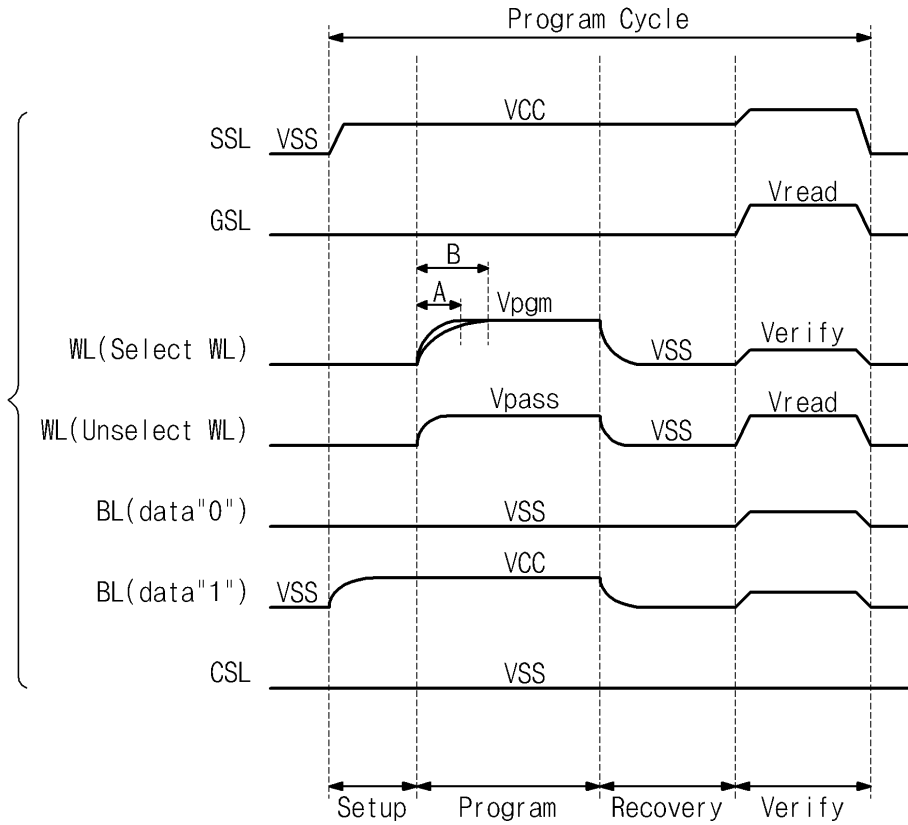
상기 스트링 선택 라인의 저항을 줄이도록 상기 스트링 선택 라인 상에 형성되는 메탈 라인을 더 포함하며, 상기 스트링 선택 라인과 상기 메탈 라인은 접촉을 통해 전기적으로 연결되는 플래시 메모리 장치.

도면

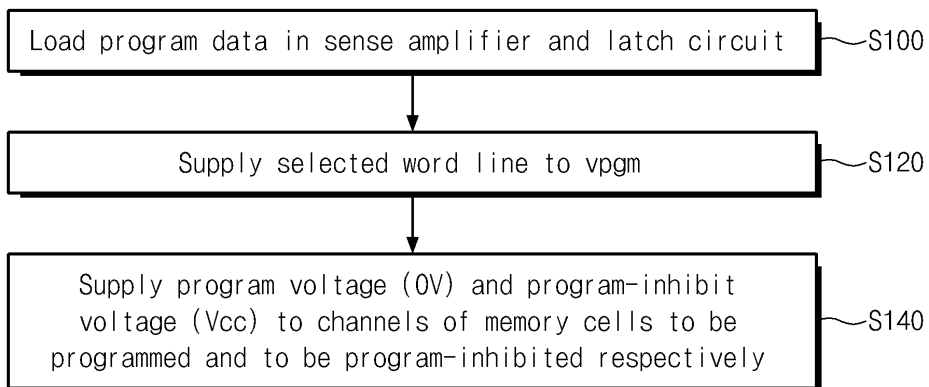
도면1



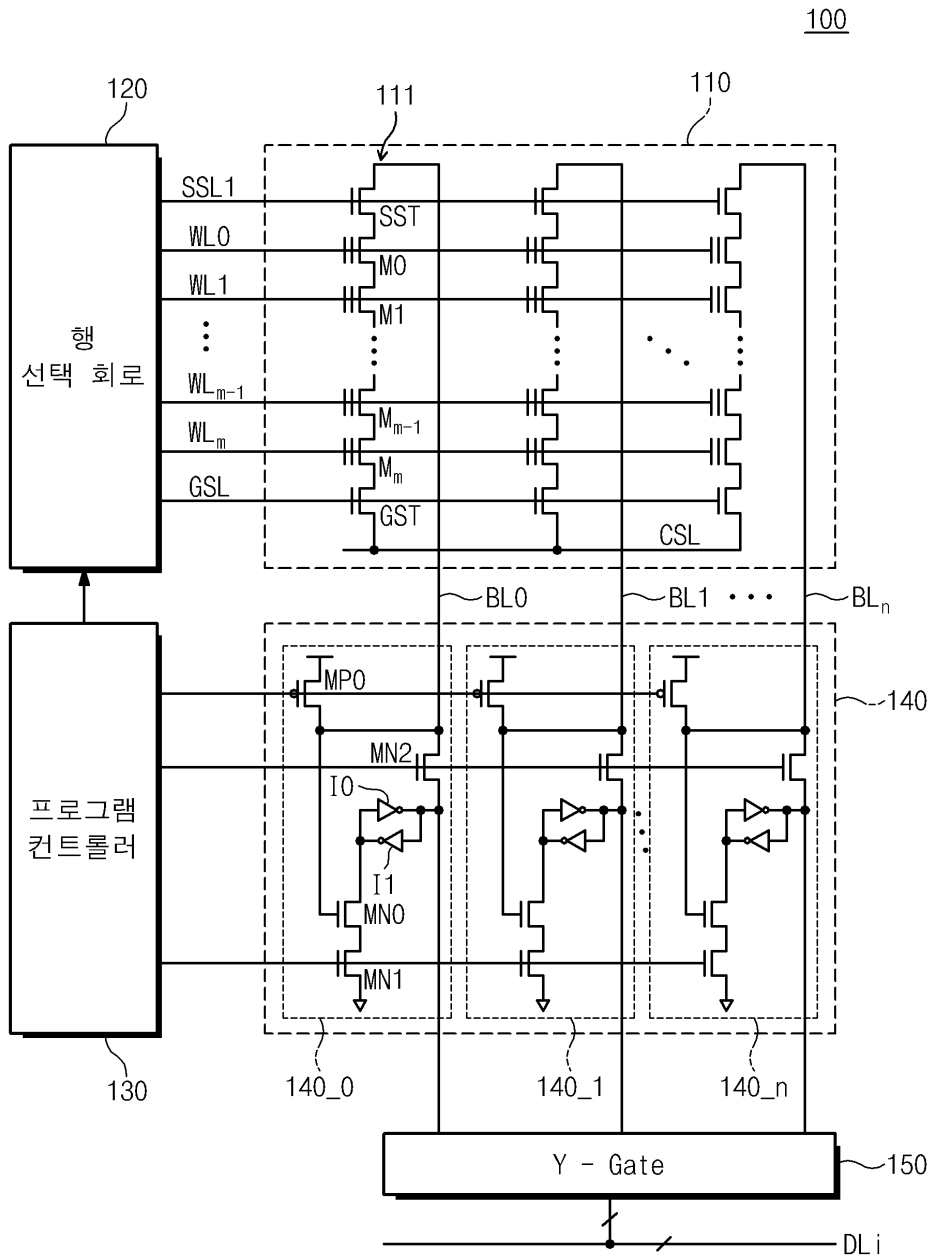
도면2



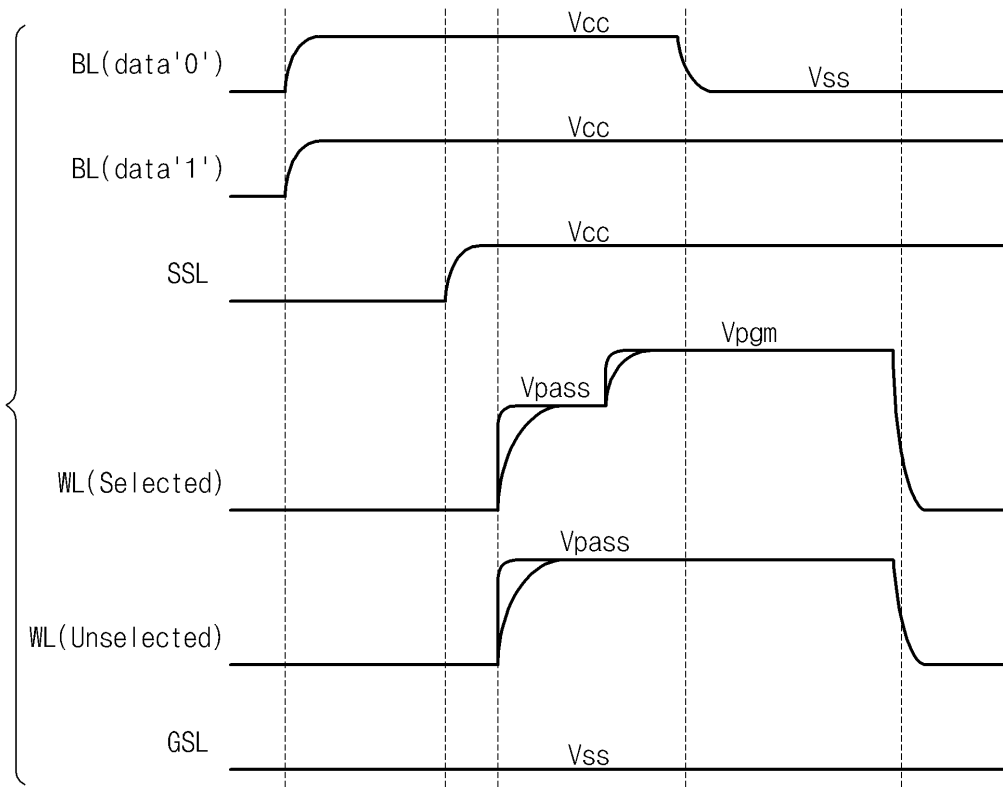
도면3



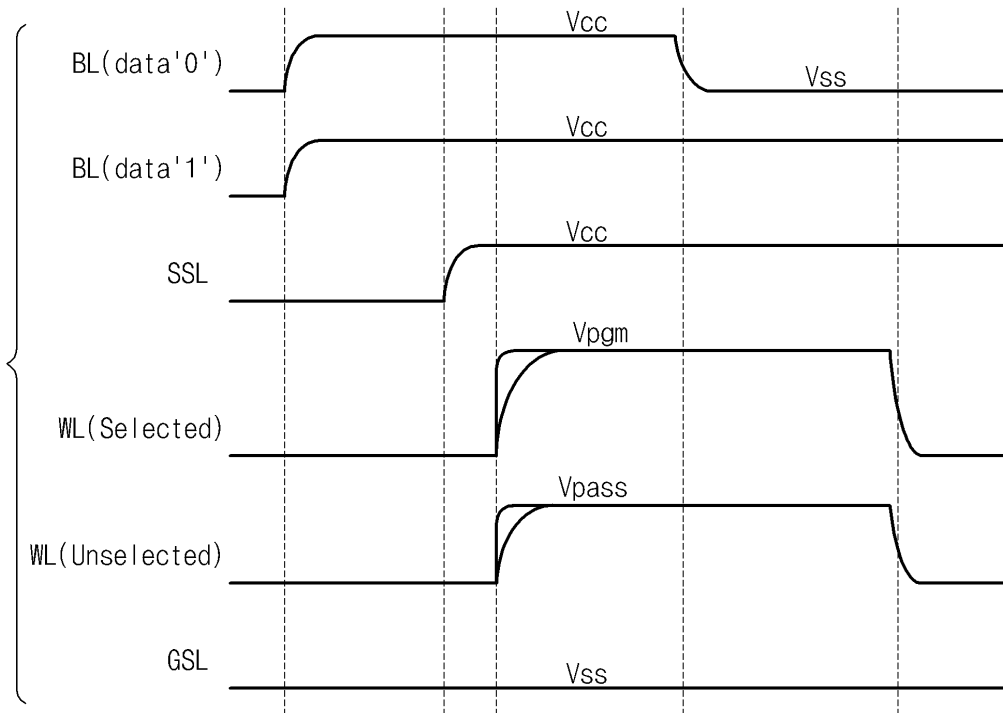
도면4



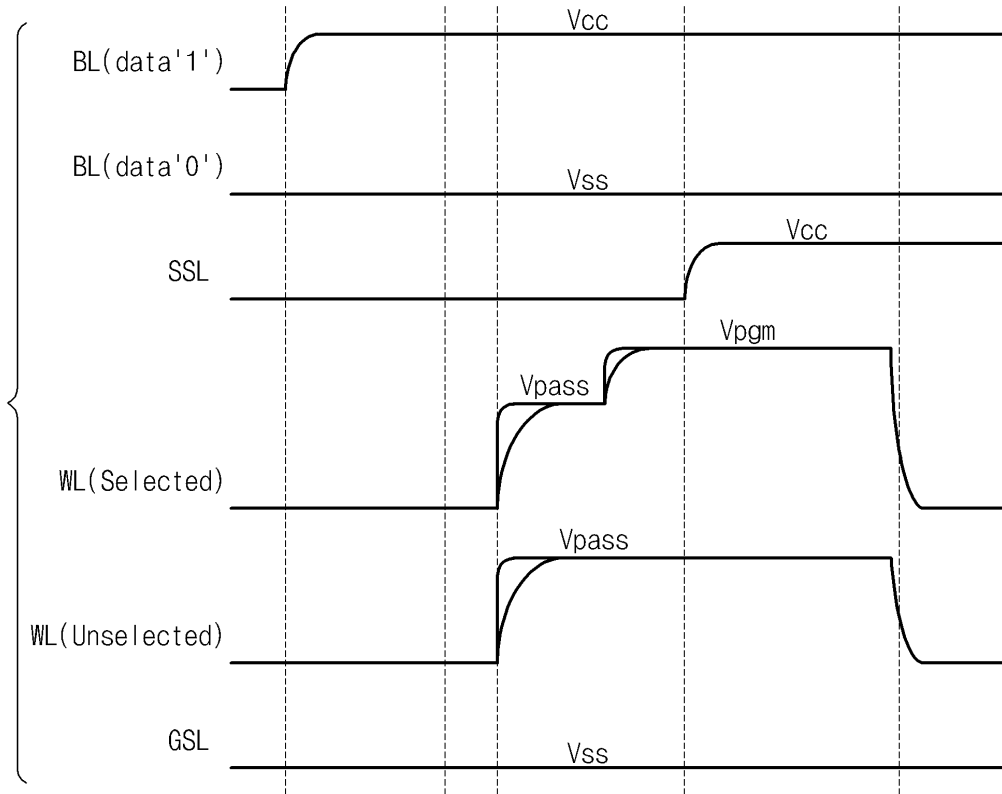
도면5



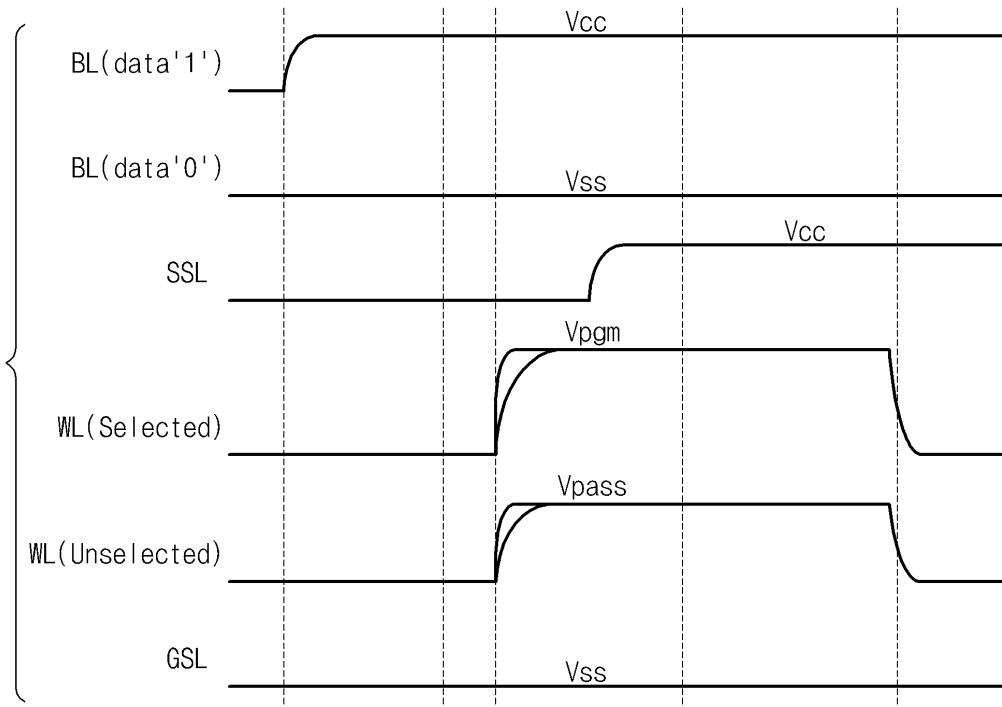
도면6



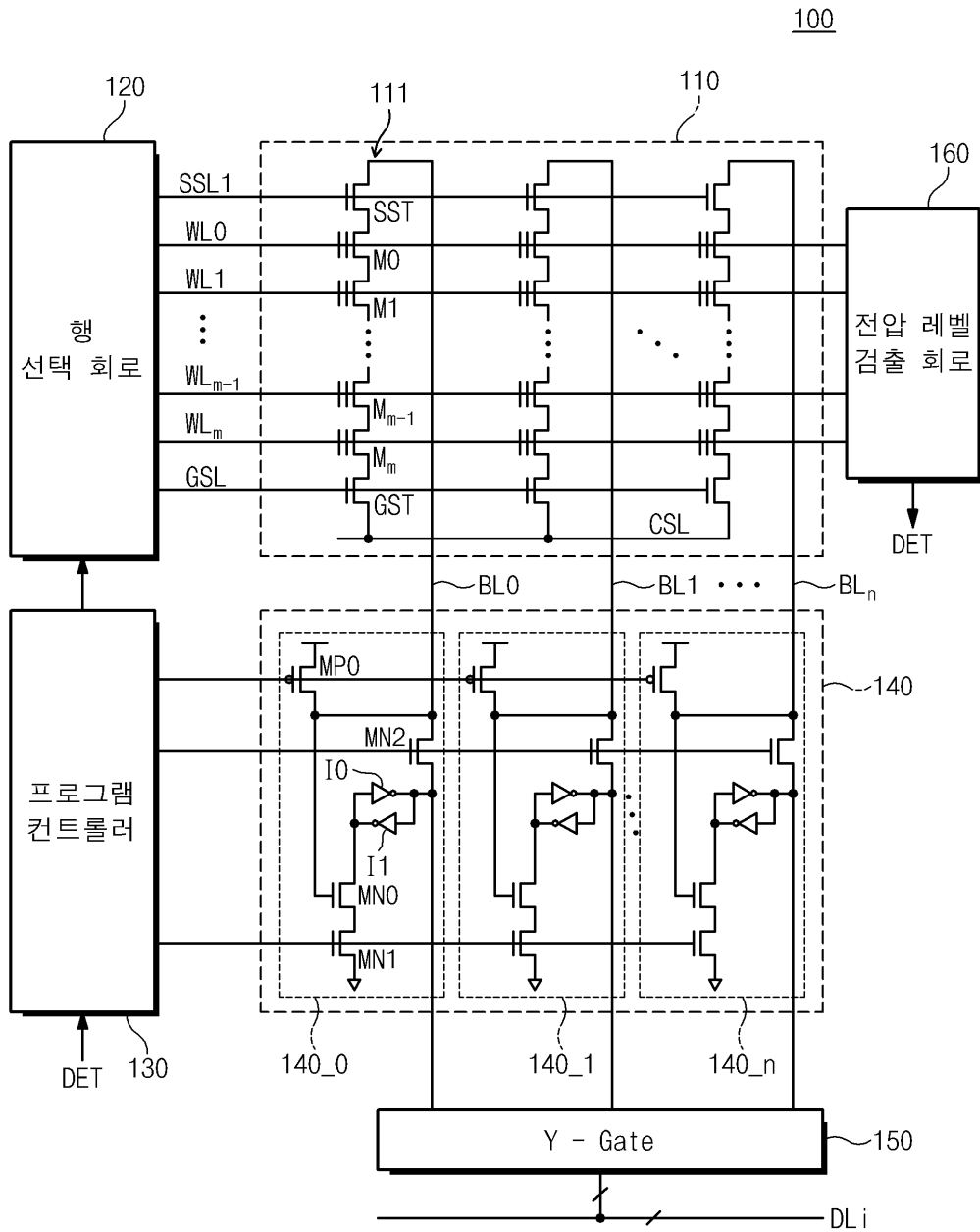
도면7



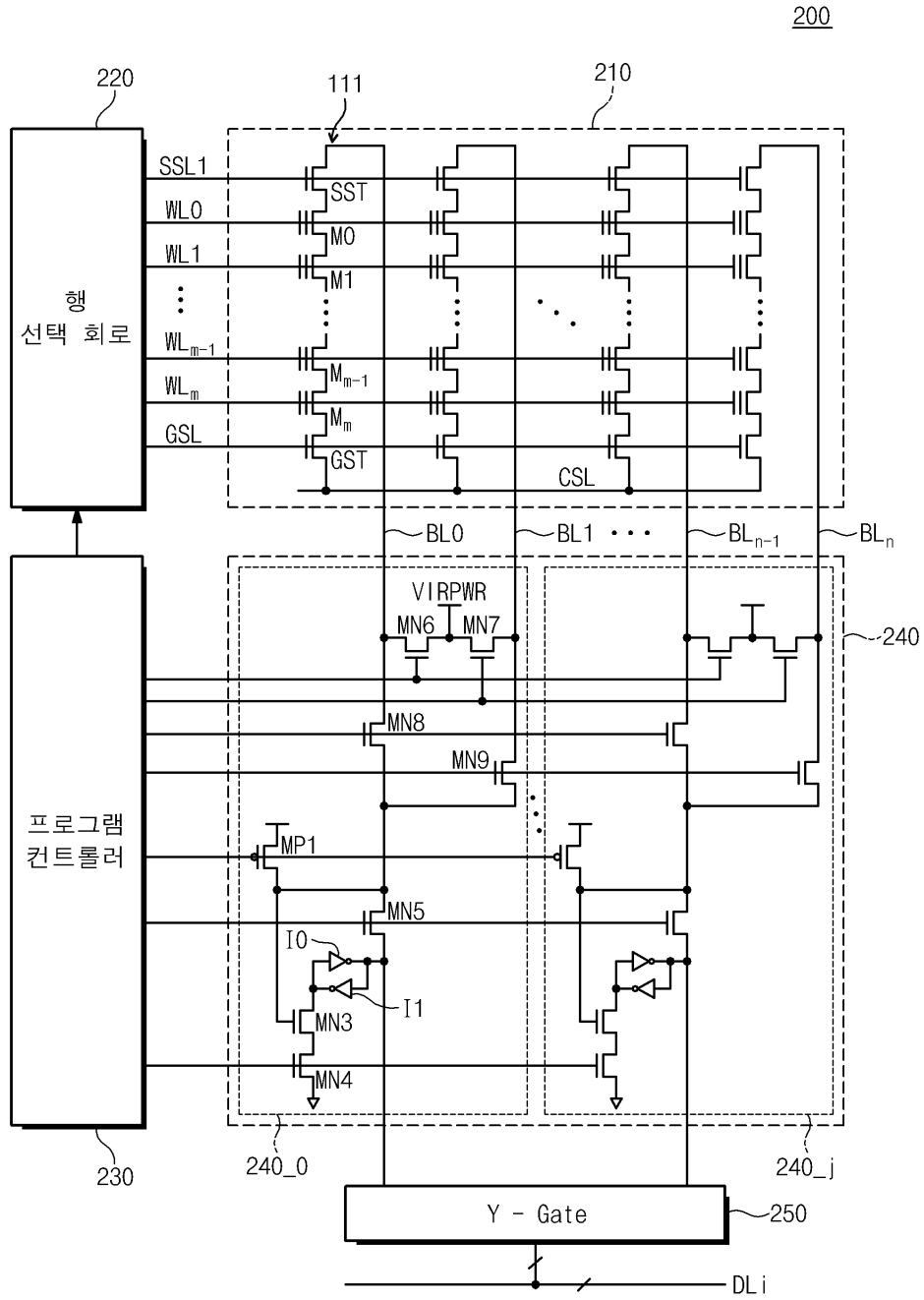
도면8



도면9



도면10



도면11

