

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-175457

(P2005-175457A)

(43) 公開日 平成17年6月30日(2005.6.30)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 27/105	HO 1 L 27/10 4 4 7	4 M 1 0 4
HO 1 L 21/28	HO 1 L 21/28 3 0 1 R	4 M 1 1 3
HO 1 L 39/00	HO 1 L 39/00 G	5 F 0 8 3
HO 1 L 43/08	HO 1 L 43/08 Z A A Z	

審査請求 未請求 請求項の数 14 O L (全 8 頁)

(21) 出願番号	特願2004-332503 (P2004-332503)	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成16年11月16日 (2004.11.16)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	10/730,584	(74) 代理人	100078282 弁理士 山本 秀策
(32) 優先日	平成15年12月8日 (2003.12.8)	(74) 代理人	100062409 弁理士 安村 高明
(33) 優先権主張国	米国 (US)	(74) 代理人	100107489 弁理士 大塩 竹志
		(72) 発明者	シェン テン スー アメリカ合衆国 ワシントン 98607 カマス, エスタブリュー トラウト コート 2216

最終頁に続く

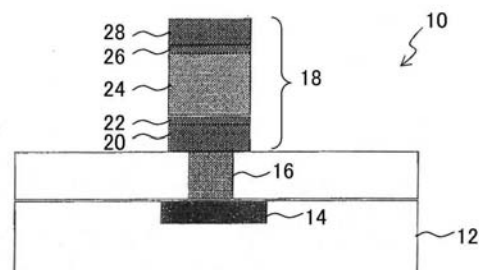
(54) 【発明の名称】 RRAMメモリセル電極

(57) 【要約】 (修正有)

【課題】 経済的に作成することが可能であり、デバイスの信頼性およびデバイスの耐久性を改良するために信頼できる電極が提供される。

【解決手段】 本発明のRRAMメモリセルは、第1の酸化耐性層20と、第1の耐熱性金属層22と、CMR層24と、第2の耐熱性金属層26と、第2の酸化耐性層28とを備える、シリコン基板中に動作可能な接合および該シリコン基板上に形成される金属プラグ16を有する該シリコン基板上に形成される。例えば、酸化耐性層は、TiN、Ta<sub>x</sub>N、TiAlN<sub>x</sub>、TaAlN<sub>x</sub>、TaSiN、TiSiN、およびRuTiNから構成される材料の群から得られる材料から形成される。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 1 の酸化耐性層と、

第 1 の耐熱性金属層と、

C M R 層と、

第 2 の耐熱性金属層と、

第 2 の酸化耐性層と

を備える、シリコン基板中に動作可能な接合および該シリコン基板上に形成される金属プラグを有する該シリコン基板上に形成される R R A M メモリセル。

## 【請求項 2】

前記酸化耐性層は、T i N、T a N、T i A l N<sub>x</sub>、T a A l N<sub>x</sub>、T a S i N、T i S i N、および R u T i N から構成される材料の群から得られる材料から形成される、請求項 1 に記載の R R A M メモリセル。

10

## 【請求項 3】

前記酸化耐性層は約 5 0 n m ~ 3 0 0 n m の厚さを有する、請求項 2 に記載の R R A M メモリセル。

## 【請求項 4】

前記耐熱性金属層は、P t、I r、I r O<sub>2</sub>、R u、R u O<sub>2</sub>、A u、A g、R h、P d、N i、および C o から構成される材料の群から得られる材料から形成される、請求項 1 に記載の R R A M メモリセル。

20

## 【請求項 5】

前記耐熱性金属層は約 3 n m ~ 5 0 n m の厚さを有する、請求項 4 に記載の R R A M メモリセル。

## 【請求項 6】

前記 C M R 層は、C M R 材料および高温超電導体から構成される群から得られる材料から形成される、請求項 1 に記載の R R A M メモリセル。

## 【請求項 7】

前記 C M R 層は約 5 0 n m ~ 3 0 0 n m の厚さを有する、請求項 6 に記載の R R A M メモリセル。

## 【請求項 8】

シリコン基板を準備するステップと、

N + 接合および P + 接合から構成される接合の群から得られる基板で接合を形成するステップと、

30

該接合上に金属プラグを堆積するステップと、

該金属プラグ上に第 1 の酸化耐性層を堆積するステップと、

該第 1 の酸化耐性層上に第 1 の耐熱性金属層を堆積するステップと、

該第 1 の耐熱性金属層上に C M R 層を堆積するステップと、

該 C M R 層上に第 2 の耐熱性金属層を堆積するステップと、

該第 2 の耐熱性金属層上に第 2 の酸化耐性層を堆積するステップと、

R R A M メモリセルを完成するステップと

40

を包含する多層電極 R R A M メモリセルを製造する方法。

## 【請求項 9】

前記酸化耐性層を堆積するステップは、T i N、T a N、T i A l N<sub>x</sub>、T a A l N<sub>x</sub>、T a S i N、T i S i N、および R u T i N から構成される材料の群から得られる材料を堆積するステップを含む、請求項 8 に記載の方法。

## 【請求項 10】

前記酸化耐性層を堆積するステップは約 5 0 n m ~ 3 0 0 n m の厚さに該酸化耐性層を堆積するステップを含む、請求項 9 に記載の方法。

## 【請求項 11】

前記耐熱性金属層を堆積するステップは、P t、I r、I r O<sub>2</sub>、R u、R u O<sub>2</sub>、A u

50

、Ag、Rh、Pd、Ni、およびCoから構成される材料の群から得られる材料を堆積するステップを含む、請求項8に記載の方法。

【請求項12】

前記耐熱性金属層を堆積するステップは約3nm～50nmの厚さに該耐熱金属を堆積するステップを含む、請求項11に記載の方法。

【請求項13】

前記CMR層を堆積するステップは、PCMO、LPCMO、および高温超電導体から構成される材料の群から得られるCMR材料の層を堆積するステップを含む、請求項8に記載の方法。

【請求項14】

前記CMR層を堆積するステップは約50nm～300nmの厚さを有するCMR材料の層を堆積するステップを含む、請求項13に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

(発明の分野)

本発明は、不揮発性メモリアレイ用の薄膜抵抗メモリデバイスに関し、詳細には、RRAMメモリセル用の多層電極に関する。

【背景技術】

【0002】

(発明の背景)

現在利用可能な市販のRRAMデバイスはないが、Pt、Au、Ag、Al、Ti、およびTiN電極を用いる試験的なデバイスが開発された。Pt、Au、およびAg電極デバイスは、良好な耐久性を示すが、これらの材料から作成される電極は、従来の集積回路のエッチングプロセスを用いてエッチングされ得ない。試験的なデバイスは、サブミクロンの費用効果、大規模のメモリデバイス製造のいずれにも適さないシャローマスクまたは化学機械研磨(CMP)プロセスを用いて製造される。試験的なデバイスに使用された他の電極材料では、信頼性が低く、耐久性が低くなる。本発明は、信頼性のある電極構造を提供し、製造費用の低減と同時にデバイスの信頼性、耐久性を改良する。

20

【非特許文献1】Liurによる、「Electrical-pulse-induced reversible resistance change effect in magnetoresistive films」(Applied Physics Letters, Vol. 76, # 19, p. 2749 - 2751; 2000年5月)

30

【発明の開示】

【課題を解決するための手段】

【0003】

(発明の要旨)

シリコン基板中に動作可能な接合および該シリコン基板上に形成される金属プラグを有する該シリコン基板上に形成されるRRAMメモリセルは、第1の酸化耐性層と、第1の耐熱性金属層と、CMR層と、第2の耐熱性金属層と、第2の酸化耐性層とを備える。

40

【0004】

多層電極RRAMメモリセルを製造する方法は、シリコン基板を準備するステップと、N+接合およびP+接合から構成される接合の群から得られる基板で接合を形成するステップと、該接合上に金属プラグを堆積するステップと、該金属プラグ上に第1の酸化耐性層を堆積するステップと、該第1の酸化耐性層上に第1の耐熱性金属層を堆積するステップと、該第1の耐熱性金属層上にCMR層を堆積するステップと、該CMR層上に第2の耐熱性金属層を堆積するステップと、該第2の耐熱性金属層上に第2の酸化耐性層を堆積するステップと、RRAMメモリセルを完成するステップとを包含する。

【0005】

本発明の目的は、経済的に作成することが可能であり、デバイスの信頼性およびデバイ

50

スの耐久性を改良するために信頼できる電極を提供することである。

【0006】

本発明の別の目的は、酸化耐性がある多層電極を提供することである。

【0007】

本発明のさらなる目的は、RRAM用に金属電極を提供することである。

【0008】

本発明の要旨および目的は、本発明の本質をすぐに理解できるように提供される。本発明のさらに徹底的な理解は、図面とともに以下の本発明の好適な実施形態の詳細な説明によって得られ得る。

【0009】

本発明のシリコン基板中に動作可能な接合および該シリコン基板上に形成される金属プラグを有する該シリコン基板上に形成されるRRAMメモリセルは、第1の酸化耐性層と、第1の耐熱性金属層と、CMR層と、第2の耐熱性金属層と、第2の酸化耐性層とを備え、それにより上記目的が達成される。

【0010】

前記酸化耐性層は、TiN、Ta<sub>2</sub>N<sub>5</sub>、TiAlN<sub>x</sub>、TaAlN<sub>x</sub>、TaSiN、TiSiN、およびRuTiNから構成される材料の群から得られる材料から形成されてもよい。

【0011】

前記酸化耐性層は約50nm～300nmの厚さを有してもよい。

【0012】

前記耐熱性金属層は、Pt、Ir、IrO<sub>2</sub>、Ru、RuO<sub>2</sub>、Au、Ag、Rh、Pd、Ni、およびCoから構成される材料の群から得られる材料から形成されてもよい。

【0013】

前記耐熱性金属層は約3nm～50nmの厚さを有してもよい。

【0014】

前記CMR層は、CMR材料および高温超電導体から構成される群から得られる材料から形成されてもよい。

【0015】

前記CMR層は約50nm～300nmの厚さを有してもよい。

【0016】

本発明の多層電極RRAMメモリセルを製造する方法は、シリコン基板を準備するステップと、N<sup>+</sup>接合およびP<sup>+</sup>接合から構成される接合の群から得られる基板で接合を形成するステップと、該接合上に金属プラグを堆積するステップと、該金属プラグ上に第1の酸化耐性層を堆積するステップと、該第1の酸化耐性層上に第1の耐熱性金属層を堆積するステップと、該第1の耐熱性金属層上にCMR層を堆積するステップと、該CMR層上に第2の耐熱性金属層を堆積するステップと、該第2の耐熱性金属層上に第2の酸化耐性層を堆積するステップと、RRAMメモリセルを完成するステップとを包含し、それにより上記目的が達成される。

【0017】

前記酸化耐性層を堆積するステップは、TiN、Ta<sub>2</sub>N<sub>5</sub>、TiAlN<sub>x</sub>、TaAlN<sub>x</sub>、TaSiN、TiSiN、およびRuTiNから構成される材料の群から得られる材料を堆積するステップを含んでもよい。

【0018】

前記酸化耐性層を堆積するステップは約50nm～300nmの厚さに該酸化耐性層を堆積するステップを含んでもよい。

【0019】

前記耐熱性金属層を堆積するステップは、Pt、Ir、IrO<sub>2</sub>、Ru、RuO<sub>2</sub>、Au、Ag、Rh、Pd、Ni、およびCoから構成される材料の群から得られる材料を堆積するステップを含んでもよい。

10

20

30

40

50

## 【0020】

前記耐熱性金属層を堆積するステップは約3nm~50nmの厚さに該耐熱金属を堆積するステップを含んでもよい。

## 【0021】

前記CMR層を堆積するステップは、PCMO、LPCMO、および高温超電導体から構成される材料の群から得られるCMR材料の層を堆積するステップを含んでもよい。

## 【0022】

前記CMR層を堆積するステップは約50nm~300nmの厚さを有するCMR材料の層を堆積するステップを含んでもよい。

## 【発明を実施するための最良の形態】

10

## 【0023】

試験的なデータは、プログラミング中、カソードに近接するRRAM材料の抵抗率が高い抵抗率の状態にスイッチされる一方で、アノードに近接するRRAM材料の抵抗率が低い抵抗率の状態にスイッチされることを示す。狭い電圧パルスがデバイスに印加されることにより、カソード付近で電圧降下が生じる間に、抵抗率の転換が生じる。抵抗率の変化に必要な明確なオンセット電圧がある。また実験から明らかになっていることは、材料はある一定の酸素含有量を必要とする。なぜなら酸素含有量が少なすぎる場合、抵抗率は変化しないからである。

## 【0024】

RRAMメモリセルの電極に酸化抵抗がない場合、電極は、製造プロセスの温度処理中に酸化されるか、あるいは、通常処理中に電流-電圧生成された熱によって徐々に酸化される。電極酸化が生じるのと同時に、酸素はRRAM材料から電極に拡散する。これにより、酸素欠乏領域を生じる。酸化した電極および酸素欠乏領域はともに高抵抗率を有する。さらに、酸素欠乏領域は、図1に示されるように、電気的パルスによって低抵抗状態に変化され得ない。カソードに印加された実効電圧は、

20

$$V_{EFF} = V_C - IR - Q_{DS} / C_{OD}$$

によって得られる。

## 【0025】

ここで、Iはデバイスを経る電流フローであり、Rはメモリ材料の酸化した電極および酸素欠乏領域における直列抵抗であり、 $Q_{DS}$ は欠乏領域の正味電荷であり、 $C_{OD}$ は酸素欠乏領域のキャパシタンスと酸化した電極のキャパシタンスの直列キャパシタンスである。上記の式は、実効プログラミング電圧が電極の酸化によって著しく減少され得ることを示す。

30

## 【0026】

上述のように、サブミクロンサイズのPt電極は、化学機械研磨(CMP)プロセスによって形成され得る。不利な点はコストである。CMPは、ウェハ表面の平坦化、酸化物トレンチの形成、およびCMPプロセスを必要とする。さらに、Ptは、酸素の拡散を阻止することができず、酸素の不足および酸素欠乏領域の形成がやはり生じる。

## 【0027】

RRAM電極は、レジスタ材料と反応してはならない。貴金属電極が好まれる。しかし、ほとんどの貴金属は、酸素の拡散を阻止しない。従って、図2に示されるように多層電極(概して10)が必要とされる。図2に基板12を示し、基板12はその中にN+またはP+接合を有し、金属プラグ16は、酸化物層を通して接合16から上方に多層電極RRAMメモリセル18まで達する。RRAMメモリセル18は、酸化耐性金属の層20および28、耐熱性金属層22および26、ならびに金属の層、詳細には、好ましい実施形態において、巨大磁気抵抗(CMR)金属の層24を含む。

40

## 【0028】

層20、28は、例えばTiN、Ta<sub>2</sub>N、TiAlN<sub>x</sub>、TaAlN<sub>x</sub>、TaSiN、TiSiN、およびRuTiNといった酸化耐性材料から形成される。本明細書中、第1および第2の酸化耐性層とも呼ばれる層20、28の厚さは、それぞれ約50nm~30

50

0 nmである。層20、28は、任意の従来のドライエッチングプロセスを用いてエッチングされ得る。

【0029】

層22、26は、例えばPt、Ir、IrO<sub>2</sub>、Ru、RuO<sub>2</sub>、Au、Ag、Rh、Pd、Ni、およびCoといった耐熱性金属から形成される。本明細書中、第1および第2の耐熱性金属層とも呼ばれる層22、26の厚さは、それぞれ約3 nm~50 nmである。層22、26は非常に薄いため、これらは、マスク材料の過剰な劣化およびエッチングされた材料の再堆積をすることなく局所的なスパッタリングプロセスを用いてドライエッチングされ得る。図2に示すように、カソードおよびアノードの両方についてデュアル電極金属を有することが好ましいが、1つしかデュアル金属電極を有さないRRAMセルもある用途においては信頼できる。

10

【0030】

CMR層24は、例えばPCMO(Pr<sub>0.7</sub>Ca<sub>0.3</sub>MnO<sub>3</sub>)、LPCMO、または高温超電導体材料などといった任意のCMR材料から形成され、スパッタリング、金属有機化学気層成長(MOCVD)、金属酸化物堆積(MOD)、またはスピコーティングによって堆積され得る。CMR層は50 nmから300 nmの厚さを有しても良い。

【0031】

ここで、図3を参照すると、概して、30で示される本発明の方法は、基板を調製するステップ32と基板中にN+またはP+接合を形成するステップ34とを含む。金属プラグ16は、36で堆積され、パターニングされてエッチングされ、その後、次に、金属プラグ16の周りに堆積される酸化物層によって取り囲まれる。

20

【0032】

第1の酸化耐性層が堆積され38、その後、第1の耐熱性金属層が堆積される40。次に、CMR層が堆積される42。第2の耐熱性金属層が堆積され44、その後、第2の酸化耐性層が堆積される46。RRAMメモリセルは、その後、周知の技術により完成され得る48。

【0033】

上で述べたように、RRAMメモリセル電極の製造方法が開示された。添付の特許請求の範囲に記載される本発明の範囲内で、本発明のさらなる変更および修正がなされ得ることは明らかなことである。

30

【図面の簡単な説明】

【0034】

【図1】図1は、RRAMメモリセルの抵抗特性を示す。

【図2】図2は、本発明のRRAM多層電極を示す。

【図3】図3は、本発明の方法のブロック図を示す。

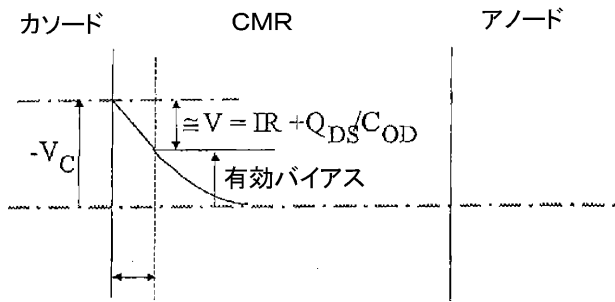
【符号の説明】

【0035】

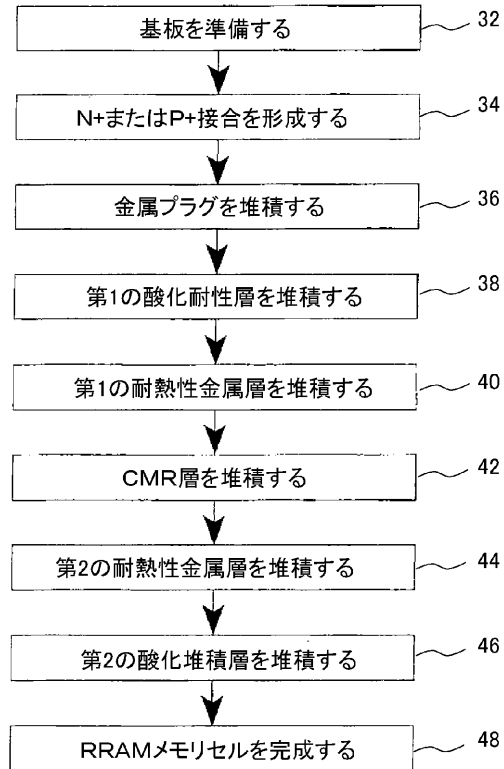
- 10 多層電極
- 12 基板
- 16 金属プラグ
- 18 多層電極 RRAMメモリセル
- 20 酸化耐性金属層
- 22 耐熱性金属層
- 24 巨大磁気抵抗金属層
- 26 耐熱性金属層
- 28 酸化耐性金属層

40

【図1】

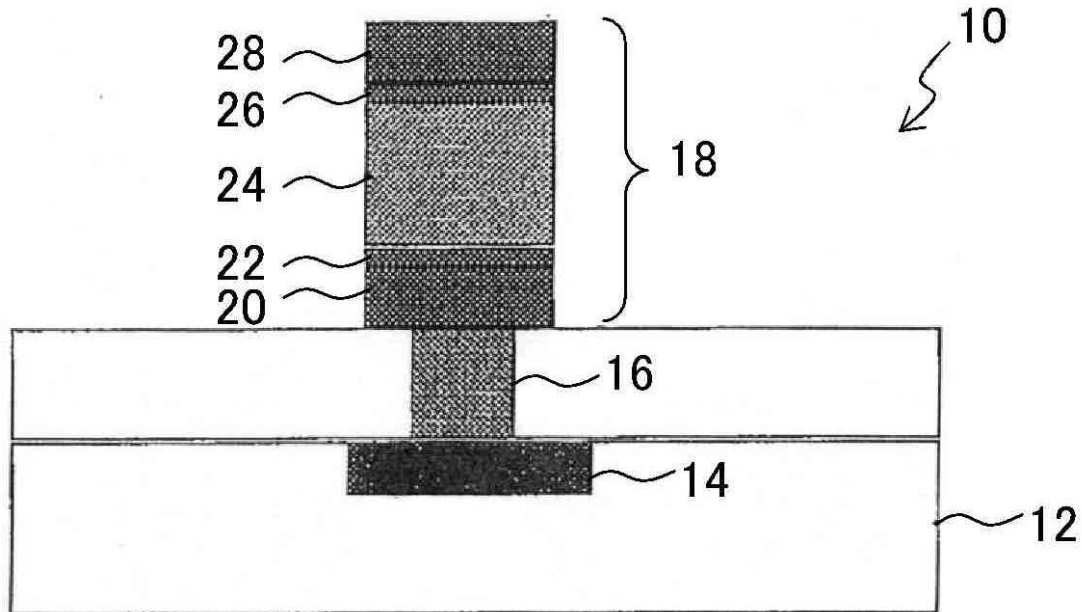


【図3】



30

【図2】



## フロントページの続き

- (72)発明者 ウェイ パン  
アメリカ合衆国 ワシントン 9 8 6 8 3 , バンクーバー , 23アールディー ウェイ 17  
3 1 1
- (72)発明者 フェンヤン ザン  
アメリカ合衆国 ワシントン 9 8 6 8 3 , バンクーバー , エスイー 3 2エヌディー スト  
リート 1 6 8 0 4
- (72)発明者 ウェイ ウェイ ザン  
アメリカ合衆国 ワシントン 9 8 6 8 3 , バンクーバー , エスイー 1 8ティーエイチ ス  
トリート 1 8 8 0 6
- (72)発明者 ティンカイ リー  
アメリカ合衆国 ワシントン 9 8 6 8 3 , バンクーバー , エスイー 2 3アールディー ス  
トリート 1 8 7 0 1
- F ターム(参考) 4M104 BB04 BB29 BB30 BB32 BB36 DD37 DD65 FF13 GG01 GG16  
4M113 AC05 AD62 AD63 BA04 BA18 BA23 BC04  
5F083 FZ10 GA21 JA21 JA38 JA39 JA40 JA43 MA06 MA19 PR40