



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I796114 B

(45)公告日：中華民國 112 (2023) 年 03 月 11 日

(21)申請案號：111103062 (22)申請日：中華民國 111 (2022) 年 01 月 25 日

(51)Int. Cl. : *H01L23/538 (2006.01)* *H01L23/31 (2006.01)*
H01L21/60 (2006.01) *H01L21/56 (2006.01)*

(30)優先權：2021/05/12 美國 17/318,163

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING COMPANY, LTD. (TW)
 新竹市力行六路八號

(72)發明人：葉書伸 YEH, SHU-SHEN (TW)；楊哲嘉 YANG, CHE-CHIA (TW)；許佳桂 HSU,
 CHIA-KUEI (TW)；游明志 YEW, MING-CHIH (TW)；林柏堯 LIN, PO-YAO
 (TW)；鄭心圃 JENG, SHIN-PUU (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW	201834086A	TW	201843806A
US	2019/0279919A1	US	2020/0203186A1

審查人員：徐孝倫

申請專利範圍項數：9 項 圖式數：6 共 47 頁

(54)名稱

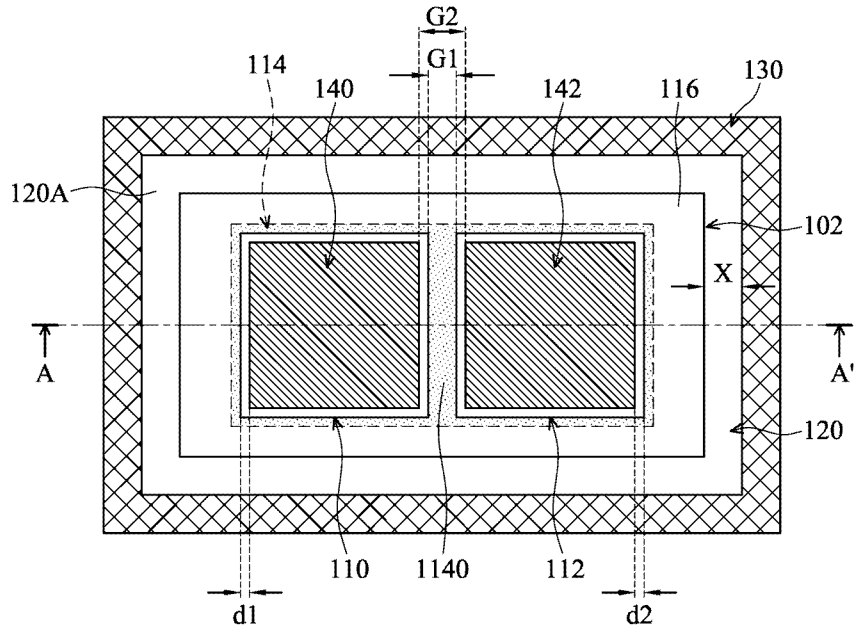
半導體晶粒封裝及其形成方法

(57)摘要

本揭露實施例一種半導體晶粒封裝及其形成方法。半導體晶粒封裝包括封裝基板、在封裝基板之上的中介層基板、在中介層基板之上的多個半導體晶粒、以及在中介層基板之上並位於半導體晶粒與中介層基板之間的底部填充元件。半導體晶粒封裝還包括環結構以及與環結構分離的一或多個蓋結構。環結構耦接到封裝基板以控制翹曲。蓋結構耦接到半導體晶粒的頂表面以控制翹曲並幫助散熱。另外，蓋結構定義一間隙以允許位於相鄰的半導體晶粒之間的底部填充元件的一部分暴露，從而可避免或減少應力集中在該部分上。因此，半導體晶粒封裝的可靠性提高。

A semiconductor die package and a method of forming the same are provided. The semiconductor die package includes a package substrate, an interposer substrate over the package substrate, semiconductor dies over the interposer substrate, and an underfill element over the interposer substrate and between the semiconductor dies and interposer substrate. The semiconductor die package also includes a ring structure and one or more lid structures separated from the ring structure. The ring structure is coupled to the package substrate to control warpage. The lid structures are coupled to the top surfaces of the semiconductor dies to control warpage and help heat dissipation. In addition, the lid structures define a gap to allow a portion of the underfill element between the adjacent semiconductor dies to be exposed, so that stress concentration on that portion can be avoided or reduced. Accordingly, the reliability of the semiconductor die package is improved.

指定代表圖：



第 2 圖

符號簡單說明：

- 102: 中介層基板
- 110: (第一) 半導體晶粒
- 112: (第二) 半導體晶粒
- 114: 底部填充元件
- 1140: 部分
- 116: 密封層
- 120: 封裝基板
- 120A: 第一表面
- 130: 環結構
- 140: 蓋結構
- 142: 蓋結構
- d1, d2: 距離
- X: 距離
- G1, G2: 間隙



公告本

I796114

【發明摘要】

【中文發明名稱】半導體晶粒封裝及其形成方法

【英文發明名稱】SEMICONDUCTOR DIE PACKAGE AND METHOD FOR FORMING THE SAME

【中文】

本揭露實施例一種半導體晶粒封裝及其形成方法。半導體晶粒封裝包括封裝基板、在封裝基板之上的中介層基板、在中介層基板之上的多個半導體晶粒、以及在中介層基板之上並位於半導體晶粒與中介層基板之間的底部填充元件。半導體晶粒封裝還包括環結構以及與環結構分離的一或多個蓋結構。環結構耦接到封裝基板以控制翹曲。蓋結構耦接到半導體晶粒的頂表面以控制翹曲並幫助散熱。另外，蓋結構定義一間隙以允許位於相鄰的半導體晶粒之間的底部填充元件的一部分暴露，從而可避免或減少應力集中在該部分上。因此，半導體晶粒封裝的可靠性提高。

【英文】

A semiconductor die package and a method of forming the same are provided. The semiconductor die package includes a package substrate, an interposer substrate over the package substrate, semiconductor dies over the interposer substrate, and an underfill element over the interposer substrate and between the semiconductor dies and interposer substrate. The semiconductor die package also includes a ring structure and one or more lid structures separated from the ring structure. The ring structure is coupled to the package substrate to control warpage. The lid structures

are coupled to the top surfaces of the semiconductor dies to control warpage and help heat dissipation. In addition, the lid structures define a gap to allow a portion of the underfill element between the adjacent semiconductor dies to be exposed, so that stress concentration on that portion can be avoided or reduced. Accordingly, the reliability of the semiconductor die package is improved.

【指定代表圖】 第2圖

【代表圖之符號簡單說明】

102:中介層基板

110:(第一)半導體晶粒

112:(第二)半導體晶粒

114:底部填充元件

1140:部分

116:密封層

120:封裝基板

120A:第一表面

130:環結構

140:蓋結構

142:蓋結構

d1, d2:距離

X:距離

G1, G2:間隙

【特徵化學式】無。

【發明說明書】

【中文發明名稱】半導體晶粒封裝及其形成方法

【英文發明名稱】SEMICONDUCTOR DIE PACKAGE AND METHOD FOR FORMING THE SAME

【技術領域】

【0001】本發明實施例係關於一種半導體製造技術，特別係有關於一種包括多蓋結構的半導體晶粒封裝及其形成方法。

【先前技術】

【0002】半導體裝置被用於各式電子應用中，例如個人電腦、手機、數位相機以及其他電子設備。半導體裝置是通過在半導體基板之上依序地沉積絕緣或介電層、導電層和半導體層，並使用微影及蝕刻製程對各個材料層執行圖案化以在其上形成電路部件和元件來製造。一般來說，許多積體電路(integrated circuits, ICs)是在單個半導體晶圓上製造，且晶圓上的各個晶粒通過沿著劃線在積體電路之間執行鋸切而被分割。各個晶粒一般被單獨封裝在例如多晶片模組(multi-chip modules)或其他類型的封裝中。

【0003】一種較小的半導體封裝類型是覆晶晶片級封裝(flip chip chip-scale package, FcCSP)，其中半導體晶粒被倒置放在封裝基板上並使用導電凸塊連接到封裝基板。底部填充元件通常被施加到由導電凸塊形成的間隙中，以將半導體晶粒固定到封裝基板。基板具有佈線以將半導體晶粒上的凸塊連接到封裝基板上具有較大佔位面積(footprint)的接觸墊。焊球陣列形成在封裝基板的

另一側，用於將封裝的半導體晶粒電連接到終端應用。

【0004】 雖然現有的封裝結構及製造封裝結構的方法通常已經足以滿足其預計目的，但它們仍不是在所有方面都完全令人滿意的。

【發明內容】

【0005】 本揭露一些實施例提供一種半導體晶粒封裝。所述半導體晶粒封裝包括封裝基板、中介層基板、第一半導體晶粒及第二半導體晶粒、底部填充元件、環結構、第一蓋結構以及第二蓋結構。封裝基板具有第一表面。中介層基板設置在第一表面之上。第一半導體晶粒及第二半導體晶粒設置在中介層基板之上。底部填充元件設置在中介層基板之上並圍繞第一半導體晶粒及第二半導體晶粒，其中底部填充元件的一部分位於第一半導體晶粒與第二半導體晶粒之間。環結構附接到封裝基板的第一表面並沿著封裝基板的周邊佈置。第一蓋結構附接到第一半導體晶粒的第一頂表面。第二蓋結構附接到第二半導體晶粒的第二頂表面，其中第二蓋結構與第一蓋結構分離，且一間隙形成在第一蓋結構與第二蓋結構之間並位於底部填充元件的該部分之上。

【0006】 本揭露一些實施例提供一種半導體晶粒封裝。所述半導體晶粒封裝包括封裝基板、中介層基板、第一半導體晶粒及第二半導體晶粒、底部填充元件、環結構以及蓋結構。封裝基板具有第一表面。中介層基板設置在第一表面之上。第一半導體晶粒及第二半導體晶粒設置在中介層基板之上。底部填充元件設置在中介層基板之上並圍繞第一半導體晶粒及第二半導體晶粒，其中底部填充元件的一部分位於第一半導體晶粒與第二半導體晶粒之間。環結構附接到封裝基板的第一表面並沿著封裝基板的周邊佈置。蓋結構包括第一蓋部及

第二蓋部，其中第一蓋部覆蓋第一半導體晶粒的第一頂表面，第二蓋部覆蓋第二半導體晶粒的第二頂表面，且一間隙形成在該第一蓋部與第二蓋部之間以暴露底部填充元件的該部分。

【0007】 本揭露一些實施例提供一種形成半導體晶粒封裝的方法。所述方法包括在中介層基板之上放置第一半導體晶粒及第二半導體晶粒。所述方法也包括在中介層基板之上形成底部填充元件以圍繞第一半導體晶粒及第二半導體晶粒，其中底部填充元件的一部分位於第一半導體晶粒與第二半導體晶粒之間。所述方法還包括將中介層基板連同第一半導體晶粒、第二半導體晶粒以及底部填充元件堆疊在封裝基板之上。所述方法還包括在封裝基板上並沿著封裝基板的周邊安裝環結構。此外，所述方法包括附接第一蓋結構到第一半導體晶粒的第一頂表面以及附接第二蓋結構到第二半導體晶粒的第二頂表面，其中第一蓋結構與第二蓋結構之間形成一間隙以暴露底部填充元件的部分。

【圖式簡單說明】

【0008】 根據以下的詳細說明並配合所附圖式做完整的揭露。應強調的是，根據本產業的一般作業，各個特徵未必按照比例繪製。事實上，可能任意的放大或縮小各個特徵的尺寸，以做清楚的說明。

第1A圖至第1F圖是根據一些實施例之形成半導體晶粒封裝的製程的各個階段的剖面示意圖。

第1F-1圖是根據一些實施例之半導體晶粒封裝的剖面示意圖，其中每個封裝的半導體晶粒為系統單晶片(System on a Chip, SoC)。

第1F-2圖是根據一些實施例之半導體晶粒封裝的剖面示意圖，其中蓋結構

具有不同的厚度。

第2圖是根據一些實施例之半導體晶粒封裝的平面示意圖，且第1E圖是沿第2圖中的線段A-A'的半導體晶粒封裝的剖面示意圖。

第3A圖是示出根據一些實施例之每個蓋結構包括複數個蓋部的平面示意圖。

第3B圖是示出根據一些實施例之每個蓋結構包括複數個蓋部的平面示意圖。

第3C圖是示出根據一些實施例之每個蓋結構包括複數個蓋部的平面示意圖。

第4圖顯示根據一些實施例之形成半導體晶粒封裝的製程流程。

第5圖是根據一些實施例之半導體晶粒封裝的平面示意圖。

第6圖顯示根據一些實施例之形成半導體晶粒封裝的製程流程。

【實施方式】

【0009】 以下的揭露內容提供許多不同的實施例或範例以實施本案的不同特徵。以下描述具體的構件及其排列方式的實施例以闡述本揭露。當然，這些實施例僅作為範例，而不該以此限定本揭露的範圍。例如，在說明書中敘述了一第一特徵形成在一第二特徵之上或上方，其可能包含第一特徵與第二特徵是直接接觸的實施例，亦可能包含了有附加特徵形成在第一特徵與第二特徵之間，而使得第一特徵與第二特徵可能未直接接觸的實施例。另外，在本揭露不同範例中可能使用重複的參考符號及/或標記，此重複係為了簡化與清晰的目的，並非用以限定所討論的各個實施例及/或結構之間有特定的關係。

【0010】再者，空間相關用語，例如「在...下方」、「下方」、「較低的」、「在...上方」、「較高的」及類似的用語，是為了便於描述圖式中一個元件或特徵與另一個(些)元件或特徵之間的關係。除了在圖式中繪示的方位外，這些空間相關用語意欲包含使用中或操作中的裝置之不同方位。設備可能被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相關詞也可依此相同解釋。

【0011】說明書中的用語「基本上(substantially)」，例如「基本上平坦」或「基本上共平面」等為本領域技術人員所能理解的。在一些實施例中，形容詞「基本上」可被去除。在適用的情況下，用語「基本上」也可以包括「全部(entirely)」、「完全(completely)」、「所有(all)」等的實施例。在適用的情況下，用語「基本上」也可以表示90%或更高，例如95%或更高，特別是99%或更高，包括100%。此外，例如「基本上平行」或「基本上垂直」之類的用語應解釋成不排除相較於特定佈置的微小偏差，例如可以包括高達10°的偏差。用語「基本上」不排除「完全」，例如「基本上不含(substantially free)」Y的組合物可以是完全不含Y。

【0012】與特定距離或尺寸結合使用的用語，例如「約」，應解釋成不排除相較於特定距離或尺寸的微小偏差，例如可以包括高達10%的偏差。用於數值x的用語「約」可能表示 $x \pm 5$ 或10%。

【0013】根據本揭露各個實施例提供一種半導體晶粒封裝及其形成方法。一些實施例的一些變體(variations)也將進行討論。在各個視圖和說明性實施例中，相同的參考符號用於表示相同的元件。根據本揭露一些實施例，一種半導體晶粒封裝包括用於控制翹曲及用於減少應力集中在位於相鄰的半導體晶

粒之間的底部填充元件的一部分上的多蓋結構(multi-lid structures)。一些剛性蓋結構(或部分)耦接到封裝基板，而一些其他剛性蓋結構(或部分)分別附接到封裝基板之上的半導體晶粒的頂表面，同時暴露位於相鄰的半導體晶粒之間的底部填充元件的一部分。如此一來，可以減少封裝基板及半導體晶粒的翹曲，並減少應力集中在位於相鄰的半導體晶粒之間的底部填充元件的部分上及其破裂或分層的風險，這將在後面進一步描述。

【0014】 將針對特定的背景(context)來描述實施例，即，在二維半積體電路(two and a half dimensional integrated circuit, 2.5DIC)結構或三維積體電路(three dimensional IC, 3DIC)結構中具有中介層基板或其他主動晶片的封裝技術。在此討論的實施例是提供示例以使得能夠製造或使用本揭露的發明標的，本領域普通技術人員將容易理解到在不同實施例的預期範圍內所可作出的修改。儘管下面討論的方法實施例可以特定順序來執行，但其他方法實施例也可設想以任何邏輯順序執行的步驟。

【0015】 第1A圖至第1F圖顯示根據本揭露一些實施例之形成一半導體晶粒封裝的中間階段的剖面圖。一些對應的製程也示意性地反映在第4圖所示的製程流程中。

【0016】 如第1A圖所示，根據一些實施例，在載體基板100之上形成中介層基板102。載體基板100用於在後續處理步驟中為建構(build-up)層或結構的處理提供暫時的機械和結構支撐。載體基板100可為玻璃基板、半導體基板或其他合適的基板。封裝基板102用於在第1D圖所示的後續階段中去除載體基板100之後為封裝在封裝結構中的半導體裝置(將在後面描述)與封裝基板(將在後面描述)之間提供電連接。

【0017】 在一些實施例中，中介層基板102是中介層晶圓，不含有主動裝置(例如，電晶體和二極體)及被動裝置(例如，電阻器、電容器、電感器等)。在一些替代實施例中，中介層基板102是在其上或其中包括主動及/或被動裝置的裝置晶圓。在一些實施例中，中介層基板102可為介電基板，其包括重分佈層(redistribution layer, RDL)結構。如第1A圖所示，重分佈層結構包括多個層疊的絕緣層104以及由絕緣層104圍繞的多個導電特徵106。導電特徵106可以包括導電線路、導電通孔(vias)及/或導電墊(pads)。在一些實施例中，一些導電通孔是相互堆疊的，上方的導電通孔與下方的導電通孔基本上對準，從而具有較短的佈線長度。然而，在某些佈線受限的情況下，一些導電通孔為交錯排列的(staggered)通孔，上方的導電通孔與下方的導電通孔未對準。

【0018】 絕緣層104可以包括或由一或多種聚合物材料製成。聚合物材料可以包括聚苯噁唑(polybenzoxazole, PBO)、聚醯亞胺(polyimide, PI)、環氧基樹脂(epoxy-based resin)、一或多種其他合適的聚合物材料或其組合。在一些實施例中，聚合物材料是光敏性的。因此，可以使用光微影製程在絕緣層104中形成具有期望圖案的開口。

【0019】 在一些其他實施例中，一些或全部的絕緣層104包括或由聚合物材料以外的介電材料製成。介電材料可以包括氧化矽、碳化矽、氮化矽、氮氧化矽、一或多種其他合適的材料或其組合。

【0020】 導電特徵106可以包括在水平方向上提供電連接的導電線路，以及在垂直方向上提供電連接的導電通孔。導電特徵106可以包括或由銅、鋁、金、鈷、鈦、鎳、銀、石墨烯、一或多種其他合適的導電材料或其組合製成。在一些實施例中，導電特徵106包括多個子層。舉例來說，每個導電特徵106包

含多個子層，包括Ti/Cu、Ti/Ni/Cu、Ti/Cu/Ti、Al/Ti/Ni/Ag、其他合適的多個子層或其組合。

【0021】(中介層基板102的)重分佈層結構的形成可以涉及多個沉積或塗布製程、多個圖案化製程及/或多個平坦化製程。

【0022】沉積或塗布製程可用於形成絕緣層及/或導電層。沉積或塗布製程可以包括旋轉塗布製程、電鍍製程、化學鍍製程、化學氣相沉積(chemical vapor deposition, CVD)製程、物理氣相沉積(physical vapor deposition, PVD)製程、原子層沉積(atomic layer deposition, ALD)製程、一或多種其他適用的製程或其組合。

【0023】圖案化製程可用於圖案化形成的絕緣層及/或形成的導電層。圖案化製程可以包括光微影製程、能量束鑽孔製程(例如，雷射束鑽孔製程、離子束鑽孔製程或電子束鑽孔製程)、蝕刻製程、機械鑽孔製程、一或多種其他適用的製程或其組合。

【0024】平坦化製程可用於為形成的絕緣層及/或形成的導電層提供平坦的頂表面，以利於後續的製程。平坦化製程可以包括機械磨削(grinding)製程、化學機械研磨(chemical mechanical polishing, CMP)製程、一或多種其他適用的製程或其組合。

【0025】在一些替代實施例中(未示出)，中介層基板102可為半導體基板，其可以是體型(bulk)半導體基板、絕緣層上覆矽(silicon-on-insulator, SOI)基板、多層半導體基板等。中介層基板102的半導體材料可為矽、鍺、化合物半導體(包括矽鍺、碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮、及/或銻化銮)、合金半導體(包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP、及/

或GaInAsP)或其組合。也可以使用其他基板，例如多層或梯度基板。中介層基板102可為摻雜的(doped)或未摻雜的(undoped)。

【0026】 在一些實施例中，數個貫通孔(through-vias，TVs)形成在上述半導體基板中並貫穿半導體基板，以為安裝在中介層基板102兩相反側上的裝置提供電連接。形成貫通孔的製程為本領域所熟知，因此在此不再贅述。在另一些實施例中，可以在中介層基板102的半導體基板的一側或兩側上形成一或多個互連結構層(類似於第1A圖所示的中介層基板102的重分佈層結構)，以便於佈線。

【0027】 如第1B圖所示，根據一些實施例，在中介層基板102之上設置數個半導體晶粒110及半導體晶粒112(為了說明，僅示出一個半導體晶粒110及一個半導體晶粒112)。相應的製程在第4圖所示的製程流程400中被示為製程401。可以使用例如拾取和放置工具(pick-and-place tool)將半導體晶粒110及半導體晶粒112放置在中介層基板102的第一側102A(例如，上側)之上。在一些實施例中，如第1B圖所示，半導體晶粒110及半導體晶粒112在中介層基板102之上並排佈置(例如，一個半導體晶粒110與一個半導體晶粒112相鄰)，其中相鄰的半導體晶粒110與半導體晶粒112之間形成間隙G1。

【0028】 在一些實施例中，半導體晶粒110及半導體晶粒112中的每一者可為積體電路晶片或晶粒，其包括在其上具有複數個半導體裝置(例如，電晶體、二極體、被動裝置等)的半導體基板，以形成功能性積體電路。功能性積體電路可以包括處理器、邏輯電路、記憶體、類比電路、數位電路、混合信號電路等。在一些實施例中，半導體晶粒110及半導體晶粒112中的每一者為系統單晶片(System on a Chip，SoC)，其包括半導體基板C1、設置在半導體基板C1上

的多個具有不同功能的電子部件C2(例如，主動部件及/或被動部件)、以及設置在半導體基板C1上並圍繞電子部件C2的由模製材料(例如，環氧基樹脂)製成的保護層C3，如第1F-1圖所示。半導體晶粒110及半導體晶粒112中的每一者可以例如通過沿著劃線鋸切或切割半導體晶圓(其上形成有多個積體電路晶粒)以將半導體晶圓分成多個單獨的半導體晶粒來獲得。

【0029】 在一些實施例中，半導體晶粒110(在此也被稱為第一半導體晶粒)及半導體晶粒112(在此也被稱為第二半導體晶粒)是提供不同功能的不同類型的電子裝置。舉例來說，在一些情況下，半導體晶粒110為處理器裝置，而半導體晶粒112為記憶體裝置。然而，也可以使用半導體晶粒110及半導體晶粒112的其他組合。在一些替代實施例中，半導體晶粒110及半導體晶粒112是相同類型的電子裝置。在各個實施例中，半導體晶粒110及半導體晶粒112在垂直方向(例如，第1B圖中所示的方向Z)上可以具有相同或不同的高度，及/或在垂直於垂直方向的水平截面中具有相同或不同的尺寸。

【0030】 在一些實施例中，在將半導體晶粒110及半導體晶粒112設置在中介層基板102之上之後，它們可以通過覆晶接合(flip-chip bonding)與中介層基板102接合，例如通過每個半導體晶粒110/112上的導電元件107與中介層基板102上的導電結構108形成導電接點，如第1B圖所示。

【0031】 在一些實施例中，在接合製程之前，導電元件107(例如，導電柱)可形成在暴露於每個半導體晶粒110/112的主動面(例如，第1B圖中所示的下表面)的接觸墊(未示出)上。導電元件107可以包括或由銅、鋁、金、鈷、鈦、錫、一或多種其他合適的材料或其組合製成。導電元件107可以使用電鍍製程、化學鍍製程、放置製程(placement process)、印刷製程、物理氣相沉積製

程、化學氣相沉製程、一或多種其他適用的製程或其組合來形成。

【0032】 在一些實施例中，如第1B圖所示，每個導電結構108可以包括金屬柱108A以及在金屬柱108A之上的金屬蓋層(例如，焊料蓋)108B。包括金屬柱108A及金屬蓋層108B的導電結構108有時被稱為微凸塊(micro bumps)。在接合製程之前，導電結構108可形成在暴露於中介層基板102的第一側102A的接觸墊(未示出)上。金屬柱108A可以包括例如銅、鋁、金、鎳、鈮、其類似物或其組合的導電材料，並可以通過濺鍍、印刷、電鍍、化學鍍、化學氣相沉積等製程來形成。金屬柱108A可以是無焊料的(solder-free)並具有基本上垂直的側壁。根據一些實施例，金屬蓋層108B形成在金屬柱108A的頂部上。金屬蓋層108B可以包括鎳、錫、錫鉛、金、銅、銀、鈮、鎳-鈮-金、鎳-金、其類似物或其組合，並可以通過例如電鍍製程的鍍覆(plating)製程來形成。本領域普通技術人員將可以理解，提供上述導電結構108示例是出於說明的目的，而導電結構108的其他結構也可被使用。

【0033】 半導體晶粒110及半導體晶粒112與中介層基板102之間的接合可以是焊料接合或直接金屬對金屬(例如，銅對銅)接合。在一些實施例中，半導體晶粒110及半導體晶粒112通過回焊製程而接合到中介層基板102。在回焊期間，導電接點(即，導電元件107及導電結構108)分別與半導體晶粒110及半導體晶粒112的暴露接觸墊和中介層基板102的暴露接觸墊(由一些導電特徵106構成)接觸，以將半導體晶粒110及半導體晶粒112物理和電耦接到中介層基板102。

【0034】 在一些實施例中，如第1B圖所示，進一步在中介層基板102之上形成底部填充元件114以圍繞和保護上述導電節點，並增強半導體晶粒110及半導體晶粒112與中介層基板102之間的連接。相應的製程在第4圖所示的製程流

程400中被示為製程402。底部填充元件114可以包括或由絕緣材料製成，例如底部填充材料(underfill material)。底部填充材料可以包括環氧樹脂、樹脂、填料材料、應力釋放劑(stress release agent, SRA)、助黏劑、其他合適的材料或其組合。在一些實施例中，液態的底部填充材料被分配到每個半導體晶粒110/112與中介層基板102之間間隙中，以強化導電接點乃至整體封裝結構的強度。在分配之後，固化底部填充材料以形成底部填充元件114。

【0035】 在本實施例中，如第1B圖所示(也參照第2圖)，底部填充元件114填充每個半導體晶粒110/112與中介層基板102之間的全部間隙。舉例來說，底部填充元件114的一部分1140位於相鄰的半導體晶粒110與半導體晶粒112之間間隙G1中。而且，底部填充元件114圍繞半導體晶粒110及半導體晶粒112(例如，延伸超出半導體晶粒110及半導體晶粒112的周邊)。

【0036】 在一些實施例中，如第1C圖所示，還在中介層基板102之上形成密封層116以圍繞和保護半導體晶粒110及半導體晶粒112以及底部填充元件114。密封層116可以通過底部填充元件114與半導體晶粒110及半導體晶粒112下方的導電接點分離。在一些實施例中，密封層116包括或由絕緣材料製成，例如模製材料(molding material)。模製材料可包括聚合物材料，例如其中散布有填料的環氧基樹脂。在一些實施例中，模製材料(例如，液態的模製材料)被分配在中介層基板102之上及/或半導體晶粒110及半導體晶粒112之上。在一些實施例中，然後使用熱處理來固化液態的模製材料，並將其轉化為密封層116。

【0037】 在一些實施例中，對密封層116施加平坦化製程以部分地去除密封層116，直到每個(第一)半導體晶粒110的頂表面110A及每個(第二)半導體晶

粒112的頂表面112A從密封層116暴露出來(例如，頂表面110A及頂表面112A與密封層116的頂表面116A基本上齊平)，如第1C圖所示。這有利於散發在操作期間從半導體晶粒110及半導體晶粒112產生的熱量。平坦化製程可以包括磨削製程、化學機械研磨製程、蝕刻製程、乾式研磨製程、一或多種其他適用的製程或其組合。

【0038】隨後，如第1C圖所示，根據一些實施例，去除載體基板100以暴露中介層基板102的第二側102B(例如，下側)。雖然未示出，剩餘的結構可被顛倒放置，並使得半導體裝置側貼在切割膠帶上(未示出)。隨後，根據一些實施例，沿著第1C圖所示的切割槽C執行分割製程(也被稱為鋸切製程)以形成多個單獨的封裝結構。在第1C圖中示出了其中一個封裝結構，其包括中介層基板102及其上的半導體晶粒110、半導體晶粒112、底部填充元件114以及密封層116。隨後，可以使用例如拾取和放置工具(未示出)將每個封裝結構自切割膠帶(未示出)取下。

【0039】如第1D圖所示，根據一些實施例，將第1C圖中的所得封裝結構設置或堆疊(例如，通過拾取和放置工具)在置於載體基板200(類似於上述載體基板100)上的封裝基板120之上，其中中介層基板102的第二側102B面對封裝基板120的第一表面120A(例如，上表面)。相應的製程在第4圖所示的製程流程400中被示為製程403。封裝基板120可用於在後續階段中去除載體基板200之後(顯示於第1F圖中)為封裝在封裝結構中的半導體裝置與外部電子裝置之間提供電連接，這將在後面進一步描述。封裝基板120可以包括核心(core)或者可以是無核心基板。在一些實施例中，封裝基板120可為印刷電路板(printed circuit board，PCB)、陶瓷基板或其他合適的封裝基板。

【0040】 在一些實施例中，在將中介層基板102堆疊在封裝基板120之上之後，它可以通過覆晶接合與封裝基板120接合，例如通過形成在暴露於中介層基板102的第二側102B的接觸墊(未示出)上的導電元件121(例如，導電柱)與形成在暴露於封裝基板120的第一表面120A的接觸墊(未示出)上的導電結構122(例如，微凸塊，每個微凸塊包括金屬柱122A以及在金屬柱122A之上的金屬蓋層122B)形成導電接點，如第1D圖所示。中介層基板102與封裝基板120之間的接合可以是焊料接合或直接金屬對金屬(例如，銅對銅)接合。在一些實施例中，中介層基板102通過回焊製程(如前所述)而接合到封裝基板120。導電元件121及導電結構122的材料和形成方法可以分別與第1B圖所示的導電元件107及導電結構108的材料和形成方法相同或相似，因此在此不再贅述。導電接點(即，導電元件121及導電結構122)使中介層基板102(及其上的裝置)與封裝基板120之間能夠達到電連接。在一些實施例中，如第1D圖所示，在封裝基板120之上形成底部填充元件118以圍繞和保護上述導電接點，並增強中介層基板102與封裝基板120之間的連接。底部填充元件118的材料和形成方法可以與第1B圖所示的底部填充元件114的材料和形成方法相同或相似，因此在此不再贅述。底部填充元件118存在但並未在第2圖中示出。

【0041】 如第1E圖所示，根據一些實施例，在封裝基板120上安裝環結構130。相應的製程在第4圖所示的製程流程400中被示為製程404。在一些實施例中，製程404是在製程401、製程402及製程403之後(即，在將中介層基板102連同半導體晶粒110、半導體晶粒112以及底部填充元件114堆疊在封裝基板120之上之後)執行。然而，本揭露不以此為限，稍後將描述具有不同處理順序的一些替代實施例。在製程404中，可以使用例如拾取和放置工具將環結構130放置在

封裝基板120之上。

【0042】環結構130可以具有比封裝基板120大的剛性，並可被配置作為加強環(stiffener ring)，用於約束(constraining)封裝基板120以減輕其翹曲及/或增強封裝基板120的堅固性。在一些實施例中，環結構130安裝在封裝基板120的第一表面120A上，並圍繞中介層基板102及其上的半導體晶粒110和半導體晶粒112。取決於封裝基板120的形狀，環結構130在俯視圖中可以具有基本上矩形或方形的環形狀(參照第2圖)。在一些實施例中，環結構130沿著封裝基板120的周邊佈置(例如，環結構130的外緣130A與封裝基板120的周邊120C對齊，如第1E圖所示)，且環結構130與中介層基板102之間形成一定距離X(如第2圖所示)。環結構130基本上為平坦結構，具有面對第一表面120A的底表面130B以及與底表面130B相對的頂表面130C。

【0043】環結構130的材料可以包括例如銅、不鏽鋼、不鏽鋼/鎳等的金屬，但不以此為限。在一些實施例中，選擇環結構130的材料，使得環結構130的熱膨脹係數(coefficient of thermal expansion, CTE)與封裝基板120的熱膨脹係數相近，以減少兩者之間的熱膨脹係數不匹配(CTE mismatch)，從而可減少環結構130對封裝基板120造成的應力(或變形)。

【0044】在一些實施例中，如第1E圖所示，環結構130使用不導電的黏著層132附接到封裝基板120的第一表面120A。黏著層132可以是任何合適的黏著劑、環氧樹脂、晶粒附接膜(die attach film, DAF)等。在一些實施例中，黏著層132可施加在環結構130的底表面130B或者可施加在封裝基板120的第一表面120A之上。

【0045】在一些其他實施例中，黏著層132由附接結構(attaching structure)

代替，該附接結構包括具有將環結構130接合到封裝基板120的金屬柱以及金屬蓋層(有時被稱為微凸塊)。微凸塊可以形成在環結構130的底表面130B、封裝基板120的第一表面120A或兩者上。在一些實施例中，微凸塊可以在封裝基板120上形成微凸塊(例如，導電結構122)的同時形成。在一些實施例中，環結構130的微凸塊(例如，附接結構)可與導電結構122一起進行回焊。

【0046】如第1E圖所示，根據一些實施例，將一蓋結構140(也被稱為第一蓋結構)進一步附接到(第一)半導體晶粒110，並將另一蓋結構142(也被稱為第二蓋結構)進一步附接到(第二)半導體晶粒112。相應的製程在第4圖所示的製程流程400中被示為製程405。在一些實施例中，製程405也在製程401、製程402及製程403之後(即，在將中介層基板102連同半導體晶粒110、半導體晶粒112以及底部填充元件114堆疊在封裝基板120之上之後)執行。製程405(附接蓋結構140及蓋結構142)與製程404(安裝環結構130)可以同時執行。在一些其他實施例中，製程405可以在製程404之前或之後執行。在製程405中，可以使用例如拾取和放置工具將蓋結構140及蓋結構142分別放置在半導體晶粒110及半導體晶粒112之上。

【0047】蓋結構140及蓋結構142可以具有高熱導率，並可被配置作為散熱器(heat spreaders)，以散發從半導體晶粒110及半導體晶粒112產生的熱量。此外，蓋結構140及蓋結構142可以具有比半導體晶粒110及半導體晶粒112大的剛性，並可被配置作為加強蓋(stiffener lids)，用於約束半導體晶粒110及半導體晶粒112以減輕它們的翹曲及/或增強半導體晶粒110及半導體晶粒112的堅固性。

【0048】在一些實施例中，蓋結構140及蓋結構142是平面的，並被設置成分別覆蓋半導體晶粒110的頂表面110A的至少一部分及半導體晶粒112的頂表

面112A的至少一部分。在一些實施例中，如第2圖所示，蓋結構140及蓋結構142在俯視圖中具有基本上矩形或方形的形狀，類似於或取決於半導體晶粒110及半導體晶粒112的形狀。每個蓋結構140或蓋結構142可設置在對應於頂表面110A或頂表面112A的中心區域的位置，但本揭露不以此為限。在一些實施例中，為了避免蓋結構140與半導體晶粒110之間以及蓋結構142與半導體晶粒112之間不可避免的公差的影響，蓋結構140的每個側壁與半導體晶粒110的對應側壁之間存在大於0微米(μm)的一定距離d1，且蓋結構142的每個側壁與半導體晶粒112的對應側壁之間存在大於0微米的一定距離d2，如第2圖所示。在一些情況下，每個距離d1或距離d2可為約150微米至約200微米，但本揭露不以此為限。也可以使用距離d1及距離d2的其他值。

【0049】 在一些替代實施例中，蓋結構140基本上覆蓋整個頂表面110A，且蓋結構142基本上覆蓋整個頂表面112A。在各個實施例中，蓋結構140在頂表面110A之上的覆蓋率(coverage)至少為70%，且蓋結構142在頂表面112A之上的覆蓋率至少為70%，以利於半導體晶粒110及半導體晶粒112通過蓋結構140及蓋結構142進行散熱。

【0050】 在一些實施例中，如第1F圖所示，蓋結構140、蓋結構142以及環結構130的頂表面可以共平面或在同一水平，但在不同的情況下，蓋結構140、蓋結構142以及環結構130的頂表面也可以在不同的水平。在各個實施例中，取決於半導體晶粒110及半導體晶粒112的類型或尺寸，蓋結構140及蓋結構142在垂直方向(例如，第1E圖中所示的方向Z)上可以具有相同或不同的高度，及/或在垂直於垂直方向的水平截面中具有相同或不同的尺寸。舉例來說，在半導體晶粒110具有比半導體晶粒112更大的尺寸並因此較容易彎曲的情況下

(參照第1F-2圖)，設置在半導體晶粒110之上的蓋結構140可以比設置在半導體晶粒112之上的蓋結構142具有更大的高度(即，厚度)以抑制半導體晶粒110的彎曲。

【0051】 蓋結構140及蓋結構142的材料可以包括例如銅、不鏽鋼、不鏽鋼/鎳等的金屬，但不以此為限。在一些實施例中，選擇蓋結構140及蓋結構142的材料，使得蓋結構140及蓋結構142的熱膨脹係數分別與半導體晶粒110及半導體晶粒112的熱膨脹係數相近，以減少兩者之間的熱膨脹係數不匹配，從而可減少蓋結構140及蓋結構142對半導體晶粒110及半導體晶粒112造成的應力(或變形)。在一些實施例中，蓋結構140及蓋結構142包括或由與環結構130不同的材料製成。在另一些實施例中，在半導體晶粒110與半導體晶粒112具有不同熱膨脹係數的情況下，蓋結構140與蓋結構142包括或由不同的材料製成。在其他實施例中，環結構130與蓋結構140及蓋結構142包括或由相同的材料製成，例如金屬材料(例如，銅)。

【0052】 在一些實施例中，如第1E圖所示，(第一)蓋結構140使用熱介面材料(thermal interface material, TIM)層144附接到(第一)半導體晶粒110的頂表面110A，且(第二)蓋結構142使用熱介面材料層146附接到(第二)半導體晶粒112的頂表面112A。熱介面材料層144及熱介面材料層146各自可以是導熱和電絕緣的材料，例如環氧樹脂、與金屬(如銀或金)混合的環氧樹脂、導熱膏等或其組合。

【0053】 在本實施例中，如第1E圖及第2圖所示，蓋結構140與蓋結構142是分離的，並分別設置在半導體晶粒110及半導體晶粒112之上。因此，可在相鄰的蓋結構140與蓋結構142之間形成間隙G2，且間隙G2位於相鄰的半導體晶

粒110與半導體晶粒112之間的底部填充元件114的部分1140之上。在一些情況下，間隙G2可以大於或等於間隙G1。如此一來，位於相鄰的半導體晶粒110與半導體晶粒112之間的底部填充元件114的部分1140通過間隙G2暴露，從而可避免或減少該部分1140上的應力(與具有單個連續蓋的封裝結構相比，該單個連續蓋延伸跨過並覆蓋位於相鄰的半導體晶粒之間的底部填充元件的一部分，導致應力集中在底部填充元件的該部分上)。因此，也降低了位於相鄰的半導體晶粒110與半導體晶粒112之間的底部填充元件114的部分1140出現破裂或分層的風險，可以更可靠地使用整個半導體晶粒封裝。

【0054】 如第1F圖所示，根據一些實施例，在附接單獨的環結構130、蓋結構140以及蓋結構142之後，去除載體基板200(顯示於第1E圖中)以暴露封裝基板120的第二表面120B(例如，下表面)。然後，在原先被載體基板200覆蓋的第二表面120B之上形成導電凸塊150。每個導電凸塊150可以電連接到封裝基板120的其中一個暴露的接觸墊(未示出)。導電凸塊150使所述封裝結構與一外部電子裝置(例如，印刷電路板，未示出)之間能夠達到電連接。導電凸塊150可以是或包括焊料凸塊，例如含錫焊料凸塊。含錫焊料凸塊還可以包括銅、銀、金、鋁、鉛、一或多種其他合適的材料或其組合。在一些實施例中，含錫焊料凸塊不含鉛。

【0055】 在一些實施例中，在去除載體基板200之後，將焊球(或焊料元件)設置在暴露於第二表面120B的接觸墊上。然後，執行回焊製程以將焊球熔化形成導電凸塊150。在一些其他實施例中，在設置焊球之前，在暴露的接觸墊之上形成凸塊下金屬化(under bump metallization, UBM)元件。在一些其他實施例中，焊料元件被電鍍到暴露的接觸墊上。隨後，使用回焊製程熔化焊料元

件以形成導電凸塊150。

【0056】 結果，完成形成如第1F圖所示的所得半導體晶粒封裝的所有製程。在第1F圖所述的封裝結構中，包括分離的蓋結構140、蓋結構142以及環結構130(圍繞蓋結構140及蓋結構142)的多蓋(也稱為不連續蓋)結構分別耦接到封裝基板120、半導體晶粒110以及半導體晶粒112，而不覆蓋位於相鄰的半導體晶粒110與半導體晶粒112之間的底部填充元件114的部分1140。如此一來，可以減少封裝基板120、半導體晶粒110以及半導體晶粒112的翹曲，並也減少應力集中在位於相鄰的半導體晶粒110與半導體晶粒112之間的底部填充元件114的部分1140上。因此，提高了整個封裝結構的可靠性。

【0057】 可以對本揭露實施例進行許多變化及/或修改。舉例來說，第3A圖至第3C圖是示出根據一些其他實施例之每個蓋結構包括複數個蓋部的平面示意圖。在第3A圖中，(第一)蓋結構140包括兩個分離的相同尺寸的矩形蓋部1400，且每個蓋部1400覆蓋大約一半的(第一)半導體晶粒110。類似地，(第二)蓋結構142包括兩個分離的相同尺寸的矩形蓋部1420，且每個蓋部1420覆蓋大約一半的(第二)半導體晶粒112。在第3B圖中，(第一)蓋結構140包括四個分離的相同尺寸的方形蓋部1400，且每個蓋部1400覆蓋大約四分之一的(第一)半導體晶粒110。類似地，(第二)蓋結構142包括四個分離的相同尺寸的方形蓋部1420，且每個蓋部1420覆蓋大約四分之一的(第二)半導體晶粒112。在第3C圖中，(第一)蓋結構140包括四個分離的相同尺寸的矩形蓋部1400，且每個蓋部1400佈置成其長軸與(第一)半導體晶粒110的一相鄰側平行。類似地，(第二)蓋結構142包括四個分離的相同尺寸的矩形蓋部1420，且每個蓋部1420佈置成其長軸與(第二)半導體晶粒112的一相鄰側平行。本領域普通技術人員將可以理

解，提供上述蓋結構(或部分)示例是出於說明的目的，而蓋結構(或部分)的其他結構或配置也可被使用。

【0058】 第5圖是根據一些其他實施例之半導體晶粒封裝的平面示意圖。第5圖中的半導體晶粒封裝與第2圖中的半導體晶粒封裝類似，除了使用單個蓋結構500代替第2圖中的分離的蓋結構140及蓋結構142之外。使用單個蓋結構500具有減少處理時間(例如，將蓋結構500放置在半導體晶粒110及半導體晶粒112之上的時間)的優點。也可以使用第4圖中的製程流程400來形成第5圖中的半導體晶粒封裝。

【0059】 在一些實施例中，如第5圖所示，蓋結構500包括第一蓋部510及第二蓋部520。第一蓋部510及第二蓋部520被配置成分別附接到半導體晶粒110的頂表面110A及半導體晶粒112的頂表面112A，以促進散熱和翹曲控制。第一蓋部510及第二蓋部520的材料、結構、配置以及附接方法與先前在第2圖中討論的蓋結構140及蓋結構142的材料、結構、配置以及附接方法相似，因此在此不再贅述。在第一蓋部510與第二蓋部520之間也形成間隙G3(類似於第2圖中所示的間隙G2)以暴露在下方的相鄰的半導體晶粒110與半導體晶粒112之間的底部填充元件114的部分1140，從而可避免或減少該部分1140上的應力。在一些實施例中，蓋結構500還包括一或多個連接部513(例如，兩個連接部513，如第5圖所示)以將第一蓋部510及第二蓋部520部分地連接(partially connect)成一體。雖然連接部分513可以延伸跨過底部填充元件114的部分1140，但它們僅覆蓋部分1140的相對小的部分(即，部分1140的大部分仍可通過間隙G3暴露)。因此，蓋結構500也有助於經由將部分1140通過間隙G3暴露來減少部分1140上的應力集中以及破裂或分層的風險(與使用連續的實心蓋的情況相比，該連續的實心蓋

延伸跨過並完全地覆蓋位於相鄰的半導體晶粒之間的底部填充元件的部分)。

【0060】第6圖顯示根據一些其他實施例之形成半導體晶粒封裝的製程流程600，其包括製程601:在封裝基板上安裝環結構；製程602:在中介層基板之上設置第一半導體晶粒及第二半導體晶粒；製程603:在中介層基板之上形成底部填充元件；製程604:在封裝基板之上堆疊中介層基板；以及製程605:將第一蓋結構附接在第一半導體晶粒之上以及將第二蓋結構附接在第二半導體晶粒之上。製程601、製程602、製程603、製程604以及製程605的細節可以與第4圖中所示的製程流程400的製程404、製程401、製程402、製程403以及製程405的細節相同或相似，因此在此不再贅述。製程流程600與製程流程400的不同之處僅在於，製程601(安裝環結構)是在製程602、製程603及製程604之前(即，在將中介層基板102連同半導體晶粒110、半導體晶粒112以及底部填充元件114堆疊在封裝基板120之上之前)執行。製程流程600也可用於形成上述各種半導體晶粒封裝。

【0061】本揭露實施例可以涉及三維封裝或三維積體電路裝置。也可以包括其他特徵和製程。舉例來說，可以包括測試結構以幫助對三維封裝或三維積體電路裝置進行驗證測試。測試結構可以包括例如形成在重分佈層中或在基板上的測試墊，其允許對三維封裝或三維積體電路裝置進行測試、探針及/或探針卡的使用等。可以對中間結構以及最終結構執行驗證測試。此外，本文中揭露的結構以及方法可以與包含已知的良品晶粒的中間驗證的測試方法一起使用，從而提高產率以及降低成本。

【0062】本揭露實施例形成一種半導體晶粒封裝，其包括封裝基板、在封裝基板之上的中介層基板、在中介層基板之上的多個半導體晶粒、以及在中

介層基板之上並位於半導體晶粒與中介層基板之間的底部填充元件。根據一些實施例，所述半導體晶粒封裝還包括多蓋結構(multi-lid structures)，其包括環結構以及與環結構分離的一或多個蓋結構。環結構耦接到封裝基板以控制翹曲。蓋結構耦接到半導體晶粒的頂表面以控制翹曲並幫助散熱。另外，蓋結構定義一間隙以允許位於相鄰的半導體晶粒之間的底部填充元件的一部分暴露，從而可避免或減少應力集中在該部分上。因此，半導體晶粒封裝的可靠性得到改善。

【0063】 根據本揭露一些實施例，提供一種半導體晶粒封裝。所述半導體晶粒封裝包括封裝基板、中介層基板、第一半導體晶粒及第二半導體晶粒、底部填充元件、環結構、第一蓋結構以及第二蓋結構。封裝基板具有第一表面。中介層基板設置在第一表面之上。第一半導體晶粒及第二半導體晶粒設置在中介層基板之上。底部填充元件設置在中介層基板之上並圍繞第一半導體晶粒及第二半導體晶粒，其中底部填充元件的一部分位於第一半導體晶粒與第二半導體晶粒之間。環結構附接到封裝基板的第一表面並沿著封裝基板的周邊佈置。第一蓋結構附接到第一半導體晶粒的第一頂表面。第二蓋結構附接到第二半導體晶粒的第二頂表面，其中第二蓋結構與第一蓋結構分離，且一間隙形成在第一蓋結構與第二蓋結構之間並位於底部填充元件的該部分之上。

【0064】 在一些實施例中，底部填充元件的該部分通過該間隙暴露。在一些實施例中，環結構圍繞中介層基板、第一半導體晶粒、第二半導體晶粒、第一蓋結構以及第二蓋結構，且環結構與第一蓋結構及第二蓋結構分離。在一些實施例中，第一蓋結構、第二蓋結構以及環結構包括金屬材料。在一些實施例中，所述半導體晶粒封裝更包括第二底部填充元件，設置在中介層基板與封

裝基板之間，且第二底部填充元件與環結構分離。在一些實施例中，第一蓋結構覆蓋第一半導體晶粒的第一頂表面的部分，且第二蓋結構覆蓋第二半導體晶粒的第二頂表面的部分。在一些實施例中，第一蓋結構的側壁與第一半導體晶粒的對應側壁之間的距離大於0微米，且第二蓋結構的側壁與第二半導體晶粒的對應側壁之間的距離大於0微米。在一些實施例中，第一蓋結構或第二蓋結構中的至少一者包括彼此分離的多個蓋部。在一些實施例中，第一蓋結構及第二蓋結構通過熱介面材料層附接到第一半導體晶粒及第二半導體晶粒，且環結構通過黏著層附接到封裝基板。在一些實施例中，所述半導體晶粒封裝更包括密封層，設置在中介層基板之上並圍繞第一半導體晶粒、第二半導體晶粒以及底部填充元件，其中第一半導體晶粒的第一頂表面及第二半導體晶粒的第二頂表面從密封層暴露，且其中密封層與環結構分離。

【0065】 根據本揭露一些實施例，提供一種半導體晶粒封裝。所述半導體晶粒封裝包括封裝基板、中介層基板、第一半導體晶粒及第二半導體晶粒、底部填充元件、環結構以及蓋結構。封裝基板具有第一表面。中介層基板設置在第一表面之上。第一半導體晶粒及第二半導體晶粒設置在中介層基板之上。底部填充元件設置在中介層基板之上並圍繞第一半導體晶粒及第二半導體晶粒，其中底部填充元件的一部分位於第一半導體晶粒與第二半導體晶粒之間。環結構附接到封裝基板的第一表面並沿著封裝基板的周邊佈置。蓋結構包括第一蓋部及第二蓋部，其中第一蓋部覆蓋第一半導體晶粒的第一頂表面，第二蓋部覆蓋第二半導體晶粒的第二頂表面，且一間隙形成在該第一蓋部與第二蓋部之間以暴露底部填充元件的該部分。

【0066】 在一些實施例中，蓋結構更包括連接部，延伸跨過底部填充元

件的該部分，以部分地連接第一蓋部及第二蓋部。在一些實施例中，環結構圍繞中介層基板、第一半導體晶粒、第二半導體晶粒以及蓋結構，且環結構與蓋結構分離。在一些實施例中，蓋結構的熱膨脹係數與第一半導體晶粒及第二半導體晶粒的熱膨脹係數相近，且環結構的熱膨脹係數與封裝基板的熱膨脹係數相近。在一些實施例中，第一蓋部在第一頂表面之上的覆蓋率為至少70%，且第二蓋部在第二頂表面之上的覆蓋率為至少70%。

【0067】 根據本揭露一些實施例，提供一種形成半導體晶粒封裝的方法。所述方法包括在中介層基板之上放置第一半導體晶粒及第二半導體晶粒。所述方法也包括在中介層基板之上形成底部填充元件以圍繞第一半導體晶粒及第二半導體晶粒，其中底部填充元件的一部分位於第一半導體晶粒與第二半導體晶粒之間。所述方法還包括將中介層基板連同第一半導體晶粒、第二半導體晶粒以及底部填充元件堆疊在封裝基板之上。所述方法還包括在封裝基板上並沿著封裝基板的周邊安裝環結構。此外，所述方法包括附接第一蓋結構到第一半導體晶粒的第一頂表面以及附接第二蓋結構到第二半導體晶粒的第二頂表面，其中第一蓋結構與第二蓋結構之間形成一間隙以暴露底部填充元件的部分。

【0068】 在一些實施例中，在將中介層基板連同第一半導體晶粒、第二半導體晶粒以及底部填充元件堆疊在封裝基板之上之後，執行第一蓋結構及第二蓋結構的附接。在一些實施例中，第一蓋結構及第二蓋結構的附接與環結構的安裝同時執行。在一些實施例中，在將中介層基板連同第一半導體晶粒、第二半導體晶粒以及底部填充元件堆疊在封裝基板之上之前，安裝環結構。在一些實施例中，環結構、第一蓋結構以及第二蓋結構是分離的。

【0069】 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以從各個方面更佳地了解本揭露。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露為基礎來設計或修飾其他製程及結構，並以此達到相同的目的及/或達到與在此介紹的實施例等相同之優點。本技術領域中具有通常知識者也應了解這些相等的結構並未背離本揭露的發明精神與範圍。在不背離本揭露的發明精神與範圍之前提下，可對本揭露進行各種改變、置換或修改。

【符號說明】

【0070】

100:載體基板

102:中介層基板

102A:第一側

102B:第二側

104:絕緣層

106:導電特徵

107:導電元件

108:導電結構

108A:金屬柱

108B:金屬蓋層

110:(第一)半導體晶粒

110A:頂表面

112:(第二)半導體晶粒

112A:頂表面

114:底部填充元件

1140:部分

116:密封層

116A:頂表面

118:底部填充元件

120:封裝基板

120A:第一表面

120B:第二表面

120C:周邊

121:導電元件

122:導電結構

122A:金屬柱

122B:金屬蓋層

130:環結構

130A:外緣

130B:底表面

130C:頂表面

132:黏著層

140:蓋結構

142:蓋結構

144:熱介面材料層

146:熱介面材料層

150:導電凸塊

200:載體基板

400:製程流程

401, 402, 403, 404, 405:製程

500:蓋結構

510:第一蓋部

513:連接部

520:第二蓋部

600:製程流程

601, 602, 603, 604, 605:製程

1400:蓋部

1420:蓋部

C:切割槽

C1:半導體基板

C2:電子部件

C3:保護層

d1, d2:距離

X:距離

Z:(垂直)方向

G1, G2, G3:間隙

【發明申請專利範圍】

【請求項1】 一種半導體晶粒封裝，包括：

一封裝基板，具有一第一表面；

一中介層基板，設置在該第一表面之上；

一第一半導體晶粒及一第二半導體晶粒，設置在該中介層基板之上；

一底部填充元件，設置在該中介層基板之上並圍繞該第一半導體晶粒及該第二半導體晶粒，其中該底部填充元件的一部分位於該第一半導體晶粒與該第二半導體晶粒之間；

一環結構，附接到該封裝基板的該第一表面並沿著該封裝基板的周邊佈置；

一第一蓋結構，附接到該第一半導體晶粒的一第一頂表面；以及

一第二蓋結構，附接到該第二半導體晶粒的一第二頂表面，其中該第一蓋結構和該第二蓋結構為兩個單獨的部件且彼此分離，且一間隙形成在該第一蓋結構與該第二蓋結構之間並位於該底部填充元件的該部分之上，其中該底部填充元件的該部分通過該間隙暴露。

【請求項2】 如請求項1之半導體晶粒封裝，其中該環結構圍繞該中介層基板、該第一半導體晶粒、該第二半導體晶粒、該第一蓋結構以及該第二蓋結構，且該環結構與該第一蓋結構及該第二蓋結構分離。

【請求項3】 如請求項1之半導體晶粒封裝，其中該第一蓋結構、該第二蓋結構以及該環結構包括金屬材料。

【請求項4】 如請求項1之半導體晶粒封裝，其中該第一蓋結構覆蓋該第一半導體晶粒的該第一頂表面的部分，且該第二蓋結構覆蓋該第二半導體晶粒的

該第二頂表面的部分。

【請求項5】如請求項1之半導體晶粒封裝，其中該第一蓋結構或該第二蓋結構中的至少一者包括彼此分離的複數個蓋部。

【請求項6】如請求項1之半導體晶粒封裝，其中該第一蓋結構及該第二蓋結構通過一熱介面材料層附接到該第一半導體晶粒及該第二半導體晶粒，且該環結構通過一黏著層附接到該封裝基板。

【請求項7】一種半導體晶粒封裝，包括：

一封裝基板，具有一第一表面；

一中介層基板，設置在該第一表面之上；

一第一半導體晶粒及一第二半導體晶粒，設置在該中介層基板之上；

一底部填充元件，設置在該中介層基板之上並圍繞該第一半導體晶粒及該第二半導體晶粒，其中該底部填充元件的一部分位於該第一半導體晶粒與該第二半導體晶粒之間；

一環結構，附接到該封裝基板的該第一表面並沿著該封裝基板的周邊佈置；以及

一蓋結構，包括一第一蓋部及一第二蓋部，其中該第一蓋部覆蓋該第一半導體晶粒的一第一頂表面，該第二蓋部覆蓋該第二半導體晶粒的一第二頂表面，且一間隙形成在該第一蓋部與該第二蓋部之間以暴露該底部填充元件的該部分。

【請求項8】如請求項7之半導體晶粒封裝，其中該蓋結構更包括一連接部，延伸跨過該底部填充元件的該部分，以部分地連接該第一蓋部及該第二蓋部。

【請求項9】 一種形成半導體晶粒封裝的方法，包括：

在一中介層基板之上放置一第一半導體晶粒及一第二半導體晶粒；

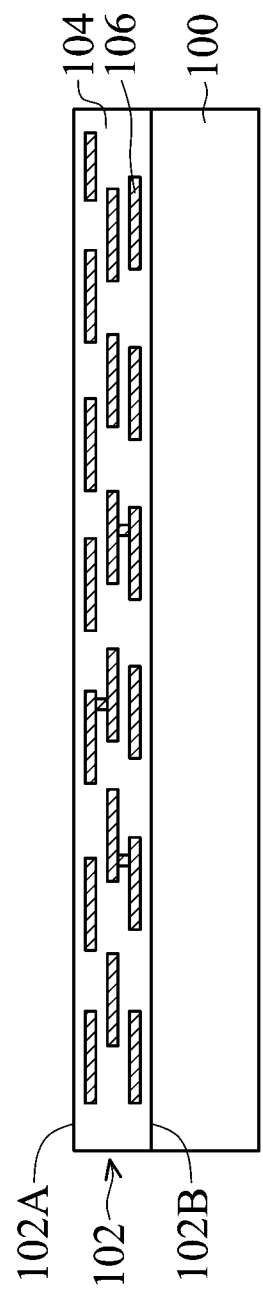
在該中介層基板之上形成一底部填充元件以圍繞該第一半導體晶粒及該第二半導體晶粒，其中該底部填充元件的一部分位於該第一半導體晶粒與該第二半導體晶粒之間；

將該中介層基板連同該第一半導體晶粒、該第二半導體晶粒以及該底部填充元件堆疊在一封裝基板之上；

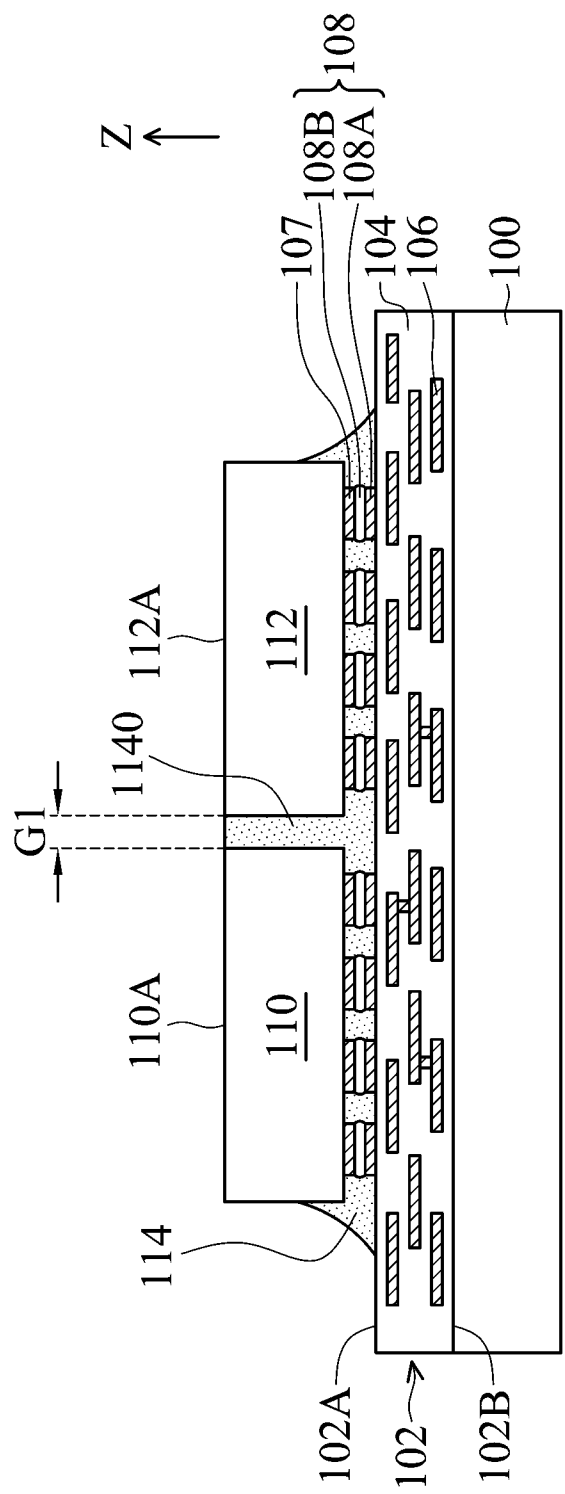
在該封裝基板上並沿著該封裝基板的周邊安裝一環結構；以及

附接一第一蓋結構到該第一半導體晶粒的一第一頂表面以及附接一第二蓋結構到該第二半導體晶粒的一第二頂表面，其中該第一蓋結構與該第二蓋結構之間形成一間隙以暴露該底部填充元件的該部分。

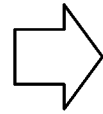
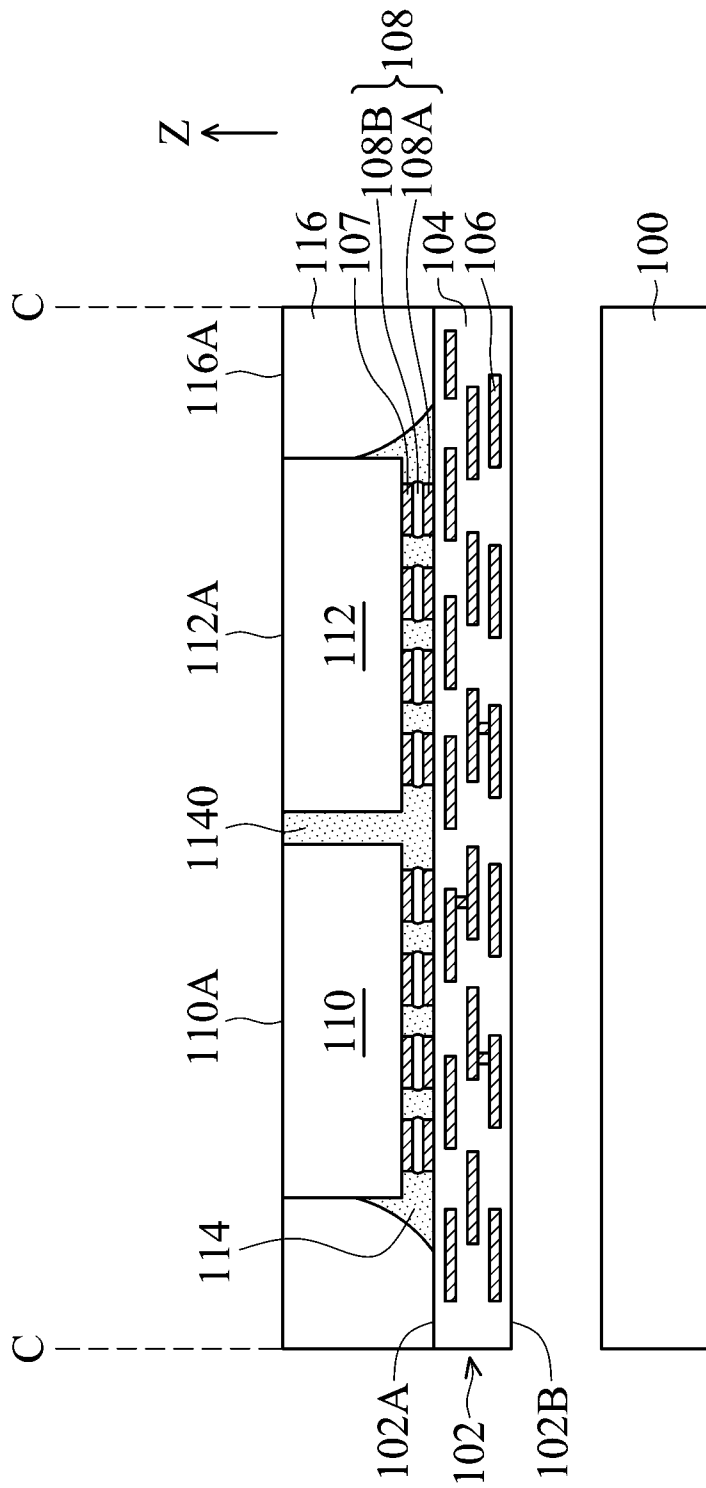
【發明圖式】



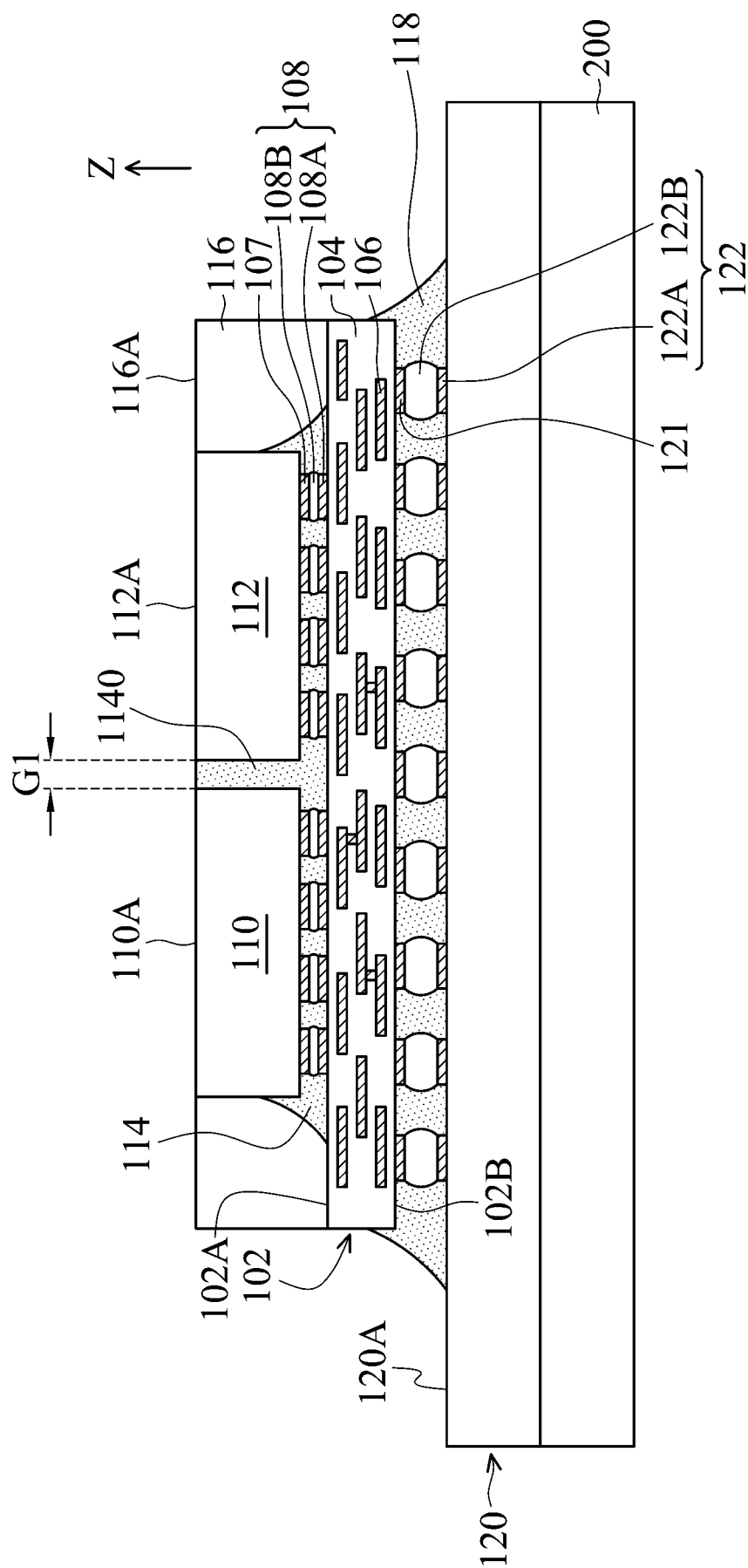
第1A圖



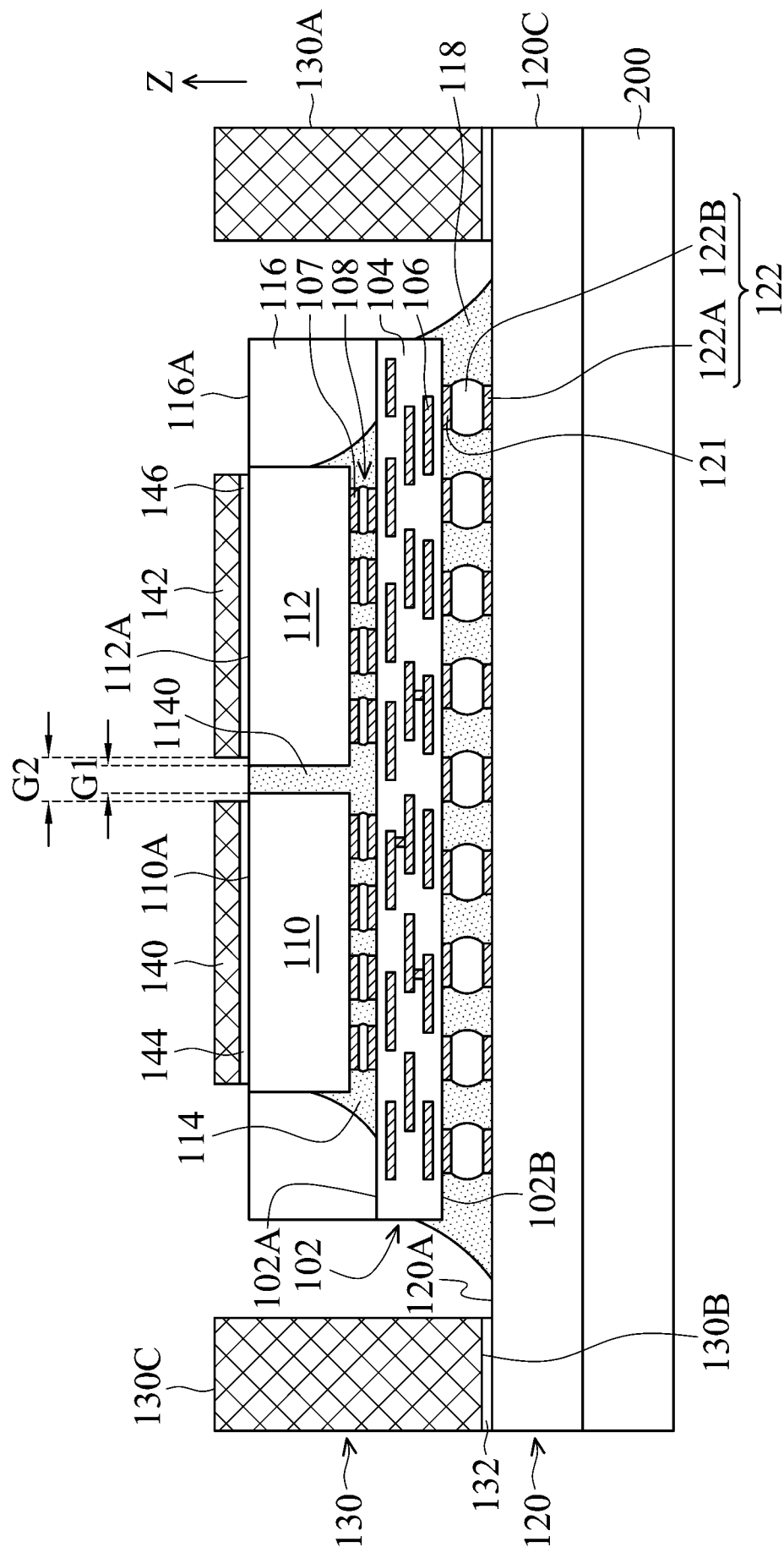
第1B圖



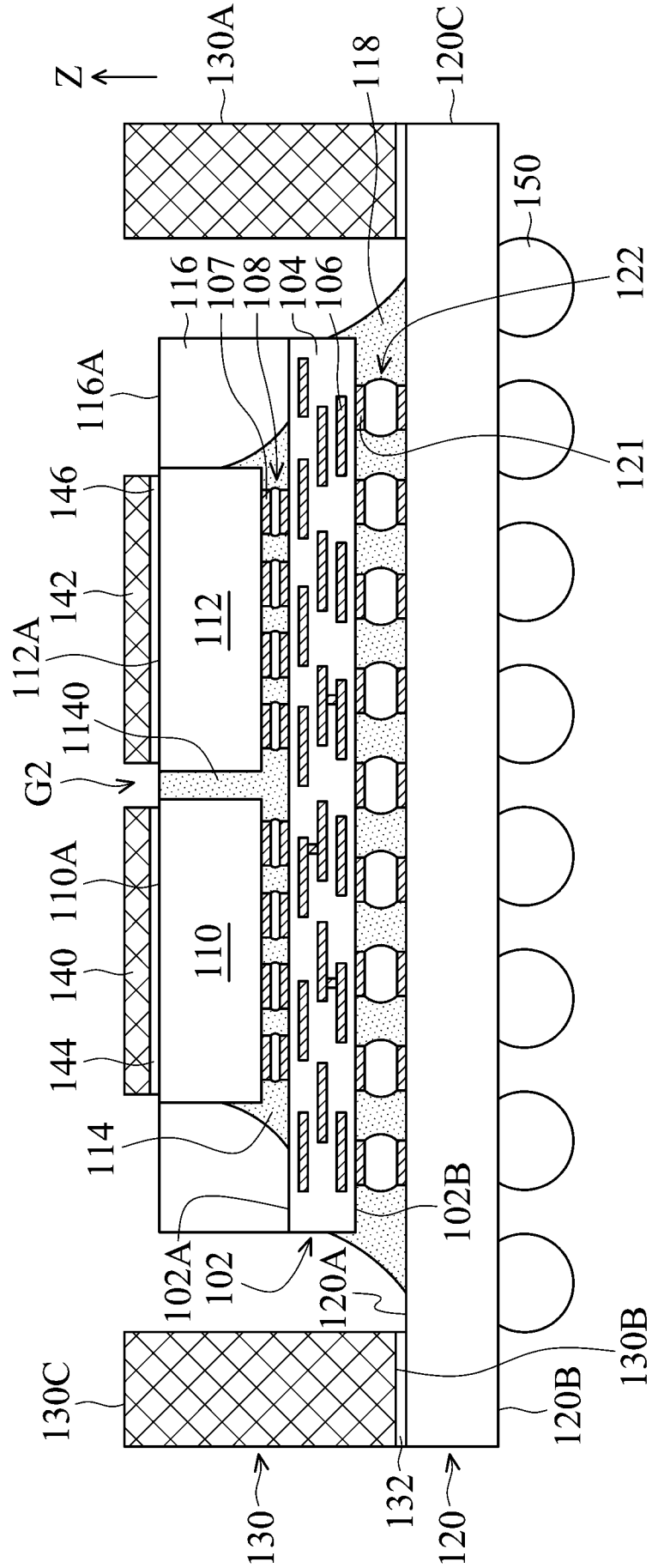
第1C圖



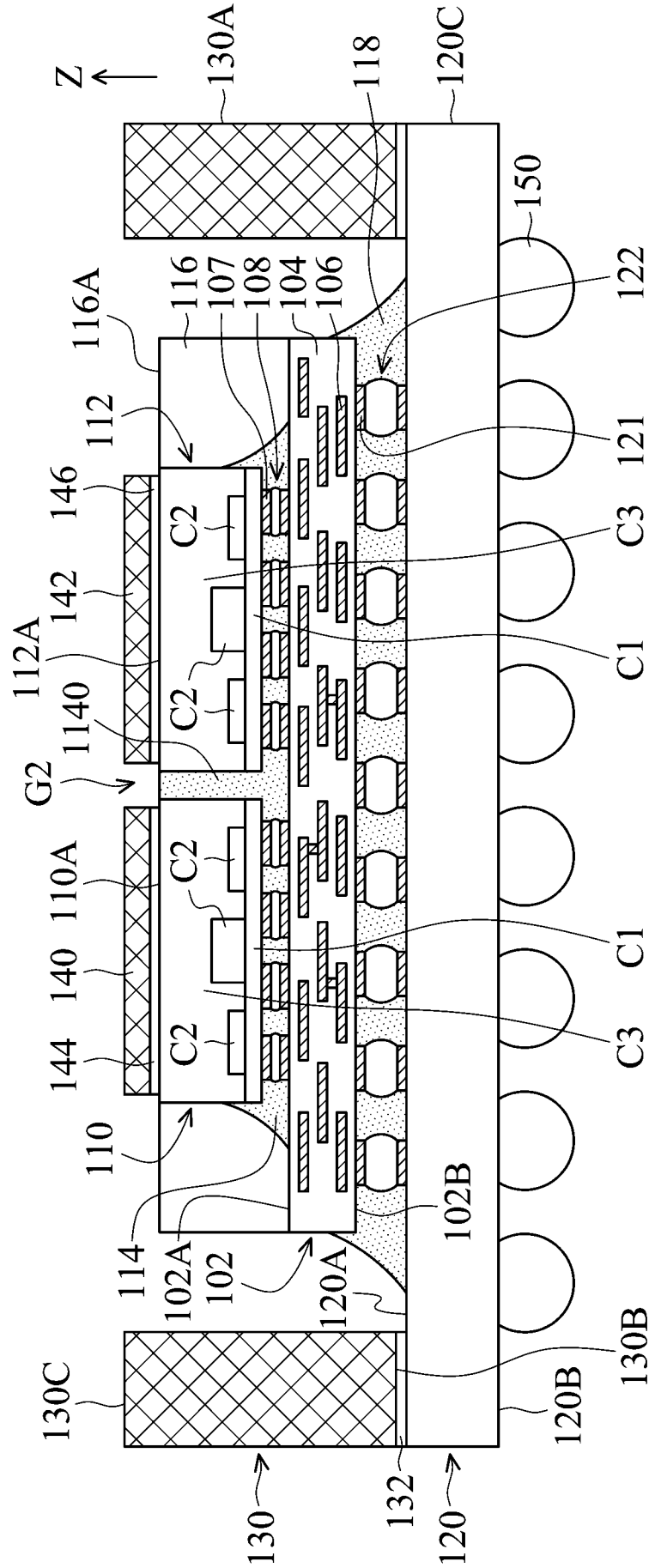
第1D圖



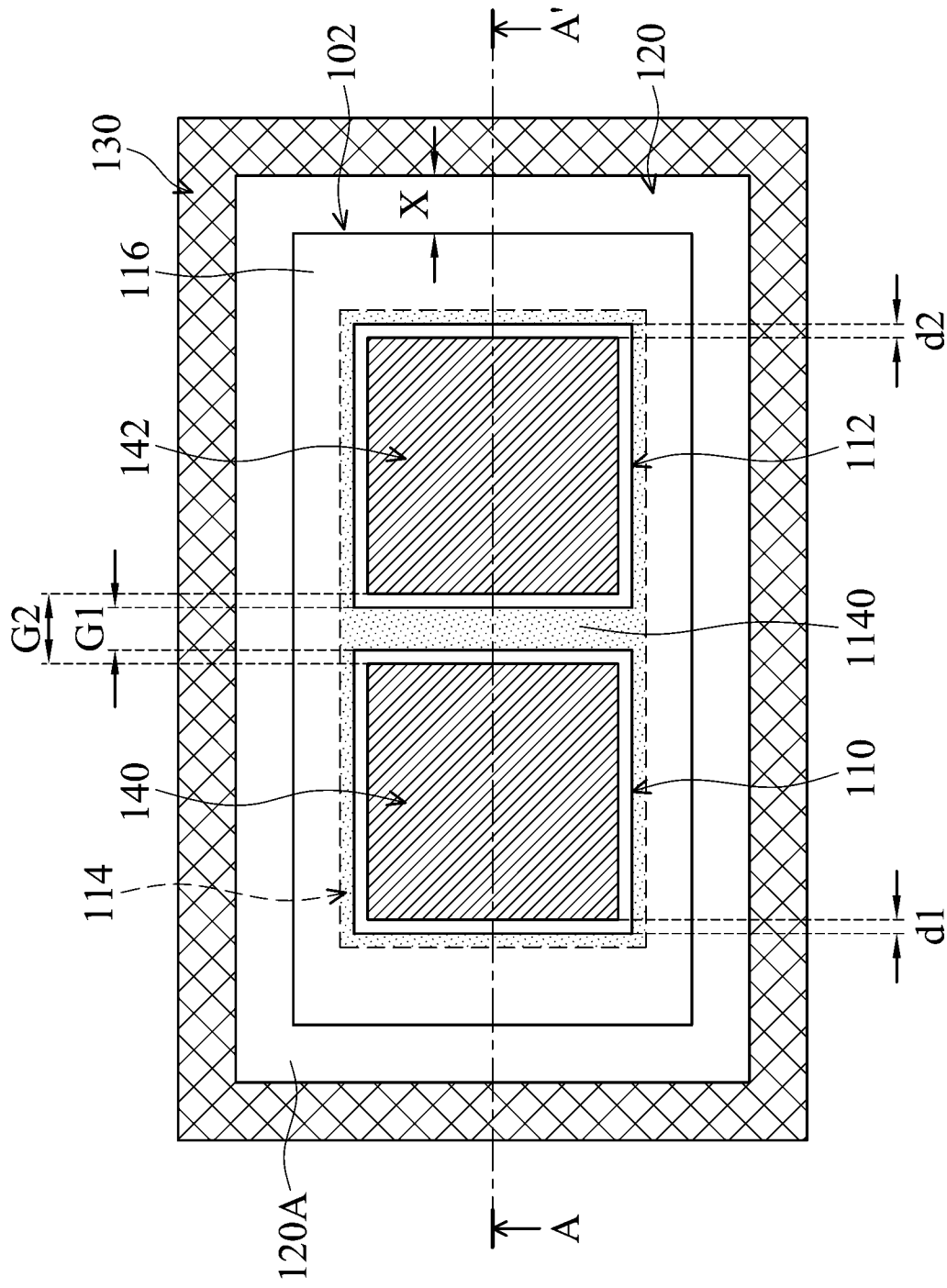
第1E圖



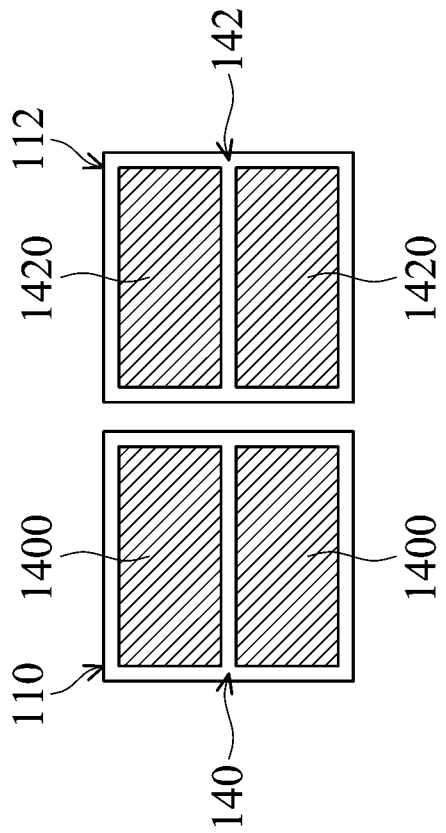
第1F圖



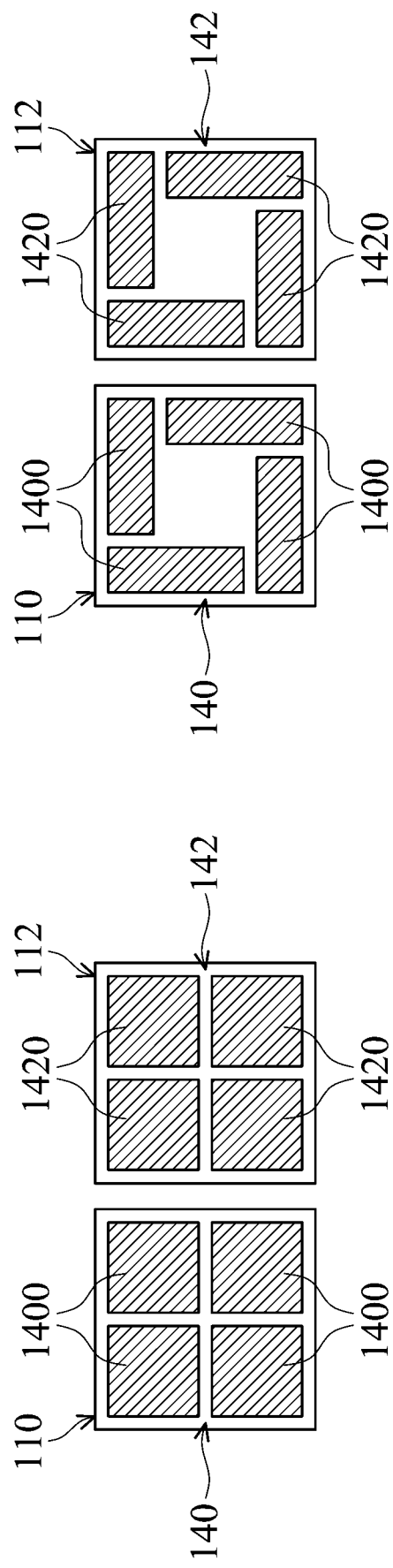
第 1F-1 圖



第 2 圖



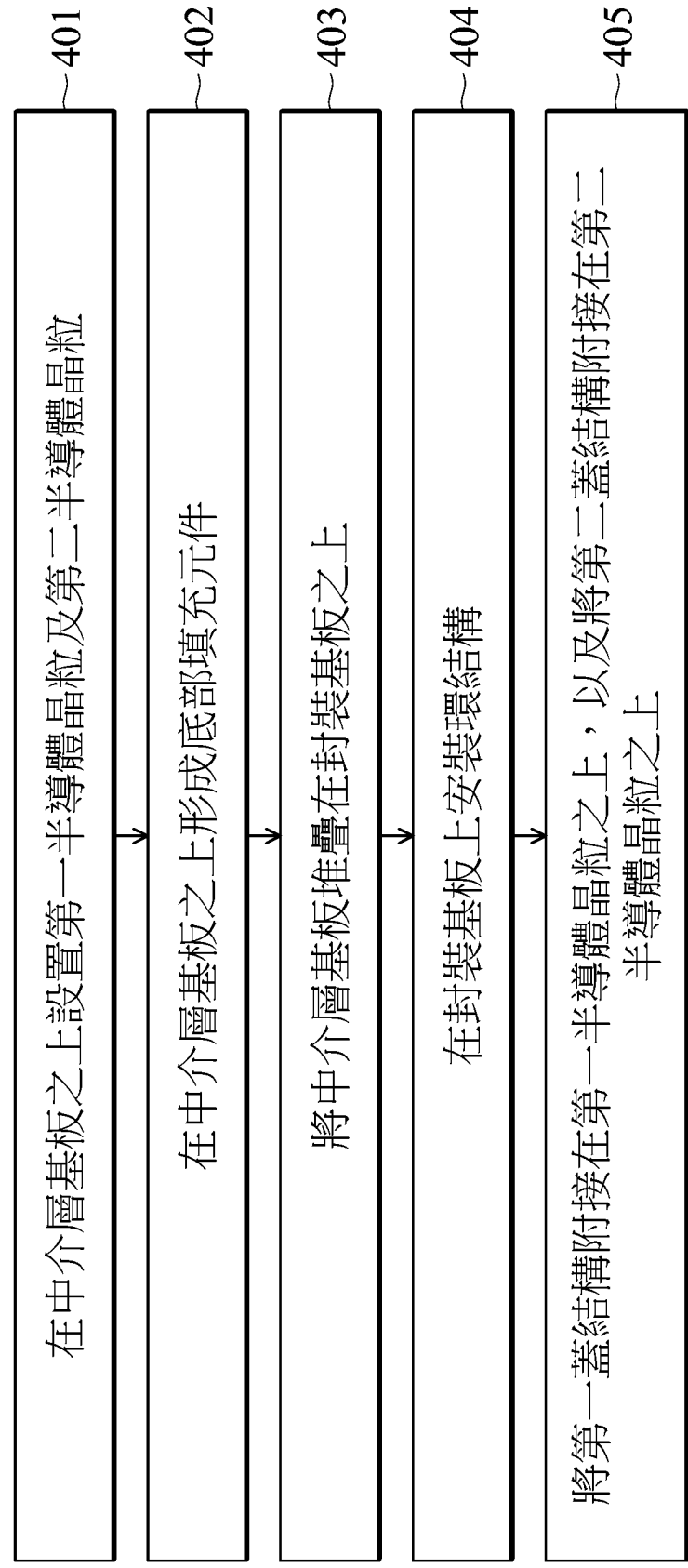
第3A圖



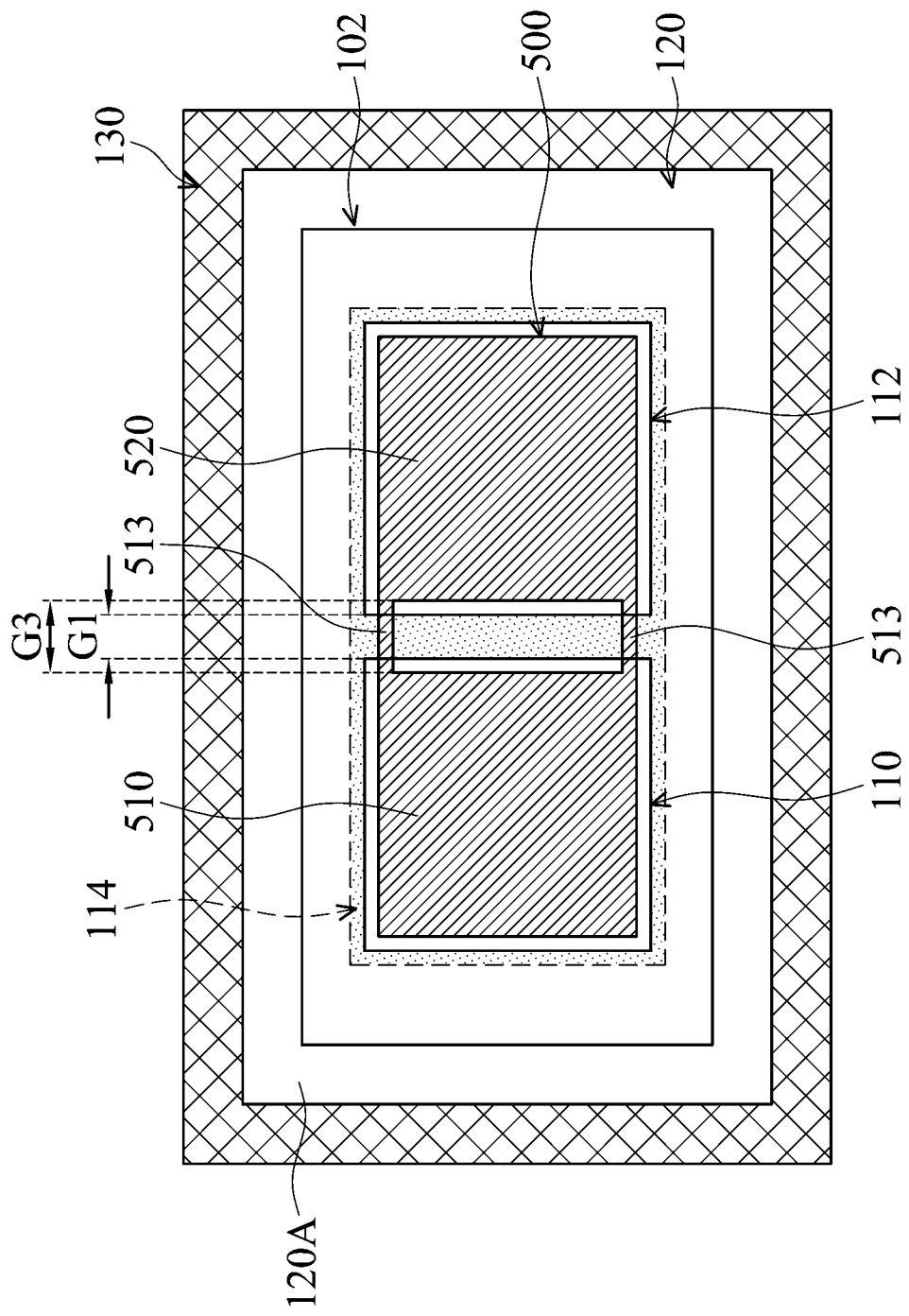
第3B圖

第3C圖

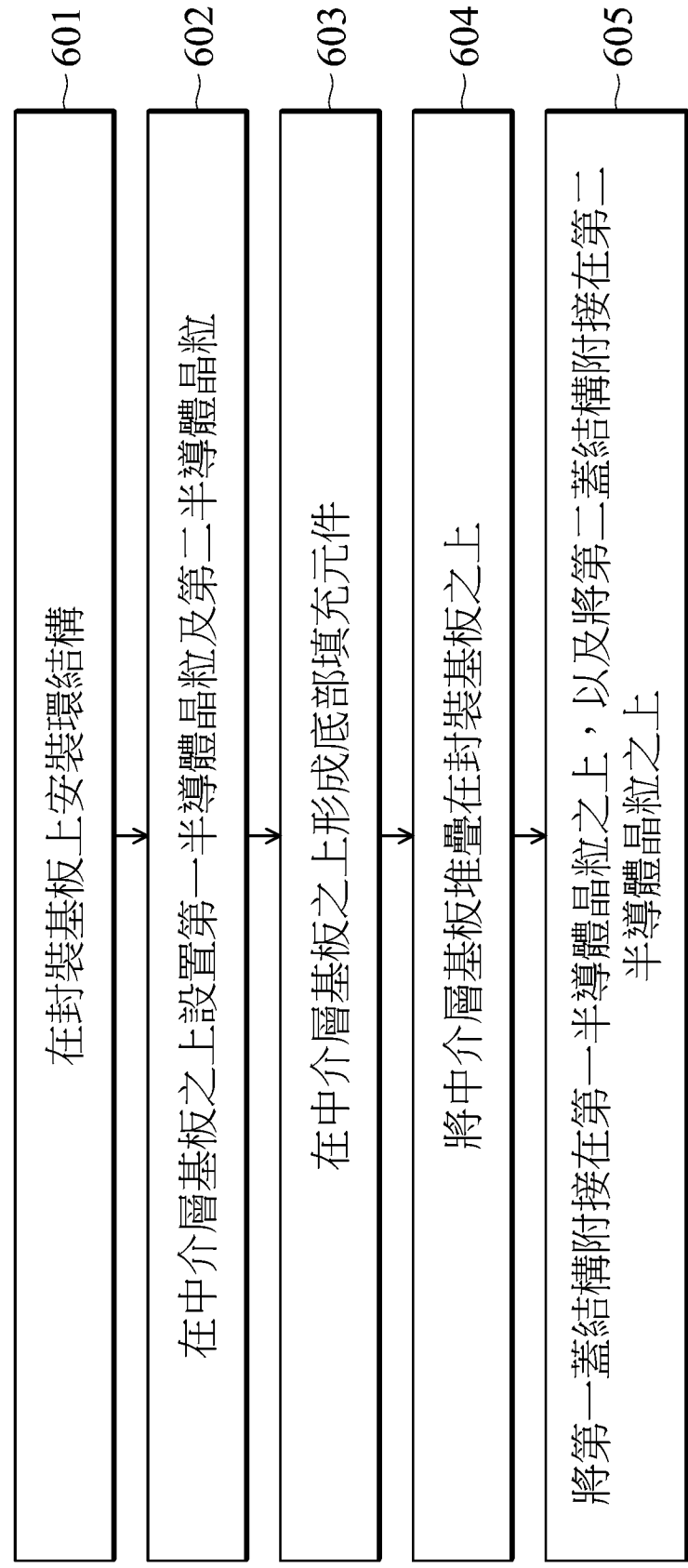
400



第 4 圖



第 5 圖



第 6 圖