

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-82477  
(P2023-82477A)

(43)公開日 令和5年6月14日(2023.6.14)

(51)国際特許分類		F I	テーマコード(参考)		
H 0 2 M	1/08 (2006.01)	H 0 2 M	1/08	A	5 H 7 3 0
H 0 2 M	3/155(2006.01)	H 0 2 M	3/155	H	5 H 7 4 0
H 0 3 K	17/16 (2006.01)	H 0 3 K	17/16	H	5 J 0 5 5
H 0 3 K	17/06 (2006.01)	H 0 3 K	17/06	0 6 3	

審査請求 未請求 請求項の数 10 O L (全20頁)

(21)出願番号 特願2021-196285(P2021-196285)  
(22)出願日 令和3年12月2日(2021.12.2)

(71)出願人 000116024  
ローム株式会社  
京都府京都市右京区西院溝崎町 2 1 番地  
(74)代理人 110001933  
弁理士法人 佐野特許事務所  
(72)発明者 村上 和宏  
京都府京都市右京区西院溝崎町 2 1 番地  
ローム株式会社内  
(72)発明者 田中 邦昌  
京都府京都市右京区西院溝崎町 2 1 番地  
ローム株式会社内  
F ターム(参考) 5H730 AA02 AA14 AS05 BB13  
DD04 DD16 EE59 FD01  
FG05 XX12 XX13 XX15  
XX19

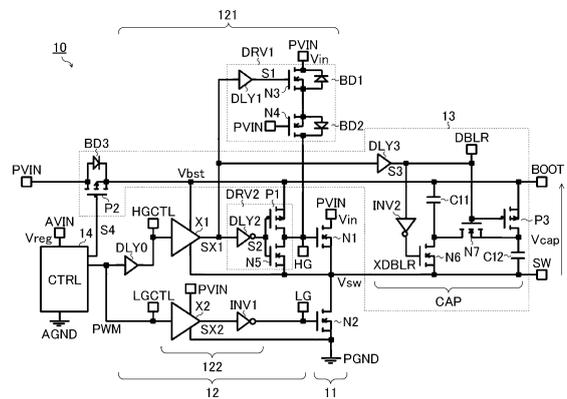
最終頁に続く

(54)【発明の名称】 ゲートドライバ、半導体装置、スイッチング電源

(57)【要約】

【課題】低リングングと高スルーレートを両立する。  
【解決手段】ゲートドライバ121は、入力電圧V<sub>in</sub>の印加端(PVIN)とスイッチ電圧V<sub>sw</sub>の印加端(SW)との間に接続されるNチャンネル型の出力トランジスタN1のゲート容量を充放電する。ゲートドライバ121は、入力電圧V<sub>in</sub>を用いてゲート容量を充電する第1ドライバDRV1と、スイッチ電圧V<sub>sw</sub>よりも高いブートストラップ電圧V<sub>bst</sub>を用いてゲート容量を充電する第2ドライバDRV2と、を並列に備える。出力トランジスタN1をオンするときには、第1ドライバDRV1が第2ドライバDRV2よりも先にゲート容量の充電を開始し、第1ドライバDRV1によるゲート容量の充電が停止した後に第2ドライバDRV2がゲート容量の充電を開始する。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

入力電圧の印加端とスイッチ電圧の印加端との間に接続される N チャンネル型の出力トランジスタのゲート容量を充放電するように構成されたゲートドライバであって、

前記入力電圧を用いて前記ゲート容量を充電するように構成された第 1 ドライバと、  
前記スイッチ電圧よりも高いブートストラップ電圧を用いて前記ゲート容量を充電するように構成された第 2 ドライバと、

を並列に備え、

前記出力トランジスタをオンするときには、前記第 1 ドライバが前記第 2 ドライバよりも先に前記ゲート容量の充電を開始し、前記第 1 ドライバによる前記ゲート容量の充電が停止した後に前記第 2 ドライバが前記ゲート容量の充電を開始する、ゲートドライバ。

10

## 【請求項 2】

前記第 1 ドライバは、ドレインが前記入力電圧の印加端に接続されるように構成された N チャンネル型の第 1 トランジスタと、ソースが前記第 1 トランジスタのソースに接続されてゲートが前記入力電圧の印加端に接続されてドレインが前記出力トランジスタのゲートに接続されるように構成された N チャンネル型の第 2 トランジスタと、を含む、請求項 1 に記載のゲートドライバ。

## 【請求項 3】

前記第 1 ドライバは、ソースが前記入力電圧の印加端に接続されるように構成された P チャンネル型の第 1 トランジスタと、ソースが前記第 1 トランジスタのドレインに接続されてゲートが前記入力電圧の印加端に接続されてドレインが前記出力トランジスタのゲートに接続されるように構成された N チャンネル型の第 2 トランジスタと、を含む、請求項 1 に記載のゲートドライバ。

20

## 【請求項 4】

前記第 2 ドライバは、ゲート制御信号が前記出力トランジスタをオンするときの論理レベルとなってから所定の遅延時間が経過した後に前記ゲート容量の充電を開始するように構成された遅延回路を含む、請求項 1 ~ 3 のいずれか一項に記載のゲートドライバ。

## 【請求項 5】

前記第 2 ドライバは、ゲート制御信号が前記出力トランジスタをオンするときの論理レベルとなってから前記スイッチ電圧が所定の閾値電圧を上回ったことを検出した後に前記ゲート容量の充電を開始するように構成された検出回路を含む、請求項 1 ~ 3 のいずれか一項に記載のゲートドライバ。

30

## 【請求項 6】

前記第 2 ドライバは、前記スイッチ電圧が前記閾値電圧を上回ったことを検出してから所定の遅延時間が経過した後に前記ゲート容量の充電を開始するように構成された遅延回路をさらに含む、請求項 5 に記載のゲートドライバ。

## 【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載のゲートドライバを備える、半導体装置。

## 【請求項 8】

前記ブートストラップ電圧の印加端と前記スイッチ電圧の印加端との間に接続され、前記ゲート容量の充放電に同期して容量値が可変制御されるように構成されたキャパシタ回路をさらに備える、請求項 7 に記載の半導体装置。

40

## 【請求項 9】

前記キャパシタ回路は、前記第 2 ドライバが前記ゲート容量の充電を開始した後に第 1 容量値からこれよりも小さい第 2 容量値に切り替わり、前記第 2 ドライバが前記ゲート容量の放電を開始する前に前記第 2 容量値から前記第 1 容量値に切り替わる、請求項 8 に記載の半導体装置。

## 【請求項 10】

請求項 7 ~ 9 のいずれか一項に記載の半導体装置を備え、前記入力電圧から所望の出力電圧を生成する、スイッチング電源。

50

**【発明の詳細な説明】****【技術分野】****【0001】**

本明細書中に開示されている発明は、ゲートドライバ、半導体装置、及び、スイッチング電源に関する。

**【背景技術】****【0002】**

近年、様々なアプリケーションの電源手段として、スイッチング電源が広く一般に用いられている。

**【0003】**

なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

**【先行技術文献】****【特許文献】****【0004】**

**【特許文献1】**特開2018-57100号公報

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

しかしながら、スイッチング電源などのスイッチ出力段を駆動する従来のゲートドライバでは、低リングングと高スルーレート（高効率）を両立することが困難であった。

**【0006】**

本明細書中に開示されている発明は、本願の発明者らによって見出された上記の課題に鑑み、低リングングと高スルーレートを両立することのできるゲートドライバ、半導体装置、及び、スイッチング電源を提供することを目的とする。

**【課題を解決するための手段】****【0007】**

例えば、本明細書中に開示されているゲートドライバは、入力電圧の印加端とスイッチ電圧の印加端との間に接続されるNチャンネル型の出力トランジスタのゲート容量を充放電するものであって、前記入力電圧を用いて前記ゲート容量を充電するように構成された第1ドライバと、前記スイッチ電圧よりも高いブートストラップ電圧を用いて前記ゲート容量を充電するように構成された第2ドライバと、を並列に備え、前記出力トランジスタをオンするときには、前記第1ドライバが前記第2ドライバよりも先に前記ゲート容量の充電を開始し、前記第1ドライバによる前記ゲート容量の充電が停止した後に前記第2ドライバが前記ゲート容量の充電を開始する。

**【0008】**

なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

**【発明の効果】****【0009】**

本明細書中に開示されている発明によれば、低リングングと高スルーレートを両立することのできるゲートドライバ、半導体装置、及び、スイッチング電源を提供することが可能となる。

**【図面の簡単な説明】****【0010】**

**【図1】**図1は、スイッチング電源の全体構成を示す図である。

**【図2】**図2は、電源制御装置の第1実施形態を示す図である。

**【図3】**図3は、ゲート駆動制御の一例を示す図である。

**【図4】**図4は、低リングングと高スルーレートの両立を示す図である。

**【図5】**図5は、電源制御装置の第2実施形態を示す図である。

**【図6】**図6は、検出回路の一構成例を示す図である。

10

20

30

40

50

【図 7】図 7 は、電源制御装置の第 3 実施形態を示す図である。

【図 8】図 8 は、電源制御装置の第 4 実施形態を示す図である。

【発明を実施するための形態】

【0011】

<スイッチング電源>

図 1 は、スイッチング電源の全体構成を示す図である。本構成例のスイッチング電源 1 は、入力電圧  $V_{in}$  を降圧して出力電圧  $V_{out}$  を生成する非絶縁型の降圧 DC / DC コンバータ（いわゆる BUCK コンバータ）であり、電源制御装置 10 とこれに外付けされる種々のディスクリート部品（本図ではインダクタ L1 及びキャパシタ C1）を備える。

【0012】

電源制御装置 10 は、スイッチング電源 1 の制御主体となる半導体装置である。なお、電源制御装置 10 は、装置外部との電氣的な接続を確立するための手段として、複数の外部端子（本図では外部端子 T1 ~ T4）を備える。

【0013】

外部端子 T1（PVIN ピン）は、入力電圧  $V_{in}$  の印加端に接続されている。外部端子 T2（SW ピン）は、インダクタ L1 の第 1 端に接続されている。外部端子 T3（FB ピン）は、インダクタ L1 の第 2 端及びキャパシタ C1 の第 1 端と共に、出力電圧  $V_{out}$  の印加端に接続されている。なお、出力電圧  $V_{out}$  の印加端と外部端子 T3 との間には、出力電圧  $V_{out}$  に応じた帰還電圧  $V_{fb}$  を生成する分圧回路を設けてもよい。外部端子 T4（PGND ピン）及びキャパシタ C1 の第 2 端は、いずれもパワー系接地端（= 接地電圧 PGND の印加端）に接続されている。

【0014】

電源制御装置 10 は、外部端子 T3 に帰還入力される出力電圧  $V_{out}$ （または帰還電圧  $V_{fb}$ ）が所望の目標値と一致するように内蔵のスイッチ出力段（不図示）をスイッチング駆動する。その結果、外部端子 T2 には、矩形波状のスイッチ電圧  $V_{sw}$  が生成される。なお、インダクタ L1 及びキャパシタ C1 は、スイッチ電圧  $V_{sw}$  を整流及び平滑して出力電圧  $V_{out}$  を生成するための整流平滑回路として機能する。

【0015】

<電源制御装置（第 1 実施形態）>

図 2 は、電源制御装置 10 の第 1 実施形態を示す図である。本実施形態の電源制御装置 10 は、スイッチ出力段 11 と、駆動回路 12 と、ブートストラップ回路 13 と、コントローラ 14 と、を集積化して成る。

【0016】

なお、電源制御装置 10 には、上記以外の機能ブロックを設けてもよい。例えば、電源制御装置 10 には、内部基準電圧生成回路、通信 I / O [input/output] 回路、クロック生成回路、自己診断回路、及び、各種の異常保護回路（UVLO [under voltage locked out]、OCP [over current protection]、OVD [over voltage detection]、UVD [under voltage detection]、SCP [short circuit protection]、及び、TSD [thermal shut down]）などを集積化してもよい。

【0017】

スイッチ出力段 11 は、トランジスタ N1 及び N2（例えば N チャンネル型 MOSFET [metal oxide semiconductor field effect transistor]）を含む。

【0018】

トランジスタ N1 のドレインは、入力電圧  $V_{in}$  の印加端（PVIN ピン）に接続されている。トランジスタ N1 のソースは、スイッチ電圧  $V_{sw}$  の印加端（SW ピン）に接続されている。トランジスタ N1 のゲートは、上側ゲート駆動信号 HG の印加端に接続されている。トランジスタ N1 は、上側ゲート駆動信号 HG がハイレベル（ $V_{bst}$ ）であるときにオン状態となり、上側ゲート駆動信号 HG がローレベル（ $V_{sw}$ ）であるときにオフ状態となる。トランジスタ N1 は、スイッチ出力段 11 の上側トランジスタ（= 出力トランジスタ）として機能する。

10

20

30

40

50

## 【 0 0 1 9 】

トランジスタN2のドレインは、スイッチ電圧V<sub>sw</sub>の印加端(SWピン)に接続されている。トランジスタN2のソースは、パワー系接地端(PGNDピン)に接続されている。トランジスタN2のゲートは、下側ゲート駆動信号LGの印加端に接続されている。トランジスタN2は、下側ゲート駆動信号LGがハイレベル(V<sub>in</sub>)であるときにオン状態となり、下側ゲート駆動信号LGがローレベル(PGND)であるときにオフ状態となる。トランジスタN2は、スイッチ出力段11の下側トランジスタ(=同期整流トランジスタ)として機能する。

## 【 0 0 2 0 】

このように接続されたトランジスタN1及びN2は、上側ゲート駆動信号HG及び下側ゲート駆動信号LGに応じて相補的にオン/オフされる。その結果、入力電圧V<sub>in</sub>と接地電圧PGNDとの間でパルス駆動される矩形波状のスイッチ電圧V<sub>sw</sub>が生成される。

## 【 0 0 2 1 】

なお、上記の「相補的」という文言は、トランジスタN1及びN2のオン/オフ状態が完全に逆転している場合だけでなく、貫通電流の発生を防止するためにトランジスタN1及びN2の同時オフ期間(いわゆるデッドタイム)が設けられている場合を包含するように広義に理解すべきである。

## 【 0 0 2 2 】

また、スイッチング電源1の整流方式は、必ずしも同期整流方式に限定されるものではなく、ダイオード整流方式を採用してもよい。その場合には、トランジスタN2に代えて整流ダイオードを用いてもよい。

## 【 0 0 2 3 】

駆動回路12は、コントローラ14から入力されるパルス制御信号PWMに応じてスイッチ出力段11を駆動する回路ブロックであり、上側ゲートドライバ121と下側ゲートドライバ122を含む。

## 【 0 0 2 4 】

上側ゲートドライバ121は、パルス制御信号PWMの入力を受けて上側ゲート駆動信号HGを出力することにより、トランジスタN1のゲート容量(例えば100pF程度)を充放電する回路ブロックであって、遅延回路DLY0と、バッファX1と、第1ドライバDRV1と、第2ドライバDRV2と、を含む。

## 【 0 0 2 5 】

遅延回路DLY0は、トランジスタN1及びN2の同時オフ期間を設けるように、パルス制御信号PWM(例えばローレベルからハイレベルへの立上りタイミング)に所定の遅延を与えて上側パルス制御信号HGCTLを生成する。

## 【 0 0 2 6 】

バッファX1は、ブートストラップ電圧V<sub>bst</sub>とスイッチ電圧V<sub>sw</sub>の供給を受けて動作し、遅延回路DLY0から入力される上側パルス制御信号HGCTLに応じて上側ゲート制御信号SX1を生成する。上側ゲート制御信号SX1は、上側パルス制御信号HGCTLがハイレベル(V<sub>reg</sub>)であるときにハイレベル(V<sub>bst</sub>)となり、上側パルス制御信号HGCTLがローレベル(AGND)であるときにローレベル(V<sub>sw</sub>)となる。

## 【 0 0 2 7 】

第1ドライバDRV1(=プリHGドライバに相当)は、入力電圧V<sub>in</sub>を用いてトランジスタN1のゲート容量を充電する回路ブロックであって、トランジスタN3及びN4(例えばNチャンネル型MOSFET)と、遅延回路DLY1と、を含む。

## 【 0 0 2 8 】

トランジスタN3のドレインは、入力電圧V<sub>in</sub>の印加端(=PVINピン)に接続されている。トランジスタN3のソース及びバックゲートは、いずれもトランジスタN4のソースに接続されている。トランジスタN3のゲートは、遅延回路DLY1の出力端(=遅延信号S1の印加端)に接続されている。なお、トランジスタN3には、ボディダイオ

10

20

30

40

50

ードBD1が付随する。具体的には、トランジスタN3のドレインがボディダイオードBD1のカソードに相当し、トランジスタN3のソースがボディダイオードBD1のアノードに相当する。

【0029】

トランジスタN4のソース及びバックゲートは、いずれもトランジスタN3のソースに接続されている。トランジスタN4のドレインは、トランジスタN1のゲート(=上側ゲート駆動信号HGの印加端)に接続されている。トランジスタN4のゲートは、入力電圧Vinの印加端(=PVINピン)に接続されている。なお、トランジスタN4には、ボディダイオードBD2が付随する。具体的には、トランジスタN4のドレインがボディダイオードBD2のカソードに相当し、トランジスタN4のソースがボディダイオードBD2のアノードに相当する。

10

【0030】

なお、トランジスタN3は、トランジスタN1のゲートをBOOT-SW電源レールで駆動するゲート駆動素子に相当する。一方、トランジスタN4は、上側ゲート駆動信号HG(延いてはスイッチ電圧Vsw)に応じて第1ドライバDRV1の動作可否を切り替えるクランプ素子に相当する。

【0031】

遅延回路DLY1は、第1ドライバDRV1の動作タイミングを調整するように、上側ゲート制御信号SX1に所定の遅延を与えて遅延信号S1を生成する。例えば、上側ゲート制御信号SX1がハイレベルに立ち上げられたときには、遅延信号S1が遅滞なくハイレベルに立ち上げられる。一方、上側ゲート制御信号SX1がローレベルに立ち下げられたときには、遅延信号S1が遅延時間td1Fだけ遅れてローレベルに立ち下げられる。遅延時間td1Fの設定手段としては、CRタイマなどを用いてもよい。

20

【0032】

第2ドライバDRV2(=PチャンネルHGドライバに相当)は、スイッチ電圧Vswよりも高いブートストラップ電圧Vbstを用いてトランジスタN1のゲート容量を充電する回路ブロックであって、トランジスタP1(例えばPチャンネル型MOSFET)と、トランジスタN5(例えばNチャンネル型MOSFET)と、遅延回路DLY2と、を含む。

【0033】

トランジスタP1のソース及びバックゲートは、いずれもブートストラップ電圧Vbstの印加端(=BOOTノード)に接続されている。トランジスタP1及びN5それぞれのドレインは、トランジスタN1のゲート(=上側ゲート駆動信号HGの印加端)に接続されている。トランジスタN5のソース及びバックゲートは、いずれもスイッチ電圧Vswの印加端(=SWピン)に接続されている。トランジスタP1及びN5それぞれのゲートは、遅延回路DLY2の出力端(=遅延信号S2の印加端)に接続されている。

30

【0034】

このように接続されたトランジスタP1及びN5は、遅延信号S2の論理レベルを反転して上側ゲート駆動信号HGを生成するインバータを形成する。従って、上側ゲート駆動信号HGは、遅延信号S2がハイレベル(=Vbst)であるときにローレベル(=Vsw)となり、遅延信号S2がローレベル(=Vsw)であるときにハイレベル(=Vbst)となる。

40

【0035】

遅延回路DLY2は、第2ドライバDRV2の動作タイミングを調整するように、上側ゲート制御信号SX1に所定の遅延を与つつ、上側ゲート制御信号SX1の論理レベルを反転させて遅延信号S2を生成する。例えば、上側ゲート制御信号SX1がハイレベルに立ち上げられたときには、遅延信号S2が遅延時間td2Rだけ遅れてローレベルに立ち下げられる。一方、上側ゲート制御信号SX1がローレベルに立ち下げられたときには、遅延信号S2が遅延時間td2Fだけ遅れてハイレベルに立ち上げられる。遅延時間td2R及びtd2Fの設定手段としては、CRタイマなどを用いてもよい。

【0036】

50

より機能的に述べると、遅延回路 D L Y 2 は、上側ゲート制御信号 S X 1 がハイレベル (= トランジスタ N 1 をオンするときの論理レベル) となってから遅延時間  $t_{d2R}$  が経過した後第 2 ドライバ D R V 2 がゲート容量の充電を開始するように構成されている。

【 0 0 3 7 】

このように、上側ゲートドライバ 1 2 1 は、第 1 ドライバ D R V 1 と第 2 ドライバ D R V 2 を並列に備えている。本構成の技術的意義については、後ほど詳細に説明する。

【 0 0 3 8 】

下側ゲートドライバ 1 2 2 は、パルス制御信号 P W M (= 下側パルス制御信号 L G C T L) の入力を受けて下側ゲート駆動信号 L G を出力する回路ブロックであり、バッファ X 2 とインバータ I N V 1 を含む。

【 0 0 3 9 】

バッファ X 2 は、入力電圧  $V_{in}$  と接地電圧 P G N D の供給を受けて動作し、コントローラ 1 4 から入力されるパルス制御信号 P W M (= 下側パルス制御信号 L G C T L) に応じて下側ゲート制御信号 S X 2 を生成する。下側ゲート制御信号 S X 2 は、下側パルス制御信号 L G C T L がハイレベル ( $V_{reg}$ ) であるときにハイレベル ( $V_{in}$ ) となり、下側パルス制御信号 L G C T L がローレベル ( $A_{GND}$ ) であるときにローレベル ( $P_{GND}$ ) となる。

【 0 0 4 0 】

インバータ I N V 1 は、下側ゲート制御信号 S X 2 の論理レベルを反転して下側ゲート駆動信号 L G を生成する。なお、下側ゲート駆動信号 L G は、下側ゲート制御信号 S X 2 がハイレベル ( $V_{in}$ ) であるときにローレベル ( $P_{GND}$ ) となり、下側ゲート制御信号 S X 2 がローレベル ( $P_{GND}$ ) であるときにハイレベル ( $V_{in}$ ) となる。

【 0 0 4 1 】

ブートストラップ回路 1 3 は、スイッチ電圧  $V_{sw}$  よりも高いブートストラップ電圧  $V_{bst}$  を生成する回路ブロックであって、トランジスタ P 2 (例えば P チャネル型 M O S F E T) と、キャパシタ回路 C A P と、を含む。

【 0 0 4 2 】

トランジスタ P 2 のドレインは、入力電圧  $V_{in}$  の印加端 (P V I N ピン) に接続されている。トランジスタ P 2 のドレインは、内部電源電圧  $V_{ref}$  (例えば 5 V) の印加端に接続してもよい。トランジスタ P 2 のソース及びバックゲートは、いずれもブートストラップ電圧  $V_{bst}$  の印加端 (= B O O T ノード) に接続されている。トランジスタ P 2 のゲートには、コントローラ 1 4 からブートストラップ制御信号 S 4 が入力されている。

【 0 0 4 3 】

なお、トランジスタ P 2 は、基本的にトランジスタ N 2 と同期してオン/オフされる。より具体的に述べると、トランジスタ P 2 は、トランジスタ N 2 のオン期間 (= スwitch電圧  $V_{sw}$  のローレベル期間) にオン状態となり、トランジスタ N 2 のオフ期間 (= スwitch電圧  $V_{sw}$  のハイレベル期間) にオフ状態となる。

【 0 0 4 4 】

また、トランジスタ P 2 には、ボディダイオード B D 3 が付随する。具体的には、トランジスタ P 2 のドレインがボディダイオード B D 3 のアノードに相当し、トランジスタ P 2 のソースがボディダイオード B D 3 のカソードに相当する。なお、ブートストラップ回路 1 3 を形成する整流素子として、ボディダイオード B D 3 のみを用いる場合には、トランジスタ P 2 のゲート・ソース間をショートしておけばよい。

【 0 0 4 5 】

また、キャパシタ回路 C A P は、ブートストラップ電圧  $V_{bst}$  の印加端 (= B O O T ノード) とスイッチ電圧  $V_{sw}$  の印加端 (= S W ピン) との間に接続されており、その両端間 (= B O O T - S W 間) に充電電圧  $V_{cap}$  を蓄える。

【 0 0 4 6 】

従って、先述のブートストラップ電圧  $V_{bst}$  は、スイッチ電圧  $V_{sw}$  よりも常に充電電圧  $V_{cap}$  だけ高い電圧 ( $V_{sw} + V_{cap}$ ) となる。具体的に述べると、スイッチ

10

20

30

40

50

電圧  $V_{sw}$  のハイレベル期間 ( $V_{sw} = V_{in}$ 、 $N1 = ON$ 、 $N2 = OFF$ ) には、 $V_{bst} = V_{in} + V_{cap}$  となる。一方、スイッチ電圧  $V_{sw}$  のローレベル期間 ( $V_{sw} = PGND$ 、 $N1 = OFF$ 、 $N2 = ON$ ) には、 $V_{bst} = PGND + V_{cap}$  となる。

【0047】

なお、ブートストラップ回路13の整流素子としてトランジスタP2をオン/オフする場合には、 $V_{cap} = V_{in} - V_{ds}$  (ただし、 $V_{ds}$  はトランジスタP2のドレイン・ソース間電圧) となる。一方、トランジスタP2を常にオフ状態とし、ブートストラップ回路13の整流素子としてボディダイオードBD3のみを用いる場合には、 $V_{cap} = V_{in} - V_f$  (ただし、 $V_f$  はボディダイオードBD3の順方向降下電圧) となる。

【0048】

このようにして生成されるブートストラップ電圧  $V_{bst}$  は、駆動回路12 (特に上側ゲートドライバ121) に供給されており、上側ゲート駆動信号HGのハイレベル (= トランジスタN1をオンするためのゲート電圧) として用いられる。すなわち、トランジスタN1のオン期間には、上側ゲート駆動信号HGのハイレベル ( $V_{bst}$ ) がスイッチ電圧  $V_{sw}$  のハイレベル ( $V_{in}$ ) よりも高い電圧値 ( $V_{in} + V_{cap}$ ) まで引き上げられる。従って、トランジスタN1のゲート・ソース間電圧 (=  $HG - SW$ ) を高めてトランジスタN1を確実にオンすることが可能となる。

【0049】

ところで、キャパシタ回路CAPを電源制御装置10に内蔵すれば、外付けのディスクリット部品を削減することが可能となる。しかしながら、IC内蔵型のキャパシタ回路CAPは、その容量値を十分に確保することが難しい。

【0050】

そのため、仮に、キャパシタ回路CAPに何の工夫もせず、キャパシタ回路CAPとして単一のキャパシタ素子を内蔵した場合には、トランジスタN1のオン遷移に伴い、キャパシタ回路CAPに蓄えられた電荷がトランジスタN1に付随するゲート容量の充電で吸い取られてしまい、ブートストラップ電圧  $V_{bst}$  が低下してトランジスタN1のゲート駆動 (特にフルオン) に支障を生じるおそれがある。

【0051】

そこで、本実施形態の電源制御装置10では、キャパシタ回路CAPが小容量であってもトランジスタN1のゲート駆動に支障を生じにくいように、キャパシタ回路CAPがいわゆるダブラーキャパシタ (= 電圧ダブラー) として構成されている。

【0052】

本図に即して述べると、キャパシタ回路CAPは、上側ゲート制御信号SX1の入力を受け付けており、トランジスタN1のゲート容量の充放電に同期して容量値を可変制御することができるように、キャパシタC11及びC12と、トランジスタN6及びN7と、トランジスタP3と、遅延回路DLY3と、インバータINV2と、を含む。

【0053】

キャパシタC11の第1端とトランジスタP3のソースは、いずれもブートストラップ電圧  $V_{bst}$  の印加端 (= BOOTノード) に接続されている。キャパシタC11の第2端は、トランジスタN6及びN7それぞれのドレインに接続されている。トランジスタN7及びP3それぞれのゲートは、いずれもダブラー制御信号DBLRの印加端に接続されている。トランジスタN6のゲートは、反転ダブラー制御信号XDBLR (= ダブラー制御信号DBLRの論理反転信号に相当) の印加端に接続されている。トランジスタN7のソースとトランジスタP3のドレインは、いずれもキャパシタC12の第1端に接続されている。トランジスタN6のソースとキャパシタC12の第2端は、いずれもスイッチ電圧  $V_{sw}$  の印加端 (= SWピン) に接続されている。

【0054】

遅延回路DLY3は、キャパシタ回路CAPの動作タイミング (= 容量値の切替タイミング) を調整するように、上側ゲート制御信号SX1に所定の遅延を与えて遅延信号S3 (= ダブラー制御信号DBLRに相当) を生成する。例えば、上側ゲート制御信号SX1

10

20

30

40

50

がハイレベルに立ち上げられたときには、ダブル制御信号 D B L R が遅延時間  $t_{d3R}$  ( $> t_{d2R}$ ) だけ遅れてハイレベルに立ち上げられる。一方、上側ゲート制御信号 S X 1 がローレベルに立ち下げられたときには、ダブル制御信号 D B L R が遅滞なくローレベルに立ち下げられる。なお、遅延時間  $t_{d3R}$  の設定手段としては、C R タイマなどを用いてもよい。

【0055】

インバータ I N V 2 は、ダブル制御信号 D B L R の論理レベルを反転して反転ダブル制御信号 X D B L R を生成する。なお、反転ダブル制御信号 X D B L R は、ダブル制御信号 D B L R がハイレベル ( V b s t ) であるときにローレベル ( V s w ) となり、ダブル制御信号 D B L R がローレベル ( V s w ) であるときにハイレベル ( V b s t ) となる。

10

【0056】

トランジスタ N 6 は、反転ダブル制御信号 X D B L R がハイレベル ( V b s t ) であるときにオン状態となり、反転ダブル制御信号 X D B L R がローレベル ( V s w ) であるときにオフ状態となる。言い換えると、トランジスタ N 6 は、ダブル制御信号 D B L R がハイレベル ( V b s t ) であるときにオフ状態となり、ダブル制御信号 D B L R がローレベル ( V s w ) であるときにオン状態となる。

【0057】

トランジスタ N 7 は、ダブル制御信号 D B L R がハイレベル ( V b s t ) であるときにオン状態となり、ダブル制御信号 D B L R がローレベル ( V s w ) であるときにオフ状態となる。

20

【0058】

トランジスタ P 3 は、ダブル制御信号 D B L R がハイレベル ( V b s t ) であるときにオフ状態となり、ダブル制御信号 D B L R がローレベル ( V s w ) であるときにオン状態となる。

【0059】

すなわち、トランジスタ N 6、N 7 及び P 3 それぞれのオン/オフ切替タイミングは、ダブル制御信号 D B L R に応じて制御される。

【0060】

特に、本実施形態のキャパシタ回路 C A P は、その動作状態として、トランジスタ N 6 及び P 3 がオンしてトランジスタ N 7 がオフした第 1 動作状態 (= 並列キャパシタ状態) と、これとは逆に、トランジスタ N 6 及び P 3 がオフしてトランジスタ N 7 がオンした第 2 動作状態 (= 直列キャパシタ状態) を取り得る。以下、それぞれの動作状態について、詳細に説明する。

30

【0061】

まず、トランジスタ N 6 及び P 3 がオンしてトランジスタ N 7 がオフした第 1 動作状態 (= 並列キャパシタ状態) を考える。この場合、キャパシタ C 1 1 及び C 1 2 がブートストラップ電圧 V b s t の印加端 (= B O O T ノード) とスイッチ電圧 V s w の印加端 (= S W ピン) との間に並列接続された形となる。従って、キャパシタ回路 C A P の合成容量値 C c a p 1 は、 $C c a p 1 = C 1 1 + C 1 2$  として求めることができる。具体例を挙げると、 $C 1 1 = C 1 2 = 75 \text{ pF}$  である場合には、 $C c a p 2 = 150 \text{ pF}$  となる。このような第 1 動作状態では、キャパシタ C 1 1 及び C 1 2 それぞれが並列に充電される。

40

【0062】

次に、上記した第 1 動作状態から、トランジスタ N 6 及び P 3 がオフしてトランジスタ N 7 がオンした第 2 動作状態に移った場合を考える。この場合、キャパシタ C 1 1 及び C 1 2 は、ブートストラップ電圧 V b s t の印加端 (= B O O T ノード) とスイッチ電圧 V s w の印加端 (= S W ピン) との間に直列接続された形となる。従って、キャパシタ回路 C A P の合成容量値 C c a p 2 は、 $C c a p 2 = (C 1 1 \cdot C 1 2) / (C 1 1 + C 1 2)$  に引き下げられる。具体例を挙げると、 $C 1 1 = C 1 2 = 75 \text{ pF}$  である場合には、 $C c a p 2 = 37.5 \text{ pF}$  となる。

50

## 【 0 0 6 3 】

このとき、キャパシタ C 1 1 及び C 1 2 には、それぞれ、上記した第 1 動作状態で蓄えられた電荷が保持されている。従って、第 2 動作状態への遷移直前におけるキャパシタ C 1 1 及び C 1 2 それぞれの両端間電圧を V C とすると、第 1 動作状態から第 2 動作状態への遷移直後には、ブートストラップ電圧 V b s t が ( V C + V s w ) から ( 2 V C + V s w ) まで持ち上げられる。すなわち、両端間電圧 V C の 2 倍昇圧が実現される。

## 【 0 0 6 4 】

なお、キャパシタ C 1 1 及び C 1 2 それぞれの容量値を増やすほど、ブートストラップ電圧 V b s t をより高く持ち上げることができる反面、電源制御装置 1 0 のチップに占めるレイアウト面積が大きくなる。そのため、両者のトレードオフを考慮し、例えば、第 2 動作状態におけるキャパシタ回路 C A P の合成容量値 C c a p 2 ( = ( C 1 1 ・ C 1 2 ) / ( C 1 1 + C 1 2 ) ) がトランジスタ N 1 のゲート容量 ( 例えば 1 0 0 p F ) の 1 / 2 程度となるように、キャパシタ C 1 1 及び C 1 2 それぞれの容量値を設定するとよい。

## 【 0 0 6 5 】

もちろん、キャパシタ回路 C A P の構成については、必ずしも上記に限定されるものではなく、両端間電圧 V C の m 倍昇圧 ( ただし m > 1 ) を実現し得る構成であればよい。

## 【 0 0 6 6 】

また、キャパシタ回路 C A P を電源制御装置 1 0 に内蔵するのではなく、ディスクリートのキャパシタ素子を電源制御装置 1 0 に外付けすることも可能である。その場合には、ブートストラップ電圧 V b s t の印加端 ( = B O O T ノード ) を B O O T ピンとして電源制御装置 1 0 の外部に引き出せばよい。

## 【 0 0 6 7 】

コントローラ 1 4 は、内部電源電圧 V r e g ( 例えば 5 V ) の供給を受けて動作し、入力電圧 V i n から所望の出力電圧 V o u t が生成されるようにパルス制御信号 P W M を生成する。なお、出力電圧 V o u t の出力帰還制御方式については、任意の周知技術 ( 電圧モード制御、電流モード制御、ヒステリシス制御 ( リップル制御 ) など ) を適用すればよいので、詳細な説明は省略する。

## 【 0 0 6 8 】

図 3 は、本実施形態の電源制御装置 1 0 によるゲート駆動制御の一例を示す図であり、紙面の上から順に、上側ゲート制御信号 S X 1、遅延信号 S 1 ~ S 3、トランジスタ N 1 のゲート・ソース間電圧 ( = H G - S W )、及び、トランジスタ N 2 のゲート・ソース間電圧 ( = L G - P G N D ) がそれぞれ描写されている。

## 【 0 0 6 9 】

時刻 t 1 において、上側ゲート制御信号 S X 1 がハイレベルに立ち上がると、遅延信号 S 1 が遅滞なくハイレベルに立ち上がる。従って、第 1 ドライバ D R V 1 では、トランジスタ N 3 がオン状態となる。また、この時点では、上側ゲート駆動信号 H G がローレベル ( < V i n ) なので、トランジスタ N 4 もオン状態となる。その結果、入力電圧 V i n の印加端からトランジスタ N 3 及び N 4 を介してトランジスタ N 1 のゲートに至る充電電流経路が導通する。

## 【 0 0 7 0 】

一方、時刻 t 1 において、上側ゲート制御信号 S X 1 がハイレベルに立ち上がっても、遅延信号 S 2 は、遅延時間 t d 2 R が経過するまでハイレベルに維持される。なお、本図では、図示の便宜上、遅延信号 S 2 がトランジスタ P 1 及び N 5 それぞれのゲートに共通して入力されるように描写したが、実際の挙動は少々異なる。

## 【 0 0 7 1 】

具体的に述べると、上側ゲート制御信号 S X 1 がハイレベルに立ち上がるタイミングでは、トランジスタ N 3 及び N 4 が遅滞なくオンしてトランジスタ N 5 が遅滞なくオフする一方、トランジスタ P 1 が遅延時間 t d 2 R の経過後にオンする。また、上側ゲート制御信号 S X 1 がローレベルに立ち下がるタイミングでは、トランジスタ N 3、N 4 及び P 1 が遅滞なくオフしてトランジスタ N 5 が遅滞なくオンする。

10

20

30

40

50

## 【 0 0 7 2 】

従って、トランジスタ N 1 をオンするときには、第 1 ドライバ D R V 1 が第 2 ドライバ D R V 2 よりも先に入力電圧  $V_{in}$  を用いてゲート容量の充電を開始する。その結果、トランジスタ N 1 のゲート・ソース間電圧 (=  $HG - SW$ ) が急峻に引き上げられる。この状態は、上側ゲート駆動信号  $HG$  の強ドライブ状態に相当する。

## 【 0 0 7 3 】

なお、時刻  $t_1$  では、遅延信号  $S_3$  (= ダブラー制御信号  $DBLR$ ) がローレベルに維持される。従って、キャパシタ回路  $CAP$  は、第 1 動作状態 (= 並列キャパシタ状態) のままとなる。

## 【 0 0 7 4 】

トランジスタ N 1 のゲート容量が充電されてトランジスタ N 1 のオン抵抗が低下していくと、スイッチ電圧  $V_{sw}$  が上昇する。そして、時刻  $t_2$  において、入力電圧  $V_{in}$  とスイッチ電圧  $V_{sw}$  との差がトランジスタ N 4 のオン閾値電圧よりも低くなると、トランジスタ N 4 が特段の制御を要することなくオフ状態となる。すなわち、入力電圧  $V_{in}$  を用いた第 1 ドライバ D R V 1 のゲート充電動作が自動的に終了する。その結果、トランジスタ N 1 のゲート・ソース電圧 (=  $HG - SW$ ) が上昇せずに停滞するようになる。この状態は、上側ゲート駆動信号  $HG$  の弱ドライブ状態に相当する。

## 【 0 0 7 5 】

なお、時刻  $t_2$  では、遅延信号  $S_3$  (= ダブラー制御信号  $DBLR$ ) が引き続きローレベルに維持される。従って、キャパシタ回路  $CAP$  は、第 1 動作状態 (= 並列キャパシタ状態) のままとなる。

## 【 0 0 7 6 】

その後、時刻  $t_3$  において、遅延時間  $t_{d2R}$  が経過すると、遅延信号  $S_2$  がローレベルに立ち下がる。従って、第 2 ドライバ D R V 2 では、トランジスタ P 1 がオン状態となるので、ブートストラップ電圧  $V_{bst}$  の印加端 (=  $BOOT$  ノード) からトランジスタ P 1 を介してトランジスタ N 1 のゲートに至る充電電流経路が導通する。つまり、第 1 ドライバ D R V 1 によるゲート容量の充電が停止した後に第 2 ドライバ D R V 2 がゲート容量の充電を開始する。その結果、トランジスタ N 1 のゲート・ソース間電圧 (=  $HG - SW$ ) が再び急峻に上昇し始める。この状態は、上側ゲート駆動信号  $HG$  の強ドライブ状態に相当する。

## 【 0 0 7 7 】

このように、第 1 ドライバ D R V 1 と第 2 ドライバ D R V 2 を並列に備える構成であれば、トランジスタ N 1 のオン遷移時に入力電圧  $V_{in}$  を用いて上側ゲート駆動信号  $HG$  をある程度まで事前に引き上げておくことができる。従って、ブートストラップ電圧  $V_{bst}$  の印加端 (=  $BOOT$  ノード) から消費される電荷が減るので、キャパシタ回路  $CAP$  の容量値を大幅に削減する (延いては素子サイズを縮小する) ことが可能となる。

## 【 0 0 7 8 】

ところで、高スルーレート (高効率) を優先して上側ゲート駆動信号  $HG$  のドライブ能力を単純に引き上げただけでは、スイッチ電圧  $V_{sw}$  にリングングを生じ易くなるので、 $EMI / EMC$  [electro magnetic interference/ electro magnetic compatibility] 特性が悪化する。一方、低リングングを優先して上側ゲート駆動信号  $HG$  のドライブ能力を単純に引き下げただけでは、スルーレートが低下するので効率が悪化する。

## 【 0 0 7 9 】

なお、低リングングと高スルーレート (高効率) を両立するためには、上側ゲート駆動信号  $HG$  のドライブ能力を多段階に切り替えることが考えられる。しかしながら、上側ゲート駆動信号  $HG$  の上昇速度は、トランジスタ N 1 の温度特性及び電源電圧特性のばらつき等により大きく変化する。そのため、ドライブ能力の切替タイミングをタイマ制御のみで最適に設定することは難しい。

## 【 0 0 8 0 】

一方、本実施形態の電源制御装置 10 であれば、先にも述べた通り、第 1 ドライバ D R

10

20

30

40

50

V1のゲート充電動作がスイッチ電圧 $V_{sw}$ の上昇に伴って自動的に終了する。従って、先述の遅延時間 $t_{d2R}$ を適切に調整しておくだけで、上側ゲート駆動信号HGのドライブ能力を容易かつ自然に多段階駆動（強ドライブ状態 弱ドライブ状態 強ドライブ状態の3段階駆動）することができる。なお、遅延時間 $t_{d2R}$ は、第1ドライバDRV1のゲート充電動作が終了するまでの所要時間よりも長ければよいので、さほど厳密に設定する必要がなく、多少のばらつきは許容され得る。

【0081】

図4は、本実施形態の電源制御装置10による低リングングと高スルーレートの両立を示す図である。なお、実線は本実施形態の電源制御装置10で生成されるスイッチ電圧 $V_{sw}$ の立ち上がり挙動を示している。一方、破線は第1ドライバDRV1を具備しない一般的な電源制御装置で生成されるスイッチ電圧 $V_{sw}$ の立ち上がり挙動を示している。

10

【0082】

両者を比較すれば明らかなように、本実施形態の電源制御装置10を用いれば、低リングングと高スルーレートを両立することが可能となる。

【0083】

図3に戻り、本実施形態の電源制御装置10によるゲート駆動制御（特に、時刻 $t_4$ 以降）の説明を続ける。

【0084】

時刻 $t_4$ において、遅延時間 $t_{d3R}$ が経過すると、遅延信号 $S_3$ （=ダブラー制御信号DBLR）がハイレベルに立ち上がる。従って、キャパシタ回路CAPが第1動作状態（=並列キャパシタ状態）から第2動作状態（=直列キャパシタ状態）に切り替わる。このような切替制御により、ブートストラップ電圧 $V_{bst}$ を（ $V_C + V_{sw}$ ）から（ $2V_C + V_{sw}$ ）まで持ち上げてフルドライブすることができる。

20

【0085】

なお、遅延時間 $t_{d3R}$ は、第2ドライバDRV2がゲート容量の充電を開始した後にキャパシタ回路CAPが第1動作状態（=並列キャパシタ状態）から第2動作状態（=直列キャパシタ状態）に切り替わるように設定するとよい。

【0086】

さらに言うと、遅延時間 $t_{d3R}$ は、上側ゲート駆動信号HGが上昇し始めてからプラトー電圧 $V_{p1}$ に達するまでの所要時間以上に設定することが望ましい。なお、プラトー電圧 $V_{p1}$ は、トランジスタN1のミラー容量が充放電され始めて、上側ゲート駆動信号HGの上昇が停滞状態に至るときの電圧値である。

30

【0087】

このように、第1動作状態（=並列キャパシタ状態）のキャパシタ回路CAPとトランジスタN1のゲート容量との間における電荷再分配が平衡状態に達してから、キャパシタ回路CAPを第2動作状態（=直列キャパシタ状態）に切り替えることにより、第1動作状態（=並列キャパシタ状態）のキャパシタ回路CAPに蓄えられている電荷をトランジスタN1のゲート充電動作に最大限利用することが可能となる。

【0088】

時刻 $t_5$ において、上側ゲート制御信号 $S_{X1}$ がローレベルに立ち下がると、遅延信号 $S_3$ （=ダブラー制御信号DBLR）が遅滞なくローレベルに立ち下がる。従って、キャパシタ回路CAPが第2動作状態（=直列キャパシタ状態）から第1状態（=並列キャパシタ状態）に切り替わる。

40

【0089】

一方、時刻 $t_5$ において、上側ゲート制御信号 $S_{X1}$ がローレベルに立ち下がっても、遅延時間 $t_{d1F}$ 及び $t_{d2F}$ （本図では $t_{d1F} = t_{d2F}$ ）が経過するまで、遅延信号 $S_1$ がハイレベルに維持されて、遅延信号 $S_2$ がローレベルに維持される。従って、トランジスタN1がオン状態に維持されたままとなる。

【0090】

このように、トランジスタN1をオフする前（=ゲート容量の放電を開始する前）に、

50

キャパシタ回路CAPを第2動作状態(=直列キャパシタ状態)から第1状態(=並列キャパシタ状態)に切り替えることにより、トランジスタN1のゲート容量に蓄えられた電荷の一部をキャパシタ回路CAPで回収することができる。従って、入力電圧Vinの印加端からキャパシタ回路CAPに流れる充電電流を削減することができるので、電荷の利用効率を高めることが可能となる。特に、電源制御装置10のスイッチング周波数が高いほど効果が高くなる。

【0091】

時刻t6において、遅延時間td1F及びtd2Fが経過すると、遅延信号S1がローレベルに立ち下がり、遅延信号S2がハイレベルに立ち上がる。従って、第2ドライバDRV2では、トランジスタN5がオン状態となるので、トランジスタN1のゲートからトランジスタN5を介してスイッチ電圧Vswの印加端に至る放電電流経路が導通する。

10

【0092】

なお、遅延時間td2Fは、キャパシタ回路CAPが第2動作状態(=直列キャパシタ状態)から第1状態(=並列キャパシタ状態)に切り替えられた後にゲート容量の放電を開始するように設定するとよい。

【0093】

さらに言うと、遅延時間td2Fは、上側ゲート駆動信号HGが低下し始めてからプラトー電圧Vp2に達するまでの所要時間以上に設定することが望ましい。なお、プラトー電圧Vp2は、トランジスタN1のミラー容量が充放電され始めて、上側ゲート駆動信号HGの低下が停滞状態に至るときの電圧値である。

20

【0094】

このように、第2動作状態(=直列キャパシタ状態)のキャパシタ回路CAPとトランジスタN1のゲート容量との間における電荷再分配が平衡状態に達してから、トランジスタN1のゲート容量を放電し始めることにより、トランジスタN1のゲート容量に蓄えられている電荷をキャパシタ回路CAPに最大限回収することが可能となる。

【0095】

<電源制御装置(第2実施形態)>

図5は、電源制御装置10の第2実施形態(=第2ドライバDRV2の第1変形例)を示す図である。本実施形態の電源制御装置10は、先出の第1実施形態(図2)を基本としつつ、第2ドライバDRV2の構成に変更が加えられている。

30

【0096】

本図に即して述べると、第2ドライバDRV2は、先出の遅延回路DLY2に代えて、検出回路DETと、否定論理積ゲートNANDと、を含む。

【0097】

検出回路DETは、ブートストラップ電圧Vbstとスイッチ電圧Vswの供給を受けて動作し、スイッチ電圧Vswが閾値電圧Vthを上回ったことを検出して検出信号S2aを出力する。例えば、検出信号S2aは、スイッチ電圧Vswが閾値電圧Vthよりも低いときにローレベル(Vsw)となり、スイッチ電圧Vswが閾値電圧Vthよりも高いときにハイレベル(Vbst)となる。なお、本図で示したように、検出回路DETとしては、入力端が入力電圧Vinの印加端に接続されたインバータを用いてもよい。

40

【0098】

否定論理積ゲートNANDは、上側ゲート制御信号SX1と検出信号S2aとの否定論理積信号S2bを出力する。否定論理積信号S2bは、上側ゲート制御信号SX1及び検出信号S2aの少なくとも一方がローレベル(Vsw)であるときにハイレベル(Vbst)となり、上側ゲート制御信号SX1及び検出信号S2aの双方がハイレベル(Vbst)であるときにローレベル(Vsw)となる。

【0099】

トランジスタP1及びN5それぞれのゲートには、先出の遅延信号S2に代えて、否定論理積信号S2bが入力されている。従って、否定論理積信号S2bがローレベル(Vsw)であるときには、トランジスタP1がオン状態となり、トランジスタN5がオフ状

50

態となる。一方、否定論理積信号  $S_{2b}$  がハイレベル ( $V_{bst}$ ) であるときには、トランジスタ  $P_1$  がオフ状態となり、トランジスタ  $N_5$  がオン状態となる。

【0100】

すなわち、本実施形態の第2ドライバ  $DRV_2$  では、上側ゲート制御信号  $S_{X1}$  がハイレベル (= トランジスタ  $N_1$  をオンするときの論理レベル) に立ち上げられてから、遅延時間  $t_{d2R}$  を計時するのではなく、スイッチ電圧  $V_{sw}$  が閾値電圧  $V_{th}$  を上回ったことを検出して、トランジスタ  $N_1$  のゲート容量を充電し始める。このような構成を採用しても、先出の第1実施形態 (図2) と同様の作用・効果を楽しむことが可能である。

【0101】

< 検出回路 >

図6は、検出回路  $DET$  の一構成例を示す図である。本構成例の検出回路  $DET$  は、トランジスタ  $P_4$  (例えばPチャンネル型  $MOSFET$ ) と、トランジスタ  $N_8$  (例えばNチャンネル型  $MOSFET$ ) と、を含む。

【0102】

トランジスタ  $P_4$  のソース及びバックゲートは、いずれもブートストラップ電圧  $V_{bst}$  の印加端 (=  $BOOT$  ノード) に接続されている。トランジスタ  $P_4$  及び  $N_8$  それぞれのドレインは、検出信号  $S_{2a}$  の印加端に接続されている。トランジスタ  $N_8$  のソース及びバックゲートは、いずれもスイッチ電圧  $V_{sw}$  の印加端 (=  $SW$  ピン) に接続されている。トランジスタ  $P_4$  及び  $N_8$  それぞれのゲートは、入力電圧  $V_{in}$  の印加端 (=  $PVIN$  ピン) に接続されている。

【0103】

このように接続されたトランジスタ  $P_4$  及び  $N_8$  は、入力端が入力電圧  $V_{in}$  の印加端に接続されたインバータを形成する。従って、検出信号  $S_{2a}$  は、スイッチ電圧  $V_{sw}$  が閾値電圧  $V_{th}$  (=  $V_{in} - V_{gs}$ 、ただし  $V_{gs}$  はトランジスタ  $N_8$  のオン閾値電圧) よりも低いときにローレベル ( $V_{sw}$ ) となり、スイッチ電圧  $V_{sw}$  が閾値電圧  $V_{th}$  よりも高いときにハイレベル ( $V_{bst}$ ) となる。

【0104】

なお、検出回路  $DET$  を形成するトランジスタ  $N_8$  のオン閾値電圧が、第1ドライバ  $DRV_1$  を形成するトランジスタ  $N_4$  のオン閾値電圧と同値である場合には、第1ドライバ  $DRV_1$  のゲート充電動作が終了すると同時に第2ドライバ  $DRV_2$  のゲート充電動作が開始される。これは先出の図3における時刻  $t_2$  と時刻  $t_3$  が一致した状態に相当する。

【0105】

< 電源制御装置 (第3実施形態) >

図7は、電源制御装置10の第3実施形態 (= 第2ドライバ  $DRV_2$  の第2変形例) を示す図である。本実施形態の電源制御装置10は、先出の第2実施形態 (図5) を基本としつつ、第2ドライバ  $DRV_2$  の構成要素として、さらに、遅延回路  $DLY_4$  を含む。

【0106】

遅延回路  $DLY_4$  は、否定論理積信号  $S_{2b}$  に所定の遅延を与えて遅延信号  $S_{2c}$  を生成する。

【0107】

トランジスタ  $P_1$  及び  $N_5$  それぞれのゲートには、先出の否定論理積信号  $S_{2b}$  に代えて遅延信号  $S_{2c}$  が入力されている。従って、遅延信号  $S_{2c}$  がローレベル ( $V_{sw}$ ) であるときには、トランジスタ  $P_1$  がオン状態となり、トランジスタ  $N_5$  がオフ状態となる。一方、遅延信号  $S_{2c}$  がハイレベル ( $V_{bst}$ ) であるときには、トランジスタ  $P_1$  がオフ状態となり、トランジスタ  $N_5$  がオン状態となる。

【0108】

すなわち、本実施形態の第2ドライバ  $DRV_2$  では、上側ゲート制御信号  $S_{X1}$  がハイレベル (= トランジスタ  $N_1$  をオンするときの論理レベル) に立ち上げられた後、スイッチ電圧  $V_{sw}$  が閾値電圧  $V_{th}$  を上回ったことを検出してから、所定の遅延時間が経過した後にトランジスタ  $N_1$  のゲート容量を充電し始める。このような構成を採用しても、先

10

20

30

40

50

出の第 1 実施形態（図 2）及び第 2 実施形態（図 5）と同様の作用・効果を楽しむことが可能である。

【0109】

特に、本実施形態の遅延回路 DLY 4 であれば、第 1 実施形態（図 2）の遅延回路 DLY 2 と比べて、設定すべき遅延時間を必要最小限に抑えることができる。従って、遅延時間がばらついて影響を受け難くなる。

【0110】

< 電源制御装置（第 4 実施形態） >

図 8 は、電源制御装置 10 の第 4 実施形態（= 第 1 ドライバ DRV 1 の変形例）を示す図である。本実施形態の電源制御装置 10 は、先出の第 1 実施形態（図 2）を基本としつつ、第 1 ドライバ DRV 1 の構成に変更が加えられている。

10

【0111】

本図に即して述べると、第 1 ドライバ DRV 1 は、先出のトランジスタ N 3 及び遅延回路 DLY 1 に代えて、トランジスタ P 5（例えば P チャネル型 MOSFET）及び遅延回路 DLY 5 を含む。

【0112】

トランジスタ P 5 のソース及びバックゲートは、いずれも入力電圧  $V_{in}$  の印加端（= PVIN ピン）に接続されている。トランジスタ P 5 のドレインは、トランジスタ N 4 のソースに接続されている。トランジスタ P 5 のゲートは、遅延回路 DLY 5 の出力端（= 遅延信号 S1X の印加端）に接続されている。なお、トランジスタ P 5 には、ボディダイオード BD 4 が付随する。具体的には、トランジスタ P 5 のソースがボディダイオード BD 4 のカソードに相当し、トランジスタ P 5 のドレインがボディダイオード BD 4 のアノードに相当する。

20

【0113】

遅延回路 DLY 5 は、第 1 ドライバ DRV 1 の動作タイミングを調整するように、上側ゲート制御信号 SX 1 に所定の遅延を与えつつ、上側ゲート制御信号 SX 1 の論理レベルを反転させて反転遅延信号 S1B を生成する。例えば、上側ゲート制御信号 SX 1 がハイレベルに立ち上げられたときには、反転遅延信号 S1B が遅滞なくローレベルに立ち下げられる。一方、上側ゲート制御信号 SX 1 がローレベルに立ち下げられたときには、反転遅延信号 S1B が遅延時間  $t_{d1F}$  だけ遅れてハイレベルに立ち上げられる。遅延時間  $t_{d1F}$  の設定手段としては、CR タイマなどを用いてもよい。

30

【0114】

このように、トランジスタ N 1 のゲートを BOOT - SW 電源レールで駆動するゲート駆動素子としては、N チャネル型 MOSFET に代えて、P チャネル型 MOSFET を用いてもよい。

【0115】

なお、本実施形態では、先出の第 1 実施形態（図 2）を基本とした例を挙げたが、第 2 実施形態（図 5）及び第 3 実施形態（図 7）を基本としつつ、第 1 ドライバ DRV 1 の構成に変更を加えてもよい。

【0116】

< 総括 >

以下では、上記で説明した種々の実施形態について総括的に述べる。

40

【0117】

例えば、本明細書中に開示されているゲートドライバは、入力電圧の印加端とスイッチ電圧の印加端との間に接続される N チャネル型の出力トランジスタのゲート容量を充放電するものであって、前記入力電圧を用いて前記ゲート容量を充電するように構成された第 1 ドライバと、前記スイッチ電圧よりも高いブートストラップ電圧を用いて前記ゲート容量を充電するように構成された第 2 ドライバと、を並列に備え、前記出力トランジスタをオンするときには、前記第 1 ドライバが前記第 2 ドライバよりも先に前記ゲート容量の充電を開始し、前記第 1 ドライバによる前記ゲート容量の充電が停止した後に前記第 2 ドラ

50

イバが前記ゲート容量の充電を開始する構成（第 1 の構成）とされている。

【 0 1 1 8 】

なお、上記第 1 の構成によるゲートドライバにおいて、前記第 1 ドライバは、ドレインが前記入力電圧の印加端に接続されるように構成された N チャネル型の第 1 トランジスタと、ソースが前記第 1 トランジスタのソースに接続されてゲートが前記入力電圧の印加端に接続されてドレインが前記出力トランジスタのゲートに接続されるように構成された N チャネル型の第 2 トランジスタと、を含む構成（第 2 の構成）にしてもよい。

【 0 1 1 9 】

上記第 1 の構成によるゲートドライバにおいて、前記第 1 ドライバは、ソースが前記入力電圧の印加端に接続されるように構成された P チャネル型の第 1 トランジスタと、ソースが前記第 1 トランジスタのドレインに接続されてゲートが前記入力電圧の印加端に接続されてドレインが前記出力トランジスタのゲートに接続されるように構成された N チャネル型の第 2 トランジスタと、を含む構成（第 3 の構成）にしてもよい。

10

【 0 1 2 0 】

また、上記第 1 ~ 第 3 いずれかの構成によるゲートドライバにおいて、前記第 2 ドライバは、ゲート制御信号が前記出力トランジスタをオンするときの論理レベルとなってから所定の遅延時間が経過した後に前記ゲート容量の充電を開始するように構成された遅延回路を含む構成（第 4 の構成）にしてもよい。

【 0 1 2 1 】

また、上記第 1 ~ 第 3 いずれかの構成によるゲートドライバにおいて、前記第 2 ドライバは、ゲート制御信号が前記出力トランジスタをオンするときの論理レベルとなってから前記スイッチ電圧が所定の閾値電圧を上回ったことを検出した後に前記ゲート容量の充電を開始するように構成された検出回路を含む構成（第 5 の構成）にしてもよい。

20

【 0 1 2 2 】

また、上記第 5 の構成によるゲートドライバにおいて、前記第 2 ドライバは、前記スイッチ電圧が前記閾値電圧を上回ったことを検出してから所定の遅延時間が経過した後に前記ゲート容量の充電を開始するように構成された遅延回路を更に含む構成（第 6 の構成）にしてもよい。

【 0 1 2 3 】

また、例えば、本明細書中に開示されている半導体装置は、上記第 1 ~ 第 6 いずれかの構成によるゲートドライバを備える構成（第 7 の構成）とされている。

30

【 0 1 2 4 】

上記第 7 の構成による半導体装置は、前記ブートストラップ電圧の印加端と前記スイッチ電圧の印加端との間に接続され、前記ゲート容量の充放電に同期して容量値が可変制御されるように構成されたキャパシタ回路を更に備える構成（第 8 の構成）にしてもよい。

【 0 1 2 5 】

また、上記第 8 の構成による半導体装置において、前記キャパシタ回路は、前記第 2 ドライバが前記ゲート容量の充電を開始した後に第 1 容量値からこれよりも小さい第 2 容量値に切り替わり、前記第 2 ドライバが前記ゲート容量の放電を開始する前に前記第 2 容量値から前記第 1 容量値に切り替わる構成（第 9 の構成）にしてもよい。

40

【 0 1 2 6 】

また、例えば、本明細書中に開示されているスイッチング電源は、上記第 7 ~ 第 9 いずれかの構成による半導体装置を備えており、前記入力電圧から所望の出力電圧を生成する構成（第 10 の構成）とされている。

【 0 1 2 7 】

< その他の変形例 >

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、バイポーラトランジスタと MOS 電界効果トランジスタとの相互置換、及び、各種信号の論理レベル反転は任意である。すなわち、上記実施形態は、全ての点で例示であって、制限的

50

なものではないと考えられるべきであり、本発明の技術的範囲は、特許請求の範囲により規定されるものであって、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【符号の説明】

【0128】

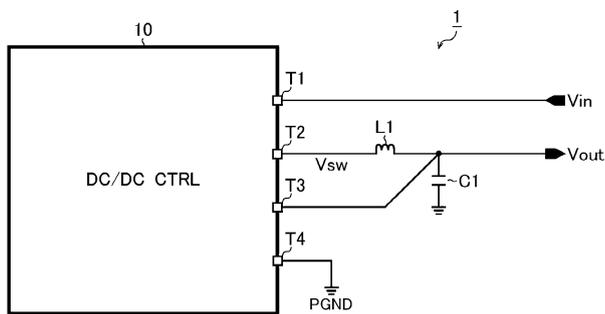
- 1     スイッチング電源
- 10    電源制御装置（半導体装置）
- 11    スイッチ出力段
- 12    駆動回路
- 121   上側ゲートドライバ
- 122   下側ゲートドライバ
- 13    ブートストラップ回路
- 14    コントローラ
- BD1 ~ BD4   ボディダイオード
- C1、C11、C12   キャパシタ
- CAP    キャパシタ回路
- DET    検出回路
- DLY0 ~ DLY5    遅延回路
- DRV1    第1ドライバ
- DRV2    第2ドライバ
- INV1、INV2    インバータ
- L1    インダクタ
- NAND    否定論理積ゲート
- N1 ~ N8    トランジスタ（Nチャンネル型MOSFET）
- P1 ~ P5    トランジスタ（Pチャンネル型MOSFET）
- T1 ~ T4    外部端子
- X1、X2    バッファ

10

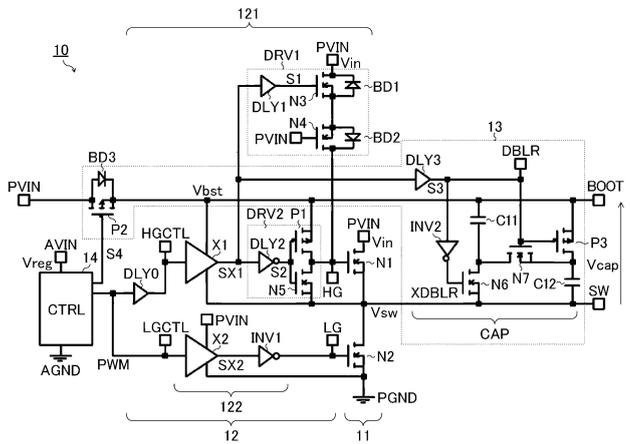
20

【図面】

【図1】



【図2】

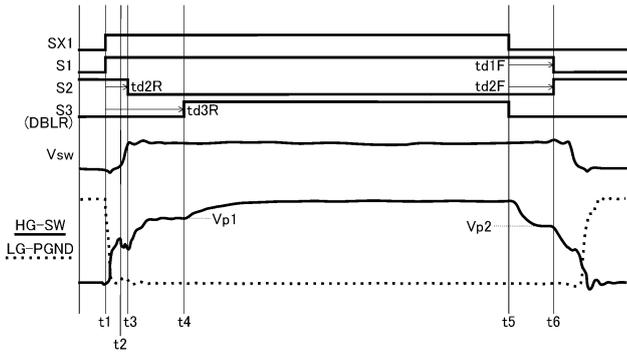


30

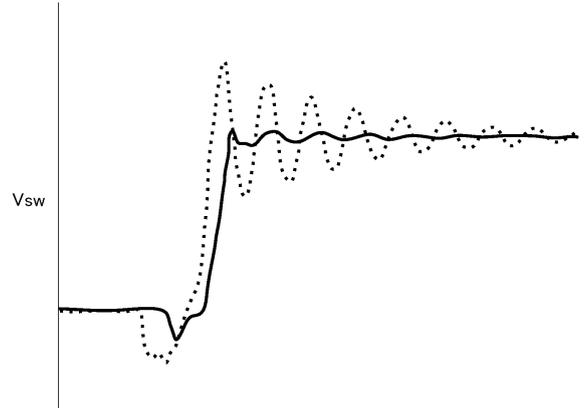
40

50

【 3 】

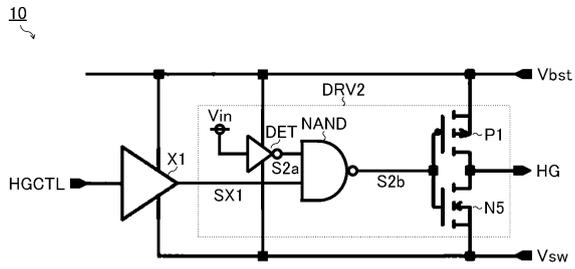


【 4 】

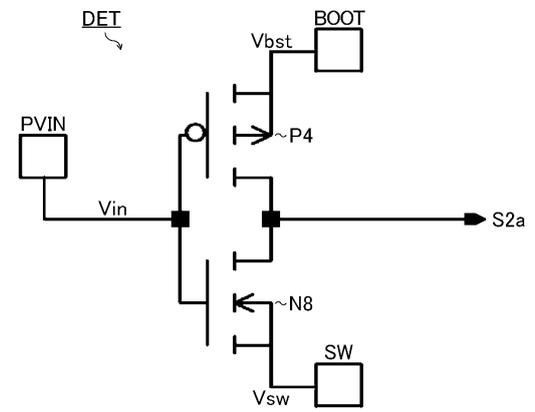


10

【 5 】



【 6 】



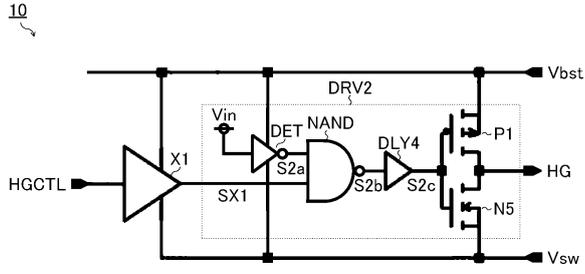
20

30

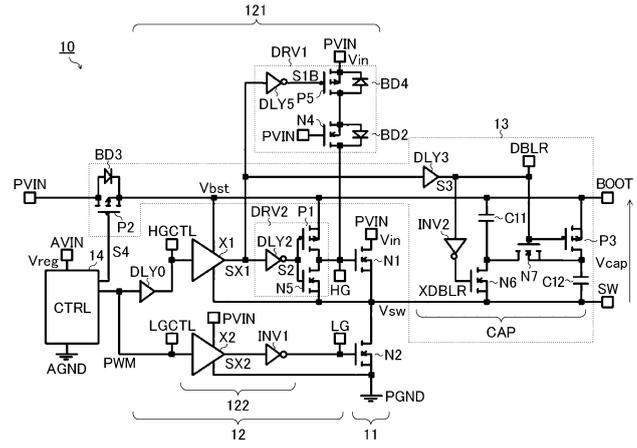
40

50

【 図 7 】



【 図 8 】



10

20

30

40

50

---

フロントページの続き

Fターム(参考) 5H740 BA12 BB01 BB07 BC01 BC02 JA01 JB01 KK01 MM01  
5J055 AX10 AX25 AX55 AX66 BX16 CX19 DX13 DX22 DX56 EX01  
EX07 EX17 EX18 EX19 EY05 EY10 EY11 EY21 EZ07 EZ12 EZ18  
EZ23 EZ25 EZ50 GX01 GX02 GX05