



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0055970
(43) 공개일자 2009년06월03일

(51) Int. Cl.

G09G 3/28 (2006.01) H01J 17/49 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0122877

(22) 출원일자 2007년11월29일

심사청구일자 없음

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

서정익

경북 구미시 진평동 642번지

이중학

경북 구미시 진평동 642번지

(74) 대리인

박병창

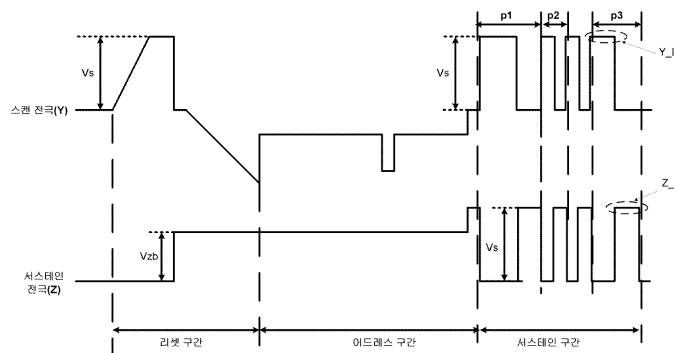
전체 청구항 수 : 총 5 항

(54) 플라즈마 디스플레이 장치

(57) 요약

본 발명의 플라즈마 디스플레이 장치는 어드레싱 이전에 서스테인 전극 및 스캔 전극의 벽전하를 효과적으로 초기화하여 플라즈마 디스플레이 패널을 안정적으로 구동시킬 수 있도록, 본 발명은 상부기판에 형성되는 복수의 스캔 전극 및 서스테인 전극과 하부기판에 형성되는 복수의 어드레스전극을 구비하는 플라즈마 디스플레이 패널; 및 상기 복수의 전극들에 구동 신호를 공급하는 구동부를 포함하고, 하나의 프레임을 구성하는 복수의 서브필드 중 제1 서브필드에서 공급되는 리셋 신호의 최대 전압은 제2 서브필드에서 공급되는 리셋 신호의 최대 전압보다 크며, 상기 제2 서브필드에서 스캔 전극 및 서스테인 전극으로 복수의 서스테인 신호가 공급되는 서스테인 구간에서, 상기 복수의 서스테인 신호 중 적어도 2 이상은 상이한 시간 타이밍을 가지는 플라즈마 디스플레이 장치를 제공한다.

대표도



특허청구의 범위

청구항 1

상부기판에 형성되는 복수의 스캔 전극 및 서스테인 전극과 하부기판에 형성되는 복수의 어드레스전극을 구비하는 플라즈마 디스플레이 패널; 및 상기 복수의 전극들에 구동 신호를 공급하는 구동부를 포함하는 플라즈마 디스플레이 장치에 있어서,

하나의 프레임을 구성하는 복수의 서브필드 중 제1 서브필드에서 공급되는 리셋 신호의 최대 전압은 제2 서브필드에서 공급되는 리셋 신호의 최대 전압보다 크며,

상기 제2 서브필드에서 스캔 전극 및 서스테인 전극으로 복수의 서스테인 신호가 공급되는 서스테인 구간에서, 상기 복수의 서스테인 신호 중 적어도 2 이상은 상이한 시간 타이밍을 가지는 플라즈마 디스플레이 장치.

청구항 2

제 1 항에 있어서, 상기 서스테인 구간은,

제1 시간 타이밍을 가지는 상기 서스테인 신호가 공급되는 제1 서스테인 구간;

제2 시간 타이밍을 가지는 상기 서스테인 신호가 공급되는 제2 서스테인 구간; 및

제3 시간 타이밍을 가지는 상기 서스테인 신호가 공급되는 제3 서스테인 구간을 포함하는 플라즈마 디스플레이 장치.

청구항 3

제 2 항에 있어서, 상기 제3 시간 타이밍은,,

상기 제1 폭보다 짧으며 상기 제2 시간 타이밍보다 길게되는 플라즈마 디스플레이 장치.

청구항 4

제 1 항에 있어서, 상기 서스테인 신호의 전압은,

스캔 전압인 플라즈마 디스플레이 장치.

청구항 5

제 2 항에 있어서, 상기 제3 시간 타이밍은,

7us 내지 9us 인 플라즈마 디스플레이 장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 플라즈마 디스플레이 장치에 관한 것으로서, 보다 상세하게는 플라즈마 디스플레이 패널을 구동시키는 방법에 관한 것이다.

배경기술

<2> 플라즈마 디스플레이 패널(Plasma Display Panel, 이하 PDP라 함)은 불활성 혼합가스의 방전시 발생하는 진공자외선(VUV)에 의해 형광체를 여기 발광시킴으로써 화상을 표시한다.

<3> 이러한 PDP는 대형화와 박막화가 용이할 뿐만 아니라 구조가 단순해짐으로 제작이 용이해지고 아울러 다른 평면 표시장치에 비하여 휘도 및 발광효율이 높다는 장점을 가진다. 특히, 교류 면방전형 3전극 플라즈마 디스플레이 패널은 방전시 표면에 벽전하가 축적되어 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저

전압 구동과 장수명의 이점을 가진다.

- <4> 플라즈마 디스플레이 패널은 화상의 계조를 구현하기 위하여, 모든 셀을 초기화하기 위한 리셋구간(Reset), 셀을 선택하기 위한 어드레스 구간(Address)과 선택된 셀에서 표시방전을 일으키는 서스테인 구간(Sustain)으로 시분할 구동된다.
- <5> 상기 리셋 기간 동안 모든 전극들이 어드레싱을 위한 벽전하 상태로 초기화되지 않는 경우, 서스테인 구간에서 약방전이 발생되어 휘점이 생길 수 있으며, 그로 인해 디스플레이 화상의 화질이 저하되는 문제가 있었다.

발명의 내용

해결 하고자하는 과제

- <6> 본 발명의 목적은 어드레싱 이전에 서스테인 전극 및 스캔 전극의 벽전하를 효과적으로 초기화하여 플라즈마 디스플레이 패널을 안정적으로 구동시킬 수 있는 플라즈마 디스플레이 장치를 제공하는데 있다.

과제 해결수단

- <7> 본 발명에 따른 플라즈마 디스플레이 장치는 상부기관에 형성되는 복수의 스캔 전극 및 서스테인 전극과 하부기관에 형성되는 복수의 어드레스전극을 구비하는 플라즈마 디스플레이 패널; 및 상기 복수의 전극들에 구동 신호를 공급하는 구동부를 포함하고, 하나의 프레임을 구성하는 복수의 서브필드 중 제1 서브필드에서 공급되는 리셋 신호의 최대 전압은 제2 서브필드에서 공급되는 리셋 신호의 최대 전압보다 크며, 상기 제2 서브필드에서 스캔 전극 및 서스테인 전극으로 복수의 서스테인 신호가 공급되는 서스테인 구간에서, 상기 복수의 서스테인 신호 중 적어도 2 이상은 상이한 폭을 가지는 것을 특징으로 한다.

효 과

- <8> 본 발명에 따른 플라즈마 디스플레이 장치는, 방전 셀의 스캔 전극 및 서스테인 전극의 벽전하를 서스테인 구간 중 폭이 상이한 서스테인 신호를 인가함으로써, 플라즈마 디스플레이 패널의 오방전을 개선할 수 있으며, 특히 플라즈마 디스플레이 패널의 장기간 사용에 따른 휘점 오방전 발생 가능성을 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <9> 이하, 첨부된 도면을 참조하여 본 발명에 따른 플라즈마 디스플레이 장치에 관하여 상세히 설명한다.
- <10> 도 1 은 본 발명의 제1 실시 예에 따른 플라즈마 디스플레이 패널의 구조를 나타내는 사시도이다.
- <11> 도 1 을 참조하면, 플라즈마 디스플레이 패널은 상부기관(10) 상에 형성되는 유지 전극 쌍인 스캔 전극(11) 및 서스테인 전극(12), 하부기관(20) 상에 형성되는 어드레스 전극(22)을 포함한다.
- <12> 유지 전극 쌍(11, 12)은 통상 인듐틴옥사이드(Indium-Tin-Oxide;ITO)로 형성된 투명전극(11a, 12a)과 버스 전극(11b, 12b)을 포함하며, 상기 버스 전극(11b, 12b)은 은(Ag), 크롬(Cr) 등의 금속 또는 크롬/구리/크롬(Cr/Cu/Cr)의 적층형이나 크롬/알루미늄/크롬(Cr/Al/Cr)의 적층형으로 형성될 수 있다. 버스 전극(11b, 12b)은 투명전극(11a, 12a) 상에 형성되어, 저항이 높은 투명전극(11a, 12a)에 의한 전압 강하를 줄이는 역할을 한다.
- <13> 한편, 본 발명의 제1 실시 예에 따르면 유지 전극쌍(11, 12)은 투명전극(11a 12a)과 버스 전극(11b, 12b)이 적층된 구조뿐만 아니라, 투명 전극(11a, 12a)이 없이 버스 전극(11b, 12b)만으로도 구성될 수 있다. 이러한 구조는 투명 전극(11a, 12a)을 사용하지 않으므로, 패널 제조의 단가를 낮출 수 있는 장점이 있다. 이러한 구조에 사용되는 버스 전극(11b, 12b)은 위에 열거한 재료 이외에 감광성 재료등 다양한 재료가 가능할 것이다.
- <14> 스캔 전극(11) 및 서스테인 전극(12)의 투명전극(11a, 12a)과 버스전극(11b, 11c)의 사이에는 상부 기관(10)의 외부에서 발생하는 외부 광을 흡수하여 반사를 줄여주는 광 차단 기능과 상부 기관(10)의 퓨리티(Purity) 및 콘트라스트를 향상시키는 기능을 하는 블랙 매트릭스(Black Matrix, BM, 15)가 배열된다.
- <15> 본 발명의 제1 실시 예에 따른 블랙 매트릭스(15)는 상부 기관(10)에 형성되는데, 격벽(21)과 중첩되는 위치에 형성되는 제1 블랙 매트릭스(15)와, 투명전극(11a, 12a)과 버스전극(11b, 12b)사이에 형성되는 제2 블랙 매트릭스(11c, 12c)로 구성될 수 있다. 여기서, 제1 블랙 매트릭스(15)와 블랙층 또는 블랙 전극층이라고도 하는 제2 블랙 매트릭스(11c, 12c)는 형성 과정에서 동시에 형성되어 물리적으로 연결될 수 있고, 동시에 형성되지 않아 물리적으로 연결되지 않을 수도 있다.

- <16> 또한, 물리적으로 연결되어 형성되는 경우, 제1 블랙 매트릭스(15)와 제 2 블랙 매트릭스(11c, 12c)는 동일한 재질로 형성되지만, 물리적으로 분리되어 형성되는 경우에는 다른 재질로 형성될 수 있다.
- <17> 스캔 전극(11)과 서스테인 전극(12)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(13)과 보호막(14)이 적층된다. 상부 유전체층(13)에는 방전에 의하여 발생된 하전입자들이 축적되고, 유지 전극 쌍(11, 12)을 보호하는 기능을 수행할 수 있다. 보호막(14)은 가스 방전시 발생된 하전입자들의 스피터링으로부터 상부 유전체층(13)을 보호하고, 2차 전자의 방출 효율을 높이게 된다.
- <18> 또한, 어드레스 전극(22)은 스캔 전극(11) 및 서스테인 전극(12)과 교차되는 방향으로 형성된다. 또한, 어드레스 전극(22)이 형성된 하부기관(20) 상에는 하부 유전체층(24)과 격벽(21)이 형성된다.
- <19> 또한, 하부 유전체층(24)과 격벽(21)의 표면에는 형광체층(23)이 형성된다. 격벽(21)은 세로 격벽(21a)와 가로 격벽(21b)가 폐쇄형으로 형성되고, 방전 셀을 물리적으로 구분하며, 방전에 의해 생성된 자외선과 가시광이 인접한 방전 셀에 누설되는 것을 방지한다.
- <20> 본 발명의 제1 실시 예에는 도 1 에 도시된 격벽(21)의 구조뿐만 아니라, 다양한 형상의 격벽(21)의 구조도 가능할 것이다. 예컨대, 세로 격벽(21a)과 가로 격벽(21b)의 높이가 다른 차등형 격벽 구조, 세로 격벽(21a) 또는 가로 격벽(21b) 중 적어도 하나 이상에 배기 통로로 사용 가능한 채널(Channel)이 형성된 채널형 격벽 구조, 세로 격벽(21a) 또는 가로 격벽(21b) 중 하나 이상에 홈(Hollow)이 형성된 홈형 격벽 구조 등이 가능할 것이다.
- <21> 여기서, 차등형 격벽 구조인 경우에는 가로 격벽(21b)의 높이가 높은 것이 더 바람직하고, 채널형 격벽 구조나 홈형 격벽 구조인 경우에는 가로 격벽(21b)에 채널이 형성되거나 홈이 형성되는 것이 바람직할 것이다.
- <22> 한편, 본 발명의 제1 실시 예에서는 R, G 및 B 방전 셀 각각이 동일한 선상에 배열되는 것으로 도시 및 설명되고 있지만, 다른 형상으로 배열되는 것도 가능할 것이다. 예컨대, R, G 및 B 방전 셀이 삼각형 형상으로 배열되는 델타(Delta) 타입의 배열도 가능할 것이다. 또한, 방전 셀의 형상도 사각형상 뿐만 아니라, 오각형, 육각형 등의 다양한 다각 형상도 가능할 것이다.
- <23> 또한, 형광체층(23)은 가스 방전시 발생된 자외선에 의해 발광되어 적색(R), 녹색(G) 또는 청색(B) 중 어느 하나의 가시광을 발생하게 된다. 여기서, 상부/하부 기관(10, 20)과 격벽(21) 사이에 마련된 방전공간에는 방전을 위한 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스가 주입된다.
- <24> 도 2 는 본 발명의 제1 실시 예에 따른 플라즈마 디스플레이 패널의 전극 배치를 나타내는 배치도이다.
- <25> 도 2 를 참조하면, 플라즈마 디스플레이 패널을 구성하는 복수의 방전 셀들은 매트릭스 형태로 배치되는 것이 바람직하다. 복수의 방전 셀들은 각각 스캔 전극 라인(Y1 내지 Ym), 서스테인 전극 라인(Z1 내지 Zm) 및 어드레스 전극 라인(X1 내지 Xn)의 교차부에 마련된다. 스캔 전극 라인(Y1 내지 Ym)은 순차적으로 구동되거나 동시에 구동될 수 있고, 서스테인 전극 라인(Z1 내지 Zm)은 동시에 구동될 수 있다. 어드레스 전극라인(X1 내지 Xn)은 기수 번째 라인들과 우수 번째 라인들로 분할되어 구동되거나 순차적으로 구동될 수 있다.
- <26> 본 발명에 따른 플라즈마 패널의 전극 배치에 대한 제1 실시 예에 불과하므로, 본 발명은 도 2 에 도시된 플라즈마 디스플레이 패널의 전극 배치 및 구동 방식에 한정되지 아니한다. 예컨대, 스캔 전극 라인(Y1 내지 Ym)들 중 2 개의 스캔 전극 라인이 동시에 스캐닝되는 듀얼 스캔(dual scan) 방식도 가능하다. 또한, 상기 어드레스 전극 라인(X1 내지 Xn)은 패널의 중앙 부분에서 상, 하로 분할되어 구동될 수도 있다.
- <27> 도 3 은 본 발명의 제1 실시 예에 따른 하나의 프레임(frame)을 복수의 서브필드로 나누어 시분할 구동시키는 방법을 나타내는 타이밍도이다.
- <28> 도 3 을 참조하면, 단위 프레임은 시분할 계조 표시를 실현하기 위하여 소정 개수 예컨대 8개의 서브필드들(SF1, ..., SF8)로 분할될 수 있다. 또한, 각 서브필드(SF1, ...SF8)는 리셋 구간(미도시)과, 어드레스 구간(A1, ..., A8) 및, 서스테인 구간(S1, ..., S8)로 분할된다.
- <29> 여기서, 본 발명의 제1 실시 예에 따르면 리셋 구간은 복수 개의 서브필드 중 적어도 하나에서 생략될 수 있다. 예컨대, 리셋 구간은 최초의 서브필드에서만 존재하거나, 최초의 서브필드와 전체 서브필드 중 중간 정도의 서브필드에서만 존재할 수도 있다.
- <30> 각 어드레스 구간(A1, ..., A8)에서는, 어드레스 전극(X)에 표시 데이터 신호가 인가되고, 각 스캔 전극(Y)에 상응하는 스캔 펄스가 순차적으로 인가된다.

- <31> 각 서스테인 구간(S1, ..., S8)에서는, 스캔 전극(Y)과 서스테인 전극(Z)에 서스테인 펄스가 교호하게 인가되어, 어드레스 구간(A1, ..., A8)에서 벽전하들이 형성된 방전셀들에서 서스테인 방전을 일으킨다.
- <32> 플라즈마 디스플레이 패널의 휘도는 단위 프레임에서 차지하는 서스테인 방전 구간(S1, ..., S8)내의 서스테인 방전 펄스 개수에 비례한다. 1 화상을 형성하는 하나의 프레임이, 8개의 서브필드와 256계조로 표현되는 경우에, 각 서브필드에는 차례대로 1, 2, 4, 8, 16, 32, 64, 128의 비율로 서로 다른 서스테인 펄스의 수가 할당될 수 있다. 만일 133계조의 휘도를 얻기 위해서는, 서브필드1 구간, 서브필드3 구간 및 서브필드8 구간 동안 셀들을 어드레싱하여 서스테인 방전하면 된다.
- <33> 각 서브필드에 할당되는 서스테인 방전 수는, APC(Automatic Power Control)단계에 따른 서브필드들의 가중치에 따라 가변적으로 결정될 수 있다. 즉, 도 3에서는 한 프레임을 8개의 서브필드로 분할하는 경우를 예로 들어 설명하였으나 본 발명은 그에 한정되지 아니하며, 한 프레임을 형성하는 서브필드의 수를 설계사양에 따라 다양하게 변형하는 것이 가능하다. 예를 들어, 한 프레임을 12 또는 16 서브필드 등과 같이, 8 서브필드 이상으로 분할하여 플라즈마 디스플레이 패널을 구동시킬 수 있다.
- <34> 또한 각 서브필드에 할당되는 서스테인 방전 수는 감마특성이나 패널특성을 고려하여 다양하게 변형하는 것이 가능하다. 예컨대, 서브필드 4에 할당된 계조도를 8에서 6으로 낮추고, 서브필드 6 에 할당된 계조도를 32 에서 34 로 높일 수 있다.
- <35> 도 4 는 도 3 에 나타낸 분할된 하나의 서브필드에 대해 플라즈마 디스플레이 패널을 구동시키는 구동 신호에 대한 제1 실시 예를 나타내는 타이밍도이다.
- <36> 도 4 를 참조하면, 상기 서브필드는 스캔 전극들(Y) 상에 정극성 벽전하를 형성하고 서스테인 전극들(Z) 상에 부극성 벽전하를 형성하기 위한 프리 리셋(pre reset) 구간, 프리 리셋 구간에 의해 형성된 벽전하 분포를 이용하여 전 화면의 방전셀들을 초기화하기 위한 리셋(reset) 구간, 방전셀을 선택하기 위한 어드레스(address) 구간 및 선택된 방전셀들의 방전을 유지시키기 위한 서스테인(sustain) 구간을 포함한다.
- <37> 리셋 구간은 셋업(setup) 구간 및 셋 다운(setdown) 구간으로 이루어지며, 상기 셋업 구간에서는 모든 스캔 전극으로 상승 램프 파형(Ramp-up)이 동시 인가되어 모든 방전 셀에서 미세 방전이 발생되고, 이에 따라 벽전하가 생성된다. 상기 셋다운 구간에는 상기 상승 램프 파형(Ramp-up)의 피크 전압보다 낮은 정극성 전압에서 하강하는 하강 램프파형(Ramp-down)이 모든 스캔 전극(Y)으로 동시에 인가되어 모든 방전 셀에서 소거방전이 발생되고, 이에 따라 셋업 방전에 의해 생성된 벽전하 및 공간전하 중 불요 전하를 소거시킨다.
- <38> 어드레스 구간에는 스캔 전극으로 부극성의 스캔 신호(scan)가 순차적으로 인가되고, 이와 동시에 상기 어드레스 전극(X)으로 정극성 전압(Va)을 가지는 데이터 신호(data)가 인가된다. 이러한 상기 스캔 신호(scan)와 데이터 신호(data) 간의 전압 차와 상기 리셋 구간 동안 생성된 벽전압에 의해 어드레스 방전이 발생 되어 셀이 선택된다. 한편, 상기 셋다운 구간과 어드레스 구간 동안에 상기 서스테인 전극에는 서스테인 전압을 유지하는 신호가 인가된다.
- <39> 상기 서스테인 구간에는 스캔 전극과 서스테인 전극에 교번적으로 서스테인 전압(Vs)을 가지는 서스테인 펄스가 인가되어 스캔 전극과 서스테인 전극 사이에 면방전 형태로 서스테인 방전이 발생된다.
- <40> 도 4 에 도시된 구동 파형들은 본 발명에 따른 플라즈마 디스플레이 패널을 구동시키기 위한 신호들에 대한 제1 실시 예로서, 도 4 에 도시된 파형들에 의해 본 발명은 한정되지 아니한다. 예컨대, 상기 프리 리셋 구간이 생략될 수 있으며, 도 4 에 도시된 구동 신호들의 극성 및 전압 레벨은 필요에 따라 변경이 가능하고, 상기 서스테인 방전이 완료된 후에 벽전하 소거를 위한 소거 신호가 서스테인 전극에 인가될 수도 있다. 또한, 상기 서스테인 신호가 스캔 전극(Y)과 서스테인(Z) 전극 중 어느 하나에만 인가되어 서스테인 방전을 일으키는 싱글 서스테인(single sustain) 구동도 가능하다.
- <41> 도 5 는 본 발명의 제1 실시 예에 따른 패널 구동 신호의 파형을 나타내는 타이밍도이다.
- <42> 도 5 을 참조하면, 리셋 구간에는 스캔 전극(Y)에 서스테인 전압(Vs)까지 점진적으로 상승하는 셋업 신호를 공급하고, 서스테인 전압(Vs)을 소정시간 유지한 후 그라운드 전압까지 하강하고, 상기 그라운드 전압에서 부극성 전압까지 점진적으로 하강하는 셋다운 신호를 포함하는 리셋 신호를 공급한다.
- <43> 상기 리셋 구간에는 서스테인 전압(Vs)까지 점진적으로 상승하는 상기 셋업 신호를 공급하여 잔광성 오방전을 방지하도록 한다. 그러나, 상기 리셋 구간에는 상기 서스테인 전압(Vs)까지 점진적으로 상승하는 신호가 스캔 전극(Y)에 공급됨에 따라, 이전 서브필드의 서스테인 구간에서 스캔 전극(Y)과 서스테인 전극(Z)에 축적된 벽전

하를 충분히 소거되지 못하고 다음 서스테인 구간에서 약방전되어 잔상성 휘점이 발생된다.

- <44> 따라서, 본 발명의 플라즈마 디스플레이 장치는 상기 리셋 구간 중 스캔 전극(Y)과 서스테인 전극(Z)에 축적된 벽전하를 이전 서브필드의 서스테인 구간에서 소거하여 다음 서브필드의 서스테인 구간에서 약방전이 발생되지 않도록 한다.
- <45> 본 발명에 따른 플라즈마 디스플레이 장치의 경우, 도 5 에 도시된 바와 같이 서스테인 구간은 복수의 서스테인 신호가 스캔 전극(Y) 및 서스테인 전극(Z)으로 공급된다.
- <46> 여기서, 상기 서스테인 구간은 제1 서스테인 구간(p1), 제2 서스테인 구간(p2) 및 제3 서스테인 구간(p3)을 포함하며, 제3 서스테인 구간(p3)에 스캔 전극(Y) 및 서스테인 전극(Z)으로 공급되는 상기 복수의 서스테인 신호 중 마지막 서스테인 신호(Y_L, Z_L)의 시간 타이밍을 짧게 하여, 스캔 전극(Y)과 서스테인 전극(Z) 중 적어도 하나의 전극에 축적되는 벽전하를 소거하여, 방전 특성의 변화에 따른 휘점 오방전 발생을 방지할 수 있다.
- <47> 본 발명의 제1 실시 예에 따르면, 상기 서스테인 구간은 제1 서스테인 구간(p1)에서 스캔 전극(Y) 및 서스테인 전극(Z)으로 공급되는 상기 복수의 서스테인 신호 중 첫번째 서스테인 신호가 공급되고, 제2 서스테인 구간(p2)에서 방전 셀을 방전시키는 히트를 결정하는 상기 복수의 서스테인 신호 중 소정 개수의 서스테인 신호가 공급되며, 제3 서스테인 구간(p3)에서 스캔 전극(Y) 및 서스테인 전극(Z)에 축적된 벽전하를 소거하기 위해 상기 복수의 서스테인 신호 중 마지막 서스테인 신호를 공급한다.
- <48> 여기서, 제3 서스테인 구간(p3)의 시간 타이밍은 제1 서스테인 구간(p1)의 시간 타이밍보다 작게되며, 제2 서스테인 구간(p2)의 시간 타이밍 보다 크게된다.
- <49> 즉, 제3 서스테인 구간(p3)의 시간 타이밍은 7us 내지 9us 인 것이 바람직하며, 다음 서브필드 구간의 리셋 구간에서 셋업 신호가 서스테인 전압(Vs)까지 상승한 경우, 셋다운 신호가 스캔 전극(Y)으로 공급될 때 서스테인 전극(Z)의 Z-바이어스 전압(Vzb)이 공급되어 스캔 전극(Y)과 서스테인 전극(Z)으로 약방전이 발생되지 않고 서스테인 구간에서 휘점 오방전이 발생되지 않을 정도의 벽전하를 축적시킬 수 있다.
- <50> 따라서, 제3 서스테인 구간(p3)에서의 스캔 전극(Y) 및 서스테인 전극(Z)은 상기 복수의 서스테인 신호 중 마지막 서스테인 신호(Y_L, Z_L)의 시간 타이밍을 조절하여 벽전하를 소거할 수 있다.
- <51> 도 6 은 본 발명의 제2 실시 예에 따른 패널 구동 신호의 파형을 나타내는 타이밍도이다.
- <52> 도 6 을 참조하면, 스캔 전극(Y)에 공급되는 리셋 신호는 리셋 구간에서 서스테인 전압(Vs)까지 점진적으로 상승하는 셋업 구간(s1), 서스테인 전압(Vs)을 유지하는 유지구간(s2) 및 서스테인 전압(Vs)부터 그라운드 전압(GND)까지 하강하고, 상기 그라운드 전압부터 점진적으로 하강하는 셋다운 구간(s3)을 순차적으로 포함할 수 있다.
- <53> 셋업 구간(s1)에서는 서스테인 전압(Vs)까지 점진적으로 상승하는 리셋 신호를 공급하여 잔광성 오방전을 방지하도록 한다. 그러나, 셋업 구간(s1)에서는 서스테인 전압(Vs)까지 점진적으로 상승하는 신호가 스캔 전극(Y)에 공급됨에 따라, 이전 서브필드의 서스테인 구간에서 스캔 전극(Y)과 서스테인 전극(Z)에 축적된 벽전하가 충분히 소거되지 못하고 서스테인 구간에서 약방전되어 잔상성 휘점이 발생된다.
- <54> 따라서, 본 발명의 플라즈마 디스플레이 장치는 상기 리셋 구간 중 셋다운 구간(s3)에 부극성 전압까지 점진적으로 하강하는 신호가 스캔 전극(Y)에 공급되는 제1 구간(A)에서 서스테인 전극(Z)으로 점진적으로 하강하는 전압을 공급하여, 서스테인 구간에서의 약방전이 발생되지 않도록 서스테인 전극(Z)의 벽전하를 감소시킨다.
- <55> 좀 더 구체적으로, 셋다운 구간(s3) 동안 스캔 전극(Y)에 점진적으로 하강하는 신호가 공급되고 서스테인 전극(Z)에 정극성의 바이어스 전압(Vzb)이 공급되며, 이때 스캔 전극(S)과 서스테인 전극(Z) 사이의 전압이 방전 개시 전압까지 상승되지 않아 방전이 발생되지 않으며, 서스테인 전극(Z)으로 점진적으로 하강하는 전압을 인가함으로써 벽전하를 감소시켜 휘점 오방전을 방지할 수 있다.
- <56> 본 발명에 따른 플라즈마 디스플레이 장치의 경우, 도 6 에 도시된 바와 같이 셋다운 구간(s3) 중 제1 구간(A)에서 서스테인 전극(Z)에 공급되는 전압을 점진적으로 감소시켜 셋다운 구간(s3)에서 발생하는 방전량을 감소시킬 수 있으며, 그에 따라 방전 특성의 변화 등에 따른 휘점 오방전 발생을 방지할 수 있다.
- <57> 본 발명의 제2 실시 예에 따르면, 셋다운 구간(s3) 중 제1 구간(A)에서 서스테인 전극(Z)을 플로팅(floating) 시킴으로써, 제1 구간(A)에서 서스테인 전극(Z)에 공급되는 전압을 점진적으로 감소시킬 수 있다.

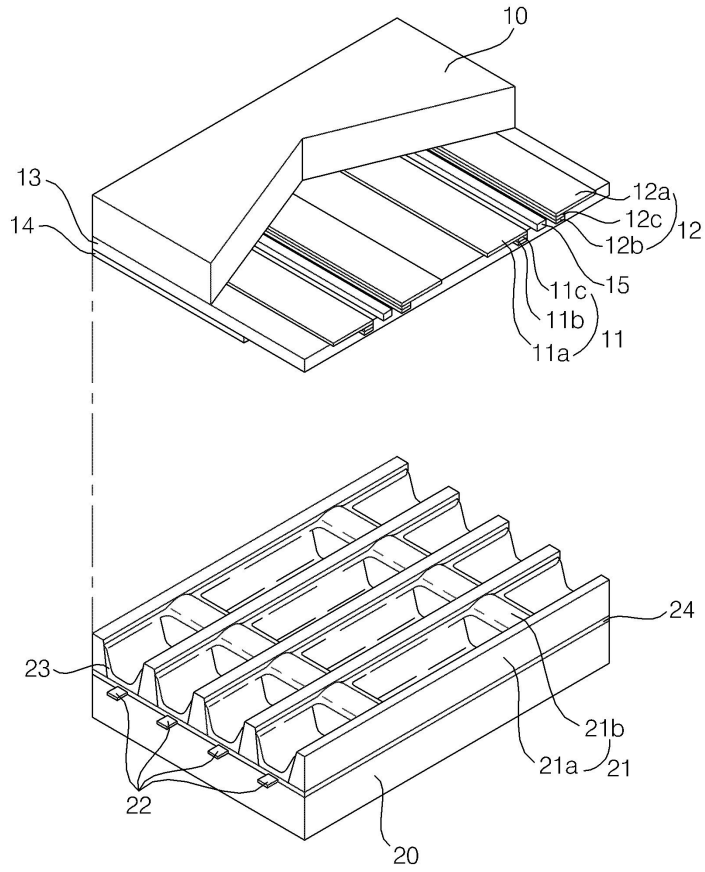
- <58> 상기와 같이 서스테인 전극(Z)을 플로팅(floating) 시키는 경우, 제1 구간(A)에서 서스테인 전극(Z)에 공급되는 전압의 하강 기울기는 스캔 전극에 공급되는 리셋 신호의 하강 기울기와 비교해 보면 제1 구간(A)의 시간 타이밍에 따라 동일할 수 있다.
- <59> 셋다운 구간(s3)의 종료 시점 부근에서는 먼 방전과 대향 방전이 동시에 발생할 수 있으며, 그에 따라 먼 방전 특성 및 대향 방전 특성의 변화에 따라 상기 셋다운 구간(s3)의 종료 시점 부근에서 휘점 오방전이 발생할 가능성이 적다.
- <60> 따라서 제1 구간(A)은 셋다운 구간(s3)의 종료 시점을 포함하도록 상기 셋다운 구간(s3)의 후반부에 위치하는 것이 휘점 오방전 발생 방지에 있어 효과적일 수 있다.
- <61> 상기한 바와 같은 셋다운 구간 동안의 과도한 방전 발생을 방지하기 위해, 서스테인 전극(Z)에 공급되는 바이어스 전압(Vzb)은 서스테인 전압(Vs)과 같거나 그보다 낮고, 그에 따라 제1 구간(a1)에서 서스테인 전극(Z)에 공급되는 최저 전압은 서스테인 전압(Vs)보다 낮은 것이 바람직하다.
- <62> 다만, 셋다운 구간(s3) 동안 스캔 전극(Y)과 서스테인 전극(Z) 사이에 일정 전압 이상의 전압차를 유지하여 스캔 전극(Y)으로 서스테인 전압(Vs)이 셋업 구간(s1)에 공급되는 것이 바람직하다.
- <63> 그리고, 서스테인 구간은 제1 서스테인 구간(p1), 제2 서스테인 구간(p2) 및 제3 서스테인 구간(p3)을 포함하며, 제3 서스테인 구간(p3)에 스캔 전극(Y) 및 서스테인 전극(Z)으로 공급되는 상기 복수의 서스테인 신호 중 마지막 서스테인 신호(Y_L, Z_L)의 시간 타이밍을 짧게 하여, 스캔 전극(Y)과 서스테인 전극(Z) 중 적어도 하나의 전극에 축적되는 벽전하를 소거하여, 방전 특성의 변화에 따른 휘점 오방전 발생을 방지할 수 있다.
- <64> 상기 서스테인 구간은 제1 서스테인 구간(p1)에서 스캔 전극(Y) 및 서스테인 전극(Z)으로 공급되는 상기 복수의 서스테인 신호 중 첫번째 서스테인 신호가 공급되고, 제2 서스테인 구간(p2)에서 방전 셀을 방전시키는 횟수를 결정하는 상기 복수의 서스테인 신호 중 소정 개수의 서스테인 신호가 공급되며, 제3 서스테인 구간(p3)에서 스캔 전극(Y) 및 서스테인 전극(Z)에 축적된 벽전하를 소거하기 위해 상기 복수의 서스테인 신호 중 마지막 서스테인 신호를 공급한다.
- <65> 여기서, 제3 서스테인 구간(p3)의 시간 타이밍은 제1 서스테인 구간(p1)의 시간 타이밍보다 작게되며, 제2 서스테인 구간(p2)의 시간 타이밍 보다 크게된다.
- <66> 즉, 제3 서스테인 구간(p3)의 시간 타이밍은 7us 내지 9us 인 것이 바람직하며, 다음 서브필드 구간의 리셋 구간에서 셋업 신호가 서스테인 전압(Vs)까지 상승한 경우, 셋다운 신호가 스캔 전극(Y)으로 공급될 때 서스테인 전극(Z)의 Z-바이어스 전압(Vzb)이 공급되어 스캔 전극(Y)과 서스테인 전극(Z)으로 약방전이 발생되지 않고 서스테인 구간에서 휘점 오방전이 발생되지 않을 정도의 벽전하를 축적시킬 수 있다.
- <67> 따라서, 제3 서스테인 구간(p3)에서의 스캔 전극(Y) 및 서스테인 전극(Z)은 상기 복수의 서스테인 신호 중 마지막 서스테인 신호(Y_L, Z_L)의 시간 타이밍을 조절하여 벽전하를 소거한다.
- <68> 이상 본 발명의 바람직한 실시예에 대해 상세히 기술하였지만, 본 발명이 속하는 기술분야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구범위에 정의된 본 발명의 정신 및 범위에 벗어나지 않으면서 본 발명을 여러 가지로 변형 또는 변경하여 실시할 수 있음을 알 수 있을 것이다. 따라서, 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

도면의 간단한 설명

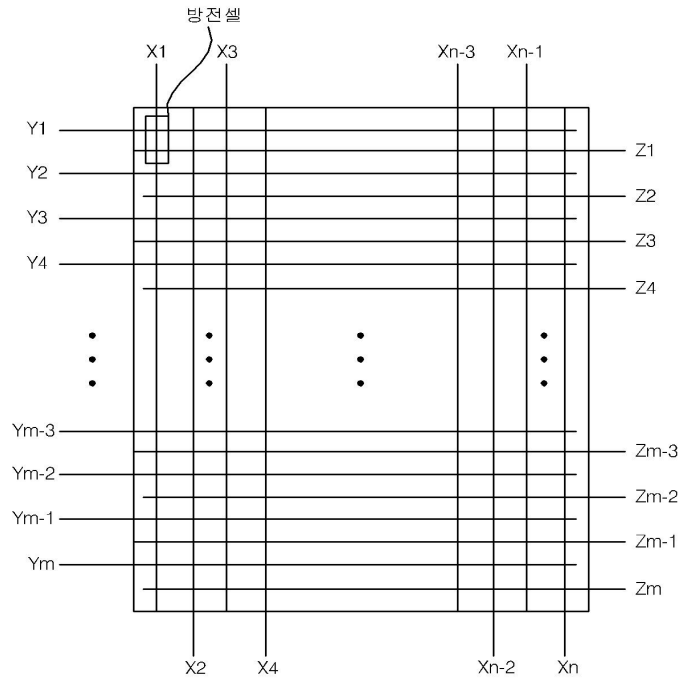
- <69> 도 1 은 본 발명의 제1 실시 예에 따른 플라즈마 디스플레이 패널의 구조를 나타내는 사시도이다.
- <70> 도 2 는 본 발명의 제1 실시 예에 따른 플라즈마 디스플레이 패널의 전극 배치를 나타내는 배치도이다.
- <71> 도 3 은 본 발명의 제1 실시 예에 따른 하나의 프레임(frame)을 복수의 서브필드로 나누어 시분할 구동시키는 방법을 나타내는 타이밍도이다.
- <72> 도 4 는 도 3 에 나타낸 분할된 하나의 서브필드에 대해 플라즈마 디스플레이 패널을 구동시키는 구동 신호에 대한 제1 실시 예를 나타내는 타이밍도이다.
- <73> 도 5 는 본 발명의 제1 실시 예에 따른 패널 구동 신호의 파형을 나타내는 타이밍도이다.
- <74> 도 6 은 본 발명의 제2 실시 예에 따른 패널 구동 신호의 파형을 나타내는 타이밍도이다.

도면

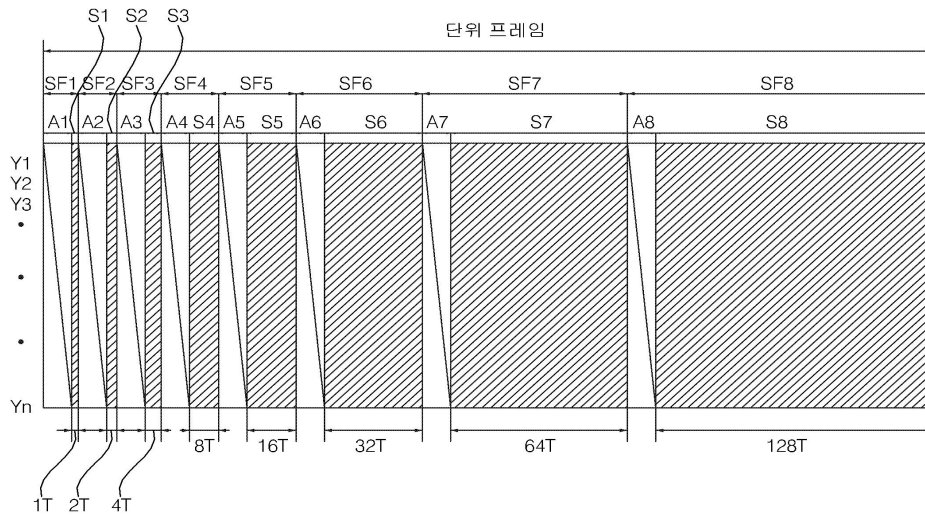
도면1



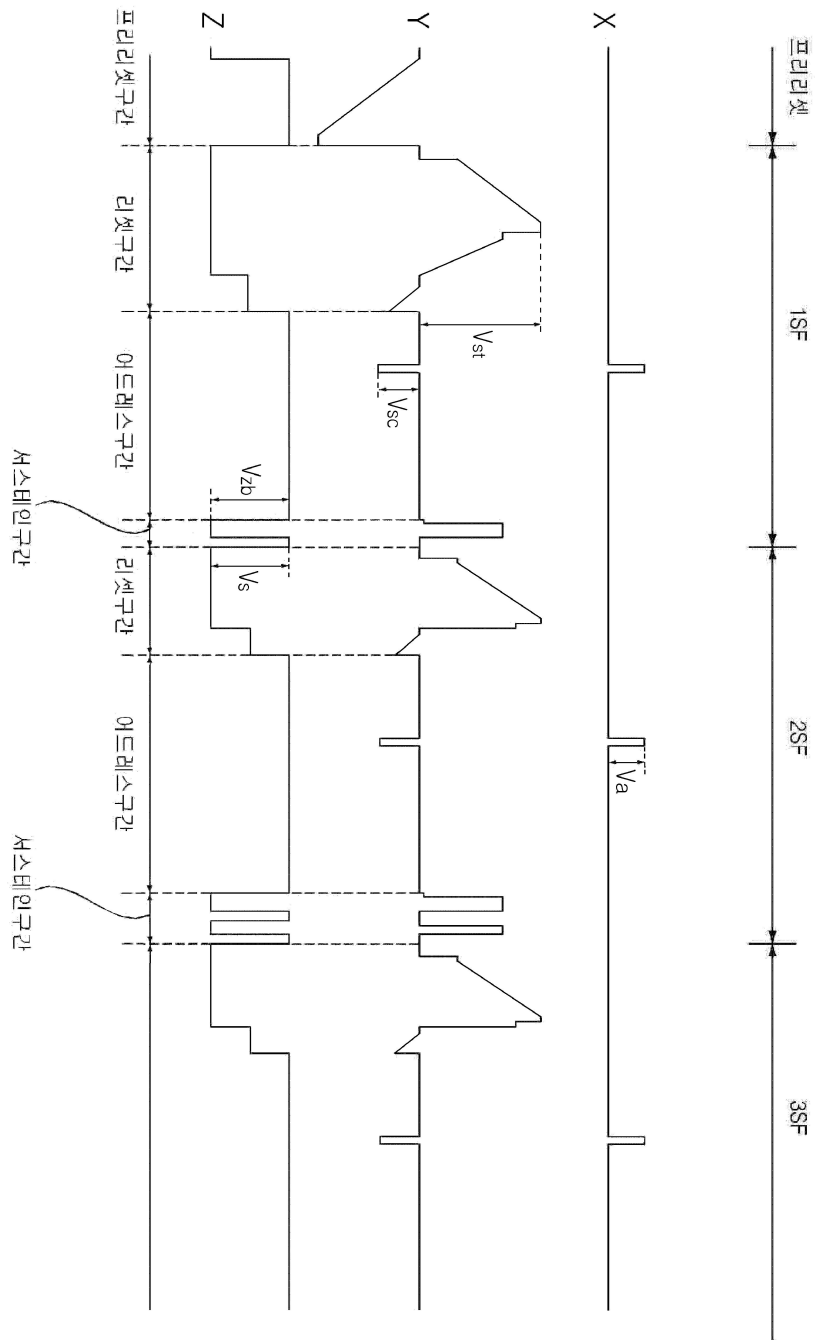
도면2



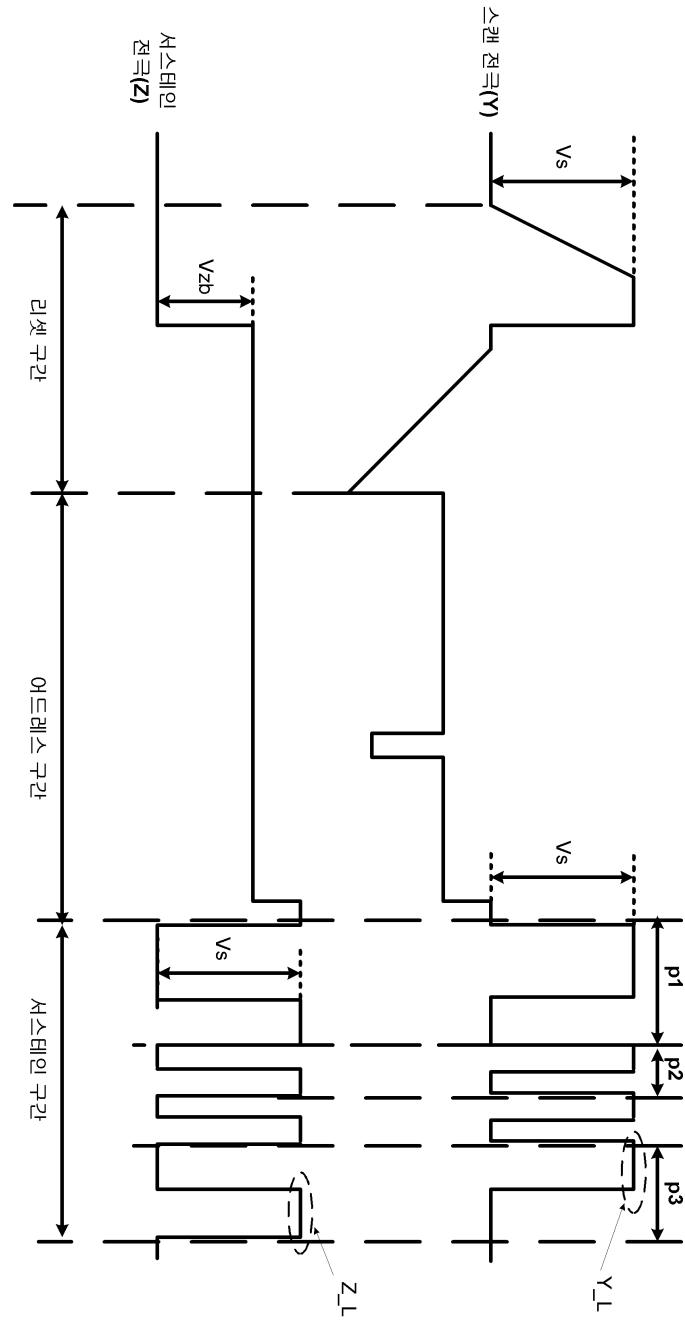
도면3



도면4



도면5



도면6

