



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월15일  
(11) 등록번호 10-2203459  
(24) 등록일자 2021년01월11일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/336 (2006.01)  
(21) 출원번호 10-2014-0103759  
(22) 출원일자 2014년08월11일  
심사청구일자 2019년07월29일  
(65) 공개번호 10-2016-0019255  
(43) 공개일자 2016년02월19일  
(56) 선행기술조사문헌  
KR100843716 B1\*  
(뒷면에 계속)

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
장현우  
경기도 수원시 권선구 덕영대로1323번길 25-33,  
111동 202호(권선동, 우남아파트)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 10 항

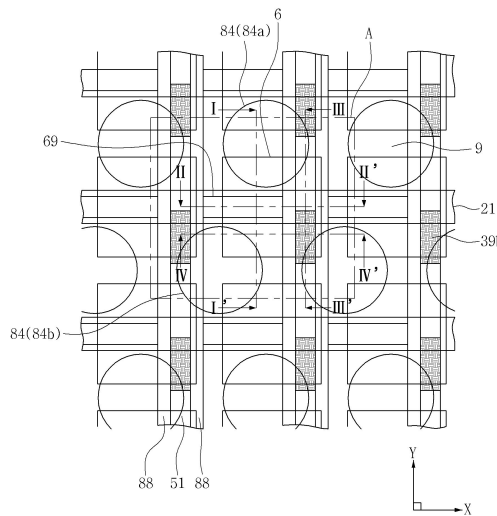
심사관 : 강필승

(54) 발명의 명칭 반도체 소자

(57) 요약

반도체 소자는 반도체 기판 내에 배치되며 활성 영역을 한정하는 소자분리 영역을 포함한다. 상기 활성 영역 내에 매립된 게이트 전극이 배치된다. 상기 활성 영역과 상기 게이트 전극 사이에 게이트 유전체가 배치된다. 상기 게이트 전극 양 옆의 상기 활성 영역 내에 제1 소스/드레인 영역 및 제2 소스/드레인 영역이 배치된다. 상기 게이트 전극과 교차하면서 상기 제1 및 제2 소스/드레인 영역들과 중첩하고, 상기 제1 소스/드레인 영역과 전기적으로 연결되며 상기 제2 소스/드레인 영역과 이격된 배선 구조체가 배치된다. 상기 제2 소스/드레인 영역 상에 콘택 구조체가 배치된다.

대표도 - 도1



(56) 선행기술조사문헌

US20070023784 A1\*

US07772631 B2

KR1020120126433 A

KR1020110128048 A

KR1020100046300 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체 기판 내에 배치되며 활성 영역을 한정하는 소자분리 영역;  
 상기 활성 영역 내에 매립된 게이트 전극;  
 상기 활성 영역과 상기 게이트 전극 사이의 게이트 유전체;  
 상기 게이트 전극 양 옆의 상기 활성 영역 내에 배치된 제1 소스/드레인 영역 및 제2 소스/드레인 영역;  
 상기 게이트 전극과 교차하면서 상기 제1 및 제2 소스/드레인 영역들과 중첩하고, 상기 제1 소스/드레인 영역과 전기적으로 연결되며 상기 제2 소스/드레인 영역과 이격된 배선 구조체; 및  
 상기 제2 소스/드레인 영역과 중첩하고, 상기 제2 소스/드레인 영역과 전기적으로 연결되는 콘택 구조체를 포함하고,  
 상기 소자분리 영역은 서로 평행한 제1 및 제2 소자분리 라인들, 및 서로 평행하며 상기 제1 및 제2 소자분리 라인들과 수직하게 교차하는 제3 및 제4 소자분리 라인들을 포함하고,  
 상기 배선 구조체는 상기 제3 및 제4 소자분리 라인들과 수직하게 교차하는 방향으로 연장되는 반도체 소자.

#### 청구항 2

제 1 항에 있어서,  
 상기 제1 소스/드레인 영역은 제1 방향에서 제1 폭을 갖고 상기 제1 방향과 수직한 제2 방향에서 상기 제1 폭보다 작은 제2 폭을 갖되, 상기 제1 방향은 상기 게이트 전극의 길이 방향이고, 상기 제2 방향은 상기 배선 구조체의 길이 방향인 반도체 소자.

#### 청구항 3

삭제

#### 청구항 4

제 1 항에 있어서,  
 상기 배선 구조체는 상기 제1 및 제2 소자분리 라인들 사이에 배치되면서 상기 제1 소자분리 라인 보다 상기 제2 소자분리 라인에 가까운 반도체 소자.

#### 청구항 5

반도체 기판 내에 배치되며 활성 영역을 한정하는 소자분리 영역;  
 상기 활성 영역 내에 매립된 게이트 전극;  
 상기 활성 영역과 상기 게이트 전극 사이의 게이트 유전체;  
 상기 게이트 전극 양 옆의 상기 활성 영역 내에 배치된 제1 소스/드레인 영역 및 제2 소스/드레인 영역;  
 상기 게이트 전극과 교차하면서 상기 제1 및 제2 소스/드레인 영역들과 중첩하고, 상기 제1 소스/드레인 영역과 전기적으로 연결되며 상기 제2 소스/드레인 영역과 이격된 배선 구조체; 및  
 상기 제2 소스/드레인 영역 상에 배치된 콘택 구조체를 포함하고,  
 상기 제2 소스/드레인 영역은 제1 상부면 및 상기 제1 상부면 보다 높은 레벨의 제2 상부면을 갖는 반도체

소자.

**청구항 6**

제 5 항에 있어서,

상기 제2 소스/드레인 영역의 상기 제1 상부면은 상기 배선 구조체와 중첩하면서 상기 배선 구조체와 이격되고,  
 상기 제2 소스/드레인 영역의 상기 제2 상부면은 상기 콘택 구조체와 중첩하면서 상기 콘택 구조체와 전기적으로 연결된 반도체 소자.

**청구항 7**

반도체 기판 내에 배치되며 활성 영역을 한정하는 소자분리 영역;

상기 활성 영역 내에 매립된 게이트 전극;

상기 활성 영역과 상기 게이트 전극 사이의 게이트 유전체;

상기 게이트 전극 양 옆의 상기 활성 영역 내에 배치된 제1 소스/드레인 영역 및 제2 소스/드레인 영역;

상기 게이트 전극과 교차하면서 상기 제1 및 제2 소스/드레인 영역들과 중첩하고, 상기 제1 소스/드레인 영역과 전기적으로 연결되며 상기 제2 소스/드레인 영역과 이격된 배선 구조체; 및

상기 제2 소스/드레인 영역 상에 배치된 콘택 구조체를 포함하고,

상기 배선 구조체는 상기 제1 소스/드레인 영역과 전기적으로 접촉하는 콘택 도전성 패턴을 포함하되,

상기 배선 구조체의 상기 콘택 도전성 패턴의 바닥면은 상기 콘택 구조체 보다 낮은 레벨에 배치되는 반도체 소자.

**청구항 8**

서로 대향하는 제1 및 제2 측면들, 및 서로 대향하는 제3 및 제4 측면들을 갖는 활성 영역;

상기 활성 영역 내에 배치되며 서로 이격된 제1 소스/드레인 영역 및 제2 소스/드레인 영역;

상기 제1 및 제2 소스/드레인 영역들 사이의 상기 활성 영역 내에 매립된 게이트 전극;

상기 활성 영역과 상기 게이트 전극 사이의 게이트 유전체;

상기 활성 영역의 상기 제1 및 제2 측면들 사이에 배치되면서 상기 제1 측면 보다 상기 제2 측면에 가깝고, 상기 제1 소스/드레인 영역과 전기적으로 연결된 배선 구조체; 및

상기 제2 소스/드레인 영역과 전기적으로 연결된 콘택 구조체를 포함하는 반도체 소자.

**청구항 9**

제 8 항에 있어서,

상기 제2 소스/드레인 영역은 상기 콘택 구조체 및 상기 배선 구조체와 중첩하는 반도체 소자.

**청구항 10**

제 8 항에 있어서,

상기 제1 및 제2 소스/드레인 영역들은 상기 게이트 전극의 길이 방향으로 길쭉한 반도체 소자.

**청구항 11**

제 8 항에 있어서,

평면에서, 상기 배선 구조체는 상기 활성 영역의 상기 제1 및 제2 측면들 중 적어도 하나와 평행하게 연장되는 반도체 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 반도체 소자, 반도체 소자의 제조방법, 이들을 채택하는 전자 시스템에 관한 것이다.

**배경 기술**

[0002] 반도체 소자를 고집적화하기 위하여, 반도체 소자를 구성하는 구성요소들을 점점 작게 형성하고 있다. 기존 레이아웃을 이용하여, 반도체 소자를 구성하는 각 구성요소들을 작게 형성하고, 이들 구성요소들을 신뢰성 있게 형성하는데 어려움이 있다. 예를 들어, 디램 과 같은 메모리 소자에서, 기존의 6F2 셀 아키텍처(cell architecture)를 이용하여 반도체 소자를 고집적화하는데 한계가 있다.

**발명의 내용**

**해결하려는 과제**

- [0003] 본 발명의 기술적 사상이 해결하려는 과제는 새로운 셀 레이아웃을 갖는 반도체 소자 및 그 형성방법을 제공하는데 있다.
- [0004] 본 발명의 기술적 사상이 해결하려는 과제는 콘택 구조체와 콘택 영역을 신뢰성 있게 접촉시킬 수 있는 반도체 소자의 구조 및 그 형성방법을 제공하는데 있다.
- [0005] 본 발명의 기술적 사상이 해결하려는 과제는 셀 트랜지스터의 채널 폭(channel width)를 증가시킬 수 있는 반도체 소자의 구조 및 형성 방법을 제공하는데 있다.
- [0006] 본 발명의 기술적 사상이 해결하고자 하는 과제는 상기 반도체 소자들을 갖는 전자 장치 및 전자 시스템을 제공하는데 있다.
- [0007] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0008] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 내에 배치되며 활성 영역을 한정하는 소자분리 영역을 포함한다. 상기 활성 영역 내에 매립된 게이트 전극이 배치된다. 상기 활성 영역과 상기 게이트 전극 사이에 게이트 유전체가 배치된다. 상기 게이트 전극 양 옆의 상기 활성 영역 내에 제1 소스/드레인 영역 및 제2 소스/드레인 영역이 배치된다. 상기 게이트 전극과 교차하면서 상기 제1 및 제2 소스/드레인 영역들과 중첩하고, 상기 제1 소스/드레인 영역과 전기적으로 연결되며 상기 제2 소스/드레인 영역과 이격된 배선 구조체가 배치된다. 상기 제2 소스/드레인 영역 상에 콘택 구조체가 배치된다.
- [0009] 일 실시예에서, 상기 제1 소스/드레인 영역은 제1 방향에서 제1 폭을 갖고 상기 제1 방향과 수직인 제2 방향에서 상기 제1 폭보다 작은 제2 폭을 갖되, 상기 제1 방향은 상기 게이트 전극의 길이 방향이고, 상기 제2 방향은 상기 배선 구조체의 길이 방향일 수 있다.
- [0010] 일 실시예에서, 상기 소자분리 영역은 서로 평행한 제1 및 제2 소자분리 라인들, 및 서로 평행하며 상기 제1 및 제2 소자분리 라인들과 수직하게 교차하는 제3 및 제4 소자분리 라인들을 포함할 수 있다.
- [0011] 상기 배선 구조체는 상기 제1 및 제2 소자분리 라인들 사이에 배치되면서 상기 제1 소자분리 라인 보다 상기 제2 소자분리 라인에 가까울 수 있다.
- [0012] 일 실시예에서, 상기 제2 소스/드레인 영역은 제1 상부면 및 상기 제1 상부면 보다 높은 레벨의 제2 상부면을 가질 수 있다.
- [0013] 상기 제2 소스/드레인 영역의 상기 제1 상부면은 상기 배선 구조체와 중첩하면서 상기 배선 구조체와 이격되고, 상기 제2 소스/드레인 영역의 상기 제2 상부면은 상기 콘택 구조체와 중첩하면서 상기 콘택 구조체와 전기적으로 연결될 수 있다.
- [0014] 일 실시예에서, 상기 배선 구조체는 상기 제1 소스/드레인 영역과 전기적으로 접촉하는 콘택 도전성 패턴을 포함하되, 상기 배선 구조체의 상기 콘택 도전성 패턴의 바닥면은 상기 콘택 구조체 보다 낮은 레벨에 배치되는 반도체 소자.

- [0015] 일 실시예에서, 상기 배선 구조체의 측면들 상의 절연성 스페이서 구조체를 더 포함할 수 있다.
- [0016] 상기 제2 소스/드레인 영역은 상기 콘택 구조체, 상기 절연성 스페이서 구조체 및 상기 배선 구조체와 중첩할 수 있다.
- [0017] 상기 절연성 스페이서 구조체는 에어 스페이서를 포함할 수 있다.
- [0018] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 서로 대향하는 제1 및 제2 측면들, 및 서로 대향하는 제3 및 제4 측면들을 갖는 활성 영역을 포함할 수 있다. 상기 활성 영역 내에 서로 이격된 제1 소스/드레인 영역 및 제2 소스/드레인 영역이 배치될 수 있다. 상기 제1 및 제2 소스/드레인 영역들 사이의 상기 활성 영역 내에 매립된 게이트 전극이 배치될 수 있다. 상기 활성 영역과 상기 게이트 전극 사이에 게이트 유전체가 배치될 수 있다. 상기 활성 영역의 상기 제1 및 제2 측면들 사이에 배치되면서 상기 제1 측면 보다 상기 제2 측면에 가깝고, 상기 제1 소스/드레인 영역과 전기적으로 연결된 배선 구조체가 배치될 수 있다. 상기 제2 소스/드레인 영역과 전기적으로 연결된 콘택 구조체가 배치될 수 있다.
- [0019] 일 실시예에서, 상기 제2 소스/드레인 영역은 상기 콘택 구조체 및 상기 배선 구조체와 중첩할 수 있다.
- [0020] 일 실시예에서, 상기 배선 구조체는 상기 게이트 전극과 수직하게 교차하면서 상기 활성 영역의 상기 제3 및 제4 측면들 상을 지날 수 있다.
- [0021] 일 실시예에서, 상기 활성 영역의 상기 제1 및 제2 측면들의 길이는 상기 제3 및 제4 측면들의 길이와 다를 수 있다.
- [0022] 일 실시예에서, 상기 제1 및 제2 소스/드레인 영역들은 상기 게이트 전극의 길이 방향으로 길쭉할 수 있다.
- [0023] 본 발명의 기술적 사상의 일 양태에 따른 반도체 소자를 제공한다. 이 반도체 소자는 반도체 기판 내에 배치되며 활성 영역을 한정하는 소자분리 영역을 포함한다. 상기 소자분리 영역은 서로 대향하는 제1 및 제2 소자분리 라인들, 및 서로 대향하는 제3 및 제4 소자분리 라인들을 갖는다. 상기 활성 영역, 및 상기 제1 및 제2 소자분리 라인들을 가로지르는 게이트 트렌치가 배치된다. 상기 게이트 트렌치 내에 배치되며 차례로 적층된 게이트 전극 및 게이트 캐핑 패턴이 배치된다. 상기 게이트 전극과 상기 활성 영역 사이에 게이트 유전체가 배치된다. 상기 게이트 전극 양 옆의 상기 활성 영역 내에 제1 소스/드레인 영역 및 제2 소스/드레인 영역이 배치된다. 상기 제1 및 제2 소자분리 라인들 사이에 배치되며 상기 제1 소자분리 영역 보다 상기 제2 소자분리 영역에 가깝고 상기 제1 소스/드레인 영역과 전기적으로 연결된 배선 구조체가 배치된다. 상기 제2 소스/드레인 영역과 전기적으로 연결되면서 상기 제2 소스/드레인 영역과 중첩하고, 상기 배선 구조체와 이격된 콘택 구조체가 배치된다.
- [0024] 일 실시예에서, 상기 콘택 구조체의 상부면은 상기 배선 구조체 보다 높은 레벨에 배치될 수 있다.
- [0025] 일 실시예에서, 상기 제2 소스/드레인 영역은 제1 상부면 및 상기 제1 상부면 보다 낮은 레벨의 제2 상부면을 가질 수 있다. 상기 제2 소스/드레인 영역의 상기 제1 상부면은 상기 배선 구조체와 중첩하는 부분이고, 상기 제2 소스/드레인 영역의 상기 제2 상부면은 상기 콘택 구조체와 중첩하는 부분일 수 있다.
- [0026] 일 실시예에서, 상기 콘택 구조체는 상기 제2 소스/드레인 영역과 중첩하면서 상기 제2 소스/드레인 영역과 인접하는 상기 소자분리 영역과 중첩할 수 있다.
- [0027] 일 실시예에서, 상기 활성 영역과 중첩하며 상기 배선 구조체 및 상기 콘택 구조체와 인접하는 절연성 분리 패턴을 더 포함할 수 있다.
- [0028] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0029] 본 발명의 기술적 사상의 실시 예들에 따르면, 활성 영역의 콘택 영역과 활성 영역 상의 콘택 구조체 사이의 접촉을 신뢰성 있게 형성할 수 있는 반도체 소자의 구조 및 방법을 제공할 수 있다.
- [0030] 본 발명의 기술적 사상의 실시 예들에 따르면, 배선 구조체와 콘택 영역 사이의 전기적인 연결을 위한 배선 구조체의 콘택 도전성 패턴을 신뢰성 있게 형성할 수 있는 반도체 소자의 구조 및 방법을 제공할 수 있다.
- [0031] 본 발명의 기술적 사상의 실시 예들에 따르면, 트랜지스터의 채널 폭(channel width)를 증가시킬 수 있는 반도체 소자의 구조 및 형성 방법을 제공할 수 있다.

**도면의 간단한 설명**

- [0032] 도 1은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 평면도이다.
- 도 2는 도 1의 일부 구성요소들을 나타낸 부분 확대 평면도이다.
- 도 3은 도 2의 V-V' 선을 따라 취해진 영역의 일부를 나타낸 단면도이다.
- 도 4a 및 도 4b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 단면도들이다.
- 도 5a는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도이다.
- 도 5b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도이다.
- 도 6은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 평면도이다.
- 도 7a 및 도 7b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 단면도들이다.
- 도 8 내지 도 27b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 형성 방법을 나타낸 도면들이다.
- 도 28a 내지 도 29b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 형성 방법을 나타낸 단면도들이다.
- 도 30 및 도 31은 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함하는 반도체 모듈들을 개념적으로 나타낸 도면들이다.
- 도 32 및 도 33은 본 발명의 기술적 사상의 실시예에 따른 반도체 소자를 포함하는 전자 시스템을 개념적으로 도시한 블록 다이어그램들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 기술적 사상의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0034] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0035] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0036] 상단, 하단, 상면, 하면, 또는 상부, 하부 등의 용어는 구성요소에 있어 상대적인 위치를 구별하기 위해 사용되는 것이다. 예를 들어, 편의상 도면상의 위쪽을 상부, 도면상의 아래쪽을 하부로 명명하는 경우, 실제에 있어서는 본 발명의 권리 범위를 벗어나지 않으면서 상부는 하부로 명명될 수 있고, 하부는 상부로 명명될 수 있다.
- [0037] 또한, "상부", "중간" 및 "하부" 등과 같은 용어는 구성요소들 사이에 있어서 상대적인 위치를 구별하기 위해 사용되는 것으로서, 이들 용어들에 의하여 본 발명의 기술적 사상이 한정되는 것은 아니다. 따라서, 이들 "상부", "중간" 및 "하부" 등과 같은 용어는 다른 용어, 예를 들어 "제1", "제2" 및 "제3" 등의 용어로 대체되어 명세서의 구성요소들을 설명하기 위하여 사용될 수도 있다.
- [0038] "제1", "제2" 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 "제1 구성요소"는 "제2 구성요소"로 명명될 수



있다.

- [0039] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명의 기술적 사상을 한정하려는 의도가 아니다.
- [0040] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0041] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 기술적 사상이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0042] 도 1은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 나타낸 평면도이다. 도 2는 도 1의 "A"로 표시된 부분을 확대하고 일부 구성요소들을 나타낸 부분 확대 평면도이다. 도 3은 도 2의 V-V'선을 따라 취해진 영역의 일부 구성요소들을 나타낸 부분 확대 단면도이다. 도 4a 및 도 4b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 나타낸 단면도들이다. 도 4a는 도 1의 I-I'선을 따라 취해진 영역 및 도 1의 II-II'선을 따라 취해진 영역을 나타낸 단면도이고, 도 4b는 도 1의 III-III'선을 따라 취해진 영역 및 도 1의 IV-IV'선을 따라 취해진 영역을 나타낸 단면도이다.
- [0043] 도 1, 도 2, 도 3, 도 4a 및 도 4b를 참조하면, 반도체 기판(3)에 활성 영역(6)을 한정하는 소자분리 영역(9)이 배치될 수 있다. 상기 소자분리 영역(9)은 얇은 트렌치 소자분리 막일 수 있다. 상기 소자분리 영역(9)은 서로 평행한 제1 및 제2 소자분리 라인들(9a, 9b) 및 서로 평행한 제3 및 제4 소자분리 라인들(9c, 9d)을 포함할 수 있다. 상기 제1 및 제2 소자분리 라인들(9a, 9b)은 상기 제3 및 제4 소자분리 라인들(9c, 9d)과 수직하게 교차할 수 있다.
- [0044] 상기 활성 영역(6)은 서로 대향하는 제1 측면(S1) 및 제2 측면(S1, S2), 및 서로 대향하는 제3 측면(S3) 및 제4 측면(S4)을 가질 수 있다. 예를 들어, 상기 활성 영역(6)은 사각형일 수 있다. 상기 활성 영역(6)의 상기 제1 측면(S1)은 상기 제1 소자분리 라인(9a)과 마주볼 수 있고, 상기 활성 영역(6)의 상기 제2 측면(S2)은 상기 제2 소자분리 라인(9b)과 마주볼 수 있고, 상기 활성 영역(6)의 상기 제3 측면(S3)은 상기 제3 소자분리 라인(9c)과 마주볼 수 있고, 상기 활성 영역(6)의 상기 제4 측면(S4)은 상기 제4 소자분리 라인(9d)과 마주볼 수 있다.
- [0045] 상기 활성 영역(6)을 가로지르며 상기 소자분리 영역(9)으로 연장된 게이트 트렌치(11)가 배치될 수 있다. 상기 게이트 트렌치(11) 내에 차례로 적층된 게이트 전극(16) 및 절연성의 게이트 캐핑 패턴(18)이 배치될 수 있다. 상기 게이트 유전체(14)는 상기 게이트 전극(16) 및 상기 게이트 캐핑 패턴(18)과 상기 활성 영역(6) 사이에 개재될 수 있다. 상기 게이트 유전체(14), 상기 게이트 전극(16) 및 상기 게이트 캐핑 패턴(18)은 게이트 구조체(21)를 구성할 수 있다. 상기 게이트 전극(16)은 상기 활성 영역(6) 및 상기 소자분리 영역(9) 내에 매립될 수 있다. 상기 게이트 전극(16)은 상기 활성 영역(6)의 상부면 보다 낮은 레벨에 배치될 수 있다. 상기 게이트 전극(16)은 제1 방향(X)으로 연장된 라인 모양일 수 있다. 상기 게이트 전극(16)은 메모리 소자의 워드라인일 수 있다.
- [0046] 상기 게이트 구조체(21)는 상기 제3 및 제4 소자분리 라인들(9c, 9d)과 평행하면서 상기 제1 및 제2 소자분리 라인들(9a, 9b)과 수직하게 교차할 수 있다. 상기 게이트 구조체(21)는 상기 제3 및 제4 소자분리 라인들(9c, 9d) 사이에 배치될 수 있다.
- [0047] 상기 게이트 구조체(21) 양 옆의 상기 활성 영역(6) 내에 서로 이격된 제1 소스/드레인 영역(24a) 및 제2 소스/드레인 영역(24b)이 배치될 수 있다. 상기 게이트 구조체(21)는 상기 제1 및 제2 소스/드레인 영역들(24a, 24b) 사이의 상기 활성 영역(6)을 가로지르며 상기 소자분리 영역(9) 내로 연장될 수 있다.
- [0048] 상기 제1 및 제2 소스/드레인 영역들(24a, 24b), 상기 게이트 유전체(14) 및 상기 게이트 전극(16)은 트랜지스터(TR)를 구성할 수 있다.
- [0049] 상기 제1 및 제2 소스/드레인 영역들(24a, 24b)의 각각은 상기 제1 방향(X)으로 길쭉할 수 있다. 상기 제1 방향(X)의 상기 게이트 전극(16)의 길이 방향일 수 있다. 상기 제1 및 제2 소스/드레인 영역들(24a, 24b)의 각각은



상기 제1 방향(X)에서 제1 폭(Wx)을 갖고, 상기 제1 방향(X)에 수직인 제2 방향(Y)에서 상기 제1 폭(Wx) 보다 작은 제2 폭(La)을 가질 수 있다.

- [0050] 상기 제1 소스/드레인 영역(24a)의 상부면은 상기 제2 소스/드레인 영역(24b)의 상부면 보다 낮은 레벨에 배치될 수 있다. 상기 제2 소스/드레인 영역(24b)은 서로 다른 레벨의 상부면들(24b\_s1, 24b\_s2)을 가질 수 있다. 상기 제2 소스/드레인 영역(24b)은 제1 상부면(24b\_s1) 및 상기 제1 상부면(24b\_s2) 보다 낮은 레벨의 제2 상부면(24b\_s2)을 가질 수 있다.
- [0051] 상기 게이트 구조체(27), 상기 제1 및 제2 소스/드레인 영역(24a, 24b) 및 상기 소자분리 영역(9)을 덮는 버퍼 절연 막(27)이 배치될 수 있다. 상기 제1 소스/드레인 영역(24a)을 지나는 그루브(36)가 배치될 수 있다.
- [0052] 일 실시예에서, 상기 그루브(36)는 상기 제1 방향(X)으로 상기 제1 소스/드레인 영역(24a)을 지나면서 상기 소자분리 영역(9)으로 연장될 수 있다. 상기 그루브(36)의 하부에 상기 제1 소스/드레인 영역(24a)이 배치될 수 있다. 상기 그루브(36)는 상기 활성 영역(6)의 상부면을 리세스시키면서 상기 제1 소스/드레인 영역(24a)의 상부면을 낮출 수 있다. 따라서, 상기 제1 소스/드레인 영역(24a)은 상기 제2 소스/드레인 영역(24b) 보다 낮은 레벨의 상부면을 가질 수 있다.
- [0053] 상기 게이트 전극(16)과 교차하는 배선 구조체(51)가 배치될 수 있다. 상기 배선 구조체(51)는 상기 제1 방향(X)과 수직인 제2 방향(Y)으로 연장될 수 있다. 상기 배선 구조체(51)는 메모리 소자의 비트라인 일 수 있다.
- [0054] 상기 배선 구조체(51)는 서로 인접하며 평행한 상기 제1 및 제2 소자분리 라인들(9a, 9b) 사이에 배치되면서 상기 제1 소자분리 라인(9a) 보다 상기 제2 소자분리 라인(9b)에 가깝게 배치될 수 있다. 상기 배선 구조체(51)는 상기 활성 영역(6)의 상기 제1 및 제2 측면들(S1, S2) 사이에 배치되면서 상기 제1 측면(S1) 보다 상기 제2 측면(S2)에 가까울 수 있다. 상기 배선 구조체(51)는 상기 게이트 전극(16)과 교차하고 상기 활성 영역(6)의 상기 제1 및 제2 측면들(S1, S2) 사이를 지나면서 상기 활성 영역(6)의 상기 제3 및 제4 측면들(S3, S4) 상을 지날 수 있다.
- [0055] 상기 배선 구조체(51)는 상기 제1 및 제2 소스/드레인 영역들(24a, 24b)과 중첩하면서 상기 제1 소스/드레인 영역(24a)과 전기적으로 연결되며 상기 제2 소스/드레인 영역(24b)과 이격될 수 있다. 상기 배선 구조체(51)는 상기 제2 소스/드레인 영역(24b)의 상기 제1 상부면(24b\_s1)과 중첩하면서 상기 제2 소스/드레인 영역(24b)과 이격될 수 있다. 상기 배선 구조체(51)와 상기 제2 소스/드레인 영역(24b)의 상기 제1 상부면(24b\_s1) 사이에 상기 버퍼 절연 막(27)이 개재될 수 있다.
- [0056] 상기 배선 구조체(51)는 하부 도전성 패턴(30a), 콘택 도전성 패턴(39b), 중간 도전성 패턴(42a), 상부 도전성 패턴(45a) 및 절연성 캐핑 패턴(48a)을 포함할 수 있다. 상기 콘택 도전성 패턴(39b)은 상기 제1 소스/드레인 영역(24a)과 중첩하면서, 상기 제1 소스/드레인 영역(24a)과 전기적으로 연결될 수 있다. 상기 콘택 도전성 패턴(39b)은 상기 버퍼 절연 막(27)을 관통하면서 상기 제1 소스/드레인 영역(24a)과 접촉할 수 있다. 상기 콘택 도전성 패턴(39b)은 폴리 실리콘으로 형성될 수 있다. 상기 하부 도전성 패턴(30a)은 상기 제2 소스/드레인 영역(24b)과 중첩하면서 상기 제2 소스/드레인 영역(24b)과 이격될 수 있다. 상기 하부 도전성 패턴(30a)은 상기 버퍼 절연 막(27) 상에 배치될 수 있다. 상기 하부 도전성 패턴(30a)은 폴리 실리콘으로 형성될 수 있다.
- [0057] 상기 중간 도전성 패턴(42a) 및 상기 상부 도전성 패턴(45a)은 차례로 적층되면서 상기 콘택 도전성 패턴(39b) 및 상기 하부 도전성 패턴(30a)을 덮을 수 있다. 상기 중간 도전성 패턴(42a)은 금속 질화물 및/또는 금속 실리사이드를 포함할 수 있다. 상기 상부 도전성 패턴(45a)은 텅스텐 등과 같은 금속으로 형성될 수 있다. 상기 절연성 캐핑 패턴(48a)은 상기 상부 도전성 패턴(45a) 상에 배치될 수 있다. 상기 절연성 캐핑 패턴(48a)은 실리콘 질화물로 형성될 수 있다.
- [0058] 상기 배선 구조체(51)의 측면 상에 절연성 스페이서 구조체(88)가 배치될 수 있다. 상기 절연성 스페이서 구조체(88)는 상기 배선 구조체(51)의 측면으로부터 차례로 배열된 내측 스페이서(54a), 중간 스페이서(87) 및 외측 스페이서(60)을 포함할 수 있다. 상기 중간 스페이서(87)는 에어 스페이서일 수 있다. 상기 내측 및 외측 스페이서(54a, 60)는 실리콘 질화물로 형성될 수 있다. 상기 외측 스페이서(60)는 상기 배선 구조체들(51) 사이의 상기 버퍼 절연 막(27) 상으로 연장될 수 있다.
- [0059] 상기 그루브(36)는 상기 배선 구조체(51)의 상기 콘택 도전성 패턴(39b) 및 절연성 구조체(63)로 채워질 수 있다. 일 실시예에서, 상기 절연성 구조체(63)는 상기 절연성 스페이서 구조체(88)를 구성하는 막들(54a, 87, 60)과 동일한 막들(54b, 87, 60a)을 포함할 수 있다. 예를 들어, 상기 그루브(36) 내에 제1 및 제2 깎필 패턴들(54b, 60a) 및 상기 제1 및 제2 깎필 패턴들(54b, 60a) 사이의 에어 스페이서(87)를 포함할 수 있다. 상기 제1

갭필 패턴(54b)은 상기 절연성 스페이서 구조체(88)의 상기 내측 스페이서(54a)와 동일한 물질일 수 있고, 상기 제2 갭필 패턴(60a)은 상기 절연성 스페이서 구조체(88)의 상기 외측 스페이서(60)와 동일한 물질일 수 있다.

- [0060] 상기 활성 영역(6) 상에 서로 이격된 복수의 콘택 구조체들(84)이 배치될 수 있다. 상기 콘택 구조체들(84)은 제1 및 제2 콘택 구조체들(84a, 84b)을 포함할 수 있다. 상기 제1 콘택 구조체(84a)는 상기 제2 소스/드레인 영역(24b)과 중첩하며 상기 제2 소스/드레인 영역(24b)과 전기적으로 연결될 수 있다. 상기 제1 콘택 구조체(84a)는 상기 제2 소스/드레인 영역(24b) 및 상기 제2 소스/드레인 영역(24b)과 인접하는 소자분리 영역(9)과 중첩할 수 있다.
- [0061] 상기 제1 콘택 구조체(84a)는 상기 제2 소스/드레인 영역(24b)의 상기 제2 상부면(24b\_s2)과 중첩하며 상기 제2 소스/드레인 영역(24b)과 전기적으로 연결될 수 있다. 상기 제1 콘택 구조체(84a)의 바닥면은 상기 배선 구조체(51)의 상기 콘택 도전성 패턴(39b)의 바닥면 보다 높은 레벨에 배치될 수 있다. 상기 제2 콘택 구조체(84b)는 상기 활성 영역(6)의 상기 제1 소스/드레인 영역(24a)과 중첩하며 상기 제1 소스/드레인 영역(24a)과 이격되고, 상기 활성 영역(6)과 인접하는 다른 활성 영역(6)의 제2 소스/드레인 영역(24b)과 전기적으로 연결될 수 있다. 상기 제2 콘택 구조체(84b)와 상기 제1 소스/드레인 영역(24a) 사이에 상기 절연성 구조체(63)가 개재될 수 있다.
- [0062] 상기 콘택 구조체들(84)의 각각은 하부 콘택 패턴(75), 금속 실리사이드(77), 배리어 패턴(79) 및 상부 콘택 패턴(81)을 포함할 수 있다.
- [0063] 상기 하부 콘택 패턴(75)은 상기 제2 소스/드레인 영역(24b)과 접촉하면서 전기적으로 연결될 수 있다. 상기 금속 실리사이드(77)는 상기 하부 콘택 패턴(75) 상에 형성되면서 코발트 실리사이드, 타이타늄 실리사이드 또는 텅스텐 실리사이드로 형성될 수 있다. 상기 상부 콘택 패턴(81)은 상기 금속 실리사이드(77) 상에 형성되면서 텅스텐 등과 같은 금속 물질로 형성될 수 있다. 상기 배리어 패턴(75)은 상기 상부 콘택 패턴(81)과 상기 금속 실리사이드(77) 사이에 배치되면서 상기 상부 콘택 패턴(81)의 측면 상으로 연장될 수 있다.
- [0064] 상기 콘택 구조체(84)의 상부면은 상기 배선 구조체(51) 보다 높은 레벨에 배치될 수 있다. 상기 콘택 구조체(84)의 상기 상부 콘택 패턴(81)은 상기 배선 구조체(51) 보다 높은 레벨에 위치하는 부분을 가질 수 있다.
- [0065] 상기 배선 구조체(51) 보다 높은 레벨에 위치하는 상기 상부 콘택 패턴(81)의 측면을 둘러싸는 상부 캐핑 패턴(90)이 배치될 수 있다. 상기 상부 캐핑 패턴(90)은 실리콘 질화물로 형성될 수 있다.
- [0066] 상기 제2 소스/드레인 영역(24b)은 상기 콘택 구조체(84), 상기 절연성 스페이서 구조체(88) 및 상기 배선 구조체(51)와 중첩할 수 있다.
- [0067] 서로 인접하는 배선 구조체들(51) 사이, 및 서로 인접하는 콘택 구조체들(84) 사이에 절연성 분리 패턴(69)이 배치될 수 있다. 상기 절연성 분리 패턴(69)은 실리콘 질화물로 형성될 수 있다.
- [0068] 일 실시예에서, 상기 절연성 분리 패턴(69)은 상기 게이트 캐핑 패턴(18) 상의 상기 버퍼 절연 막(27) 상에 배치될 수 있다.
- [0069] 실시 예들에서, 상기 활성 영역(6)의 상기 제1 및 제2 측면들(S1, S2)의 길이는 상기 제3 및 제4 측면들(S3, S4)의 길이와 다를 수 있다. 상기 활성 영역(6)은 상기 제1 방향(X)의 폭과 상기 제2 방향(Y)의 폭이 서로 다를 수 있다. 이하에서, 도 5a 및 도 5b를 각각 참조하여, 상기 제1 방향(X)과 상기 제2 방향(Y)에서 서로 다른 폭을 갖는 활성 영역에 대하여 설명하기로 한다.
- [0070] 우선, 도 5a를 참조하면, 상기 활성 영역(6)은 상기 제1 방향(X)의 폭(Wxa) 보다 상기 제2 방향(Y)의 폭(Wya)이 클 수 있다. 따라서, 상기 게이트 구조체(21)를 형성하기 위한 공정 마진을 보다 더 확보할 수 있다.
- [0071] 다음으로, 도 5b를 참조하면, 상기 활성 영역(6)은 상기 제2 방향(Y)의 폭(Wyb) 보다 상기 제1 방향(X)의 폭(Wyb)이 클 수 있다. 따라서, 상기 배선 구조체(51)를 형성하기 위한 공정 마진을 보다 더 확보할 수 있다.
- [0072] 상기 절연성 분리 패턴(69) 및 상기 콘택 구조체(84)의 배치 및 모양은 앞에서 설명한 실시예에 한정되지 않는다. 이하에서, 도 6, 도 7a, 도 7b를 참조하여, 상기 절연성 분리 패턴(69) 및 상기 콘택 구조체(84)의 변형 예에 대하여 설명하기로 한다.

- [0073] 도 6, 도 7a 및 도 7b를 참조하면, 도 1, 도 2, 도 3, 도 4a 및 도 4b를 참조하여 설명한 것과 같은 상기 반도체 기판(3), 상기 트랜지스터(TR), 상기 게이트 구조체(21), 상기 버퍼 절연 막(27), 상기 그루브(36), 상기 배선 구조체(51), 상기 절연성 스페이서 구조체(88)가 제공될 수 있다.
- [0074] 상기 제2 소스/드레인 영역(24b)의 상기 제2 상부면(24b\_s2)과 중첩하며 상기 제2 소스/드레인 영역(24b)과 전기적으로 연결되는 콘택 구조체(184)가 배치될 수 있다. 상기 콘택 구조체(184)는 상기 제2 소스/드레인 영역(24b)과 중첩하면서 상기 제1 소스/드레인 영역(24a)과 중첩하지 않을 수 있다. 상기 콘택 구조체(184)의 바닥면은 상기 배선 구조체(51)의 상기 콘택 도전성 패턴(39b)의 바닥면 보다 높은 레벨에 배치될 수 있다.
- [0075] 상기 콘택 구조체(184)는 하부 콘택 패턴(175), 금속 실리사이드(177) 및 배리어 패턴(179) 및 상부 콘택 패턴(181)을 포함할 수 있다. 상기 하부 콘택 패턴(175)은 상기 제2 소스/드레인 영역(24b)과 접촉하면서 전기적으로 연결될 수 있다. 상기 금속 실리사이드(177)는 상기 하부 콘택 패턴(175) 상에 배치될 수 있다. 상기 상부 콘택 패턴(81)은 상기 금속 실리사이드(177) 상에 배치될 수 있다. 상기 배리어 패턴(175)은 상기 상부 콘택 패턴(181)과 상기 금속 실리사이드(177) 사이에 배치되면서 상기 상부 콘택 패턴(181)의 측면 상으로 연장될 수 있다. 상기 상부 콘택 패턴(181)은 상기 배선 구조체(151) 보다 높은 레벨에 위치하는 부분을 가질 수 있다.
- [0076] 상기 배선 구조체(151) 보다 높은 레벨에 위치하는 상기 상부 콘택 패턴(181)의 측면을 둘러싸는 상부 캐핑 패턴(190)이 배치될 수 있다. 상기 상부 캐핑 패턴(190)은 실리콘 질화물로 형성될 수 있다.
- [0077] 서로 인접하는 배선 구조체들(51) 사이, 및 서로 인접하는 콘택 구조체들(184) 사이에 절연성 분리 패턴(169)이 배치될 수 있다. 상기 절연성 분리 패턴(169)은 실리콘 질화물로 형성될 수 있다. 상기 절연성 분리 패턴(169)은 상기 배선 구조체(51)에 인접하면서 상기 제1 소스/드레인 영역(24a) 및 상기 게이트 구조체(21)와 중첩할 수 있다.
- [0078] 본 발명의 기술적 사상의 실시 예들에 따르면, 상기 활성 영역(6)의 콘택 영역, 예를 들어 상기 제2 소스/드레인 영역(24b)과 상기 콘택 구조체(84) 사이의 접촉 면적을 증가시킬 수 있다. 따라서, 상기 제2 소스/드레인 영역(24b)과 상기 콘택 구조체(84) 사이의 접촉의 신뢰성을 향상시킬 수 있다.
- [0079] 본 발명의 기술적 사상의 실시 예들에 따르면, 상기 배선 구조체(51)와 상기 활성 영역(6)의 콘택 영역, 예를 들어 상기 제1 소스/드레인 영역(24a) 사이의 전기적인 연결을 위한 상기 배선 구조체(51)의 상기 콘택 도전성 패턴(39b)을 신뢰성 있게 형성할 수 있다.
- [0080] 본 발명의 기술적 사상의 실시 예들에 따르면, 상기 트랜지스터(TR)의 채널 폭(channel width)를 증가시킬 수 있다.
- [0081] 다음으로, 도 8 내지 도 27b, 및 도 28a 내지 도 29b를 각각 참조하여 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자의 형성 방법들을 설명하기로 한다.
- [0082] 도 8, 도 10, 도 15 및 도 19는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 평면도들이고, 도 9a, 도 9b, 도 11a, 도 11b, 도 12a, 도 12b, 도 13a, 도 13b, 도 14a, 도 14b, 도 16a, 도 16b, 도 17a, 도 17b, 도 18a, 도 18b, 도 20a, 도 20b, 도 21a, 도 21b, 도 22a, 도 22b, 도 23a, 도 23b, 도 24a, 도 24b, 도 25a, 도 25b, 도 26a, 도 26b, 도 27a 및 도 27b은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다. 도 9a, 도 11a, 도 12a, 도 13a, 도 14a, 도 16a, 도 17a, 도 18a, 도 20a, 도 21a, 도 22a, 도 23a, 도 24a, 도 25a, 도 26a 및 도 27a은 평면도들 도 1, 도 8, 도 10, 도 15 및 도 19의 I-I'선을 따라 취해진 영역 및 II-II'선을 따라 취해진 영역을 나타낸 단면도들이고, 도 9b, 도 11b, 도 12b, 도 13b, 도 14b, 도 16b, 도 17b, 도 18b, 도 20b, 도 21b, 도 22b, 도 23b, 도 24b, 도 25b, 도 26b 및 도 27b은 평면도들 도 1, 도 8, 도 10, 도 15 및 도 19의 III-III'선을 따라 취해진 영역 및 IV-IV'선을 따라 취해진 영역을 나타낸 단면도들이다.
- [0083] 도 28a, 도 28b, 도 29a 및 도 29b는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다. 도 28a 및 도 29a는 도 6의 I-I'선을 따라 취해진 영역 및 II-II'선을 따라 취해진 영역을 나타낸 단면도들이고, 도 28b 및 도 29b는 도 6의 III-III'선을 따라 취해진 영역 및 IV-IV'선을 따라 취해진 영역을 나타낸 단면도들이다.
- [0084] 우선, 도 1, 도 2, 도 3, 도 4a 및 도 4b에서 설명한 상기 반도체 소자의 형성 방법에 대하여, 도 8 내지 도

29b를 참조하여 설명하기로 한다.

- [0085] 도 8, 도 9a 및 도 9b를 참조하면, 반도체 기판(3)을 준비할 수 있다. 상기 반도체 기판(3)은 실리콘 등과 같은 반도체 물질로 형성된 반도체 기판일 수 있다. 상기 반도체 기판(3)에 활성 영역(6)을 한정하는 소자분리 영역(9)을 형성할 수 있다. 상기 소자분리 영역(9)은 얇은 트렌치 소자분리 막일 수 있다.
- [0086] 상기 소자분리 영역(9)은 서로 평행하며 제1 방향(X)으로 연장된 제1 및 제2 소자분리 라인들(9a, 9b), 및 서로 평행하며 상기 제1 방향(X)과 수직인 제2 방향(Y)으로 연장된 제3 및 제4 소자분리 라인들(9c, 9d)을 포함할 수 있다. 상기 제1 및 제2 소자분리 라인들(9a, 9b)은 상기 제3 및 제4 소자분리 라인들(9c, 9d)과 수직하게 교차할 수 있다.
- [0087] 상기 소자분리 영역(9)을 형성하는 것은 상기 반도체 기판(3) 내에 상기 활성 영역(6)을 한정하는 필드 트렌치를 형성하고, 상기 필드 트렌치를 채우는 절연성 물질 막을 형성하는 것을 포함할 수 있다. 상기 절연성 물질 막은 실리콘 산화물, 실리콘 산-질화물, 또는 실리콘 질화물 등과 같은 절연성 물질을 포함할 수 있다.
- [0088] 상기 기판(3) 내에 트랜지스터들(TR)을 형성할 수 있다. 상기 트랜지스터들(TR)의 각각은 상기 활성 영역(6)을 가로지르며 상기 소자분리 영역(9) 내로 연장된 게이트 트렌치(11) 내의 게이트 전극(16), 상기 게이트 전극(16) 양 옆의 상기 활성 영역(6) 내에 형성된 제1 및 제2 소스/드레인 영역들(24a, 24b), 및 상기 게이트 전극(16)과 상기 활성 영역(6) 사이에 형성된 게이트 유전체(14)를 포함할 수 있다.
- [0089] 상기 게이트 전극(16) 상에 절연성의 게이트 캐핑 패턴(18)이 형성될 수 있다. 상기 게이트 트렌치(11) 내에 형성되는 상기 게이트 유전체(14), 상기 게이트 전극(16) 및 상기 게이트 캐핑 패턴(18)은 게이트 구조체(21)를 구성할 수 있다.
- [0090] 상기 제1 소스/드레인 영역(24a) 및 상기 제2 소스/드레인 영역(24b)을 형성하는 것은 상기 게이트 트렌치(11)를 형성하기 전에, 및/또는 상기 게이트 구조체(21)를 형성한 후에 이온 주입 공정을 이용하여 상기 활성 영역(6) 내에 불순물을 주입하는 것을 포함할 수 있다.
- [0091] 도 10, 도 11a 및 도 11b를 참조하면, 상기 트랜지스터들(TR)을 갖는 기판 상에 버퍼 절연 막(27)을 형성할 수 있다. 상기 버퍼 절연 막(27)은 실리콘 산화물 및/또는 실리콘 질화물로 형성될 수 있다. 상기 버퍼 절연 막(27) 상에 제1 도전성 막(30) 및 마스크 막(33)을 형성할 수 있다.
- [0092] 도 10, 도 12a 및 도 12b를 참조하면, 상기 마스크 막(33), 상기 하부 도전성 막(30) 및 상기 버퍼 절연 막(27)을 관통하며 상기 제1 소스/드레인 영역(24a)을 노출시키는 그루브(36)를 형성할 수 있다.
- [0093] 일 실시예에서, 상기 그루브(36)는 상기 마스크 막(33), 상기 하부 도전성 막(30) 및 상기 버퍼 절연 막(27)을 관통하면서 상기 활성 영역(6) 내로 연장될 수 있다. 따라서, 상기 그루브(36)의 바닥 면은 상기 활성 영역(6)의 상기 제2 소스/드레인 영역(24b)의 상단부 보다 낮은 레벨에 형성될 수 있다.
- [0094] 일 실시예에서, 상기 그루브(36)를 형성하는 것은 상기 마스크 막(33)을 패터닝하고, 이어서 상기 패터닝된 마스크 막(33) 하부의 상기 하부 도전성 막(30), 상기 버퍼 절연 막(27)을 차례로 식각하고, 이어서 노출된 상기 제1 소스/드레인 영역(24a)을 일부 식각하면서 상기 게이트 캐핑 패턴(18) 및 상기 소자분리 영역(9)을 일부 식각하는 것을 포함할 수 있다.
- [0095] 도 10, 도 13a 및 도 13b를 참조하면, 상기 그루브(36)를 채우며 상기 마스크 막(33)을 덮는 콘택 도전성 막(39)을 형성할 수 있다. 상기 하부 도전성 막(30)은 폴리 실리콘으로 형성할 수 있다. 상기 콘택 도전성 막(39)은 폴리 실리콘으로 형성할 수 있다.
- [0096] 도 10, 도 14a 및 도 14b를 참조하면, 상기 하부 도전성 막(30)이 노출될 때까지 상기 콘택 도전성 막(39)을 평탄하여 콘택 도전성 라인(39a)을 형성할 수 있다. 예를 들어, 상기 콘택 도전성 라인(39a)을 형성하는 것은 에치 백 공정을 진행하여 상기 콘택 도전성 막(39)을 식각하고, 이어서 상기 마스크 막(33)을 식각하여 제거하면서 상기 하부 도전성 막(30)을 노출시키는 것을 포함할 수 있다.
- [0097] 도 15, 도 16a 및 도 16b를 참조하면, 상기 하부 도전성 막(30) 및 상기 콘택 도전성 라인(39a)을 갖는 기판 상에 중간 도전성 막(42), 상부 도전성 막(45) 및 절연성 캐핑 막(48)을 차례로 형성할 수 있다. 상기 중간 도전성 막(42)은 금속 질화 막 및/또는 금속 실리콘사이드 막을 포함할 수 있다. 상기 상부 도전성 막(45)은 텅스텐 등과 같은 금속 막을 포함할 수 있다. 상기 절연성 캐핑 막(48)은 실리콘 질화물 등과 같은 절연성 물질로 형성될 수 있다.



- [0098] 도 15, 도 17a 및 도 17b를 참조하면, 상기 절연성 캐핑 막(48)을 패터닝하여 절연성 캐핑 패턴(48a)을 형성할 수 있다. 상기 절연성 캐핑 패턴(48a)을 식각 마스크로 이용하여 상기 상부 도전성 막(45), 상기 중간 도전성 막(42), 상기 하부 도전성 막(30) 및 상기 콘택 도전성 라인(39a)을 차례로 식각하여, 상부 도전성 패턴(45a), 중간 도전성 패턴(42a), 하부 도전성 패턴(30a) 및 콘택 도전성 패턴(39b)을 형성할 수 있다. 상기 콘택 도전성 패턴(39b)은 상기 제1 소스/드레인 영역(24a)과 중첩하면서, 상기 제1 소스/드레인 영역(24a)과 전기적으로 연결될 수 있다. 상기 하부 도전성 패턴(30a)은 상기 제2 소스/드레인 영역(24b)과 중첩하면서 상기 제2 소스/드레인 영역(24b)과 이격될 수 있다. 상기 중간 도전성 패턴(42a) 및 상기 상부 도전성 패턴(45a)은 차례로 적층되면서 상기 콘택 도전성 패턴(39b) 및 상기 하부 도전성 패턴(30a)을 덮을 수 있다. 상기 콘택 도전성 패턴(39b), 상기 하부 도전성 패턴(30a), 상기 중간 도전성 패턴(42a), 상기 상부 도전성 패턴(45a) 및 상기 절연성 캐핑 패턴(48a)은 배선 구조체(51)를 구성할 수 있다.
- [0099] 도 15, 도 18a 및 도 18b를 참조하면, 상기 배선 구조체(51)를 갖는 기판 상에 제1 스페이서 막 및 제2 스페이서 막을 차례로 형성하고, 상기 제1 및 제2 스페이서 막들을 이방성 식각할 수 있다. 상기 제1 및 제2 스페이서 막들은 이방성 식각되어 상기 배선 구조체(51)의 측면 상에서 제1 스페이서(54a) 및 제2 스페이서(57a)로 형성될 수 있고, 상기 그루브(36) 내에서 제1 갭필 패턴(54b) 및 제2 갭필 패턴(57b)으로 형성될 수 있다. 상기 제1 스페이서(54a)는 내측 스페이서로 명명될 수도 있다.
- [0100] 상기 제1 및 제2 스페이서들(54a, 57a) 및 상기 제1 및 제2 갭필 패턴들(54b, 57b)을 갖는 기판 상에 보호 막(60)을 형성할 수 있다. 상기 보호 막(60)은 상기 배선 구조체(51)의 측면들 상에서 제3 스페이서 또는 외측 스페이서로 명명될 수 있고, 상기 그루브(36) 내에서 제3 갭필 패턴(60a)으로 명명될 수 있다. 상기 그루브(36)를 채우는 상기 제1 내지 제3 갭필 패턴들(54b, 57b, 60a)은 절연성 구조체(63)를 구성할 수 있다.
- [0101] 도 19, 도 20a 및 도 20b를 참조하면, 상기 보호 막(60)을 갖는 기판 상에 몰딩 막(66)을 형성할 수 있다. 상기 몰딩 막(66)은 상기 배선 구조체들(51) 사이에 형성될 수 있다. 상기 몰딩 막(66)은 실리콘 산화물로 형성될 수 있다.
- [0102] 도 19, 도 21a 및 도 21b를 참조하면, 상기 몰딩 막(66)을 패터닝하여 분리 홀(66a)을 형성할 수 있다. 상기 분리 홀(66a)은 상기 배선 구조체들(51) 사이에 형성될 수 있다.
- [0103] 도 19, 도 22a 및 도 22b를 참조하면, 상기 분리 홀(66a)을 채우는 절연성 분리 패턴(69)을 형성할 수 있다. 상기 절연성 분리 패턴(69)은 상기 몰딩 막(66)과 식각 선택비를 갖는 물질로 형성될 수 있다. 상기 절연성 분리 패턴(69)은 실리콘 질화물로 형성될 수 있다. 상기 절연성 분리 패턴(69)은 상기 게이트 구조체(21)와 중첩되도록 형성될 수 있다.
- [0104] 도 19, 도 23a 및 도 23b를 참조하면, 상기 몰딩 막(66)을 제거하여 콘택 홀(72)을 형성할 수 있다. 상기 몰딩 막(66)을 제거하는 것은 상기 보호 막(60)을 식각 정지막으로 이용하는 식각 공정을 진행하는 것을 포함할 수 있다.
- [0105] 도 19, 도 24a 및 도 24b를 참조하면, 상기 제2 소스/드레인 영역(24b)이 노출될때까지 상기 콘택 홀(72) 하부의 물질 막들을 식각할 수 있다. 상기 제2 소스/드레인 영역(24b)의 일부가 식각될 수 있다. 상기 콘택 홀(72)의 바닥면은 상기 그루브(36)의 바닥면 보다 높은 레벨에 형성될 수 있다.
- [0106] 도 19, 도 25a 및 도 25b를 참조하면, 상기 콘택 홀(72)을 부분적으로 채우는 하부 콘택 패턴(75)을 형성할 수 있다. 상기 하부 콘택 패턴(75)을 형성하는 것은 상기 콘택 홀(72)을 갖는 기판 상에 폴리 실리콘을 형성하고, 상기 폴리 실리콘을 부분 식각하는 것을 포함할 수 있다.
- [0107] 실리콘사이드 공정을 진행하여, 상기 하부 콘택 패턴(75) 상에 금속 실리콘사이드(77)를 형성할 수 있다. 상기 금속 실리콘사이드(77)는 코발트 실리콘사이드, 타이타늄 실리콘사이드 또는 텅스텐 실리콘사이드로 형성될 수 있다.
- [0108] 상기 금속 실리콘사이드(77)를 갖는 기판 상에 배리어 막(78) 및 상부 콘택 막(80)을 차례로 형성할 수 있다. 상기 배리어 막(78)은 금속 질화물로 형성될 수 있고, 상기 상부 콘택 막(80)은 텅스텐 등과 같은 금속으로 형성될 수 있다.
- [0109] 도 19, 도 26a 및 도 26b를 참조하면, 상기 상부 콘택 막(80) 및 상기 상부 콘택 막(80) 하부의 상기 배리어 막(78)을 패터닝하여 상부 콘택 패턴(81) 및 배리어 패턴(79)을 형성할 수 있다. 상기 하부 콘택 패턴(75), 상기 금속 실리콘사이드(77), 상기 배리어 패턴(79) 및 상기 상부 콘택 패턴(81)은 콘택 구조체(84)를 구성할 수 있다. 상기 상부 콘택 막(80) 및 상기 배리어 막(78)을 패터닝하면서, 상기 제2 스페이서(57a)가 노출될 수 있다.

- [0110] 도 19, 도 27a 및 도 27b를 참조하면, 상기 노출된 상기 제2 스페이서(57a)를 제거하여, 상기 제2 스페이서(57a)가 제거되면서 형성되는 에어 스페이서(87)를 형성할 수 있다. 따라서, 상기 배선 구조체(51)의 측면 상에 상기 내측 스페이서(54a), 상기 에어 스페이서(87) 및 상기 외측 스페이서(60)를 포함하는 스페이서 구조체(88)가 형성될 수 있다.
- [0111] 다시, 도 1, 도 3a 및 도 3b를 참조하면, 상기 에어 스페이서(87)의 상부를 밀폐하면서 상기 배선 구조체(51)보다 높은 레벨에 위치하는 상기 콘택 구조체(84)의 측면들을 둘러싸는 상부 캐핑 패턴(90)을 형성할 수 있다.
- [0112] 다음으로, 도 6, 도 7a 및 도 7b에서 설명한 반도체 소자의 형성 방법에 대하여 도 28a, 도 28b, 도 29a 및 도 29b를 참조하여 설명하기로 한다.
- [0113] 도 6, 도 28a 및 도 28b를 참조하면, 도 8 내지 도 20b에서 설명한 것과 동일한 방법을 진행하여, 반도체 기판(3) 상에 상기 활성 영역(6), 상기 소자분리 영역(9), 상기 트랜지스터(TR), 상기 그루브(36), 상기 배선 구조체(51), 상기 제1 및 제2 스페이서들(54a, 57a) 및 상기 보호 막(60)을 형성할 수 있다. 이러한 기판 상에 도 20a 및 도 20b에서 설명한 상기 몰딩 막(66)과 동일한 몰딩 막(166)을 형성할 수 있다.
- [0114] 상기 몰딩 막(166)을 패턴닝하여 분리 홀(166a)을 형성할 수 있다. 상기 분리 홀(166a)은 상기 제1 소스/드레인 영역(24a) 및 상기 게이트 구조체(21)와 중첩할 수 있다.
- [0115] 도 6, 도 29a 및 도 29b를 참조하면, 상기 분리 홀(166a)을 채우는 절연성 분리 패턴(169)을 형성할 수 있다. 상기 절연성 분리 패턴(169)은 상기 제1 소스/드레인 영역(24a) 및 상기 게이트 구조체(21)와 중첩할 수 있다. 상기 절연성 분리 패턴(169)은 실리콘 질화물로 형성될 수 있다.
- [0116] 상기 제2 소스/드레인 영역(24b)을 노출시키는 콘택 홀(172)을 형성할 수 있다. 상기 콘택 홀(172)을 형성하는 것은 상기 제2 소스/드레인 영역(24b)을 노출시키면서 상기 몰딩 막(166) 및 상기 몰딩 막(166) 하부의 물질 막을 제거하는 것을 포함할 수 있다. 상기 콘택 홀(172)을 형성하면서 상기 제2 소스/드레인 영역(24b) 상부가 리세스될 수 있다.
- [0117] 다시, 도 6, 도 7a 및 도 7b를 참조하면, 도 25a, 도 25b, 도 26a 및 도 26b에서 설명한 상기 콘택 구조체(84)를 형성하는 것과 실질적으로 동일한 공정을 진행하여 콘택 구조체(184)를 형성하고, 도 27a 및 도 27b에서 설명한 상기 에어 스페이서(87)를 형성하는 것과 동일한 공정을 진행할 수 있다. 이어서, 상기 에어 스페이서(87)의 상부를 밀폐하면서 상기 콘택 구조체(184)의 상부 측면을 둘러싸는 상부 캐핑 패턴(90)을 형성할 수 있다.
- [0118] 도 30은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 반도체 모듈(200)을 개념적으로 나타낸 도면이다.
- [0119] 도 30을 참조하면, 반도체 모듈(200)은 메모리 소자를 포함하는 메모리 모듈일 수 있다. 반도체 모듈(200)은 모듈 기판(210), 상기 모듈 기판(210) 상에 배치된 다수 개의 반도체 소자들(220) 및 상기 모듈 기판(210)의 한 변 상에 배열된 다수 개의 터미널들(230)을 포함할 수 있다. 상기 터미널들(230)은 도전성 금속을 포함할 수 있다. 상기 터미널들(230)은 상기 반도체 소자들(220)과 전기적으로 연결될 수 있다.
- [0120] 상기 모듈 기판(210)은 메모리 모듈 기판일 수 있다. 상기 모듈 기판(210)은 PCB를 포함할 수 있다.
- [0121] 상기 반도체 소자들(220)은 메모리 소자들일 수 있다. 상기 반도체 소자들(220)은 디램 소자들일 수 있다. 상기 반도체 소자들(220)은 본 발명의 기술적 사상의 실시예들 중 어느 하나의 실시예에 따른 반도체 소자이거나, 또는 반도체 소자를 포함하는 반도체 패키지일 수 있다.
- [0122] 도 31은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 반도체 모듈(300)을 개념적으로 나타낸 도면이다.
- [0123] 도 31을 참조하면, 반도체 모듈(300)은 모듈 기판(310) 상에 실장된 프로세서(320) 및 반도체 소자(330) 및 을 포함할 수 있다. 상기 프로세서(320) 또는 상기 반도체 소자(330)는 본 발명의 기술적 사상의 실시예들 중 어느 하나의 실시예에 따른 반도체 소자이거나, 또는 이러한 반도체 소자를 포함하는 반도체 패키지일 수 있다. 상기 모듈 기판(310)의 적어도 한 변에는 입출력 터미널들(340)이 배치될 수 있다.

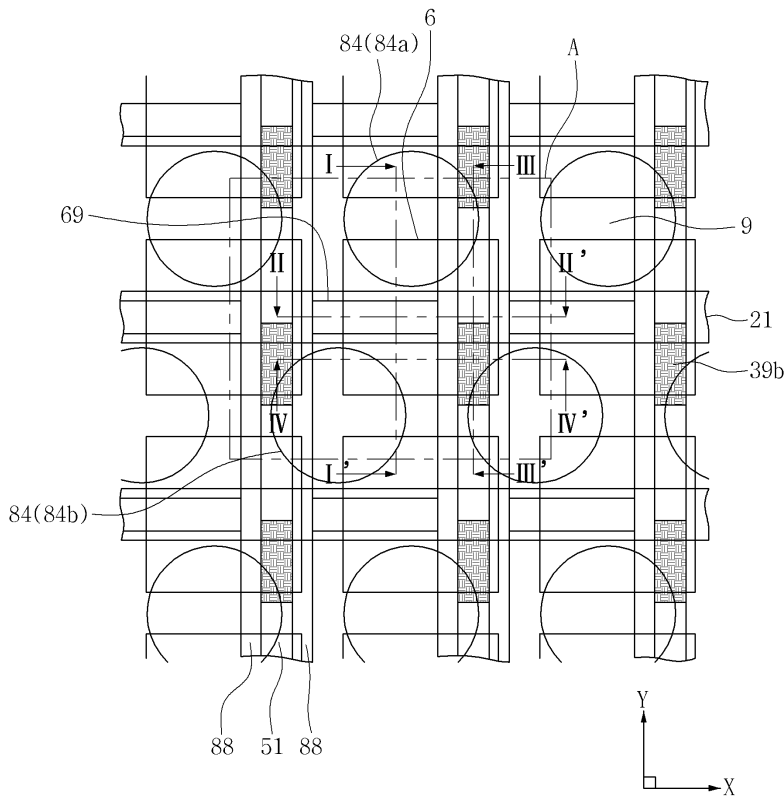




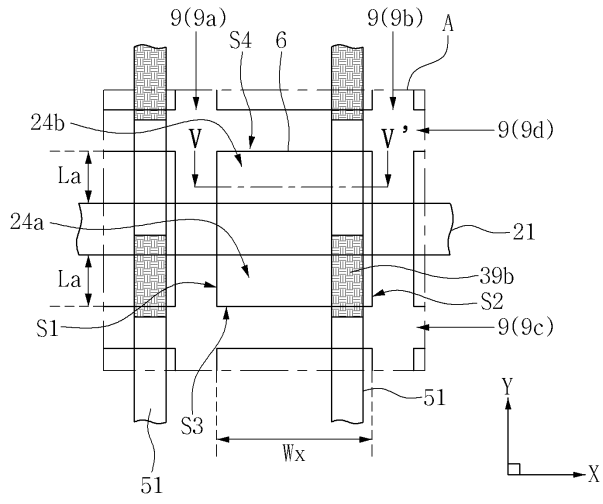
- 9b : 제2 소자분리 라인
- 9c : 제3 소자분리 라인
- 9d : 제4 소자분리 라인
- 11 : 게이트 트렌치
- 14 : 게이트 유전체
- 16 : 게이트 전극
- 18 : 게이트 캐핑 패턴
- 21 : 게이트 구조체
- 24a : 제1 소스/드레인 영역
- 24b : 제2 소스/드레인 영역
- 27 : 버퍼 절연 막
- 30a : 하부 도전성 패턴
- 36 : 그루브
- 39b : 콘택 도전성 패턴
- 42a : 중간 도전성 패턴
- 45a : 상부 도전성 패턴
- 48a : 절연성 캐핑 패턴
- 51 : 배선 구조체
- 63 : 절연성 구조체
- 69, 169 : 절연성 분리 패턴들
- 84, 184 : 콘택 구조체
- 87 : 에어 스페이서
- 90 : 상부 캐핑 패턴

도면

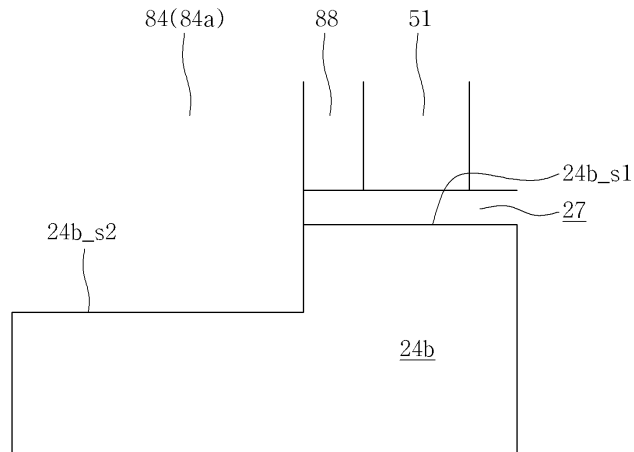
도면1



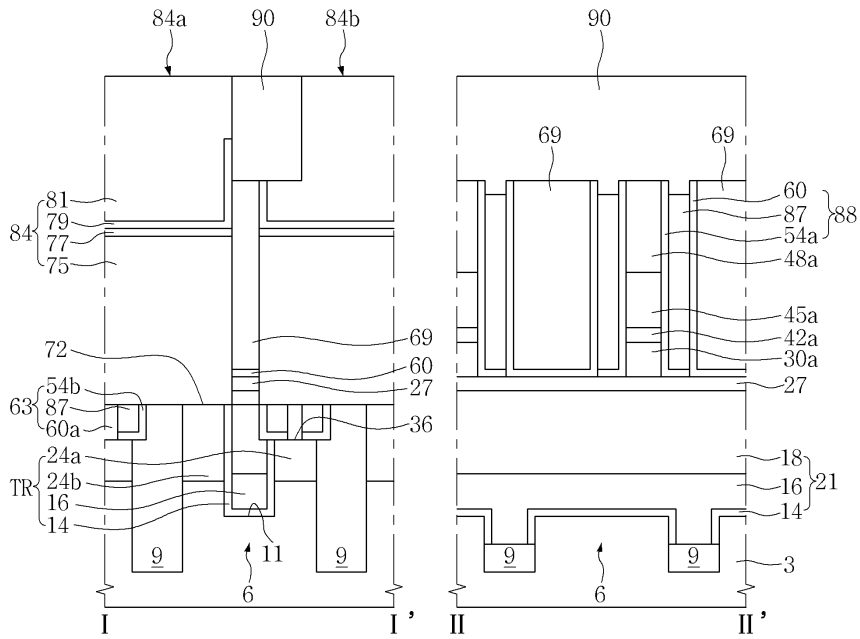
도면2



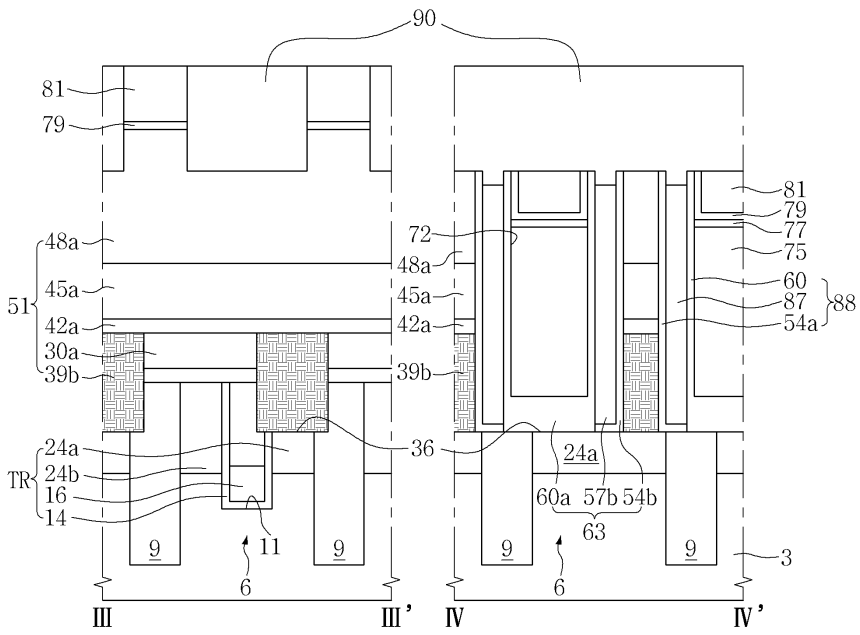
도면3



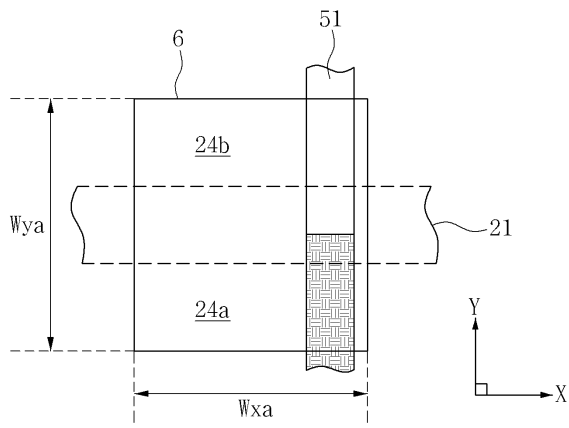
도면4a



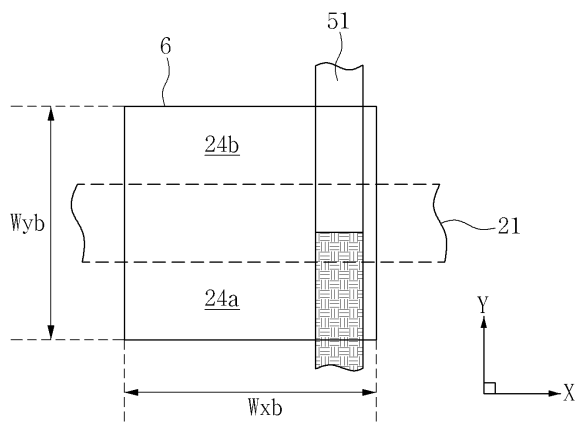
도면4b



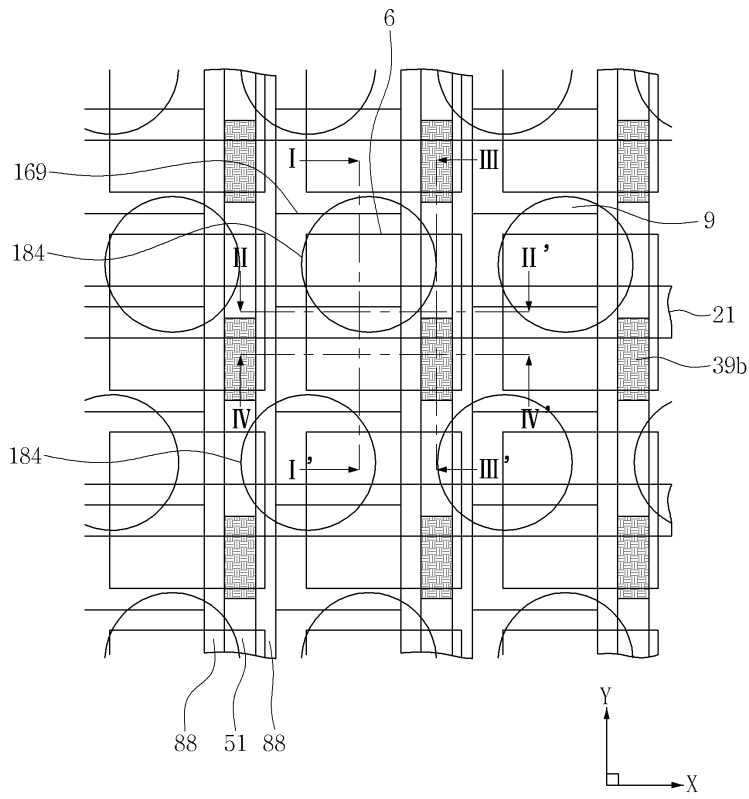
도면5a



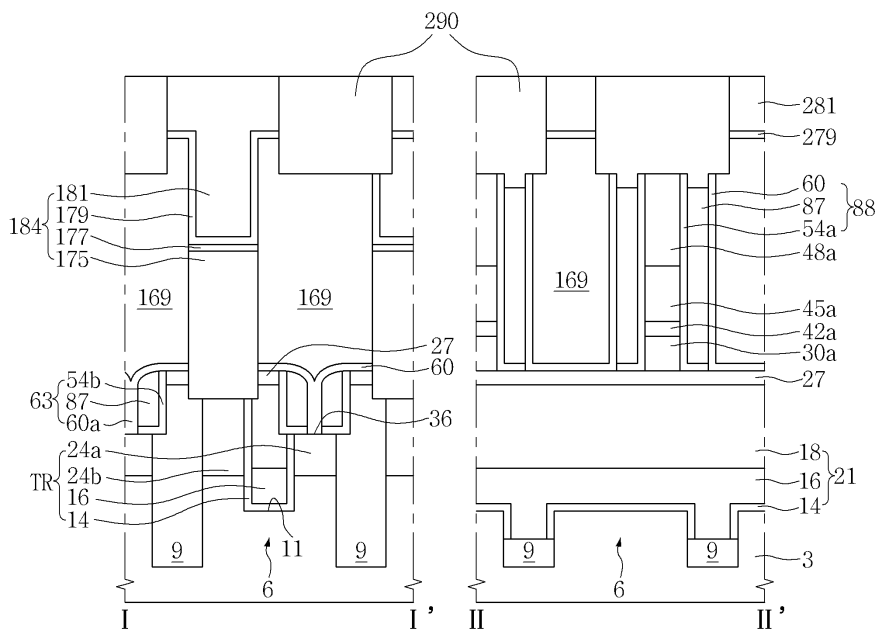
도면5b



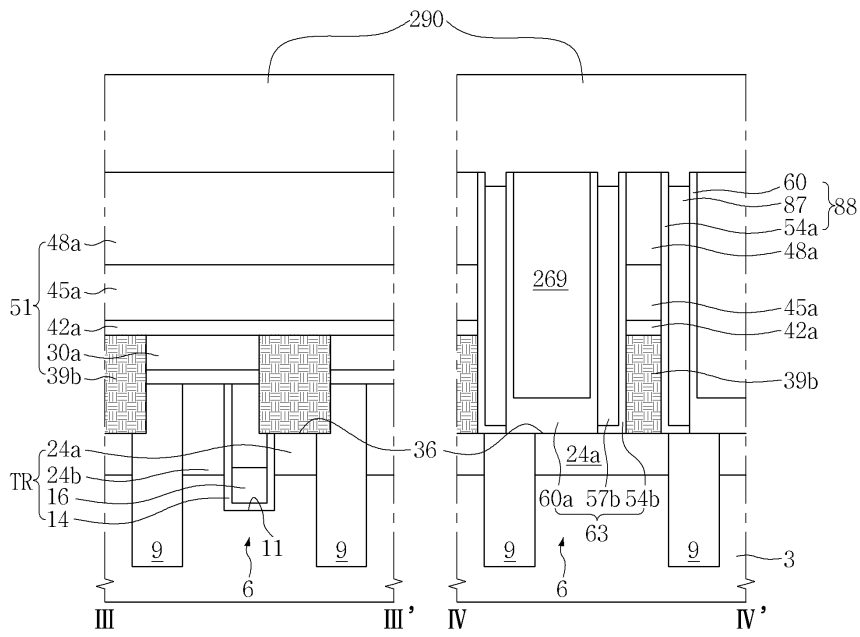
도면6



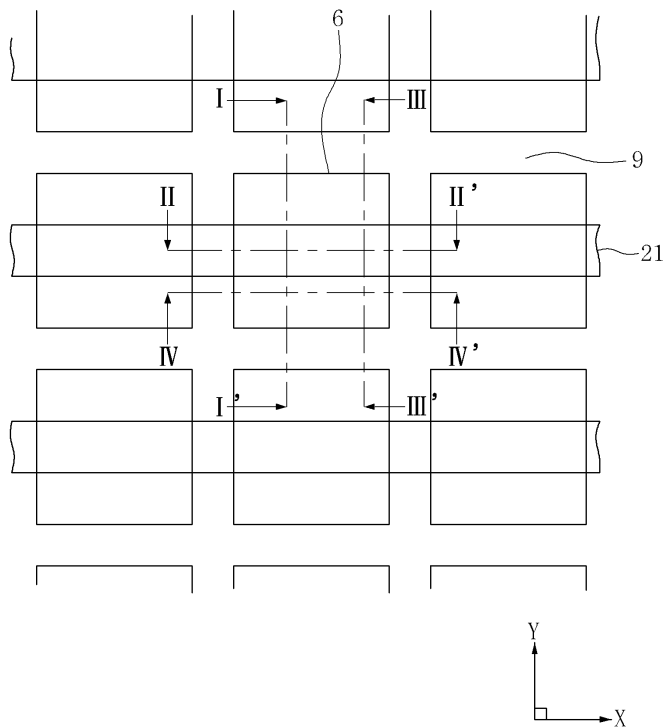
도면7a



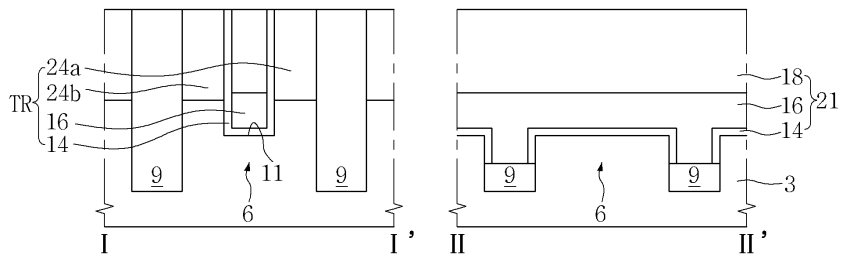
도면7b



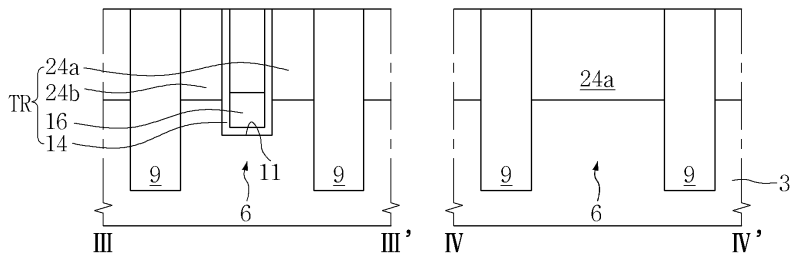
도면8



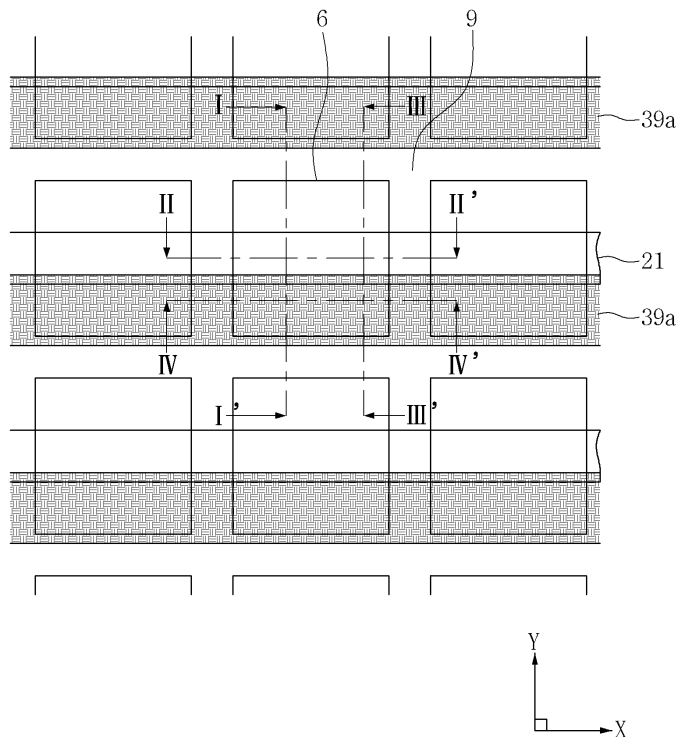
도면9a



도면9b

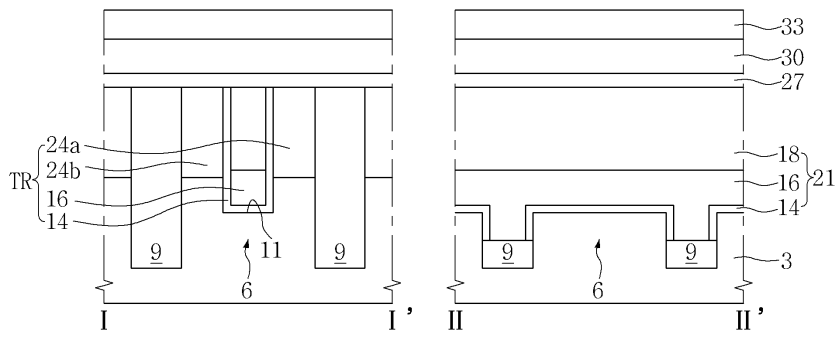


도면10

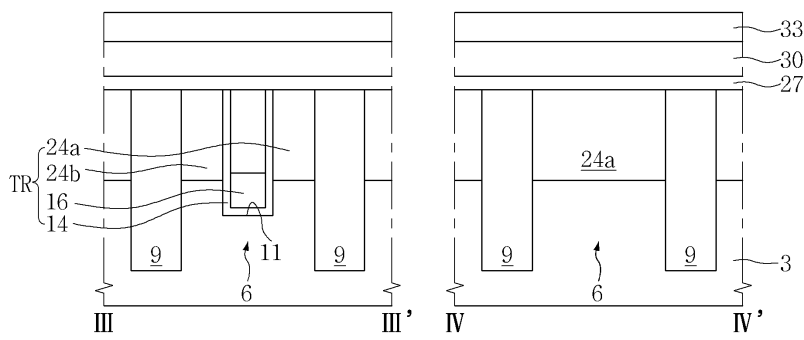




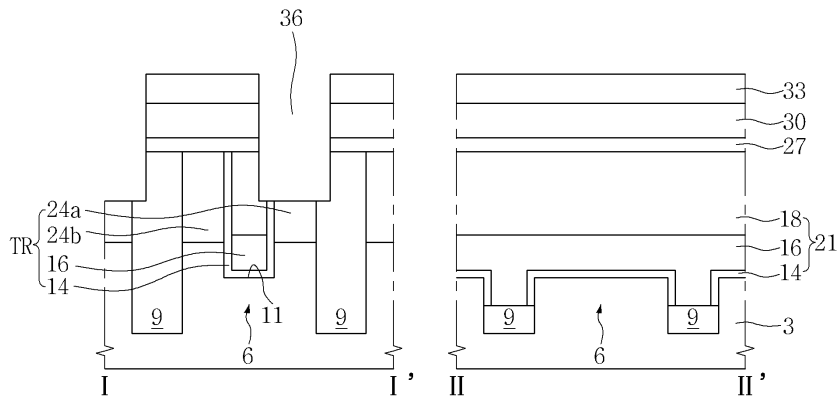
도면11a



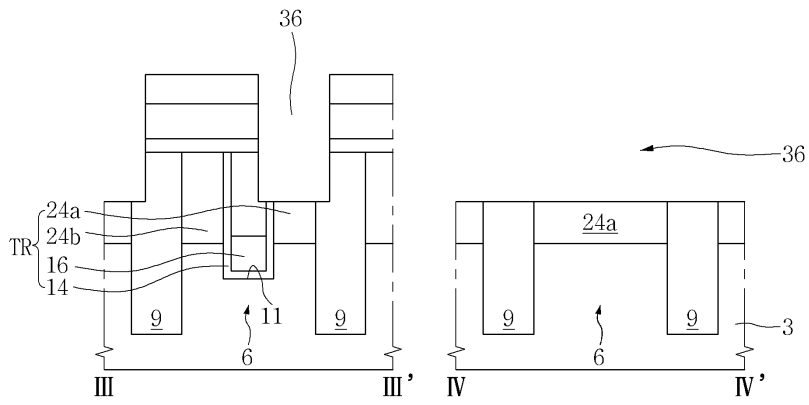
도면11b



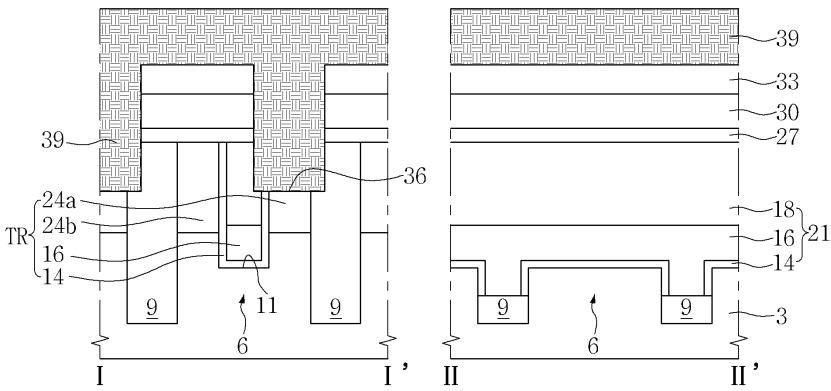
도면12a



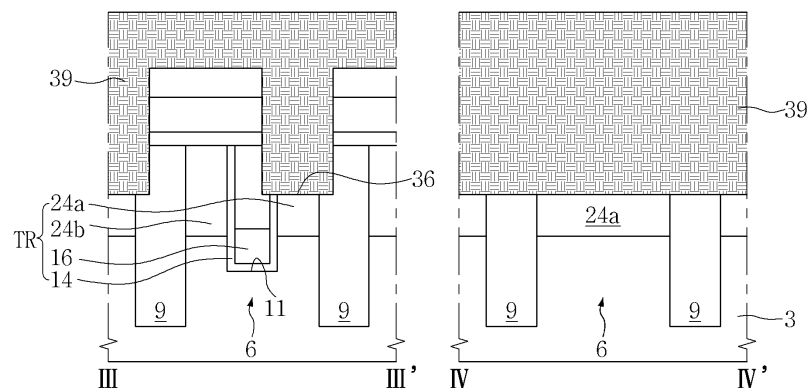
도면12b



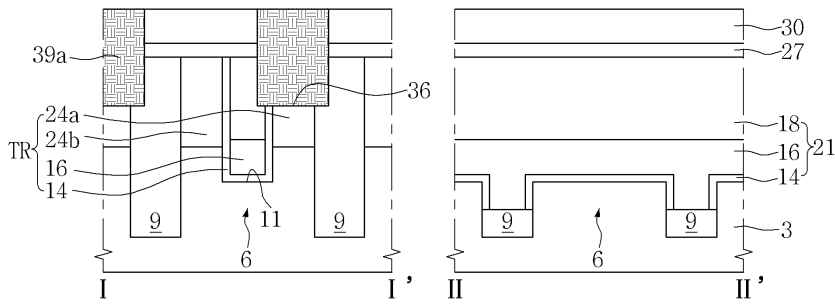
도면13a



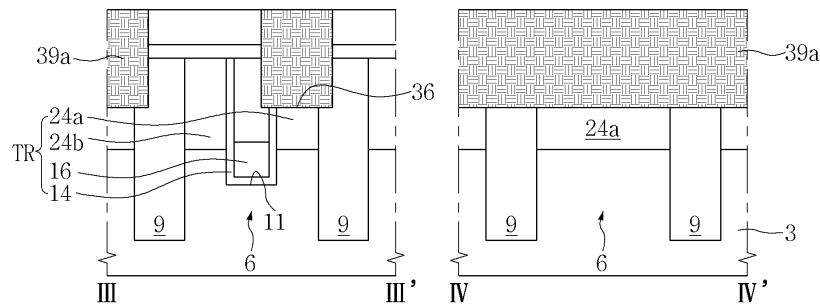
도면13b



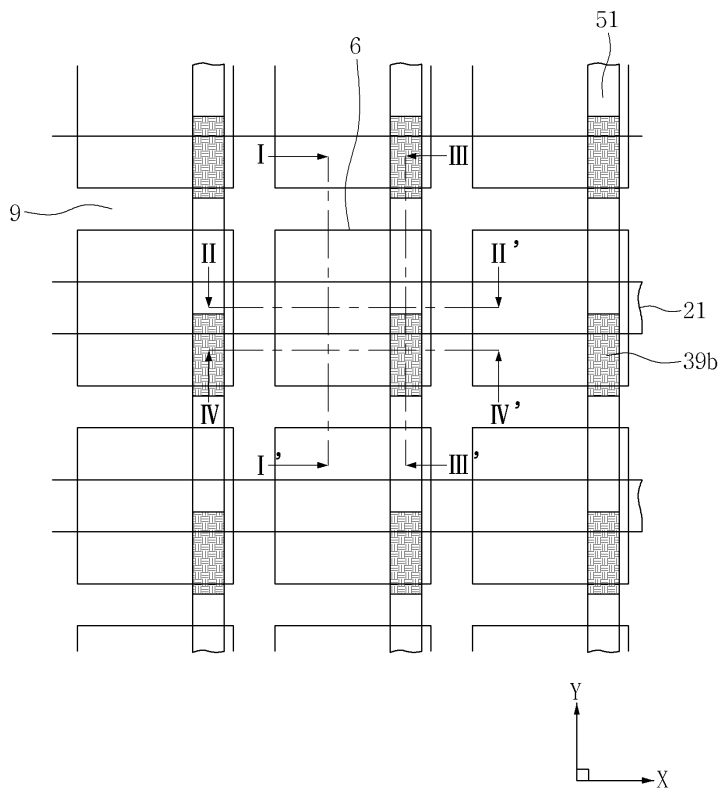
도면14a



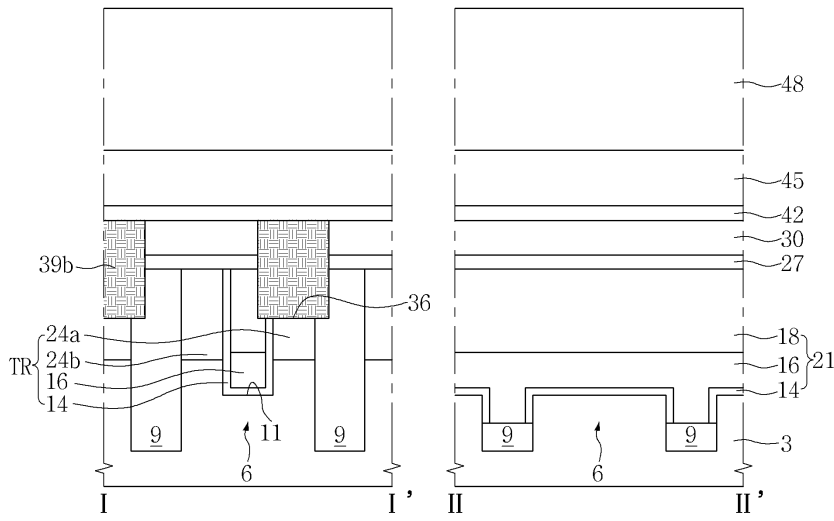
도면14b



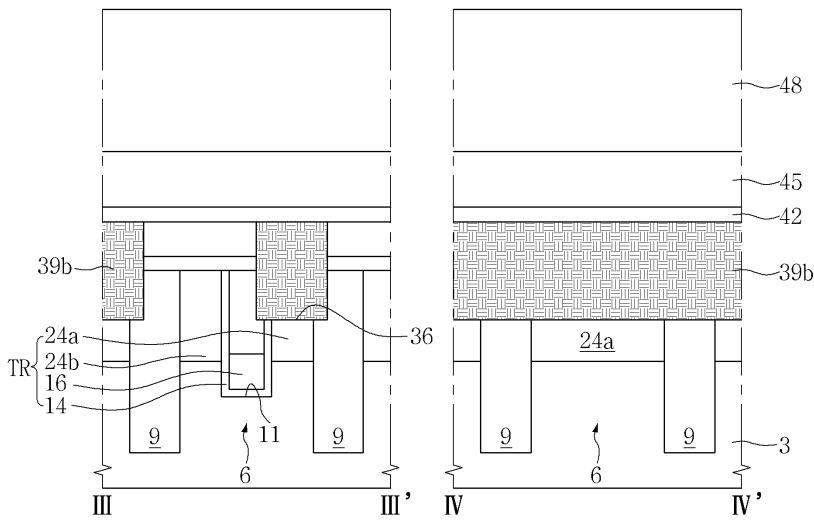
도면15



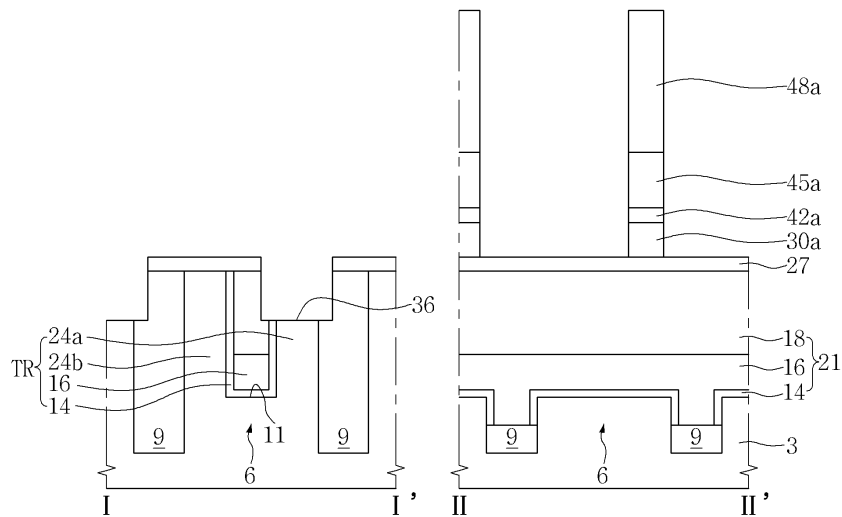
도면16a



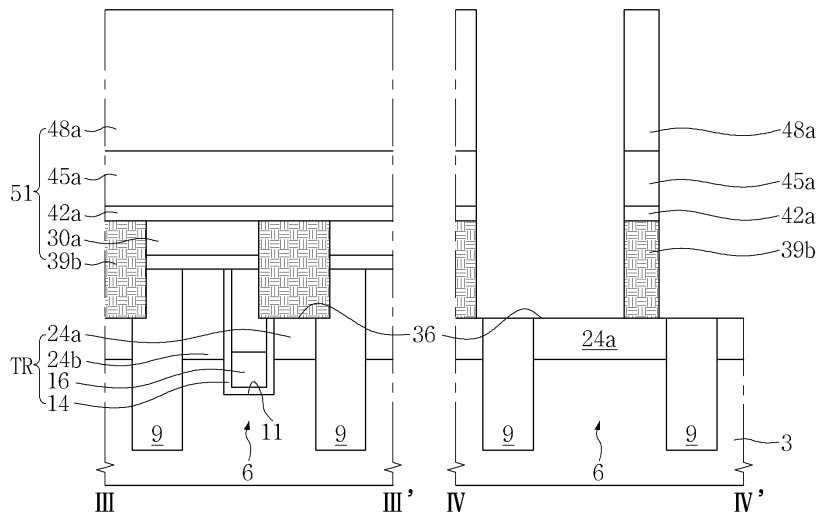
도면16b



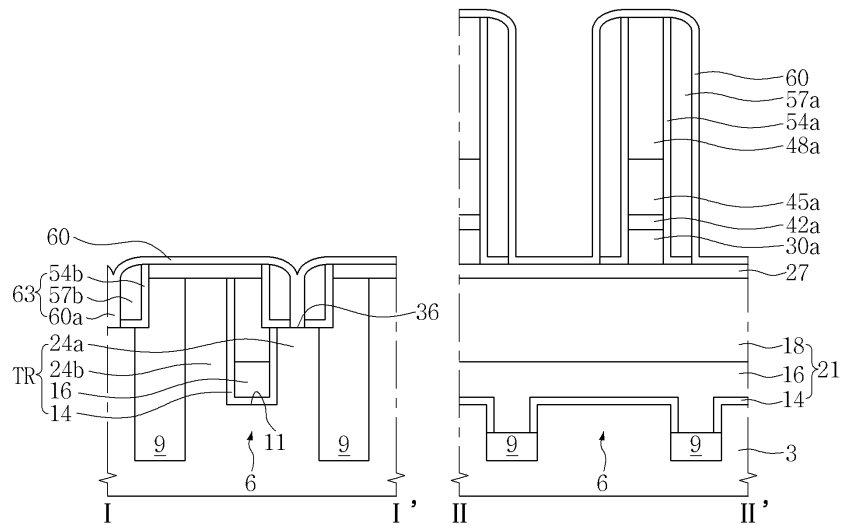
도면17a



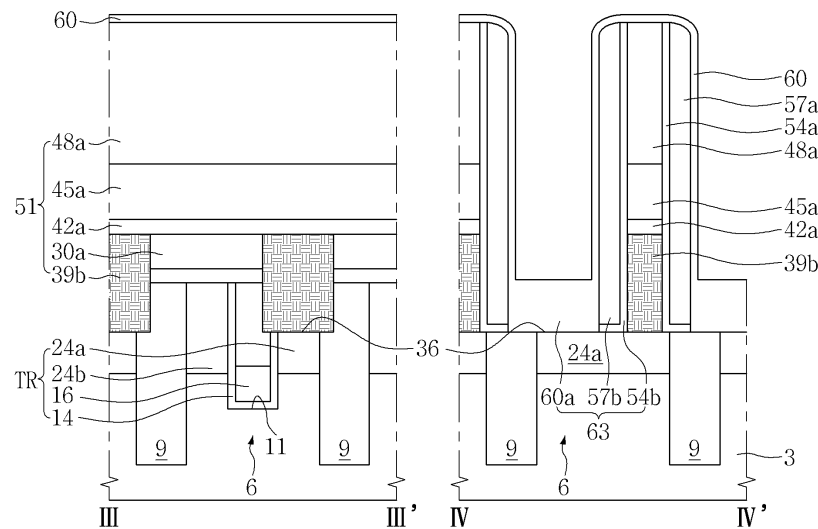
도면17b



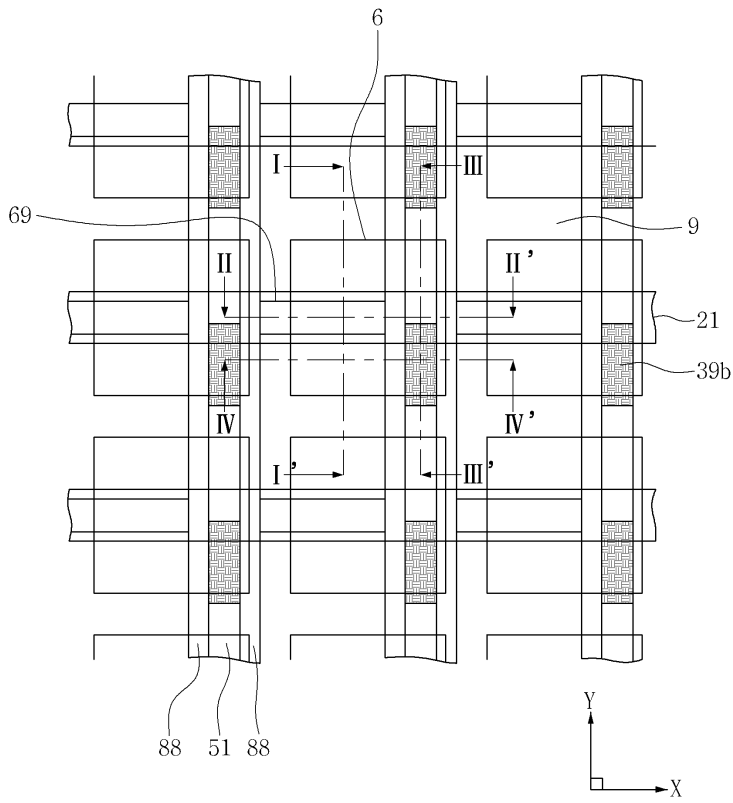
도면18a



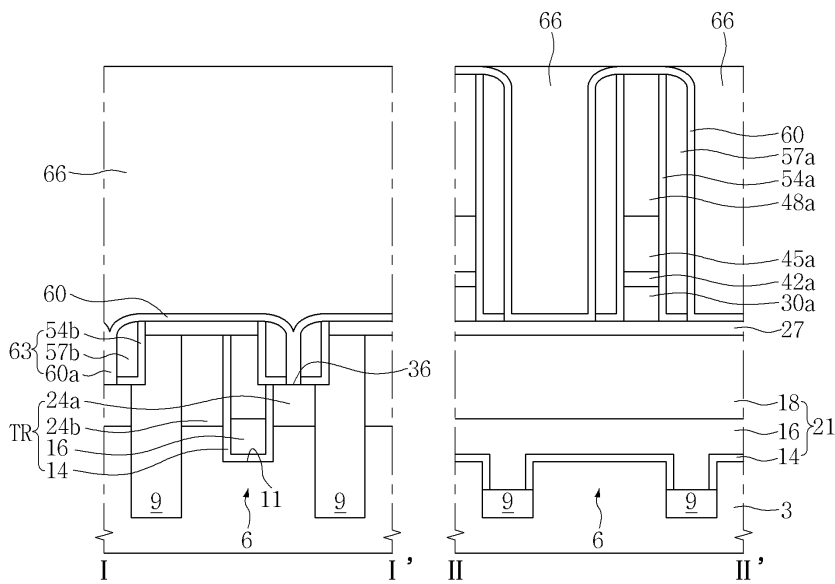
도면18b



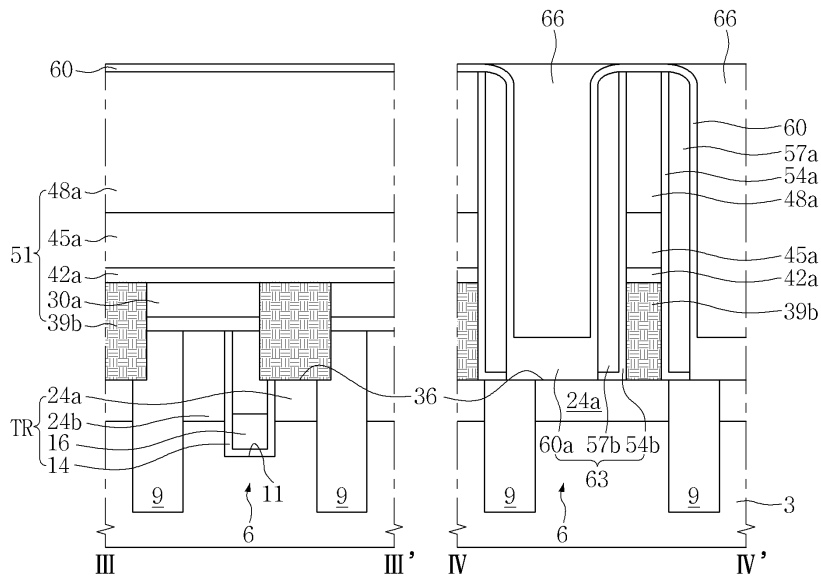
도면19



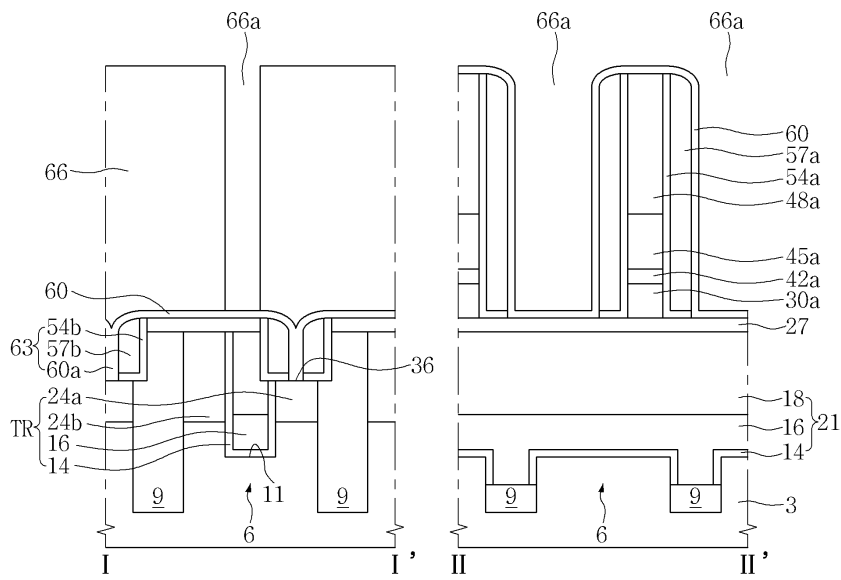
도면20a



도면20b

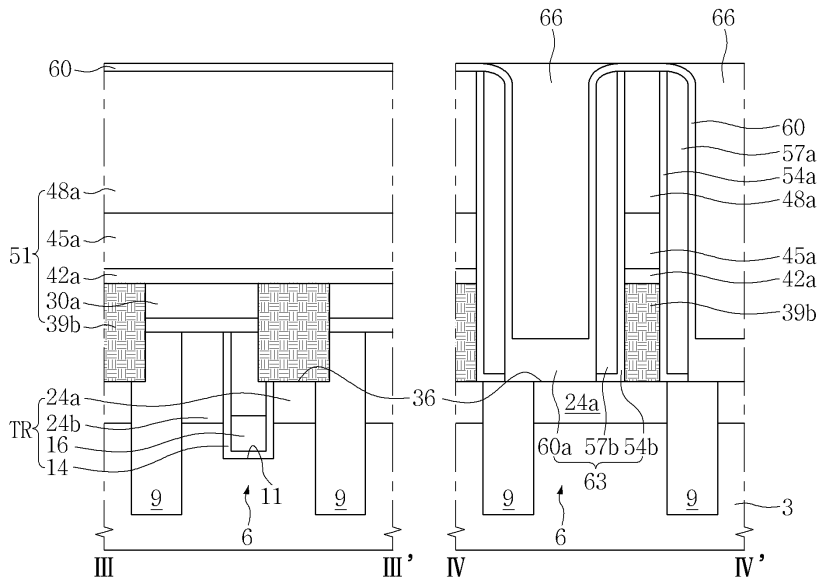


도면21a

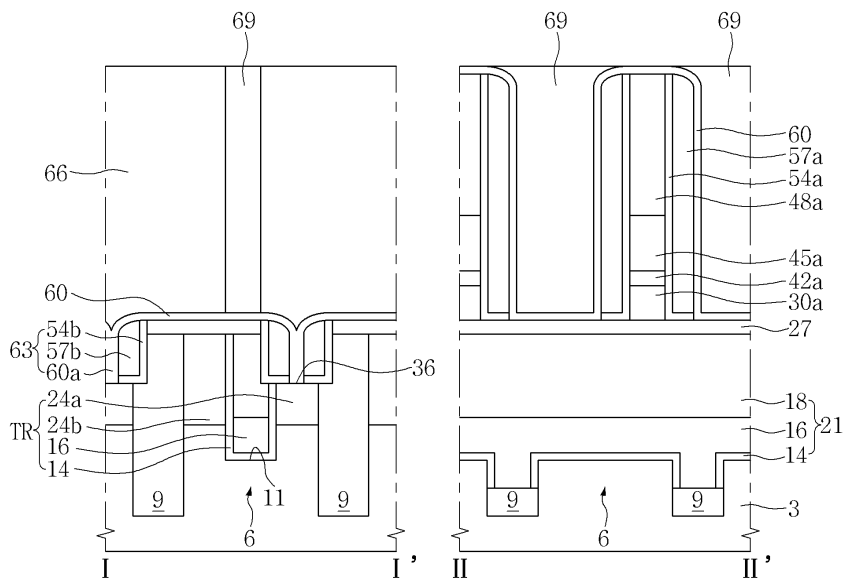




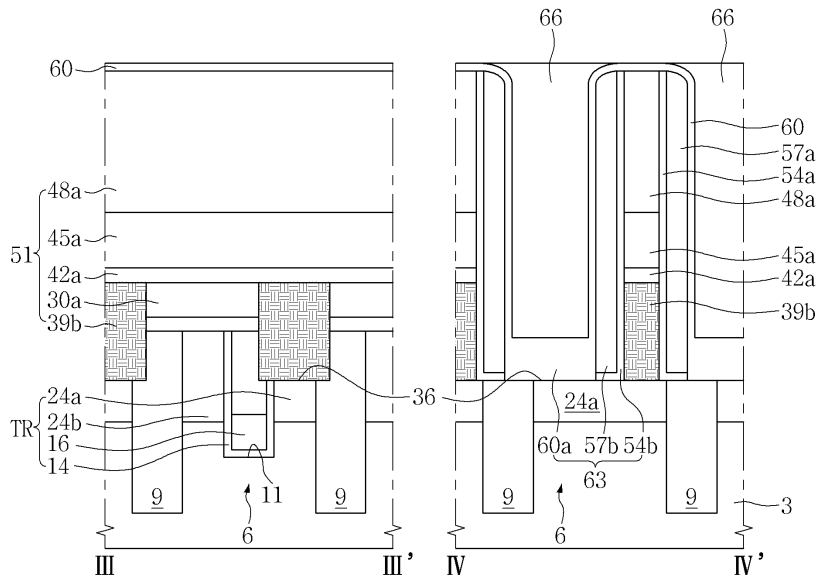
도면21b



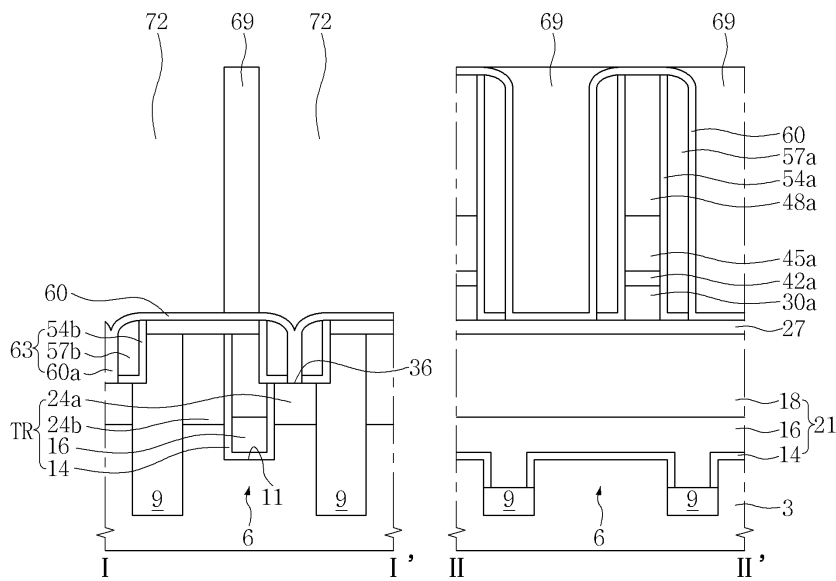
도면22a



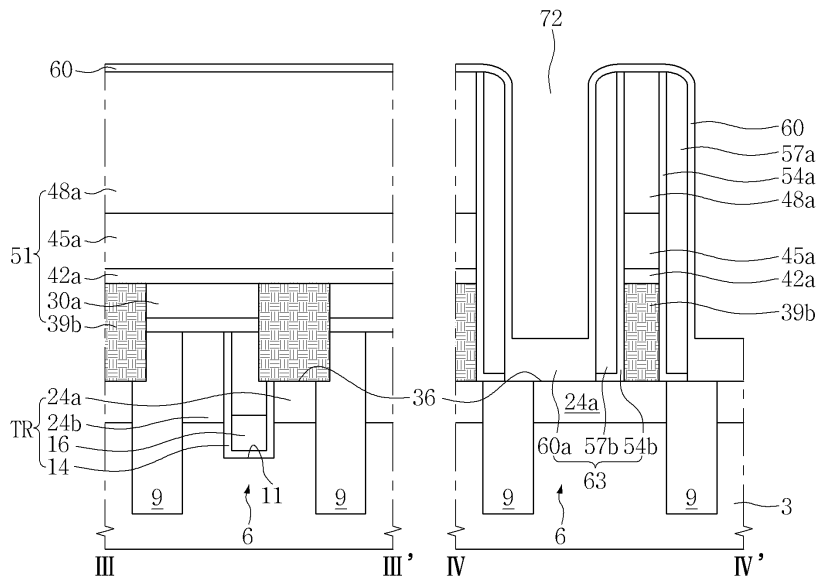
도면22b



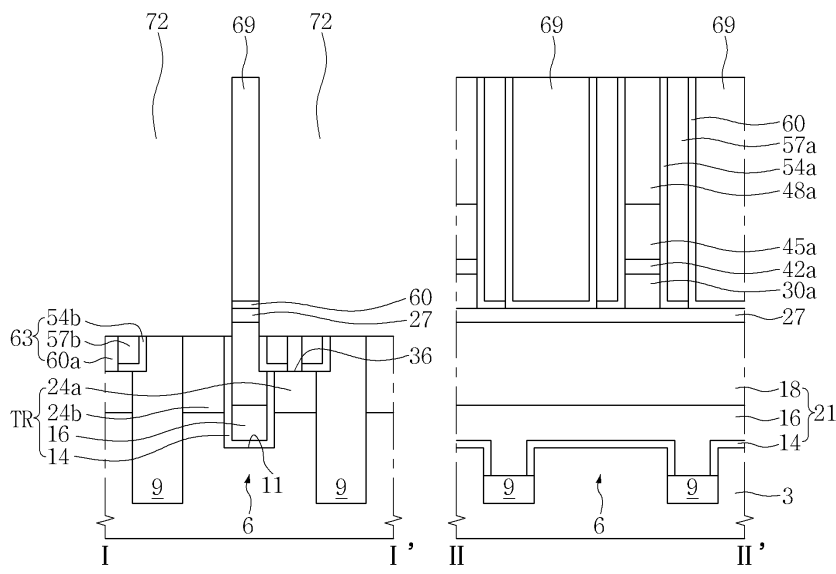
도면23a



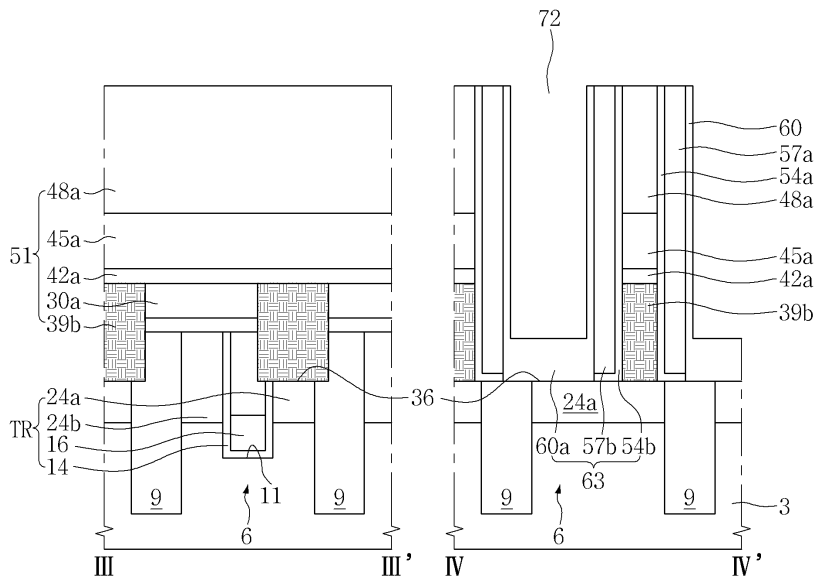
도면23b



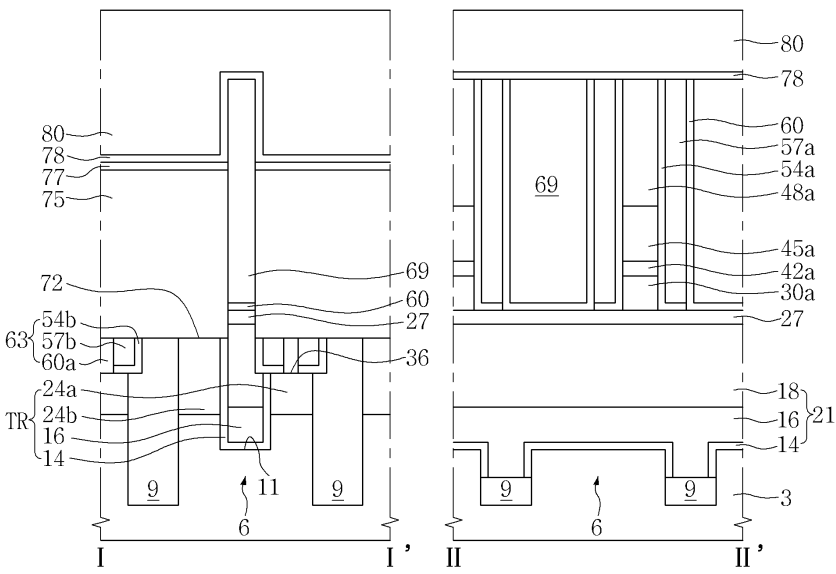
도면24a



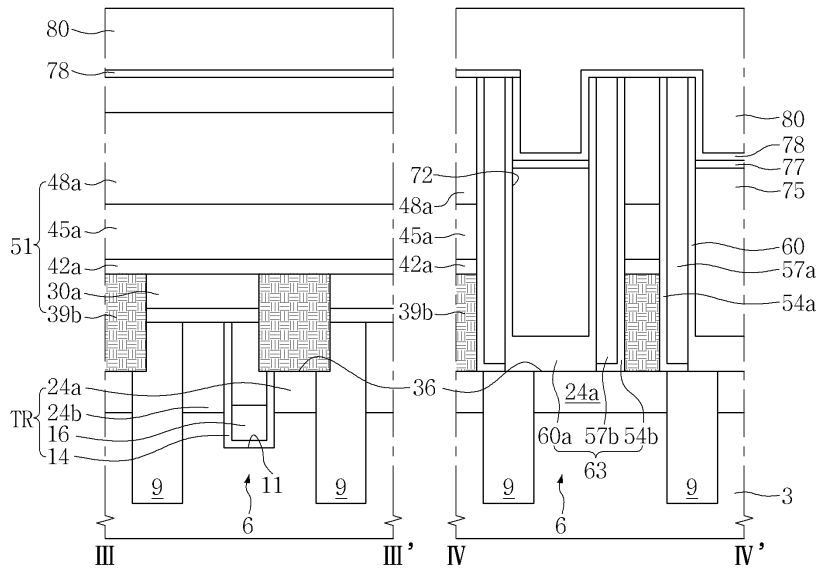
도면24b



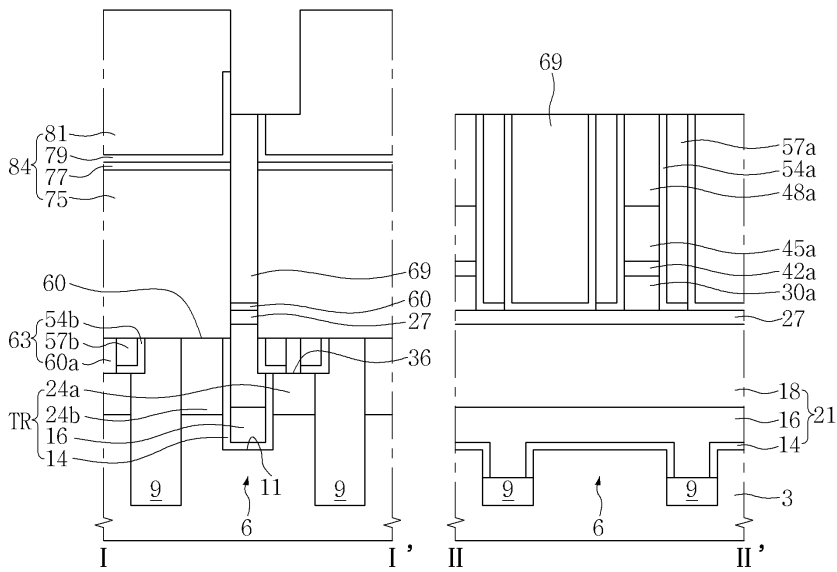
도면25a



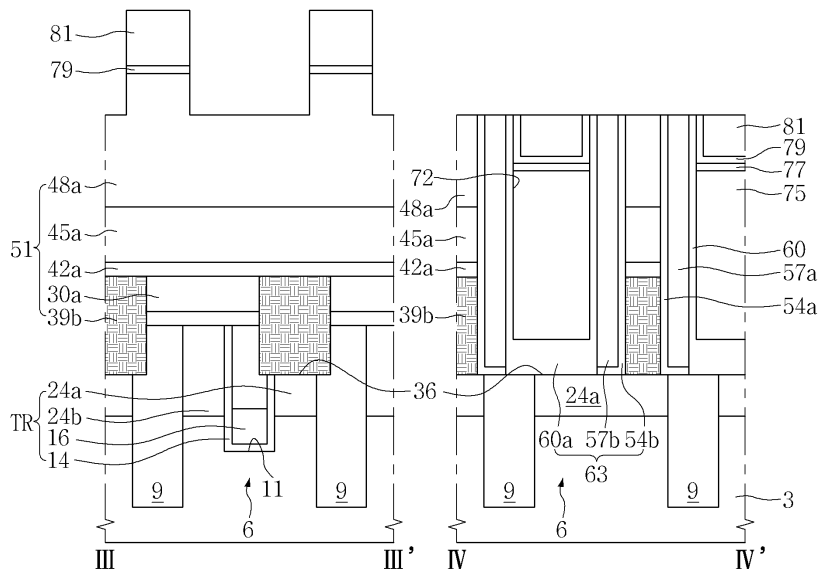
도면25b



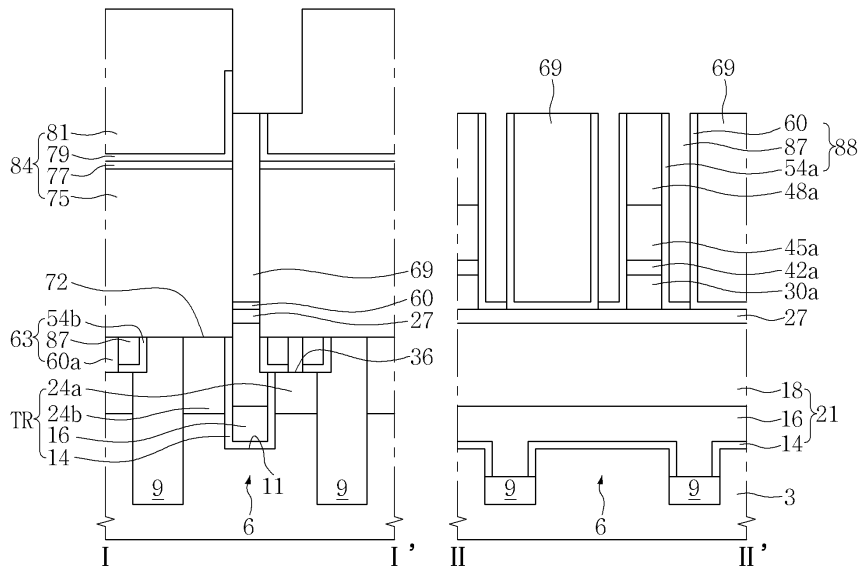
도면26a



도면26b



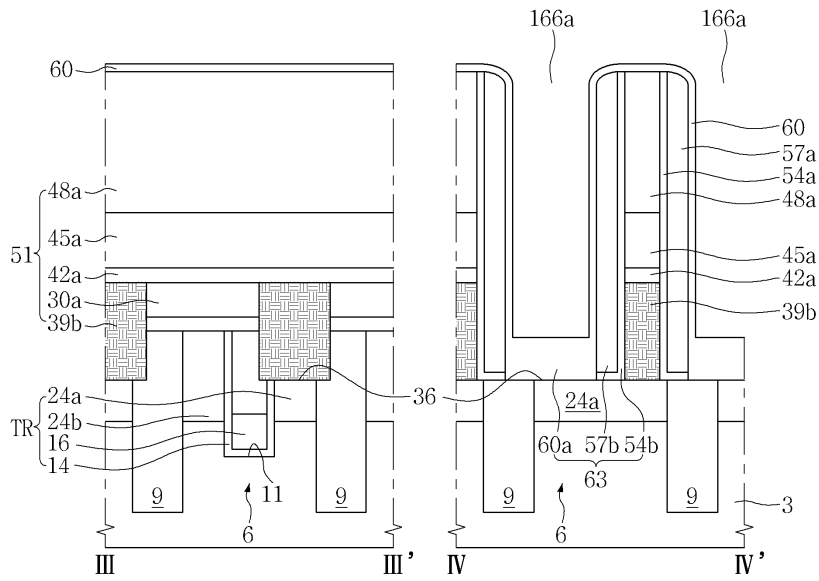
도면27a



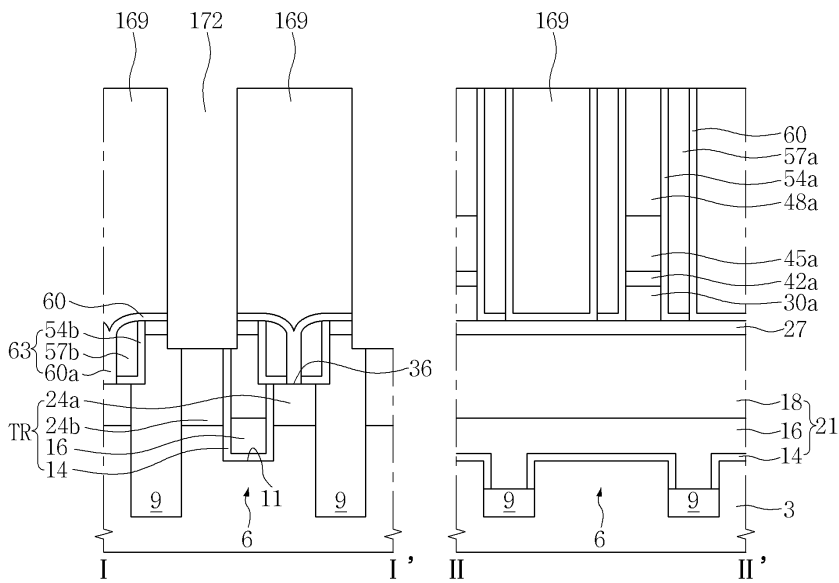




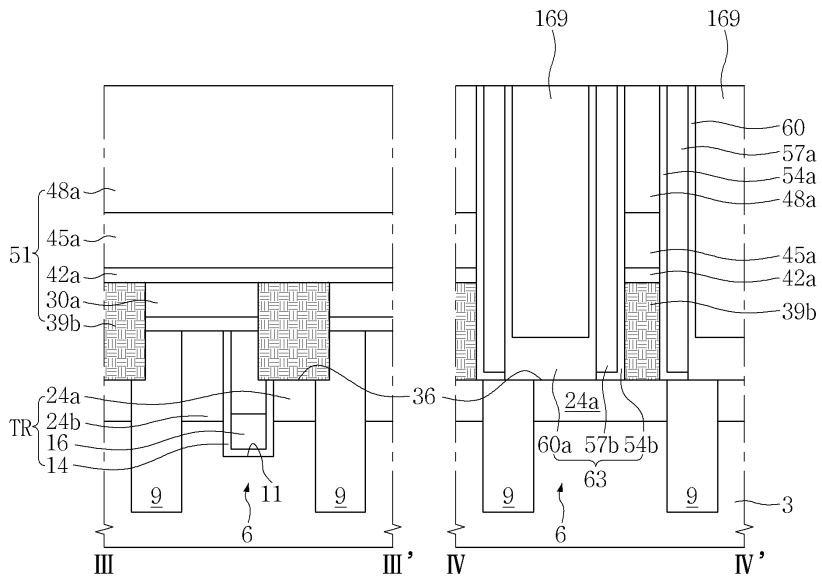
도면28b



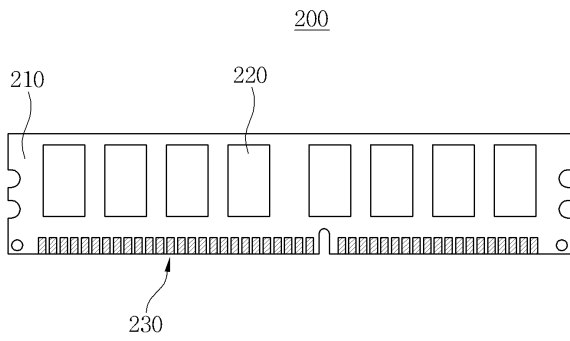
도면29a



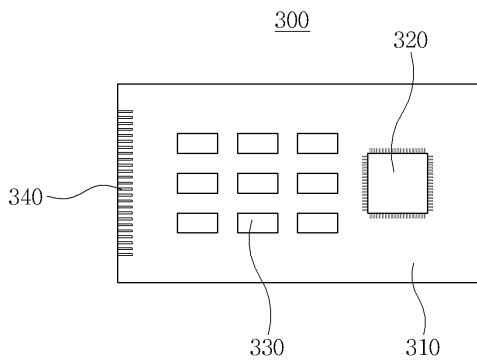
도면29b



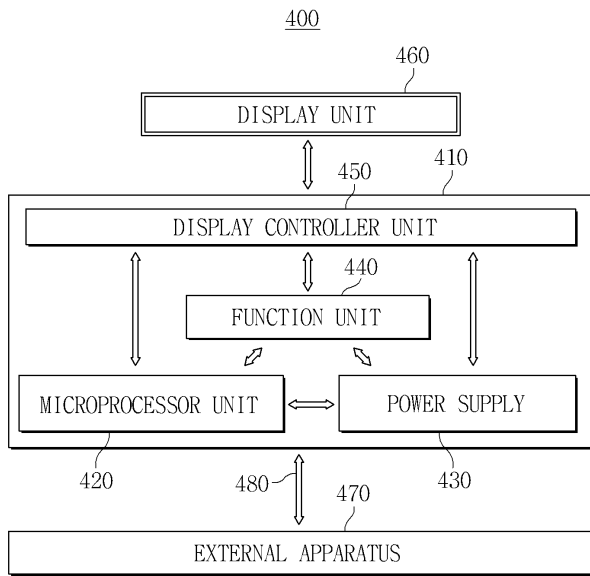
도면30



도면31



도면32



도면33

