



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I494929 B

(45) 公告日：中華民國 104 (2015) 年 08 月 01 日

(21) 申請案號：102120061

(22) 申請日：中華民國 102 (2013) 年 06 月 06 日

(51) Int. Cl. : G11C16/06 (2006.01)

G11C7/18 (2006.01)

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72) 發明人：葉潤林 YEH, JUN LIN (TW) ; 顏定國 YEN, TING KUO (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

JP 2009-004528A

US 7170811B1

US 7528473B2

US 2013/0070507A1

審查人員：蕭明椿

申請專利範圍項數：11 項 圖式數：7 共 26 頁

(54) 名稱

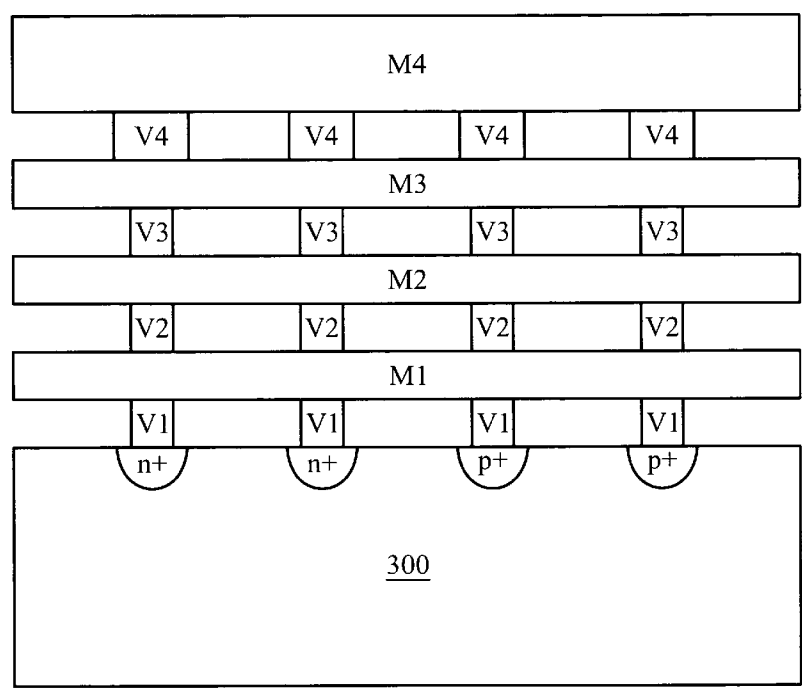
快閃記憶體及其佈局方法

FLASH MEMORY AND LAYOUT METHOD THEREOF

(57) 摘要

一種快閃記憶體包括，一記憶陣列、一週邊電路、一晶片外驅動器、一連接結構以及一上層導電層。連接結構電性連接記憶陣列、週邊電路以及晶片外驅動器，並包括第一至第三導電層。第一至第三導電層彼此電性連接。上層導電層設置在連接結構之上，並電性連接連接結構，並包括一第一電源接合墊以及複數第一電源走線。第一電源接合墊透過一第一焊線電性連接一電源接腳，用以接收一操作電壓。第一電源走線電性連接於第一電源接合墊與連接結構之間，用以提供操作電壓予記憶陣列、該週邊電路以及該晶片外驅動器之至少一者。

A flash memory including a core array, a periphery circuit, an off chip driver, a connection structure and an uppermost conductive layer is disclosed. The connection structure is electrically connected to the core array, the periphery circuit and the off chip driver and comprises a first conductive layer, a second conductive layer and a third conductive layer. The first, the second and the third conductive layers are electrically connected together. The uppermost conductive layer is disposed over the connection structure and comprises a first power pad and a plurality of first power connection lines. The first power pad is electrically connected to a power pin via a first wire to receive an operation voltage. The first power connection lines are electrically connected between the first power pad and the connection structure to transmit the operation voltage to at least one of the core array, the periphery circuit and the off chip driver.



300 . . . 半導體結構
310 . . . 連接結構
M4 . . . 上層導電層
M1-M3 . . . 導電層
V1-V4 . . . 貫孔

第 3 圖

發明摘要



※ 申請案號：102120061

※ 申請日：102. 6. 06

※IPC 分類：

G11C 16/06 (2006.01)

【發明名稱】 快閃記憶體及其佈局方法

G11C 7/8 (2006.01)

Flash memory and layout method thereof

【中文】

一種快閃記憶體包括，一記憶陣列、一週邊電路、一晶片外驅動器、一連接結構以及一上層導電層。連接結構電性連接記憶陣列、週邊電路以及晶片外驅動器，並包括第一至第三導電層。第一至第三導電層彼此電性連接。上層導電層設置在連接結構之上，並電性連接連接結構，並包括一第一電源接合墊以及複數第一電源走線。第一電源接合墊透過一第一焊線電性連接一電源接腳，用以接收一操作電壓。第一電源走線電性連接於第一電源接合墊與連接結構之間，用以提供操作電壓予記憶陣列、該週邊電路以及該晶片外驅動器之至少一者。

【英文】

A flash memory including a core array, a periphery circuit, an off chip driver, a connection structure and an uppermost conductive layer is disclosed. The connection structure is electrically connected to the core array, the periphery circuit and the off chip driver and comprises a first conductive layer, a second conductive layer and a third conductive layer. The first, the second and the third conductive layers are electrically connected together. The uppermost conductive layer is disposed

over the connection structure and comprises a first power pad and a plurality of first power connection lines. The first power pad is electrically connected to a power pin via a first wire to receive an operation voltage. The first power connection lines are electrically connected between the first power pad and the connection structure to transmit the operation voltage to at least one of the core array, the periphery circuit and the off chip driver.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

300：半導體結構；

310：連接結構；

M4：上層導電層；

M1-M3：導電層；

V1-V4：貫孔。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 快閃記憶體及其佈局方法

Flash memory and layout method thereof

【技術領域】

【0001】 本發明係有關於一種記憶體，特別是有關於一種快閃記憶體。

【先前技術】

【0002】 快閃記憶體係為非揮發性記憶體，像是個人數位助理(PDA)、筆記型電腦、數位隨身聽、數位相機與手機上均可見到快閃記憶體。由於製程的進步，快閃記憶體的尺寸愈來愈小，因此，記憶體內部的金屬層也愈來愈薄。金屬層上的金屬線係用以傳送電源信號時，則電源信號很容易受到雜訊的干擾。

【發明內容】

【0003】 本發明提供一種快閃記憶體包括，一記憶陣列、一週邊電路、一晶片外驅動器、一連接結構以及一上層導電層。記憶陣列用以儲存資料。週邊電路存取記憶陣列的資料，用以產生一讀取資料。晶片外驅動器處理讀取資料，用以產生一輸出資料。連接結構用以電性連接記憶陣列、週邊電路以及晶片外驅動器，並包括一第一導電層、一第二導電層及一第三導電層。第一至第三導電層彼此電性連接。上層導電層設置在連接結構之上，並電性連接連接結構，並包括一第一電源接合墊以及複數第一電源走線。第一電源接合墊透過一第一焊線電性連接一電源接腳，用以接收一操作電壓。第一電源走線電性

連接於第一電源接合墊與連接結構之間，用以提供操作電壓予記憶陣列、該週邊電路以及該晶片外驅動器之至少一者。

【0004】 本發明另提供一種佈局方法，適用於一快閃記憶體，該快閃記憶體包括，一記憶陣列、一週邊電路以及一晶片外驅動器。本發明之佈局方法包括，形成一連接結構，其中該連接結構包括一第一導電層、一第二導電層及一第三導電層，該第一至第三導電層彼此電性連接；利用該連接結構，電性連接該記憶陣列、該週邊電路以及該晶片外驅動器；在該連接結構之上，形成一上層導電層，其中該上層導電層具有一第一電源接合墊以及複數第一電源走線，該第一電源接合墊電性連接該等第一電源走線；電性連接該等第一電源走線與該連接結構；以及電性連接該第一電源接合墊與一電源接腳，用以接收一操作電壓，並將該操作電壓透過該等第一電源走線提供予該記憶陣列、該週邊電路以及該晶片外驅動器之至少一者。

【0005】 為讓本發明之特徵和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0006】

第1圖係為本發明之快閃記憶體之結構示意圖。

第2圖為封裝後的快閃記憶體之示意圖。

第3圖係為本發明之連接結構及上層導電層之示意圖。

第4圖為本發明之上層導電層之示意圖。

第5及6圖為本發明之上層導電層之其它可能實施例。

第7A-7C圖為本發明之佈局方法之可能流程示意圖。

【實施方式】

【0007】 第1圖係為本發明之快閃記憶體之結構示意圖。如圖所示，快閃記憶體100包括一記憶陣列(Core array)111、一週邊電路(periphery circuit)112、晶片外驅動器(off chip driver；OCD)113-116以及接合墊(pad)121-128。

【0008】 記憶陣列111具有複數記憶胞(未顯示)，用以儲存資料。在一可能實施例中，記憶胞係以陣列方式排列。本發明並不限定記憶胞的電路架構。只要能夠儲存資料的電路架構，均可作構成記憶陣列111。在本實施例中，記憶陣列111根據接合墊123及126所接收到的操作電壓而動作。

【0009】 週邊電路112存取記憶陣列111的資料，用以產生一讀取資料。在其它實施例中，週邊電路112係根據接合墊122及127所傳送的外部指令，將接合墊121、124、125及128所接收到的資料寫入記憶陣列111，或是讀取記憶陣列111所儲存的資料，再透過接合墊121、124、125及128，將讀取結果輸出予一外部存取器(未顯示)。在本實施例中，週邊電路112根據接合墊123及126所接收到的操作電壓而動作。

【0010】 本發明並不限定週邊電路112的內部電路架構。只要能夠存取記憶陣列111的電路架構，均可作為週邊電路112。舉例而言，週邊電路112可能具有複數微處理器、微控制器、解碼器及暫存器…等，用以根據外部指令，擷取記憶陣列111所儲存的資料，或是將資料寫入記憶陣列111之中。

【0011】 晶片外驅動器113-116用以傳送資料。在本實施例中，晶片外驅動器113-116根據接合墊123及126所接收到的操

作電壓而動作。在一讀取期間，晶片外驅動器113-116處理週邊電路112所產生的讀取資料，用以產生一輸出資料。在一寫入期間，晶片外驅動器113-116接收並處理一外部存取器所提供的一外部資料，再將處理後的結果提供予週邊電路112。

【0012】 由於週邊電路112係透過晶片外驅動器113-116輸出資料，因此，在一可能實施例中，週邊電路112將讀取資料分成四份，再分別透過晶片外驅動器113-116輸出。本發明並不限定晶片外驅動器的數量。在一可能實施例中，快閃記憶體可僅具有單一個晶片外驅動器、四個、八個或是十六個晶片外驅動器。在其它可能實施例中，不同的晶片外驅動器係透過不同的接合墊傳送資料。

【0013】 在本實施例中，快閃記憶體100更包括焊線(bonding wire)131-138以及接腳(pin)141-148。焊線131-138耦接於相對應的接合墊121-128與接腳141-148之間。舉例而言，焊線131耦接於接合墊121與接腳141之間，焊線138耦接於接合墊128與接腳148之間。

【0014】 在本實施例中，接合墊121、124、125及128係為輸入輸出接合墊(IO PAD)，分別透過焊線131、134、135及138電性連接至接腳141、144、145、148。因此，接腳141、144、145、148亦可稱為輸入輸出接腳，用以傳送資料。在一可能實施例中，接腳141、144、145、148係以一串列傳輸方式傳送資料。因此，快閃記憶體100可稱為一串列式快閃記憶體(SPI flash)。

【0015】 接合墊122及127係為控制接合墊，分別透過焊線

132及137電性連接接腳142及147，用以接收外部控制指令，如一晶片選擇信號(Chip Select; CS)及一時脈信號(SCL)。週邊電路112根據接腳142及147所接收到的晶片選擇信號及時脈信號，存取記憶陣列111。

【0016】 接合墊123及126係為電源接合墊，用以供電予記憶陣列111、週邊電路112以及晶片外驅動器113-116。如圖所示，接合墊123及126分別透過焊線133及136電性連接至接腳143及146，用以接收一高操作電壓及一低操作電壓。在一可能實施例中，高操作電壓大於低操作電壓。

【0017】 在本實施例中，記憶陣列111、週邊電路112以及晶片外驅動器113-116之間的信號連接線係由一連接結構所提供。在一可能實施例中，連接結構具有三導電層，其透過複數貫孔，電性連接記憶陣列111、週邊電路112以及晶片外驅動器113-116。在本實施例中，藉由一上層導電層(未顯示)，提供複數電源走線，並透過上述連接結構，供電予記憶陣列111、週邊電路112以及晶片外驅動器113-116之至少一者。稍後將說明連接結構及上層導電層。

【0018】 第2圖為封裝後的快閃記憶體之示意圖。如圖所示，在完成封裝製程後，快閃記憶體100係透過接腳141-148，接收一外部裝置所提供的資料、指令、或是操作電壓，或是輸出資料予外部裝置。在其它實施例中，快閃記憶體100係透過其它數量的接腳傳送資料或指令。在本實施例中，接腳141、144、145及148係為輸入輸出接腳，用以傳送資料，接腳142及147係為指令接腳，用以接收控制指令，接腳143及146係為電

源接腳，用以接收操作電壓。

【0019】 第3圖係為本發明之連接結構及上層導電層的示意圖。如圖所示，連接結構310電性連接於半導體結構300與上層導電層(uppermost)M4之間。半導體結構300具有許多摻雜區，如p+及n+，用以構成記憶陣列111、週邊電路112以及晶片外驅動器113-116。連接結構310提供記憶陣列111、週邊電路112以及晶片外驅動器113-116間的電性連接，上層導電層M4提供記憶陣列111、週邊電路112以及晶片外驅動器113-116之至少一者的電源走線。

【0020】 如圖所示，連接結構310具有導電層M1-M3。導電層M1-M3係透過貫孔(via)V1-V4電性連接於半導體結構300與上層導電層M4之間。在本實施例中，上層導電層M4的厚度大於導電層M1-M3。因此，當記憶陣列111、週邊電路112以及晶片外驅動器113-116之至少一者的電源走線形成在上層導電層M4時，則可減少電源走線受到雜訊干擾的程度。

【0021】 本發明並不限定導電層M1-M3與上層導電層M4的材質。在一可能實施例中，導電層M1-M3與上層導電層M4的導電材料可為銅、鋁或金。在另一可能實施例中，導電層M1-M3與上層導電層M4之一者的材料不同的導電層M1-M3與上層導電層M4之另一者的材料。

【0022】 第4圖為本發明之上層導電層之示意圖。如圖所示，上層導電層M4具有電源走線413及416。電源走線413透過貫孔V4，傳送一高操作電壓予記憶陣列111、週邊電路112以及晶片外驅動器113-116。電源走線416透過貫孔V4，傳送一低操

作電壓予記憶陣列 111、週邊電路 112 以及晶片外驅動器 113-116。

【0023】 上層導電層 M4 更具有走線 411-412、414-415 及 417-418。走線 411、414、415 及 418 透過貫孔 V4 及連接結構 300，電性連接晶片外驅動器 113-116，用以傳送接合墊 121、124、125 及 128 所接收到的一外部資料或是，或是將一內部資料透過接合墊 121、124、125 及 128 輸出。在本實施例中，走線 412、417 透過貫孔 V4 及連接結構 300，電性連接週邊電路 112，用以傳送接合墊 122 及 127 所接收到的控制指令。

【0024】 第 5 圖為本發明之上層導電層之另一可能實施例。由於接合墊 121-122、124-125 及 127-128 的特性與第 4 圖相同，故不再顯示接合墊 121-122、124-125 及 127-128 的相關走線。如圖所示，第 5 圖僅顯示電源走線 511-514 及接合墊 123、126、Vccq 及 Vssq。

【0025】 接合墊 123、126、Vccq 及 Vssq 均作為電源接合墊，用以傳送操作電壓予記憶陣列 111、週邊電路 112 及晶片外驅動器 113-116。如圖所示，接合墊 Vccq 與 123 分別透過焊線 521 及 522 電性連接至接腳 143，用以接收一高操作電壓。接合墊 Vssq 與 126 分別透過焊線 523 及 524 電性連接至接腳 146，用以接收一低操作電壓。

【0026】 在本實施例中，電源接合墊 Vccq 透過電源走線 511 及貫孔 V4，供電予晶片外驅動器 113-116，電源接合墊 Vssq 透過電源走線 512 及貫孔 V4，供電予晶片外驅動器 113-116。如圖所示，電源走線 511 及 512 係形成在上層導電層 M4。另外，電

源接合墊123透過電源走線513及貫孔V4-123，電性連接電源走線515。電源接合墊126透過電源走線514及貫孔V4-126，電性連接電源走線516。在本實施例中，電源走線515及516係形成在導電層M3，用以供電予記憶陣列111及週邊電路112。

【0027】 由於晶片外驅動器113-116的電源走線511及512不同於記憶陣列111及週邊電路112的電源走線515及516，因此，當電源走線511或512的位準因晶片外驅動器113-116動作而變化時，並不會影響到記憶陣列111及週邊電路112的電源走線515及516的位準。

【0028】 另外，為清楚起見，第5圖並未顯示貫孔V4在導電層M3的位置。事實上，貫孔V4將會電性連接導電層M3。在一可能實施例中，部分貫孔V4穿過導電層M3，用以電性連接其它導電層。

【0029】 第6圖為本發明之上層導電層的另一可能實施例。由於電源接合墊123、Vccq、126及Vssq的特徵與第5圖相同，故不再贅述。在本實施例中，電源接合墊Vccq及Vssq分別透過電源走線611及614及貫孔V4，提供高操作電壓及低操作電壓予晶片外驅動器113-116。另外，電源接合墊123及126分別透過電源走線612及613及貫孔V4，提供高操作電壓及低操作電壓予記憶陣列111及週邊電路112。

【0030】 第7A圖為本發明之佈局方法之一可能流程示意圖。本發明之佈局方法適用於一快閃記憶體。在一可能實施例中，快閃記憶體至少包括，一記憶陣列、一週邊電路以及一晶片外驅動器。首先，形成一連接結構(步驟711)。在本實施例中，

該連接結構包括一第一導電層、一第二導電層及一第三導電層。第一至第三導電層依序設置並彼此電性連接。本發明並不限定第一至第三導電層的導電材料。在一可能實施例中，第一至第三導電層的導電材料均為銅或均為鋁。在其它實施例中，第一至第三導電層透過貫孔彼此電性連接。

【0031】 利用該連接結構，電性連接記憶陣列、週邊電路以及晶片外驅動器(步驟712)。在一可能實施例中，記憶陣列、週邊電路以及晶片外驅動器內的元件係形成在一半導體基底中。連接結構利用貫孔電性連接記憶陣列、週邊電路以及晶片外驅動器，並提供記憶陣列、週邊電路以及晶片外驅動器間的連接線。

【0032】 在該連接結構之上，形成一上層導電層(步驟713)。在一可能實施例中，該上層導電層至少具有一第一電源接合墊以及複數第一電源走線。第一電源接合墊電性連接所有第一電源走線。本發明並不限定該上層導電層的導電材料。在一可能實施例中，該上層導電層的導電材料可能相同或不同於第一至第三導電層的導電材料。舉例而言，該上層導電層的導電材料係為銅、鋁或金。在另一可能實施例中，該上層導電層的厚度大於第一至第三導電層每一者的厚度。

【0033】 電性連接該等第一電源走線與該連接結構(步驟714)。在一可能實施例中，該等第一電源走線係透過貫孔電性連接該連接結構。

【0034】 電性連接該第一電源接合墊與一電源接腳(步驟715)。在一可能實施例中，藉由一焊線電性連接第一電源接合

墊與電源接腳。在另一可能實施例中，第一電源接合墊可將電源接腳所接收到一操作電壓，透過第一電源走線及連接結構，供電予記憶陣列、週邊電路以及晶片外驅動器之至少一者。在本實施例中，由於上層導電層的厚度足夠，故可預防雜訊干擾第一電源走線的電壓位準。

【0035】 在一可能實施例中，上層導電層的第一電源走線係供電予記憶陣列、週邊電路以及晶片外驅動器。在另一可能實施例中，上層導電層的第一電源走線僅供電予晶片外驅動器。在此例中，記憶陣列及週邊電路的電源走線係設置於連接結構中。在一可能實施例中，記憶陣列及週邊電路的電源走線係設置於連接結構的最上層導電層，也就是最接近上層導電層的導電層中，如第3圖的導電層M3。

【0036】 第7B圖為本發明之佈局方法之另一可能實施例。首先，形成一連接結構(步驟721)。在一可能實施例中，該連接結構包括一第一導電層、一第二導電層及一第三導電層。第一至第三導電層依序設置，其中第一導電層設置在最下層，而第三導電層設置在最上層。在本實施例中，第三導電層具有複數第二電源走線。

【0037】 利用該連接結構，電性連接記憶陣列、週邊電路以及晶片外驅動器(步驟722)。在本實施例中，連接結構的第一及第二導電層提供記憶陣列、週邊電路以及晶片外驅動器之間的信號連接線。在另一可能實施例中，記憶陣列、週邊電路以及晶片外驅動器之間的部分信號連接線係由連接結構的第三導電層所提供。在其它實施例中，連接結構的第三導電層的第

二電源走線用以傳送操作電壓予記憶陣列及週邊電路。

【0038】 在該連接結構之上，形成一上層導電層(在步驟723)。在本實施例中，該上層導電層具有第一及第二電源接合墊以及複數第一電源走線。第一電源接合墊電性連接該等第一電源走線。

【0039】 電性連接上層導電層與連接結構(步驟724)。此時，第一及第二電源接合墊彼此並未電性連接在一起。在本實施例中，第一電源接合墊透過第一電源走線供電予晶片外驅動器，第二電源接合墊透過第二電源走線供電予記憶陣列及週邊電路。

【0040】 步驟725電性連接該第一及第二電源接合墊與一電源接腳。在一可能實施例中，利用不同的焊線將第一及第二電源接合墊電性連接至電源接腳。以第5圖為例，焊線521及522將電源接合墊Vccq及123電性連接至電源接腳143。由於晶片外驅動器的電源走線不同於記憶陣列及週邊電路的電源走線，因此，當晶片外驅動器的電源走線的位準變化時，並不會干擾到記憶陣列及週邊電路的電源走線。

【0041】 第7C圖為本發明之佈局方法之另一可能實施例。首先，形成一連接結構(步驟731)。由於步驟731的連接結構與步驟711的連接結構相同，故不再贅述。

【0042】 利用該連接結構，電性連接記憶陣列、週邊電路以及晶片外驅動器(步驟732)。在本實施例中，第一至第三導電層提共記憶陣列、週邊電路以及晶片外驅動器之間的信號連接線。

【0043】 在步驟733中，在該連接結構之上，形成一上層導電層。在本實施例中，該上層導電層具有第一及第二電源接合墊以及複數第一及第二電源走線。第一電源接合墊電性連接該等第一電源走線，第二電源接合墊電性連接該等第二電源走線。此時，第一及第二電源走線彼此並未電性連接在一起。

【0044】 電性連接該等第一及第二電源走線與該連接結構(步驟734)。在本實施例中，上層導電層中的第一電源走線係用以供電予晶片外驅動器，而上層導電層中的第二電源走線係用以供電予記憶陣列及週邊電路。

【0045】 步驟735電性連接該第一及第二電源接合墊與一電源接腳。由於步驟735的特性與步驟725相同，故不再贅述。由於晶片外驅動器的電源走線(如第一電源走線)不同於記憶陣列及週邊電路的電源走線(如第二電源走線)，因此，當晶片外驅動器的電源走線的位準變化時，並不會干擾到記憶陣列及週邊電路的電源走線。

【0046】 雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0047】

100：快閃記憶體；

111：記憶陣列；

112：週邊電路；

- 113-116：晶片外驅動器；
- 121-128、Vccq、Vssq：接合墊；
- 131-138、521-524：焊線；
- 141-148：接腳；
- 300：半導體結構；
- 310：連接結構；
- M4：上層導電層；
- M1-M3：導電層；
- V1-V4、V4-123、V4-126：貫孔；
- 411-418、511-516、611~614：電源走線；
- 711~715、721~725、731~735：步驟。

申請專利範圍

1. 一種快閃記憶體，包括：
 - 一記憶陣列，儲存資料；
 - 一週邊電路，存取該記憶陣列的資料，用以產生一讀取資料；
 - 一晶片外驅動器，處理該讀取資料，用以產生一輸出資料；
 - 一連接結構，用以電性連接該記憶陣列、該週邊電路以及該晶片外驅動器，並包括一第一導電層、一第二導電層及一第三導電層，該等第一至第三導電層彼此電性連接；
 - 一上層導電層，設置在該連接結構之上，並電性連接該連接結構，並包括：
 - 一第一電源接合墊，透過一第一焊線電性連接一電源接腳，用以接收一操作電壓；以及
 - 複數第一電源走線，電性連接於該第一電源接合墊與該連接結構之間，用以提供該操作電壓予該記憶陣列、該週邊電路以及該晶片外驅動器之至少一者。
2. 如申請專利範圍第1項所述之快閃記憶體，其中該上層導電層更包括：
 - 一輸入輸出接合墊，透過一第二焊線電性連接一輸入輸出接腳，用以傳送該輸出資料，其中該輸入輸出接合墊係以一串列傳輸方式，傳送該輸出資料。
3. 如申請專利範圍第1項所述之快閃記憶體，其中該等第一電源走線提供該操作電壓予該記憶陣列、該週邊電路以及該晶片外驅動器。

4. 如申請專利範圍第1項所述之快閃記憶體，其中該上層導電層更包括一第二電源接合墊，透過一第二焊線電性連接該電源接腳，用以接收該操作電壓。
5. 如申請專利範圍第4項所述之快閃記憶體，其中該第三導電層更包括：
複數第二電源走線，電性連接該第二電源接合墊，其中該晶片外驅動器透過該第一電源接合墊及該等第一電源走線，接收該操作電壓，該記憶陣列及該週邊電路透過該第二電源接合墊及該等第二電源走線，接收該操作電壓。
6. 如申請專利範圍第4項所述之快閃記憶體，其中該上層導電層更包括：
複數第二電源走線，電性連接該第二電源接合墊，並電性連接該連接結構，其中該晶片外驅動器透過該第一電源接合墊及該等第一電源走線，接收該操作電壓，該記憶陣列及該週邊電路透過該第二電源接合墊及該等第二電源走線，接收該操作電壓。
7. 如申請專利範圍第1項所述之快閃記憶體，其中該上層導電層的厚度大於該第一至第三導電層。
8. 一種佈局方法，適用於一快閃記憶體，該快閃記憶體包括，一記憶陣列、一週邊電路以及一晶片外驅動器，該佈局方法包括：
形成一連接結構，其中該連接結構包括一第一導電層、一第二導電層及一第三導電層，該第一至第三導電層彼此電性連接；

利用該連接結構，電性連接該記憶陣列、該週邊電路以及該晶片外驅動器；

在該連接結構之上，形成一上層導電層，其中該上層導電層具有一第一電源接合墊以及複數第一電源走線，該第一電源接合墊電性連接該等第一電源走線；

電性連接該等第一電源走線與該連接結構；以及

電性連接該第一電源接合墊與一電源接腳，用以接收一操作電壓，並將該操作電壓透過該等第一電源走線提供予該記憶陣列、該週邊電路以及該晶片外驅動器之至少一者。

9. 如申請專利範圍第8項所述之佈局方法，更包括：

形成一第二電源接合墊在該上層導電層之中；以及

電性連接該電源接腳與該第二電源接合墊。

10. 如申請專利範圍第9項所述之佈局方法，更包括：

形成複數第二電源走線在該第三導電層中；以及

電性連接該等第二電源走線該第二電源接合墊，其中該晶片外驅動器透過該第一電源接合墊及該等第一電源走線，接收該操作電壓，該記憶陣列及該週邊電路透過該第二電源接合墊及該等第二電源走線，接收該操作電壓。

11. 如申請專利範圍第9項所述之佈局方法，更包括：

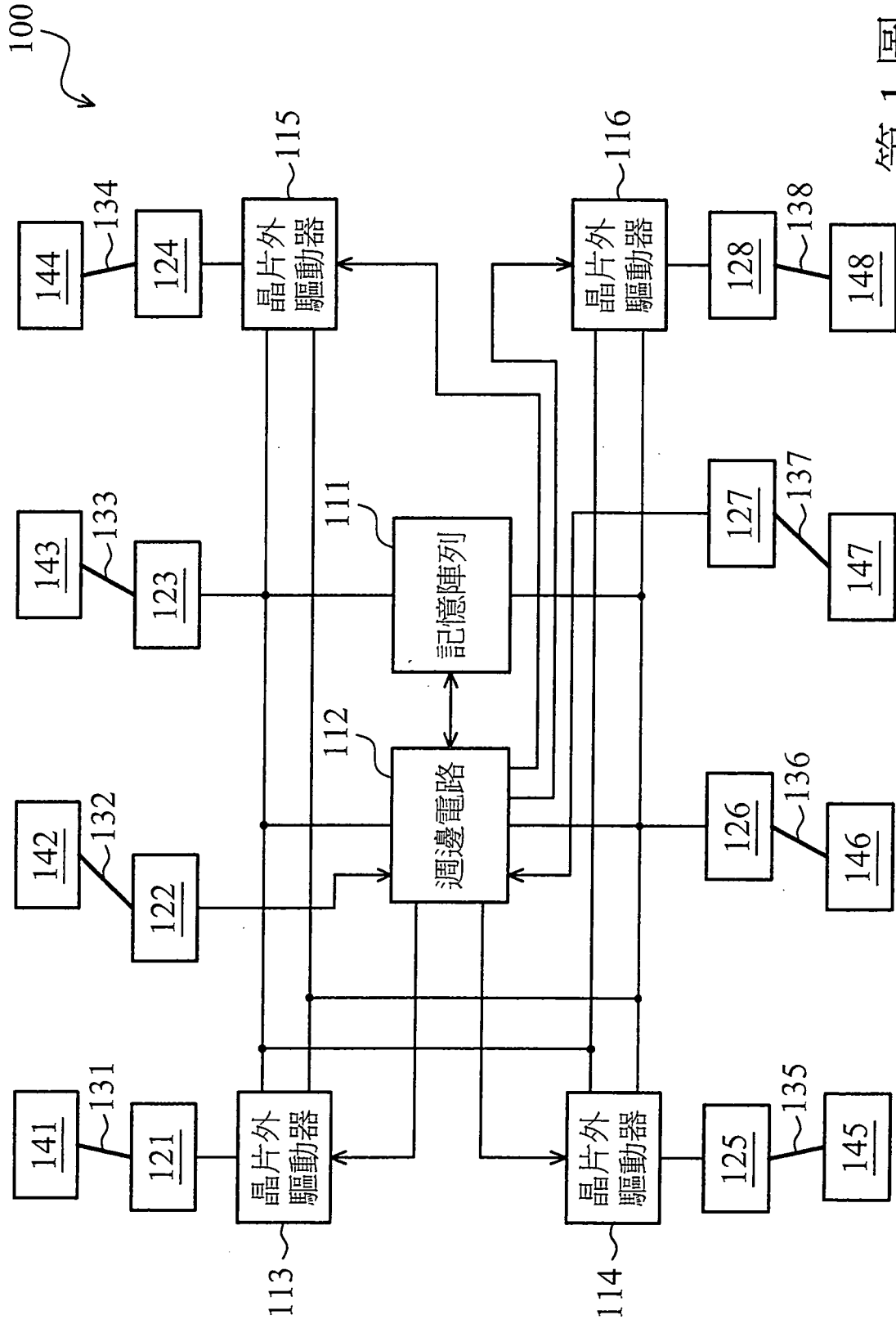
形成複數第二電源走線在該上層導電層之中；

電性連接該第二電源接合墊與該等第二電源走線；以及

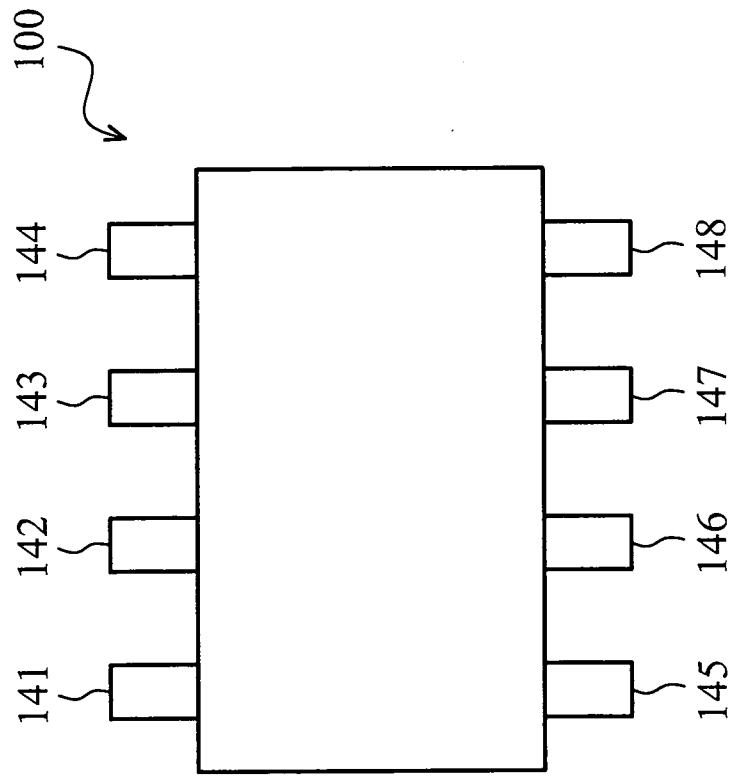
電性連接該連接結構與該等第二電源走線，其中該晶片外驅動器透過該第一電源接合墊及該等第一電源走線，接收

該操作電壓，該記憶陣列及該週邊電路透過該第二電源接合墊及該等第二電源走線，接收該操作電壓。

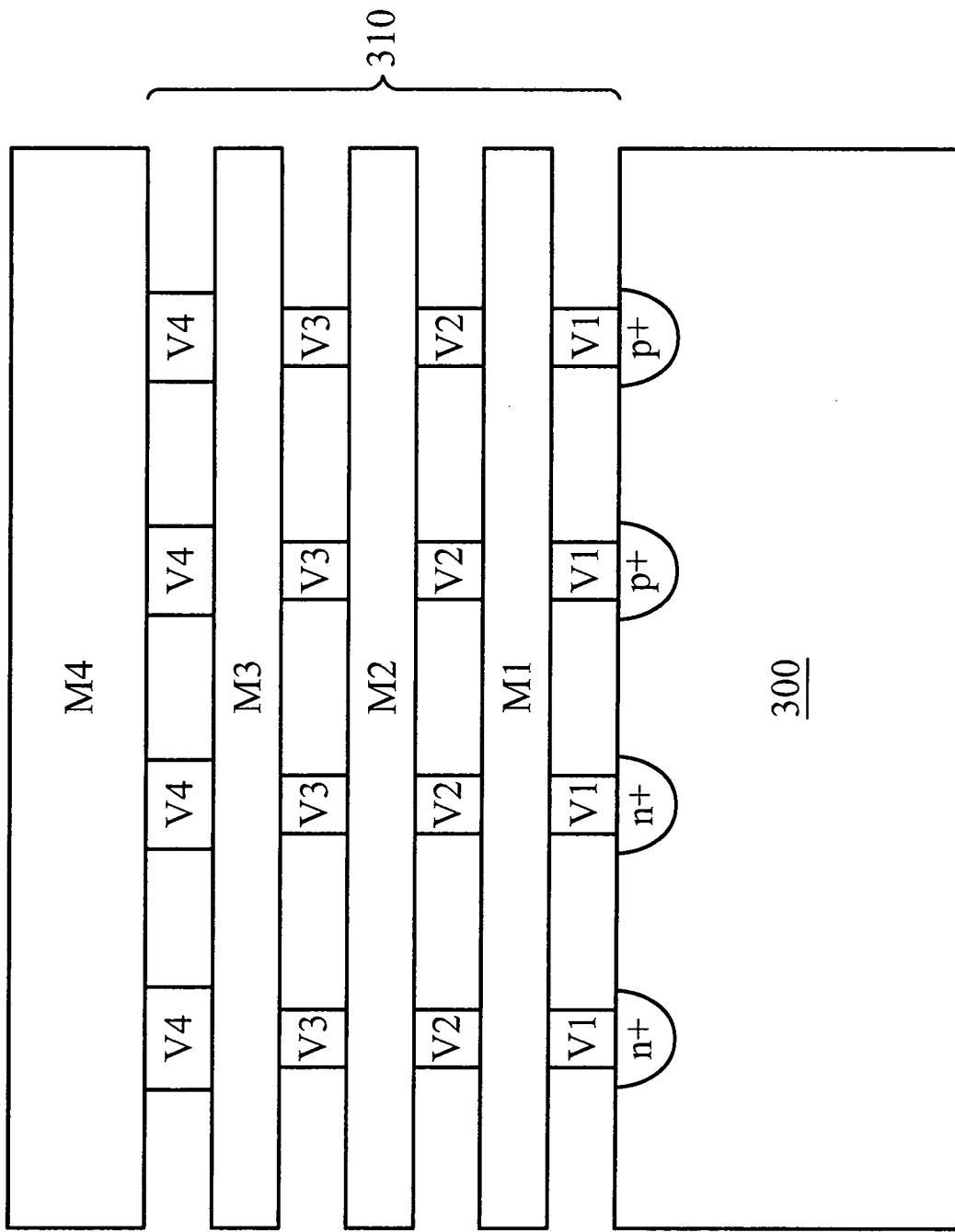
圖式



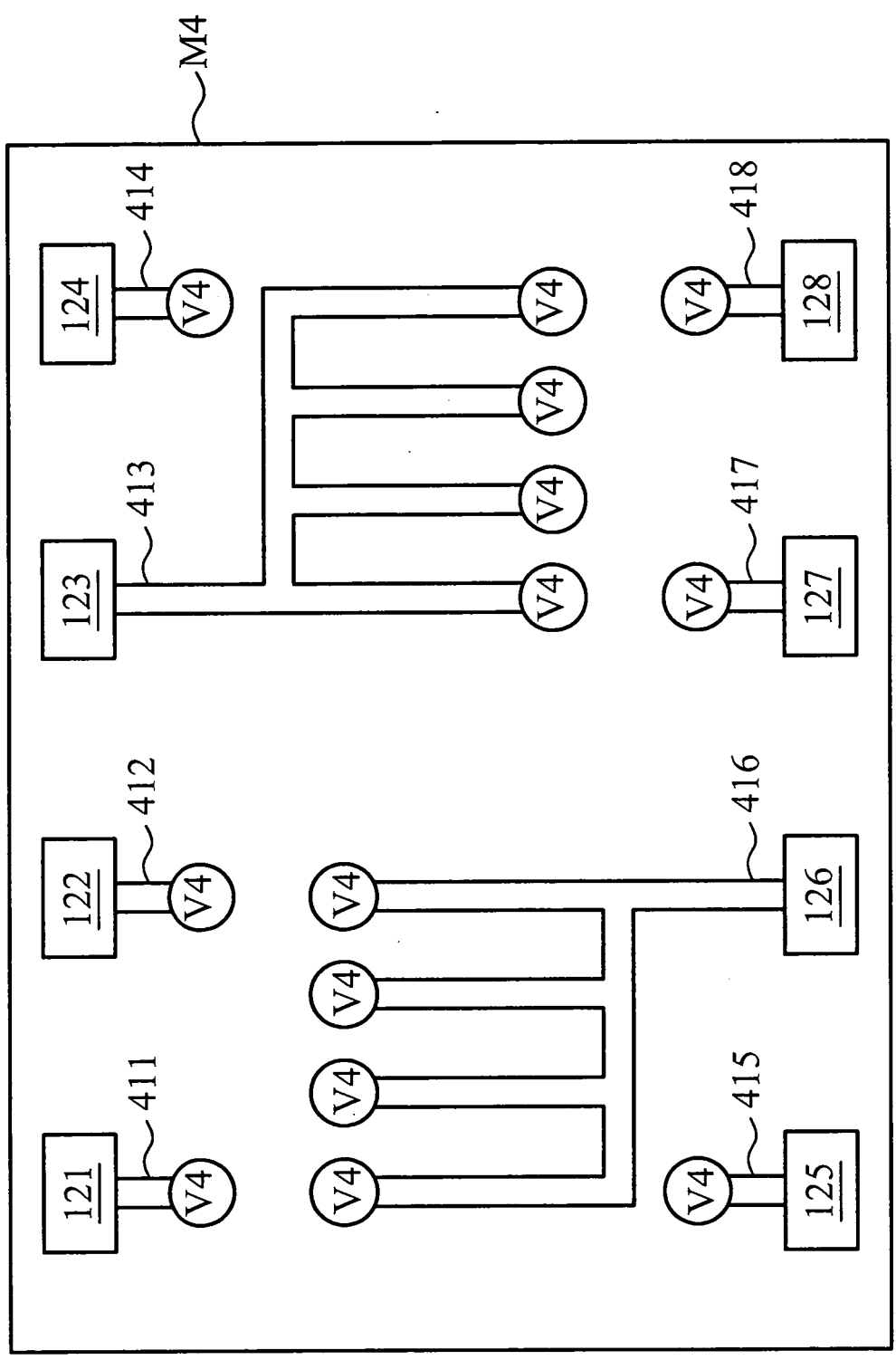
第 1 圖



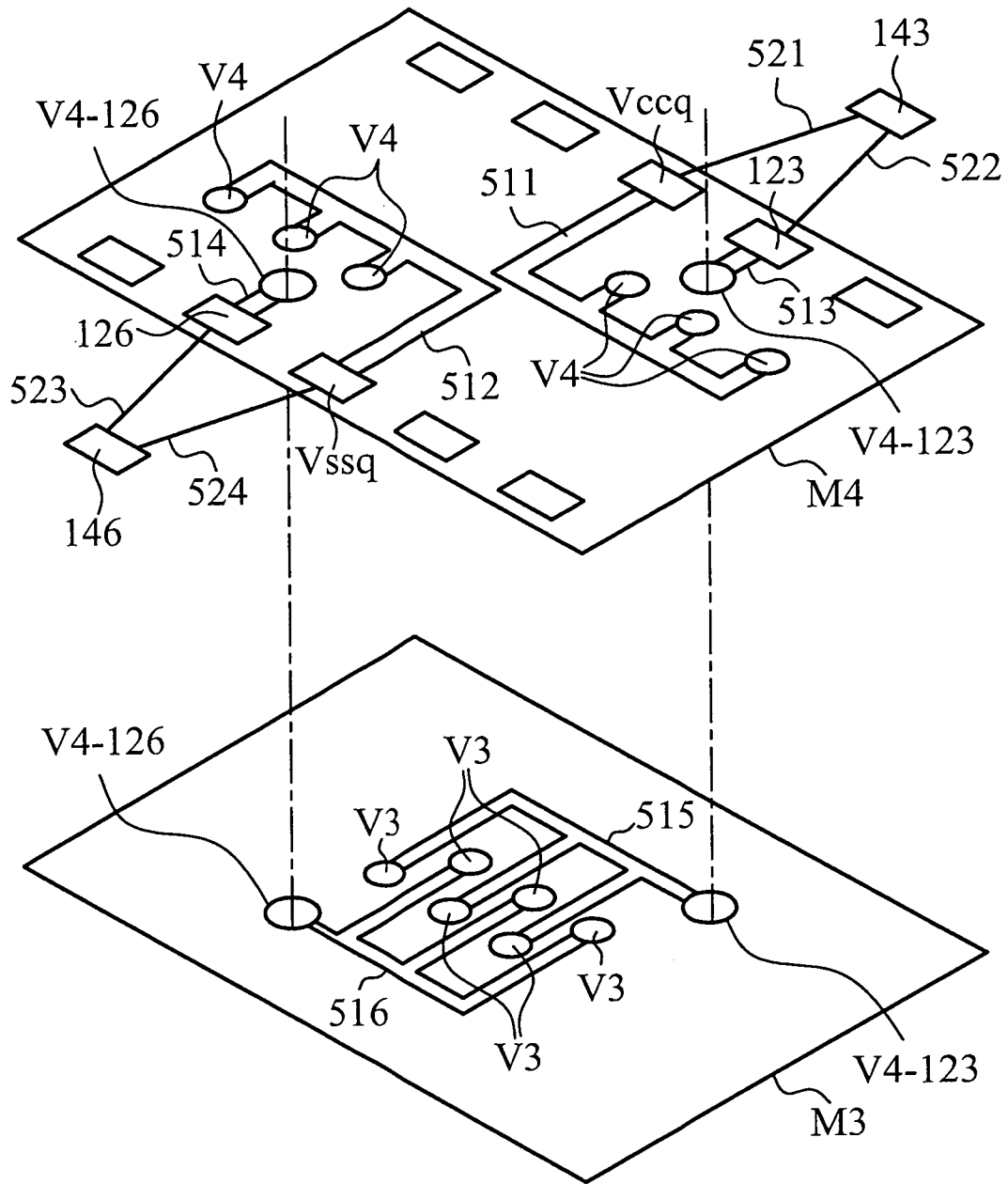
第2圖



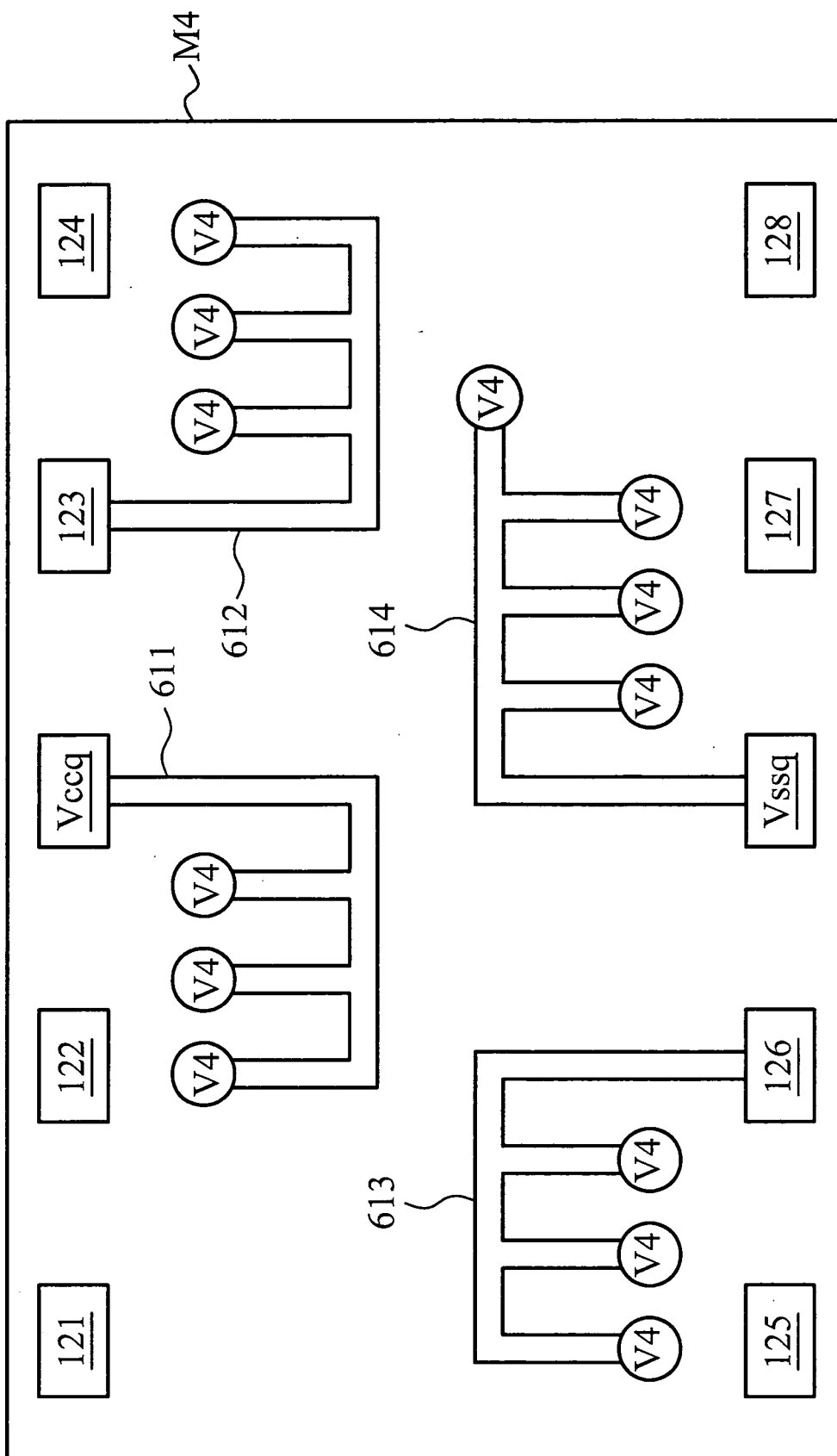
第 3 圖



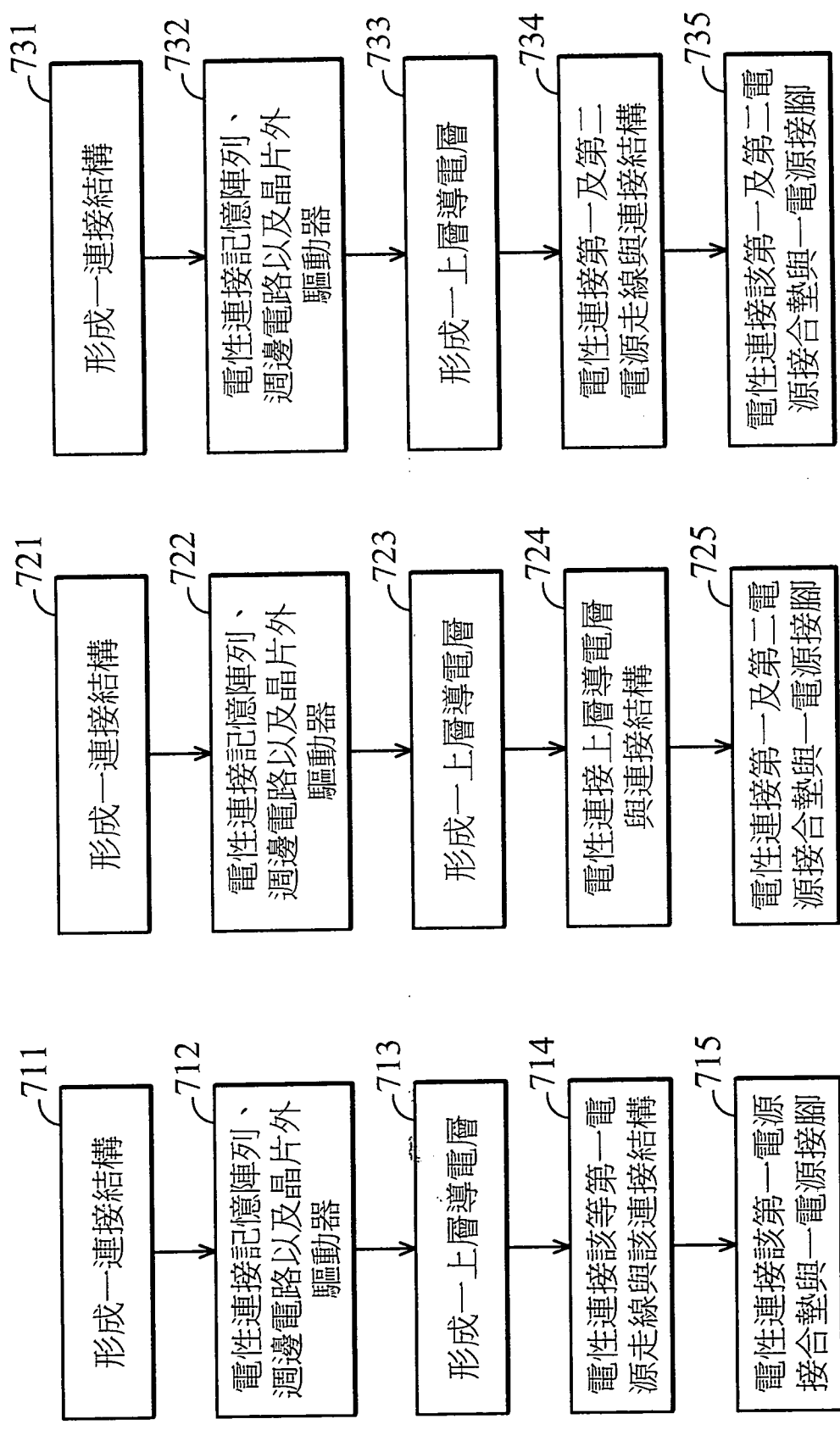
第 4 圖



第 5 圖



第 6 圖



第7A圖

第7B圖

第7C圖