

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-50829

(P2005-50829A)

(43) 公開日 平成17年2月24日(2005.2.24)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 J 1/312	HO 1 J 1/30	5C034
HO 1 J 31/12	HO 1 J 31/12	5C036
HO 1 J 37/305	HO 1 J 37/305	5C135

審査請求 有 請求項の数 17 O L (全 18 頁)

(21) 出願番号	特願2004-335288 (P2004-335288)	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成16年11月19日 (2004.11.19)		東京都千代田区丸の内一丁目6番6号
(62) 分割の表示	特願平8-314502の分割	(74) 代理人	100075096 弁理士 作田 康夫
原出願日	平成8年11月26日 (1996.11.26)		
(31) 優先権主張番号	特願平8-65831	(72) 発明者	鈴木 睦三 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
(32) 優先日	平成8年3月22日 (1996.3.22)	(72) 発明者	楠 敏明 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
(33) 優先権主張国	日本国 (JP)	Fターム(参考)	5C034 BB01 5C036 EE19 EF01 EF06 EF09 EG12 EH11 5C135 DD02 HH07

(54) 【発明の名称】 薄膜型電子源および薄膜型電子源応用機器

(57) 【要約】

【課題】

下部電極、絶縁層、上部電極をこの順に積層した薄膜型電子源において、絶縁層の劣化を起こり難くする。

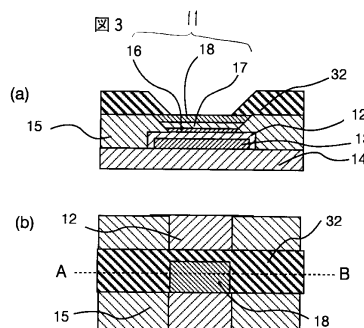
【解決手段】

上部電極を絶縁層側から界面層、中間層、表面層の3層構造とし、中間層材料の昇華エンタルピーが表面層のそれより大きく、界面層のそれより小さくなるように構成する。または、表面層を省略して2層構造にする。

【効果】

長寿命で高輝度の画像表示装置や高速の電子線描画装置が実現できる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から界面層、中間層および表面層を積層した 3 層構造であり、前記中間層の昇華エンタルピーは前記界面層のそれよりも小さく、かつ前記表面層のそれよりも大きいことを特徴とする薄膜型電子源。

## 【請求項 2】

前記中間層の材料は Pt であることを特徴とする請求項 1 に記載の薄膜型電子源。

10

## 【請求項 3】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から界面層、中間層および表面層を積層した 3 層構造であり、前記界面層の材料は、Zr, Hf, Ru, Mo, Ir, Nb, Ta, Re, Os, W のいずれか、またはこれらの合金であり、前記中間層の材料は Pt であり、前記表面層の材料は、Au, Ag, Cu のいずれか、またはこれらの合金であることを特徴とする薄膜型電子源。

## 【請求項 4】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から界面層、中間層を積層した 2 層構造であり、前記中間層の材料は Pt であり、かつ前記界面層の材料はその昇華エンタルピーが前記 Pt のそれよりも大きいことを特徴とする薄膜型電子源。

20

## 【請求項 5】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から界面層、中間層を積層した 2 層構造であり、前記界面層の材料はその昇華エンタルピーが前記中間層の材料のそれよりも大きく、かつ、前記上部電極に物理的に接続された前記上部電極に電圧を供給する給電線層を有していることを特徴とする薄膜型電子源。

30

## 【請求項 6】

前記中間層の材料は Pt であることを特徴とする請求項 5 に記載の薄膜型電子源。

## 【請求項 7】

前記界面層の膜厚は 3nm 以下であることを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の薄膜型電子源。

## 【請求項 8】

前記薄膜型電子源は、前記下部電極の辺および角部と前記上部電極との間に設置された絶縁体からなる保護層を有し、該保護層は前記絶縁層より厚いことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の薄膜型電子源。

40

## 【請求項 9】

前記下部電極は金属であることを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の薄膜型電子源。

## 【請求項 10】

前記下部電極は半導体であることを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の薄膜型電子源。

## 【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項に記載の薄膜型電子源を複数個配列してなる薄膜型電子源配列基板を、電子源として備えていることを特徴とする薄膜型電子源応用機器

50

。

【請求項 1 2】

請求項 1 乃至請求項 1 0 のいずれか一項に記載の薄膜型電子源を 2 次元配列してなる薄膜型電子源配列基板を、電子源として備えていることを特徴とする薄膜型電子源応用機器

【請求項 1 3】

請求項 1 乃至請求項 1 0 のいずれか一項に記載の薄膜型電子源と、蛍光体を塗布した面  
板を有し、前記薄膜型電子源と前記基板とは前記薄膜型電子源から放出された電子が前記  
蛍光体に照射されるように配置されていることを特徴とする薄膜型電子源応用表示装置。

【請求項 1 4】

前記薄膜型電子源と前記基板とは厚さ 1 mm 以上 3 mm 以下のスペーサを介して封着されて  
いることを特徴とする請求項 1 3 に記載の薄膜型電子源応用表示装置。

【請求項 1 5】

請求項 1 乃至請求項 1 0 のいずれか一項に記載の薄膜型電子源を少なくとも 1 つと、前  
記薄膜型電子源から放出された電子の通る電子レンズを備えていることを特徴とする電子  
線描画装置。

【請求項 1 6】

請求項 1 乃至請求項 1 0 のいずれか一項に記載の薄膜型電子源を複数個配列してなる薄  
膜型電子源配列基板と、前記薄膜型電子源から放出された電子の通る電子レンズを備えて  
いることを特徴とする電子線描画装置。

【請求項 1 7】

請求項 1 乃至請求項 1 0 のいずれか一項に記載の薄膜型電子源をを 2 次元配列してなる  
薄膜型電子源配列基板と、前記薄膜型電子源から放出された電子の通る電子レンズを備え  
ていることを特徴とする電子線描画装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、金属-絶縁体-金属あるいは金属-絶縁体-半導体の 3 層構造を有し、真空中に  
電子を放出する薄膜型電子源およびこれを用いた表示装置、電子線描画装置等の応用機器  
に関する。

【背景技術】

【0002】

薄膜型電子源とは、上部電極-絶縁層-下部電極の 3 層構造の薄膜の上部電極-下部電極  
の間に上部電極を正とする電圧を印加して、上部電極の表面から真空中に電子を放出させ  
るものである。上部電極、下部電極に金属を用いた MIM (金属-絶縁体-金属) 型電子源や  
、少なくとも一方の電極に半導体を用いた MIS (金属-絶縁体-半導体) 型電子源などがあ  
る。MIM 型電子源については、例えば、特開平 7-65710 号公報に示されている。

【0003】

図 1 は、薄膜型電子源の動作原理を示すものである。上部電極 11 と下部電極 13 との間に  
駆動電圧 20 を印加して、絶縁層 12 内の電界を 1 ~ 10 MV/cm 以上にすると、下部電極 13 中のフ  
ェルミ準位近傍の電子はトンネル現象により障壁を透過して絶縁層 12 の伝導帯へ注入され  
、そこで加速されて上部電極 11 の伝導帯へ注入されホットエレクトロンとなる。これらの  
ホットエレクトロンのうち、上部電極 11 の仕事関数 以上のエネルギーを有するものは、  
真空 10 中に放出される。下部電極 13 から上部電極 11 に流れる電流をダイオード電流  $I_d$ 、真  
空 10 中に放出される電流を放出電流  $I_e$  と呼ぶと、電子放出効率  $I_e/I_d$  は  $1/10^3 \sim 1/10^5$  程度  
である。例えば、Au-Al<sub>2</sub>O<sub>3</sub>-Al 構造においてこの原理による電子放出が観測されている。  
この電子源は、上部電極 11 の表面が雰囲気ガスの付着により汚染して仕事関数 が変化し  
ても電子放出特性には大きな影響がない、などの電子源として優れた性質を有しており、  
新型電子源として期待されている。

【0004】

10

20

30

40

50

【特許文献1】特開平7-65710号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

絶縁層12には1~10MV/cm程度の強い電界が印加されるために、絶縁層12の劣化が起こり、例えば特開平7-226146号公報に記されているようにフォーミングが起こって放出電流にノイズが発生したり、さらには絶縁破壊が起こって薄膜型電子源の破壊が起こったりする。

【0006】

本発明の目的は、絶縁層の劣化が起こりにくい薄膜型電子源およびこれを用いた応用機器を提供することにある。 10

【課題を解決するための手段】

【0007】

上記目的は、上部電極を、界面層と表面層との間に、中間層を挟みこむ3層構造とすることにより達成できる。ここで、中間層には、その昇華エンタルピーが界面層材料より低い表面層材料よりは高い材料を用いる。

【0008】

また、上部電極の抵抗が十分低くなる場合には、表面層を形成する必要はなく、界面層と中間層との2層構造で良い。ここで、「十分低い抵抗」とは、薄膜型電子源の構造や所望の放出電流密度、電子放出の面内均一性への要求などによる。すなわち、上部電極面積が小さい程、あるいは所望の放出電流密度が小さい程、上部電極の抵抗値は大きくても許容される。あるいは、放出電流の面内均一性の要求が緩い場合にも、上部電極の抵抗値は大きくても許容される。このような場合には、表面層を形成しなくても「十分に低い抵抗」にすることができる。 20

【0009】

中間層としてはPtが均一な薄い膜を形成できる点から好ましい。

【発明の効果】

【0010】

本発明によれば、MIM型またはMIS型薄膜電子源において、上部電極を界面層、中間層、表面層の3層の薄膜で形成し、中間層材料の昇華エンタルピーが表面層材料のそれより大きく、かつ界面層材料のそれより小さくなるように構成することにより、長時間動作させても劣化が起こらない薄膜電子源を実現できる。さらに、界面層の膜厚を適正化することにより高い放出電流密度を安定に得られる効果がある。また、上部電極の導電性に対する要求が緩い場合には、上部電極を界面層と中間層の2層の薄膜で形成し、中間層材料にPtを用い、昇華エンタルピーがPtよりも大きな材料を界面層に用いることにより同様の効果が得られる。 30

【0011】

また、この薄膜電子源を用いて、表示装置や電子線描画装置を構成することにより、長寿命で高輝度の画像表示装置や高速の電子線描画装置を実現できる効果がある。

【発明を実施するための最良の形態】 40

【0012】

図3を用い、まず、界面層16について説明する。界面層16の材料として昇華エンタルピーHsの大きい材料を用いる理由は次のとおりである。

【0013】

絶縁層12が強電界印加で劣化するメカニズムは、「強電界により絶縁層中に電極の構成原子が移動する型のエレクトロマイグレーション」に起因していると予想した。このエレクトロマイグレーションの発生メカニズムは、正電圧が印加された上部電極11の構成原子がバイアスにより発生する強電界により昇華して原子状になり、これが絶縁層12中で強電界によりイオン化し、そのイオンが電界により移動するという機構でモデル化される。 50

## 【0014】

したがって、上部電極11の構成原子が原子状になるのに必要なエネルギー、すなわち昇華エンタルピー  $H_s$ が大きいほど絶縁層12の劣化が発生しにくい。これが、昇華エンタルピー  $H_s$ が大きな材料を上部電極の界面層16に用いる理由である。

## 【0015】

実際、あとで述べるように、各種材料を上部電極11に用いてMIM型電子源の安定性を測った結果(図5)、絶縁層12に接する材料の  $H_s$ が大きい程、安定性が増すことを確認できた。

## 【0016】

なお、エレクトロマイグレーションの発生メカニズムは、例えばジャーナル・オブ・エレクトロケミカル・ソサイアティー、第133巻、第6号、1242頁から1246頁(Journal of Electrochemical Society, Vol. 133, No. 6, pp. 1242~1246)に記載されている。

## 【0017】

次に、中間層17について説明する。界面層16はその膜厚が3nm程度以下では連続膜とはならず、島状に成長してしまう。中間層17は、この島と島の間隙を埋め、表面層18が絶縁層12に接するのを防ぐ役目をもつ。つまり、中間層17を設けず、界面層16の上に直接Auなどの表面層18を積層すると、島状膜の隙間から昇華エンタルピーの低いAuが絶縁層12中に拡散し、薄膜電子源の劣化を引き起こしてしまう。したがって、表面層18より大きな  $H_s$ を有する材料を中間層17として設ける。

## 【0018】

以下詳細に説明する。表1に種々の金属の昇華エンタルピーと電気抵抗率、およびその他の物性値を示す。

## 【0019】

【表 1】

表 1

	族	$\Delta H_s$ [kcal]	I.P. [eV]	仕事関数 [eV]	抵抗率 [ $\Omega$ cm]
Ag	1b	67.9	7.574	4.28	1.61
Al	3b	78.7	5.984	3.74	2.74
Cu	1b	80.5	7.724	4.47	1.7
Au	1b	88	9.22	4.7	2.2
Pd	8	90	8.33	4.82	10.55
Ti	4a	112.3	6.82	4.09	43.1
V	5a	122.9	6.74	4.11	19.9
Rh	8	133.1	7.46	4.65	4.78
Pt	8	135	9	5.29	10.42
Th	3a	137.5		3.41	15
Zr	4a	145.5	6.84	3.84	42.4
Hf	4a	148	7	3.53	30.6
Ru	8	154.9	7.364	4.52	7.37
Mo	6a	157	7.1	4.27	5.33
Tc	7a	158	7.28		
Ir	8	160	9	4.57	5.07
Nb	5a	172.4	6.88	3.99	14.5
Ta	5a	186	7.88	4.12	13.1
Re	7a	186.1	7.87	5.1	18.6
Os	8	189	8.7	4.55	9.13
W	6a	203.4	7.98	4.5	5.33

10

20

30

40

50

## 【0020】

表 1 からわかるように、 $H_s$  が大きな材料は概して電気抵抗率が高いことがわかる。

## 【0021】

図 2 に、上部電極として、厚さ 3nm の界面層 16 と厚さ 6nm の Au からなる表面層 18 の 2 層膜および比較例として厚さ 9nm の Au のみの膜を用いた時の薄膜型電子源の電子放出効率  $I_e/I_d$  の測定結果を示す。界面層 16 の材料は、W、Ir および Pt である。絶縁層 12 の膜厚は 5.5nm である。絶縁層 12 および上部電極の膜厚は全試料で等しいので、電子放出効率  $I_e/I_d$  の差は絶縁層 12 に接する膜、すなわち厚さ 3nm の W、Ir、Pt および Au 膜の間のホットエレクトロンの透過率の差を反映している。駆動電圧 6.5V において、電子放出効率  $I_e/I_d$  は Au(9nm) が最も高く 0.3%、Pt(3nm)-Au(6nm) が 0.1%、Ir(3nm)-Au(6nm) が 0.03%、W(3nm)-Au(6nm) が 0.005% と、元素周期表の左側の金属を用いるものほど低くなっている。この傾向は薄膜型電子源の上部電極に対するホットエレクトロンの透過率が、金属中の電子-電子散乱に支配されており、その散乱断面積が元素周期表の左側の金属ほど大きいためである。上記の昇華エンタルピーの高い金属は、いずれも 3a 族から 8 族までの遷移金属に属し、1b 族の Au、Ag、Cu などより電子放出効率  $I_e/I_d$  が低い。本発明はこのような 2 層膜に中間層を挟んだ構造である。

## 【0022】

高い放出電流  $I_e$  を得る方法として、界面層の膜厚を薄くする方法が考えられる。ホットエレクトロンの金属薄膜中の透過率は、ホットエレクトロンの平均自由行程を  $\lambda$ 、金属薄膜の膜厚を  $d$  とすると  $\exp(-d/\lambda)$  で与えられる。したがって、例えば、上記の界面層の膜厚を 3nm から 1nm に薄くすれば、ホットエレクトロンの透過率は約 7~8 倍増加する。従って図 2 で用いた上部電極の Ir(3nm)-Au(6nm) の代わりに Ir(1nm)-Au(6nm) を用いれば、電子放出効率  $I_e/I_d$  は 0.2~0.25% となり、Au(9nm) とほぼ同等の電子放出効率  $I_e/I_d$  を達成できる

。またW(1nm)-Au(6nm)でも0.035~0.04%と改善される。さらに膜厚dを薄くすればより電子放出効率 $I_e/I_d$ が上がるのは明らかである。このようにIrやWなどの昇華エンタルピーの特に大きい膜を用いる場合でも膜厚dを薄くすれば電子放出効率 $I_e/I_d$ の問題は解決できる。

【0023】

その場合、界面層はより島状に成長するが、中間層が存在するので、薄膜電子源の劣化を引き起こすことはない。

【0024】

中間層材料としては、図2の実験では界面層として用いたPtが特に適している。Ptは図2からわかるように、Mo、Irなどよりもホットエレクトロンの散乱確率は小さい。さらに、Ptは薄くても均一膜に成長する性質があるので、島状成長した界面層の隙間にも膜形成し、表面層材料が絶縁層12に接するのを防ぐ効果がある。

【0025】

次に、表面層を形成する必要がない例を説明する。1例として、上部電極に電圧を供給するために専用の給電線(バスライン)の層を、上部電極と物理的に接続するように設けて、上部電極自体への電気抵抗の要求を緩くした場合がある。

【0026】

なお、上部電極を2層構造とする公知例として、絶縁層側から、Al、Cd、Pbなど負にイオン化しやすい材料による層、Ag、Mo、Ta、Cr、Auなど素子作製プロセスに対して化学的に安定な材料による層を積層した特開平2-306520号公報がある。しかし、本公知例における1層目の材料の昇華エンタルピーHsは各々Al(78.7 kcal)、Cd(26.7)、Pb(46.78)であり、2層目の材料の1つでありかつ本発明の表面層材料の代表例であるAu(88 kcal)よりも小さい。すなわち、本発明とは、技術思想が全く異なる。

【0027】

また、薄膜型電子源の応用機器については、本発明の薄膜型電子源は高い放出電流を安定に放出することができ、また、2次元配列等の薄膜型電子源配列基板構成も容易にできるので、これを用いて、長寿命で高輝度な薄膜型電子源応用表示装置、薄膜型電子源応用電子線描画装置等の薄膜型電子源応用機器を実現することができる。

【0028】

例えば、薄膜型電子源応用表示装置は、薄膜型電子源を2次元配列してなる薄膜型電子源基板と、蛍光体を塗布した面板とを張り合わせ、真空に封じることにより構成できる。

【0029】

また、薄膜型電子源応用電子線描画装置は、3層構造薄膜型電子源と、電子レンズとを備えることにより構成できる。この際、3層構造薄膜型電子源を、2次元配列した薄膜型電子源配列基板を用いると、パターンの一括転写が可能な薄膜型電子源応用電子線描画装置が得られる。

【0030】

以下、本発明の実施例を図を用いて説明する。

【0031】

実施例1

図3に、本発明の実施例1のMIM型電子源を示す。図3(b)は平面図で、図3(a)はA-B間での断面図である。ガラスなどの絶縁性の基板14上に下部電極13としてAl膜を例えば100nmの膜厚で形成する。Al膜の形成には、例えば、RFマグネトロンスパッタリング法を用いる。このAl膜の表面を陽極酸化し、膜厚5.5nm程度の絶縁層12を形成する。陽極酸化の化成電流を小さな値に制限することにより、絶縁層12の膜質を向上させることができる。つぎにSiO<sub>2</sub>やAl<sub>2</sub>O<sub>3</sub>などの絶縁体をRFマグネトロンスパッタリング法などで50nm程度形成し、保護層15とする。続いてRFマグネトロンスパッタリング法などにより、3層の上部電極を真空中で連続成膜し形成する。このとき、界面層16としてIrを1nmの厚さ、中間層17としてPtを2nmの厚さ、表面層18としてAuを3nmの厚さ成膜し、全体で6nmの厚さとする。最後にAuなどで上部電極バスライン32を形成する。

10

20

30

40

50

## 【0032】

次に、真空度 $1/10^7$  Torr程度の真空槽内で、上部電極バスライン32をアース電位として、下部電極13にパルス電圧を印加することにより、動作の安定化を行う。パルス電圧は、図4に示したように、 $-Vd1 = -9$  V程度の電圧を、パルス幅 $tw = 64$   $\mu$ sの期間印加して、その次に16.6 msの期間、 $Vd2 = 0$  Vの電圧を印加する。この例では、くり返し周期 $T = 16.6$  ms、 $tw = 64$   $\mu$ sであるが、これ以外でも、 $T = 2$   $\mu$ s $\sim$ 1 s程度、 $tw = 1$   $\mu$ s $\sim$ 500 ms程度とすれば良い。また、特願平6-18080に述べられているように、 $Vd2 = +1 \sim 5$  V程度の電圧を印加すると、MIM型電子源の動作が一層安定化する。

## 【0033】

図5はこのようにして製作したMIM型電子源のピーク放出電流密度 $J_e$ の経時変化を示したものである。比較のために、界面層Pt(膜厚3nm)と表面層Au(膜厚3nm)の2層構造上部電極を用いたもの、および膜厚6nmのAuの単層上部電極を用いたものの特性も併せて示す。これら3種のMIM型電子源について、ダイオード電流 $I_d$ が等しくなるよう印加電圧を設定し、絶縁層12への印加電界が等しくなるようにした。Au単層構造では電子放出比が大きいことを反映して初期の $J_e$ 値は高いが、 $J_e$ は時間とともに減少し、50分後には電子放出が停止してしまう。Pt-Au2層構造では、初期のピーク放出電流密度 $J_e$ は $2\text{mA}/\text{cm}^2$ と高いものの約400分経過後急激に減少する。このように、Pt-Au2層構造の上部電極は、Au単層構造上部電極に比べると格段に寿命特性が向上するものの、特に高放出電流を必要とする場合には十分な寿命特性を有しない。これに対し本実施例のIr-Pt-Au3層構造では、界面層16にIrを用いているため、初期のピーク放出電流密度 $J_e$ は若干低く約 $2.5\text{mA}/\text{cm}^2$ であるが、非常に安定で、400分経過後も放出電流密度 $J_e$ の減少が観測されない。これは昇華エンタルピーがPtよりも高いIrを界面層16として用いることにより、上部電極11の構成原子の絶縁層12への移動が一層抑えられたためである。

## 【0034】

なお、本実施例において、下部電極13として高配向膜、または単結晶膜を用いると、それを陽極酸化して形成した絶縁層12の特性は一層向上し、より高性能なMIM型電子源が得られる。また、絶縁層12を陽極酸化で形成する代わりに、スパッタ法や蒸着法などの気相合成法を用いて形成しても良い。

## 【0035】

本実施例では、界面層16としてIrを用いた場合について述べたが、中間層17にPtを用いた場合には、界面層16として、Ptよりも昇華エンタルピーの高いZr, Hf, Ru, Mo, Nb, Ta, Re, Os, Wを用いても同様の効果が得られる。

## 【0036】

## 実施例2

実施例1において、表面層18が無くても上部電極の電気抵抗が「十分」低い場合には、表面層18を形成する必要は無い。このような例を図6に示した。図6(b)は平面図であり、図6(a)はA-B間での断面図である。図6(a)に示したように、絶縁層12上に界面層16と中間層17とを積層した構造になる。この場合、表面層を設けた場合よりも上部電極の電気抵抗が高くなるので、上部電極バスライン32により給電端子と上部電極とを電氣的に接続し、上部電極の抵抗値がある程度高くても問題ないようにする。

## 【0037】

## 実施例3

図7に、本発明の実施例3のMIS型電子源を示す。n型Si基板を下部電極13とし、その表面を熱酸化などの方法で酸化し、絶縁層12を形成する。つぎにCVD法やスパッタ法などにより $\text{SiO}_2$ を50 nmの膜厚で蒸着し、保護層15とする。その上に、RFマグネトロンスパッタリングなどの方法で、3層の上部電極を連続成膜し形成する。このとき、界面層16としてIrを1nmの厚さ、中間層17としてPtを2nmの厚さ、表面層18としてAuを3nmの厚さ成膜し、全体で6nmの厚さとする。最後にAuなどで上部電極バスライン32を形成する。

## 【0038】

次に、本発明による薄膜型電子源を用いた応用機器の実施例を説明する。

10

20

30

40

50



## 【0039】

## 実施例4

図8および図9は、表示装置の実施例を示す。図8は図9のA-B間での断面図である。図9は基板上に形成した薄膜型電子源の電極配置を描いた平面図である。図9において、基板14は省略してある。ガラスなどの絶縁性の基板14上に、下部電極13をRFスパッタリング法などにより形成する。この際、マスクを用いたり、あるいは、フォトリソグラフィとエッチングを併用することにより、図9に示したようにパターン化する。続いて、陽極酸化により絶縁層12を形成する。次に、RFスパッタリング法などの方法で、 $\text{SiO}_2$ などの絶縁体からなる保護層15を形成する。保護層15は、下部電極13の辺または角部に電界が集中して絶縁破壊が発生するのを防ぎ、素子を長寿命化する働きがある。

10

## 【0040】

次に、スパッタリングにより、3層の上部電極を連続成膜し形成する。このとき、界面層16としてIrを1nmの厚さ、中間層17としてPtを2nmの厚さ、表面層18としてAuを6nmの厚さ成膜し、全体で9nmの厚さとする。界面層16、中間層17、表面層18は、図9に示すように、下部電極13との交点のみに形成する。続いて、Auなど導電率の高い材料を、図8のパターンで膜厚500nm程度形成し、上部電極バスライン32とする。図8のように、上部電極バスライン32の線幅を上部電極16、17、18以外の部分でも上部電極16、17、18より細くすることにより、上部電極バスライン32と下部電極13との間の浮遊容量を小さくすることができ、素子の高速駆動が容易になる。

## 【0041】

面板110にはガラスなど透光性のものを用い、その全表面にITO (Indium-Tin Oxide)からなる透光性の加速電極112をスパッタリングにより形成する。加速電極112の上に蛍光体114を塗布する。蛍光体114としては、低速電子線でも発光効率が高い材料、例えば $\text{ZnO}:\text{Zn}$ を用いるとよい。このようにして加速電極112と蛍光体114を形成した面板110と、薄膜電子源を形成した基板14とを、 $200\mu\text{m}$ の厚さのスペーサを周囲を囲むように挟んで(図示せず)、フリットガラスを用いて封着する。基板14と面板110とで挟まれた空間を真空に排気して、表示装置パネルが完成する。

20

## 【0042】

図10は、このようにして製作した表示装置パネル100の駆動回路への結線図である。下部電極13は下部電極駆動回路41へ結線し、上部電極バスライン32は上部電極駆動回路42に結線する。加速電極112は加速電極駆動回路43へ結線する。n番目の下部電極13Knとm番目の上部電極バスライン32Cmの交点のドットを(n, m)で表すことにする。

30

## 【0043】

図11は、各駆動回路の発生電圧の波形を示す。図11には記されていないが、加速電極112には400V程度の電圧を常時印加する。

時刻 $t_0$ ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体114は発光しない。

## 【0044】

時刻 $t_1$ において、下部電極13K1には $-V_1$ なる電圧を、上部電極バスライン32C1、C2には $+V_2$ なる電圧を印加する。ドット(1, 1)、(1, 2)の下部電極13と上部電極との間には $(V_1 + V_2)$ なる電圧が印加されるので、 $(V_1 + V_2)$ を電子放出開始電圧以上に設定しておけば、この2つのドットの薄膜電子源からは電子が真空10中に放出される。放出された電子は加速電極112に印加された電圧により加速された後、蛍光体114にぶつかり、蛍光体114を発光させる。

40

## 【0045】

時刻 $t_2$ において、下部電極13K2に $-V_1$ なる電圧を印加し、上部電極バスライン32C1に $V_2$ なる電圧を印加すると、同様にドット(2, 1)が点灯する。このようにして、図11の電圧波形を印加すると、図10の斜線を施したドットのみが点灯する。

## 【0046】

このようにして、上部電極バスライン32に印加する信号を変えることにより所望の画像

50

または情報を表示することができる。また、上部電極バスライン32への印加電圧 $V_1$ の大きさを画像信号に合わせて適宜変えることにより、階調のある画像を表示することができる。

#### 【0047】

本発明の薄膜電子源を用いると高い放出電流密度を安定に得られるため、高輝度で長寿命の表示装置を作製することができる。

#### 【0048】

##### 実施例5

次に、図12、図13、図14、図15を用いて本発明を用いた表示装置の別の例を説明する。図13は表示パネルを面板側から見た平面図、図14は基板14を面板側から見た平面図である。図13、図14中のA-B間の断面図が図12(a)であり、C-D間の左半分の断面図が図12(b)である。

10

#### 【0049】

まず、基板上に形成する薄膜電子源の作製方法を述べる。図15は基板14上に薄膜型電子源を作製するプロセスを示したものである。右の列に平面図、左の列に図13、14に対応するA-B間での断面図を示す。図15では1個の素子しか描いてないが、実際には、図12、図14のようにマトリクス状に配置されている。

#### 【0050】

ガラスなどの絶縁性基板14上に、下部電極13用の薄膜として、Alを例えば、300nmの膜厚で形成する。このAl膜の形成には、例えば、スパッタリング法や抵抗加熱蒸着法、MBE法(分子線エピタキシ法)などを用いる。次に、このAl膜を、フォトリソグラフィによるレジスト形成と、それに続くエッチングとによりストライプ状に加工し下部電極13を形成する。ここで用いるレジストはエッチングに適したものであればよく、また、エッチングもウエットエッチング、ドライエッチングのいずれも可能である。この下部電極13の表面を陽極酸化して膜厚5~10nm程度の絶縁層12を形成する。本実施例では化成電圧を4Vに設定し、絶縁層膜厚5.5nmとした。これが、図15(a)の状態である。

20

#### 【0051】

次に、レジストを塗布して紫外線で露光してパターンニングし、図15(b)のレジストパターン501を形成する。レジストには例えば、キノンジアザイド系のポジ型レジストを用いる。次にレジストパターン501を付けたまま、再度陽極酸化を行い、保護層15を形成する。この2回目の陽極酸化は、化成電圧50V程度とし、保護層15の膜厚を70nm程度とする。これが、図15(c)の状態である。

30

#### 【0052】

レジストパターン501をアセトンなどの有機溶媒で剥離した後、同様の方法で図15(d)のレジストパターン502を形成する。次に、上部電極バスライン32となる金属膜を、基板14の全面に成膜する。この上部電極バスライン32となる金属膜は、Moなど、基板14との接着性に優れた金属を下層とし、Auなど電気伝導性に富み、かつ酸化されにくい金属を上層とする積層膜構成とし、スパッタリング法や蒸着法などで連続成膜するのが望ましい。下層の材料としては、上記Moの他に、CrやTa、W、Nbなど絶縁性基板との接着性がよい他の金属でもよい。また、上層の材料には、上記Auの他、Pt、Ir、Rh、Ruなどが使用可能である。これらの金属を用いることにより後で形成する上部電極16との電氣的接触を確保できる。なお、上記上部電極バスライン32を形成する金属膜の膜厚は、配線抵抗の要求仕様により適宜選択する。本実施例では、Mo膜を30nm、Au膜を100nmとした。続いて、アセトンなどの有機溶媒でレジストパターン502をリフトオフすることにより、図15(e)の形を得る。

40

#### 【0053】

続いて、図15(f)のレジストパターン503を形成する。この状態で、化成液に浸して陽極酸化を行う。化成電圧は絶縁層12を形成した際と同じ電圧にする。本実施例の場合、4Vである。絶縁層12はこれまでに何回か行ったレジストパターンニング・プロセ

50

スにおいて、現像液などの薬品により、多少のダメージを受けている。そこで、上部電極を成膜する前に、このように絶縁層 12 を再度陽極酸化することにより、ダメージの修復ができる。このあと、界面層 16、中間層 17、表面層 18 の順に成膜する。これらの成膜にはスパッタリング法などを用い、各層は真空を破ることなく連続的に成膜するのが望ましい。本実施例では、界面層 16 として膜厚 1nm の Ir、中間層 17 として膜厚 2nm の Pt、表面層 18 として膜厚 3nm の Au を用いた。また、本実施例のように、印加電圧を上部電極に供給する専用のバスライン 32 があり、上部電極面積が小さい場合には、表面層 18 を除き、例えば膜厚 1nm の Ir で構成した界面層 16 と膜厚 2nm の Pt で構成した中間層 17 の 2 層で上部電極を構成しても良い。

#### 【0054】

次いで、アセトンなどの有機溶媒でリフトオフすると、図 15 (g) に示した構造の薄膜電子源を得る。以上のプロセスで、基板 14 上に薄膜電子源が完成する。この薄膜電子源は、レジストパターン 501 で規定した領域から電子が放出される。電子放出部の周辺部に厚い絶縁膜である保護層 15 を形成してあるため、上部電極 - 下部電極間に印加される電界が下部電極の辺または角部に集中しなくなり、長時間にわたって安定な電子放出特性が得られる。

#### 【0055】

面板 110 には透光性のガラスなどを用いる。まず、表示装置のコントラストを上げる目的でブラックマトリクス 120 を形成する (図 12 (b))。ブラックマトリクス 120 は、図 13 において蛍光体 114 間に配置されるが、図 13 では記載を省略した。

#### 【0056】

ブラックマトリクス 120 は、黒鉛粉末に PVA (ポリビニルアルコール) と重クロム酸アンモニウムとを混合した溶液を面板 110 に塗布し、ブラックマトリクス 120 を形成したい部分に紫外線を照射して感光させた後、未感光部分を除去する。

#### 【0057】

次に赤色蛍光体 114A を形成する。蛍光体粒子に PVA (ポリビニルアルコール) と重クロム酸アンモニウムとを混合した水溶液を面板 110 上に塗布した後、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体 114A をパターン化する。パターンは図 13 に示したようなストライプ状のパターンにする。このストライプ・パターンは一例であって、それ以外にも、ディスプレイの設計に応じて、例えば、近接する 4 ドットで 1 画素を構成させた「RGBG」パターンでももちろん構わない。蛍光体膜厚は、1.4 ~ 2 層程度になるようにする。同様にして、緑色蛍光体 114B と青色蛍光体 114C を形成する。蛍光体としては、例えば赤色に  $Y_2O_3S:Eu$  (P22-R)、緑色に  $Zn_2SiO_4:Mn$  (P1-G1)、青色に  $ZnS:Ag$  (P22-B) を用いればよい。あるいは、赤色に  $YP_{0.65}V_{0.35}O_4:Eu$ 、緑色に  $Zn_2SiO_4:Mn$  (P1-G1)、青色に  $(Y,Gd)P_{0.85}V_{0.15}O_4$  を用いてもよい。

#### 【0058】

次いで、ニトロセルロースなどの膜でフィルミングした後、面板 110 全体に Al を、膜厚 50 ~ 300nm 程度蒸着してメタルバック 122 とする。その後、面板 110 を 400 程度に加熱してフィルミング膜や PVA などの有機物を加熱分解する。このようにして、面板 110 が完成する。

#### 【0059】

このように製作した面板 110 と基板 14 とを、スペーサ 60 を挟み込んでフリットガラスを用いて封着する。面板 110 と基板 14 との位置関係は図 13 に示したとおりである。図 14 には、基板 14 上に形成した薄膜電子源のパターンを図 13 に対応させて示してある。但し、保護層 15 および上部電極表面層膜 18 は省略してある。

#### 【0060】

面板 110 - 基板 14 間の距離は 1 ~ 3 mm 程度とする。スペーサ 60 はパネル内部を真空にしたときに、大気圧の外部からの力によるパネルの破損を防ぐために挿入する。したがって、基板 14、面板 110 に厚さ 3 mm のガラスを用いて、幅 4 cm x 長さ 9 cm

10

20

30

40

50

程度以下の表示面積の表示装置を製作する場合には、面板 110 と基板 14 自体の機械強度で大気圧に耐えるので、スペーサ 60 を挿入する必要はない。スペーサ 60 の形状は例えば図 13 のようにする。ここでは、R (赤)、G (緑)、B (青) に発光するドット毎、すなわち上部電極 3 列ずつにスペーサの支柱を設けているが、機械強度が耐える範囲で、支柱の数 (密度) を減らしてかまわない。スペーサ 60 の製作は、厚さ 1 ~ 3 mm 程度のガラスやセラミックスなどの絶縁板に、例えばサンドブラスト法などで所望の形状の穴を加工する。

#### 【0061】

封着したパネルは、 $1 \times 10^{-7}$  Torr 程度の真空に排気して、封止する。このようにして、薄膜電子源を用いた表示パネルが完成する。

10

#### 【0062】

このように本実施例では、面板 110 - 基板 14 間の距離は 1 ~ 3 mm 程度と長いので、メタルバック 122 に印加する加速電圧を 3 ~ 6 kV と高電圧に出来る。したがって、上述のように、蛍光体 114 には陰極線管 (CRT) 用の蛍光体を使用できる。加速電圧を 3 ~ 6 kV 程度の高電圧に設定する以外は、薄膜電子源に印加する電圧波形は、実施例 4 と同様である。

#### 【0063】

##### 実施例 6

図 16 に実施例 6 の電子線描画装置を示す。電子線描画装置の場合、電子源は少なくとも 1 つあればよいが、本実施例では薄膜型電子源を格子状に 2 次元配列して作製したマルチ電子線源 200 を搭載した電子線描画装置について説明する。

20

#### 【0064】

マルチ電子線源 200 には表示装置の実施例 4、5 と同じ駆動法を適用し、描画しようとする集積回路パターン形状の電子ビームを放出させる。この電子ビームは、プランカ 210 を通った後、電子レンズ 220 により 1/100 程度に縮小され、偏向器 230 を偏向され、ウェハ 240 上に転写される。この電子線描画装置はパターンが一括転写できるのに加え、本発明の薄膜電子源の放出電流密度が高いため、レジストの感光時間が短い。したがって従来の電子線描画装置に比べ、スループットを大幅に改善することが可能となる。

#### 【図面の簡単な説明】

#### 【0065】

30

【図 1】薄膜型電子源の動作原理の説明図である。

【図 2】薄膜型電子源の電子放出効率の上部電極材料依存性を示した図である。

【図 3】本発明の実施例 1 の MIM 型電子源の構造図である。

【図 4】本発明の実施例 1 で用いる駆動電圧波形図である。

【図 5】本発明の実施例 1 の MIM 型電子源の放出電流の安定性を示した図である。

【図 6】本発明の実施例 2 の MIM 型電子源の構造図である。

【図 7】本発明の実施例 3 の MIS 型電子源の構造図である。

【図 8】本発明の実施例 4 の表示装置の断面図である。

【図 9】本発明の実施例 4 の表示装置の電極配置図である。

【図 10】本発明の実施例 4 の表示装置の駆動回路への結線図である。

40

【図 11】本発明の実施例 4 の表示装置の駆動電圧波形図である。

【図 12】本発明の実施例 5 の表示装置の断面図である。

【図 13】本発明の実施例 5 の表示装置の蛍光面位置を示す平面図である。

【図 14】本発明の実施例 5 の表示装置の基板の平面図である。

【図 15】本発明の実施例 5 の表示装置の薄膜型電子源作製プロセス図である。

【図 16】本発明の実施例 6 の電子線描画装置の斜視図である。

#### 【符号の説明】

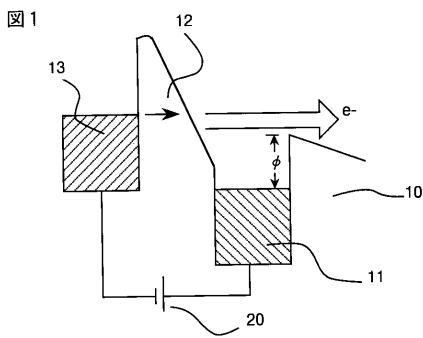
#### 【0066】

10・・・真空、11・・・上部電極、12・・・絶縁層、13・・・下部電極、14  
 ・・・・基板、15・・・保護層、16・・・電極端子、16・・・上部電極界面層膜、1

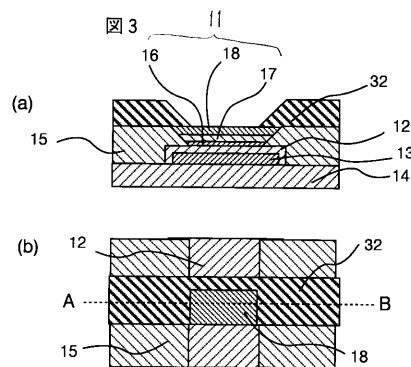
50

7・・・上部電極中間層膜、18・・・上部電極表面層膜、20・・・駆動電圧、32・・・上部電極バスライン、110・・・基板、112・・・加速電極、114・・・蛍光体、120・・・ブラックマトリクス、122・・・メタルバック、41・・・下部電極駆動回路、42・・・上部電極駆動回路、43・・・加速電極駆動回路、200・・・マルチ電子線源、210・・・ブランカ、220・・・電子レンズ、230・・・偏向器、240・・・ウェハ、501、502、503・・・レジストパターン。

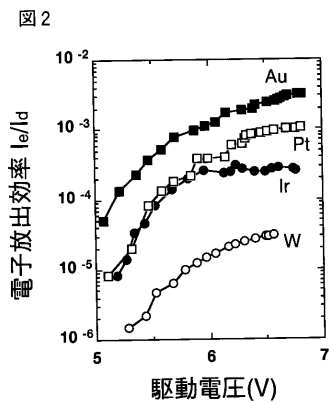
【図1】



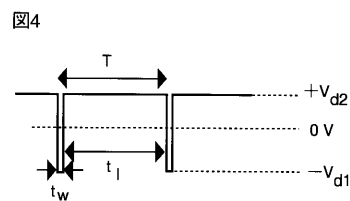
【図3】



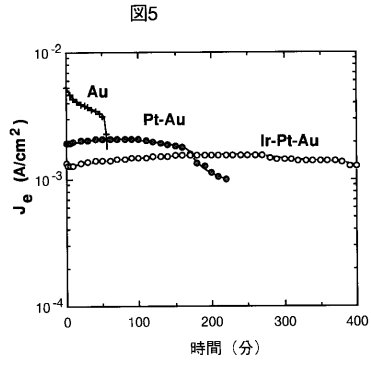
【図2】



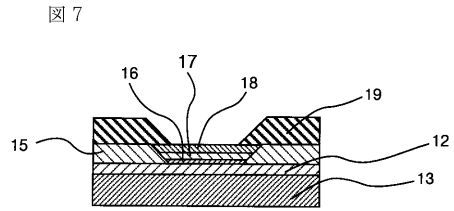
【図4】



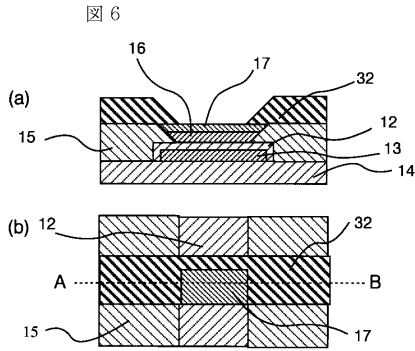
【 図 5 】



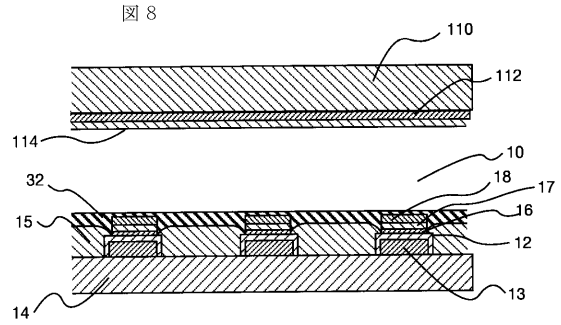
【 図 7 】



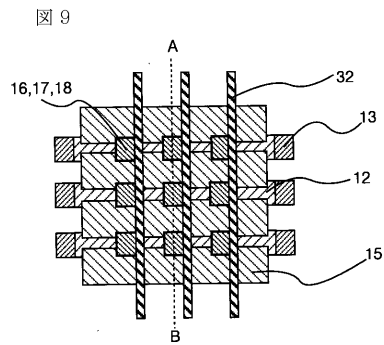
【 図 6 】



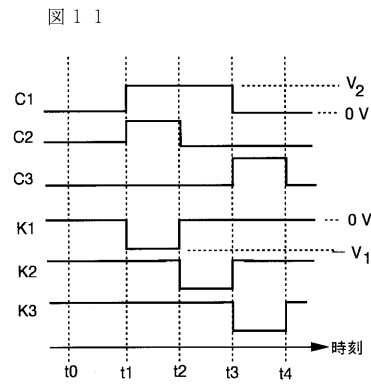
【 図 8 】



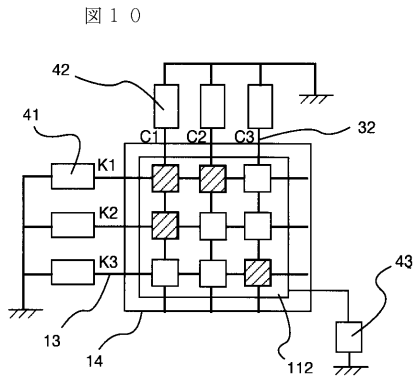
【 図 9 】



【 図 1 1 】

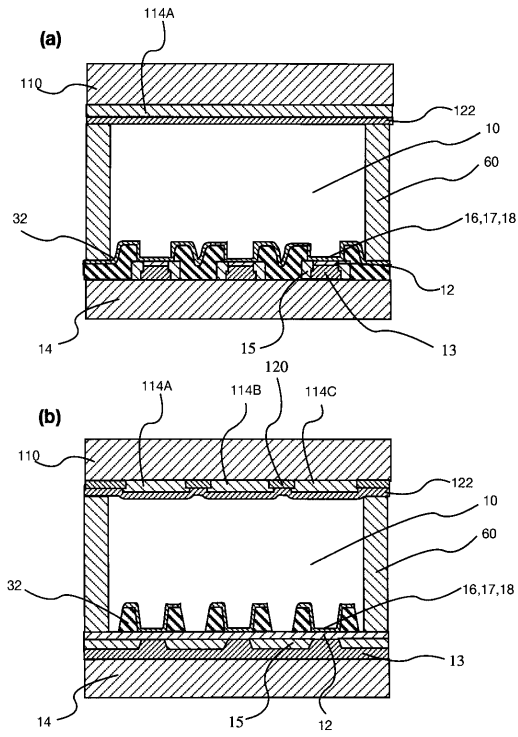


【 図 1 0 】



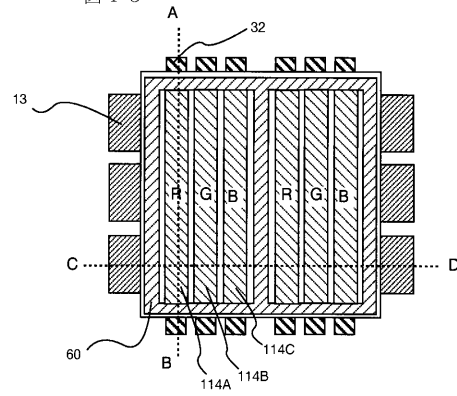
【 図 1 2 】

図 1 2



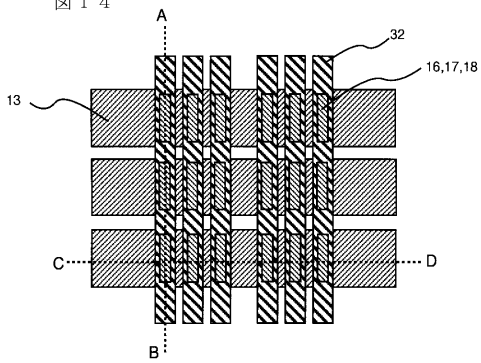
【 図 1 3 】

図 1 3



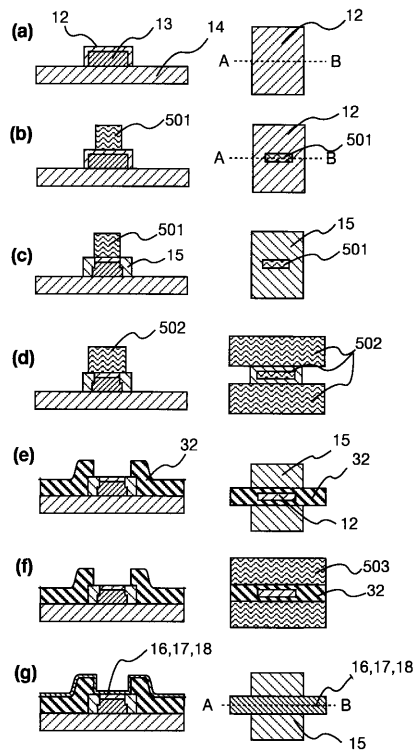
【 図 1 4 】

図 1 4



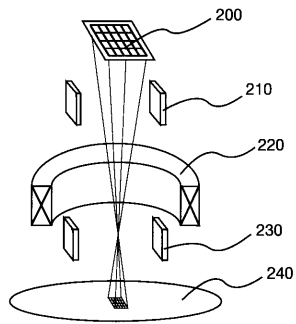
【 図 1 5 】

図 1 5



## 【図 16】

図 16



## 【手続補正書】

【提出日】平成16年11月30日(2004.11.30)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から界面層、中間層および表面層を積層した構造であり、前記中間層の昇華エンタルピーは前記界面層のそれよりも小さく、かつ前記表面層のそれよりも大きいことを特徴とする薄膜型電子源。

【請求項2】

前記中間層の材料はPtであることを特徴とする請求項1に記載の薄膜型電子源。

【請求項3】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から界面層、中間層および表面層を積層した構造であり、前記界面層の材料は、Zr、Hf、Ru、Mo、Ir、Nb、Ta、Re、Os、Wのいずれか、またはこれらの合金であり、前記中間層の材料はPtであり、前記表面層の材料は、Au、Ag、Cuのいずれか、またはこれらの合金であることを特徴とする薄膜型電子源。



## 【請求項 4】

下部電極、絶縁層、上部電極をこの順に積層した構造を有し、前記下部電極と前記上部電極の間に、前記上部電極が正電圧になる極性の電圧を印加した際に、前記上部電極の表面から真空中に電子を放出する薄膜型電子源において、前記上部電極は、前記絶縁層側から順に第1の層、第2の層を積層した構造であり、前記第1の層の材料はその昇華エンタールピーが前記第2の層の材料のそれよりも大きく、かつ、前記上部電極に物理的に接続された前記上部電極に電圧を供給する給電線層を有していることを特徴とする薄膜型電子源。

## 【請求項 5】

前記第2の層の材料はPtであることを特徴とする請求項4に記載の薄膜型電子源。

## 【請求項 6】

前記界面層の膜厚は3nm以下であることを特徴とする請求項1乃至請求項3のいずれか一項に記載の薄膜型電子源。

## 【請求項 7】

前記第一の層の膜厚は3nm以下であることを特徴とする請求項4または5のいずれか一項に記載の薄膜型電子源。

## 【請求項 8】

前記薄膜型電子源は、前記下部電極の辺および角部と前記上部電極との間に設置された絶縁体からなる保護層を有し、該保護層は前記絶縁層より厚いことを特徴とする請求項1乃至請求項7のいずれか一項に記載の薄膜型電子源。

## 【請求項 9】

前記下部電極は金属であることを特徴とする請求項1乃至請求項8のいずれか一項に記載の薄膜型電子源。

## 【請求項 10】

前記下部電極は半導体であることを特徴とする請求項1乃至請求項8のいずれか一項に記載の薄膜型電子源。

## 【請求項 11】

請求項1乃至請求項10のいずれか一項に記載の薄膜型電子源を複数個配列してなる薄膜型電子源配列基板を、電子源として備えていることを特徴とする薄膜型電子源応用機器。

## 【請求項 12】

請求項1乃至請求項10のいずれか一項に記載の薄膜型電子源を2次元配列してなる薄膜型電子源配列基板を、電子源として備えていることを特徴とする薄膜型電子源応用機器。

## 【請求項 13】

請求項1乃至請求項10のいずれか一項に記載の薄膜型電子源と、蛍光体を塗布した面板を有し、前記薄膜型電子源と前記面板とは前記薄膜型電子源から放出された電子が前記蛍光体に照射されるように配置されていることを特徴とする薄膜型電子源応用表示装置。

## 【請求項 14】

前記薄膜型電子源と前記面板とは厚さ1mm以上3mm以下のスペーサを介して封着されていることを特徴とする請求項13に記載の薄膜型電子源応用表示装置。

## 【請求項 15】

請求項1乃至請求項10のいずれか一項に記載の薄膜型電子源を少なくとも1つと、前記薄膜型電子源から放出された電子の通る電子レンズを備えていることを特徴とする電子線描画装置。

## 【請求項 16】

請求項1乃至請求項10のいずれか一項に記載の薄膜型電子源を複数個配列してなる薄膜型電子源配列基板と、前記薄膜型電子源から放出された電子の通る電子レンズを備えていることを特徴とする電子線描画装置。

## 【請求項 17】

請求項 1 乃至請求項 10 のいずれか一項に記載の薄膜型電子源をを 2 次元配列してなる薄膜型電子源配列基板と、前記薄膜型電子源から放出された電子の通る電子レンズを備えていることを特徴とする電子線描画装置。