



(21)申請案號：102139018 (22)申請日：中華民國 102 (2013) 年 10 月 29 日

(51)Int. Cl. : **H01L45/00 (2006.01)**

(30)優先權：2012/11/09 美國 13/673,658

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路8號

(72)發明人：涂國基 TU, KUO CHI (TW)；朱文定 CHU, WEN TING (TW)；楊晉杰 YANG, CHIN
CHIEH (TW)；廖鈺文 LIAO, YU WEN (TW)；陳俠威 CHEN, HSIA WEI (TW)；
張至揚 CHANG, CHIH YANG (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 200746363A1

TW 201126535A1

US 7616472B2

US 2006/0131642A1

審查人員：徐欽民

申請專利範圍項數：10 項 圖式數：4 共 31 頁

(54)名稱

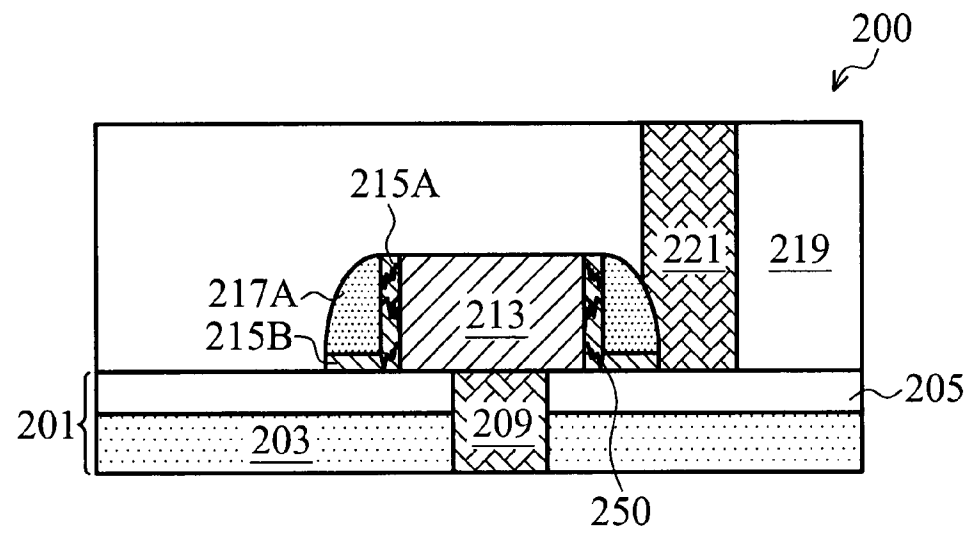
半導體結構與電阻可變記憶結構的形成方法

SEMICONDUCTOR STRUCTURE AND METHOD OF FORMING RESISTANCE VARIABLE
MEMORY STRUCTURE

(57)摘要

本發明提供之半導體結構包括電阻可變記憶結構。半導體結構亦包括介電層。電阻可變記憶結構位於介電層上。電阻可變記憶結構包括第一電極位於介電層上。第一電極具有側壁表面。電阻可變層具有第一部份於第一電極之側壁表面上，以及第二部份自第一部份朝遠離第一電極之方向延伸。第二電極位於電阻可變層上。

A semiconductor structure includes a resistance variable memory structure. The semiconductor structure also includes a dielectric layer. The resistance variable memory structure is over the dielectric layer. The resistance variable memory structure includes a first electrode disposed over the dielectric layer. The first electrode has a sidewall surface. A resistance variable layer has a first portion which is disposed over the sidewall surface of the first electrode and a second portion which extends from the first portion away from the first electrode. A second electrode is over the resistance variable layer.



- 200 . . . 半導體結構
- 201、203、
- 205 . . . 介電層
- 209 . . . 導電結構
- 213 . . . 第一電極
- 215A . . . 垂直部份
- 215B . . . 水平部份
- 217A . . . 第二電極
- 219 . . . ILD 層
- 221 . . . 接觸插塞
- 250 . . . 導電絲

第 2J 圖

發明摘要

※ 申請案號：102139018

※ 申請日：102.10.29

※IPC 分類：

H01L 45/06 (2006.01)

【發明名稱】 半導體結構與電阻可變記憶結構的形成方法Semiconductor structure and method of forming
resistance variable memory structure**【中文】**

本發明提供之半導體結構包括電阻可變記憶結構。半導體結構亦包括介電層。電阻可變記憶結構位於介電層上。電阻可變記憶結構包括第一電極位於介電層上。第一電極具有側壁表面。電阻可變層具有第一部份於第一電極之側壁表面上，以及第二部份自第一部份朝遠離第一電極之方向延伸。第二電極位於電阻可變層上。

【英文】

A semiconductor structure includes a resistance variable memory structure. The semiconductor structure also includes a dielectric layer. The resistance variable memory structure is over the dielectric layer. The resistance variable memory structure includes a first electrode disposed over the dielectric layer. The first electrode has a sidewall surface. A resistance variable layer has a first portion which is disposed over the sidewall surface of the first electrode and a second portion which extends from the first portion away from the first

electrode. A second electrode is over the resistance variable layer.

【代表圖】

【本案指定代表圖】：第(2J)圖。

【本代表圖之符號簡單說明】：

- 200 半導體結構
- 201、203、205 介電層
- 209 導電結構
- 213 第一電極
- 215A 垂直部份
- 215B 水平部份
- 217A 第二電極
- 219 ILD層
- 221 接觸插塞
- 250 導電絲

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體結構與電阻可變記憶結構的形成方法

Semiconductor structure and method of forming
resistance variable memory structure

【技術領域】

【0001】 本發明係關於半導體結構，更特別關於電阻可變記憶結構與其形成方法。

【先前技術】

【0002】 在積體電路(IC)元件中，電阻式隨機存取記憶體(RRAM)為下一代非揮發記憶元件的新興技術。RRAM之記憶結構包含RRAM單元之陣列，且每一RRAM單元以電阻而非電荷儲存一位元的資料。特別的是，每一RRAM單元包含電阻可變層，其電阻可調整為邏輯狀態「0」或「1」。

【0003】 以應用觀點來看，RRAM具有多種優勢。RRAM具有單純的單元結構與CMOS邏輯相容製程，比其他非揮發性記憶結構的製程更簡易且成本更低。除了上述優點，RRAM的發展仍存有挑戰。目前亟需嘗試RRAM的材料與結構的多種技術，以進一步改良元件效能。

【發明內容】

【0004】 本發明一實施例提供一種半導體結構，包括：介電層；以及電阻可變記憶結構位於介電層上，且電阻可變記憶結構包括：第一電極位於介電層上，且第一電極具有側壁表面；電阻可變層，具有第一部份於第一電極之側壁表面上，以及第二部份自第一部份朝遠離第一電極之方向延伸；以及第二

電極位於電阻可變層上。

【0005】 本發明一實施例提供一種半導體結構，包括：導電結構；以及電阻可變記憶結構位於導電結構上，且電阻可變記憶結構包括：第一電極位於導電結構上，且第一電極具有側壁表面；電阻可變層具有垂直部份與水平部份，其中垂直部份圍繞第一電極之側壁表面，且水平部份自垂直部份朝遠離第一電極之方向延伸；以及第二電極位於電阻可變層上，並圍繞電阻可變層之垂直部份。

【0006】 本發明一實施例提供一種電阻可變記憶結構的形成方法，包括：形成第一電極於介電層上，第一電極具有上表面與側壁表面，且側壁表面自上表面朝介電層向下延伸；沉積電阻可變材料與第二電極材料於第一電極之上表面與側壁表面上；以及蝕刻部份電阻可變材料與第二電極材料，以形成電阻可變層與第二電極於第一電極之側壁表面上。

【圖式簡單說明】

【0007】

第1圖係本發明至少一實施例中，具有電阻可變記憶結構之半導體結構的形成方法其流程圖；

第2A至2H圖係以第1圖之方法，形成具有電阻可變記憶結構之半導體結構的製程剖視圖；

第2I圖係第2H圖中具有電阻可變記憶結構之半導體結構的平面圖；

第2J圖係沿著第2I圖中的切線A-A'之剖視圖，顯示本發明一或多個實施例中將絲形成於電阻可變層中的半導體結構；

第3圖係本發明一或多個實施例中，具有電阻可變記憶結構之半導體結構的形成方法其流程圖；以及

第4A至4E圖係以第3圖之方法，形成具有電阻可變記憶結構之半導體結構的製程剖視圖。

【實施方式】

【0008】 下述內容將詳述本發明實施例之製作與應用。然而可以理解的是，這些實施例提供的可行創造概念可以多種特定方式實施。下述的特定實施例僅用以說明而非侷限本發明。

【0009】 在本發明一或多個實施例中，半導體結構包含電阻可變記憶單元。電阻可變記憶單元結構具有電阻可變層形成於兩電阻之間。藉由施加特定電壓至每一電極，可切換電阻可變層之電阻。低電阻與高電阻的狀態分別表示數位訊號「1」與「0」，可用以儲存資料。上述狀態的轉換不只取決於電阻可變層的材料，亦受電極選擇與電極之界面性質的影響。

【0010】 在本發明一或多個實施例中，具有電阻可變記憶結構之半導體結構係形成於基板的晶片區中。多個半導體晶片區，係以晶片區之間的切割線標記於基板上。基板經多種清潔、形成層狀物、圖案化、蝕刻、與摻雜步驟，可形成半導體基板。用語「基板」一般指的是基體基板，具有多種層狀物與元件結構於其上。在某些實施例中，基體基板包括矽或半導體化合物如砷化鎵、磷化銦、矽鍺合金、或碳化矽。層狀物可為介電層、摻雜層、多晶矽層、或導電層。半導體結構可為電晶體、電阻、及/或電容，可經由內連線層內連線至額外的積體電路。

【0011】 第1圖係本發明至少一實施例中， 形成具有電阻可變記憶結構之半導體結構的方法100其流程圖。第2A至2H圖係以第1圖之方法100，形成具有電阻可變記憶結構之半導體結構的製程剖視圖。此外，可在第1圖之方法100之前、之中、或之後進行其他額外步驟。多個圖式已簡化，以利本技術領域中具有通常知識者理解本發明概念。

【0012】 如第1圖所示，方法100之流程圖由步驟101開始，埋置導電結構於介電層中。在至少一實施例中，介電層可為形成於基板上的多重介電層。至少一導電結構係形成於基板上，並埋置於多重介電層中。

【0013】 第2A圖係具有電阻可變記憶結構之半導體結構200於步驟101之部份放大剖視圖。半導體結構200包含基板(未圖示)如碳化矽、砷化鎵、磷化銮、矽化鍺、或矽基板。在某些實施例中，基板包含多重層狀物於基板的上表面上。舉例來說，層狀物包括介電層、摻雜層、多晶矽層、或導電層。基板更包含多個元件結構形成於這些層狀物中。舉例來說，元件結構包含電晶體、電阻、及/或電容。

【0014】 在第2A至2J圖的實施例中，半導體結構200包含介電層201形成於基板(未圖示)的上表面上。在至少一實施例中，介電層201包含多重介電層203、205、及207。介電層205之抗蝕刻性大於介電層207與203。介電層203、205、與207可為氧化矽、氟化矽酸鹽玻璃(FSG)、摻雜碳之氧化矽、氮化矽、氮氧化矽、四乙氧矽酸鹽(TEOS)氧化物、磷矽酸鹽玻璃(PSG)、硼磷矽酸鹽玻璃(BPSG)、Black Diamond® (購自美國加州 Santa

Clara之 Applied Materials)、非晶氟化碳、低介電常數之介電材料、或上述之組合。上述材料之沉積製程可為化學氣相沉積(CVD)、原子層沉積(ALD)、高密度電漿 CVD (HDPCVD)、或旋塗玻璃。

【0015】 導電結構 209 可埋置於介電層 201 (即介電層 203、205、與 207) 中。在此實施例中，導電結構 209 包含導電內連線、摻雜區、或金屬矽化區。在某些實施例中，導電結構 209 可為鋁、銅、鈦、鉭、鎢、鉬、氮化鉭、矽化鎳、矽化鈷、氮化鈦、氮化鎢、矽、或上述之組合。在第 2A 圖的實施例中，半導體結構 200 之形成方法可為微影圖案化與蝕刻介電層 203 與 205，接著沉積金屬層，再進行平坦化製程於介電層 203 及 205 上，以形成導電結構 209。導電結構 209 之上表面 209A 與介電層 205 之上表面 205A 實質上共平面。介電層 207 之上表面 207A 位於導電結構 209 與介電層 205 上。

【0016】 回到第 1 圖，接著進行方法 100 之步驟 102，以形成開口於介電層中，並露出導電結構的上表面。

【0017】 第 2B 圖係具有電阻可變記憶結構之半導體結構 200 於步驟 102 後的部份放大剖視圖。開口 211 自介電層 207 之上表面 207A 向下延伸至導電結構 209 之上表面 209A，即蝕刻介電層 201 以露出部份導電結構 209。開口 211 亦露出部份介電層 205。開口 211 之形成方法可為合適製程，比如微影圖案化與蝕刻製程。

【0018】 回到第 1 圖，接著進行方法 100 之步驟 103，將第一電極材料填入導電結構上之介電層中的開口，以形成第一電

極。在至少一實施例中，填入開口中的第一電極材料與介電層之上表面實質上等高。

【0019】 第 2C 圖係具有半導體結構 200 於步驟 103 後的剖視圖。第一電極 213 填入導電結構 209 上的開口 211 中。第一電極 213 包含具有適當功函數的第一電極導電材料，使高功函數的牆狀物形成於第一電極 213 與後續形成的電阻可變層之間。第一電極 213 可為鉑、銅鋁合金、氮化鈦、金、鈦、鉭、氮化鉭、鎢、氮化鎢、銅、或上述之組合。在至少一實施例中，可將第一電極導電材料填滿並超出第 2B 圖之介電層 207 (即介電層 201) 之開口 211，其方法可為無電電鍍、濺鍍、電鍍、PVD、或 ALD。接著以適當的平坦化製程如 CMP 或平坦化回蝕刻製程，將超出開口 211 之多餘的第一電極導電材料移除。第一電極 213 係形成於介電層 201 的上側部份中，並埋置於介電層 207 中。第一電極 213 之上表面 213A 與介電層 207 之上表面 207A 實質上共平面。第一電極 213 經由導電結構 209 電性連接至下方的電晶體。

【0020】 回到第 1 圖，接著進行方法 100 之步驟 104，移除至少部份的介電層以露出第一電極。

【0021】 第 2D 圖係具有半導體結構 200 於移除上側部份之介電層 201 (即整個介電層 207) 後露出第一電極 213 的剖視圖。移除介電層 207 之步驟為蝕刻製程，比如乾蝕刻製程、濕蝕刻製程、或上述之組合。在此蝕刻製程中，介電層 205 比介電層 207 之抗蝕刻性高。介電層 205 可作為蝕刻停止層，因此蝕刻製程在移除介電層 207 後將停止於其上表面 205A。在移除介電層

207後，將露出上表面205A上的第一電極213其側壁表面213B。

【0022】 回到第1圖，接著進行方法100之步驟105，沉積電阻可變層與第二電極材料於第一電極上。

【0023】 第2E圖係具有半導體結構200於步驟105後的剖視圖。電阻可變層215係沉積於第一電極213的上表面213A與側壁表面213B上，與介電層205之上表面205A上。藉由施加電壓，可讓電阻可變層215之電阻率由高電阻狀態切換至低電阻(或導電)狀態，在多種實施例中，電阻可變層215包括至少一介電材料如高介電常數之介電材料、二元金屬氧化物、或過渡金屬氧化物。在某些實施例中，電阻可變層215包含氧化鎳、氧化鈦、氧化鉛、氧化鋅、氧化鎢、氧化鋁、氧化鉭、氧化鉬、或氧化銅。電阻可變層215之形成方法可為脈衝雷射沉積(PLD)或ALD，而ALD之前驅物包括鋅與氧。在一實施例中，電阻可變層215之厚度介於約10Å至約500Å之間。

【0024】 第二電極材料217係沉積於電阻可變層215上。第二電極材料217可為合適的導電材料，使後續形成之電阻可變記憶結構得以電性連接至用於電路的內連線結構之其他部份。第二電極材料217可為鉑、鋁銅合金、氮化鈦、金、鈦、鉭、氮化鉭、鎢、氮化鎢、銅、或上述之組合。在至少一實施例中，第二電極材料217之厚度介於約30Å至約3000Å之間。在某些實施例中，第一電極213與第二電極材料217之組成相同。在某些實施例中，第一電極213與第二電極材料217之組成不同。第二電極材料之形成方法可為無電電鍍、濺鍍、電鍍、PVD、或ALD。

【0025】 回到第1圖，接著進行方法100之步驟106，蝕刻部份的第二電極材料與電阻可變層，以形成第二電極於第一電極之側壁上。

【0026】 第2F圖係具有半導體結構200於步驟106後的剖視圖。在至少一實施例中，非等向蝕刻部份的第二電極材料217與電阻可變層215，即可形成間隔物於第一電極213之側壁表面213B上而不需微影圖案化製程。間隔物即保留的電阻可變層215，包含垂直部份215A於第一電極213的側壁表面213B上，以及水平部份215B於介電層205之上表面205A上。間隔物更包括第二電極217A形成於保留的電阻可變層215（即垂直部份215A與水平部份215B）上。至此形成的電阻可變記憶結構包含第一電極213、保留之電阻可變層215如垂直部份215A與水平部份215B、與第二電極217A。

【0027】 在某些實施例中，半導體結構200更包括蓋層216，可視情況（非必要地）形成於保留的電阻可變層215如垂直部份215A與水平部份215B上，與形成於第二電極217A下，如第2G圖所示。蓋層216包含不穩定的導電材料，可自電阻可變層215中奪取氧，並形成空位缺陷於電阻可變層215中。在某些實施例中，蓋層216可為鈦、鉭、或鉛。

【0028】 回到第1圖，方法100可視情況進行步驟107，以形成導電插塞接觸第二電極。

【0029】 第2H圖係具有半導體結構200於步驟107後的剖視圖。ILD層（層間介電層）219可毯覆性地形成於電阻可變記憶結構上。接著對半導體結構200進一步進行化學機械研磨（CMP），

以平坦化ILD層219。ILD層219可包含多重介電層。ILD層219可為氧化矽、氟化矽酸鹽玻璃(FSG)、摻雜碳之氧化矽、氮化矽、氮氧化矽、TEOS氧化物、磷矽酸鹽玻璃(PSG)、硼磷矽酸鹽玻璃(BPSG)、Black Diamond® (購自美國加州Santa Clara之Applied Materials)、非晶氟化碳、低介電常數之介電材料、或上述之組合。

【0030】 蝕刻ILD層219形成開口，以露出部份第二電極217A。接觸插塞221之導電材料可填滿並超出ILD層219中的開口。導電材料可為銅、銅合金、鋁、或鎢，其形成方法可為無電電鍍、濺鍍、電鍍、或化學氣相沉積(CVD)。超出開口之多餘導電材料可由合適製程移除，比如化學機械研磨(CMP)。接觸插塞221之導電材料接觸電阻可變記憶結構的第二電極217A。

【0031】 第2I圖係半導體結構的平面圖。第2H圖係沿著第2I圖之切線A-A'的剖視圖。在第2I圖中，保留之電阻可變層215其垂直部份215A圍繞第一電極213。第二電極217A圍繞保留之電阻可變層215其垂直部份215A。第二電極217A係封閉的環狀物，除了圍繞保留之電阻可變層215其垂直部份215A外，亦圍繞第一電極213。當半導體結構200沿著第2I圖之切線A-A'切開如第2H圖時，第二電極217A分為兩個部份，分別位於第一電極213之相反兩側上。第2H圖中的導電結構209與保留之電阻可變層215之水平部份215B，係分別位於第一電極213與第二電極217A下。如此一來，第2H圖中的導電結構209與水平部份215B並未圖示於第2I圖中。

【0032】 第2J圖係具有電阻可變記憶結構之半導體結構200，在儲存資料之多種操作中的剖視圖。在「形成」操作中，施加「形成」電壓至電阻可變記憶結構的第一電極213與第二電極217A。「形成」電壓需高到足以產生導電部份於電阻可變層的垂直部份215A中。在一實施例中，導電部份包括一或多個導電絲250以提供導電路徑，即電阻可變層之垂直部份215A為「開啓」或低電阻狀態。導電路徑與電阻可變層之垂直部份215A中的空位缺陷(如氧)之排列有關。在某些實施例中，「形成」電壓的施加次數僅為1次。當導電路徑形成後，導電路徑將保留如電阻可變層215A中。其他操作可採用相同電壓或不同電壓，以切斷或再連接導電路徑。

【0033】 在「重置」操作中，「重置」電壓需高到足以切斷電阻可變層215A中的導電路徑。施加「重置」電壓至半導體結構200後，電阻可變層215A為「關閉」或高電阻狀態。

【0034】 在「設定」操作中，「設定」電壓需高到足以再連接電阻可變層215A中的導電路徑。施加「設定」電壓至電阻可變記憶結構後，電阻可變層215A為「開啓」或低電阻狀態。「設定」操作使電阻可變層215A轉為低電阻狀態。施加特定電壓至第一電極213與第二電極217A之間，可切換電阻可變層215A的電阻。低電阻狀態與高電阻狀態可用以表示數位訊號「1」或「0」，並允許儲存資料。

【0035】 第3圖係本發明一或多個實施例中，具有電阻可變記憶結構之半導體結構的形成方法300其流程圖。第4A至4E圖係以第3圖之方法300形成具有電阻可變記憶結構之半導體結

構400的製程剖視圖。在第3圖之方法300之前、之中、或之後可進行額外製程。第4A至4E圖中的某些結構與第2A至2J圖中的實施例實質上相同，因此後述內容將不重複敘述。

【0036】 如第3圖所示，方法300之流程圖由步驟301開始。在至少一實施例中，形成介電層於基板上。至少一導電結構係形成於基板上且埋置於介電層中。部份至少一導電結構露出介電層之上表面。第一電極材料係沉積於導電結構與介電層上。

【0037】 第4A圖係具有電阻可變記憶結構之半導體結構400，在進行步驟301後的部份剖視圖。半導體結構400包含基板(未圖示)。在第4A至4E圖之實施例中，半導體結構400具有介電層401形成基板(未圖示)的上表面上。在至少一實施例中，介電層401包含一或多個介電層。基板與介電層401之材料與形成方法，可參考前述之半導體結構200與形成其中的介電層201，在此不贅述。

【0038】 導電結構409係埋置於介電層401中。在某些實施例中，導電結構409包含鋁、銅、鈦、鉭、鎢、鉬、氮化鉭、矽化鎳、矽化鈷、氮化鈦、氮化鎢、矽、或上述之組合。在第4A圖所示之實施例中，半導體結構400之形成方法可為微影圖案化與蝕刻開口於介電層401中。金屬層係沉積於開口中，再進行平坦化製程於介電層401上，以形成導電結構409。上述製程將露出導電結構409的上表面409A，且上表面409A與介電層401之上表面401A實質上共平面。

【0039】 第一電極材料413係沉積於導電結構409之上表面409A與介電層401之上表面401A上。第一電極材料413可為

鉑、鋁銅合金、氮化鈦、金、鈦、鉭、氮化鉭、鎢、氮化鎢、銅、或上述之組合。第一電極材料413之形成方法可為無電電鍍、濺鍍、電鍍、PVD、或ALD。第一電極材料413經由導電結構409電性連接至下方的電晶體。

【0040】 回到第3圖，接著進行方法300的步驟302，圖案化第一電極材料以形成第一電極。第一電極具有上表面與側壁。

【0041】 第4B圖係半導體結構400，在進行步驟302後的部份剖視圖。圖案化的遮罩層414係形成於第一電極材料413及導電結構409上，其形成方法可為合適製程如沉積、微影圖案化、及/或蝕刻製程。蝕刻製程可移除不在圖案化的遮罩層414下方的第一電極材料413。接著，形成接觸導電結構409的第一電極413A。

【0042】 在蝕刻製程後，自半導體結構400移除遮罩層414，以露出第一電極413A的上表面413B。此外，第一電極413A之側壁表面413C連接至其上表面413B。移除遮罩層414之製程可為乾蝕刻製程、濕蝕刻製程、或上述之組合。

【0043】 回到第3圖，接著進行方法300的步驟303，沉積電阻可變層與第二電極材料於第一電極之上表面與側壁表面上。

【0044】 第4C圖係半導體結構400，在進行步驟303後的剖視圖。電阻可變層415係沉積於第一電極413A之上表面413B與側壁表面413C上，與介電層401之上表面401A上。第二電極材料417係沉積於電阻可變層415上。第二電極材料417可為合適的導電材料，使之後形成的電阻可變記憶結構電性連接至用於電路之內連線結構的其他部份。電阻可變層415與第二電極材

料417之材料與形成方法，可參考前述之半導體結構200中的電阻可變層215與第二電極材料217，在此不贅述。

【0045】 回到第3圖，接著進行方法300的步驟304，蝕刻部份第二電極材料與電阻可變層，以形成第二電極於第一電極之側壁上。

【0046】 第4D圖係半導體結構400，在進行步驟304後的剖視圖。在至少一實施例中，非等向蝕刻部份第二電極材料417與電阻可變層415，不需微影圖案化製程即可形成間隔物於第一電極413A之側壁表面413C上。間隔物包含保留的電阻可變層415 (垂直部份415A與水平部份415B)，垂直部份415A位於第一電極413A之側壁表面413C上，而水平部份415B位於介電層401之上表面401A上。間隔物更包含第二電極417A於保留的電阻可變層415 (即垂直部份415A與水平部份415B)上。經上述製程即形成電阻可變記憶結構，其包含第一電極413A、保留的電阻可變層415 (垂直部份415A與水平部份415B)、與第二電極417A。

【0047】 在某些實施例中，半導體結構400更包括蓋層(未圖示)，可視情況(非必要地)形成於保留的電阻可變層(垂直部份415A與水平部份415B)上，與形成於第二電極417A下。蓋層可為不穩定的導電材料，可自電阻可變層415中奪取氧，並形成空位缺陷於電阻可變層415中。在某些實施例中，蓋層可為鈦、鉭、或鉛。

【0048】 回到第3圖，可視情況進行方法300之步驟305，以形成導電插塞接觸第二電極。

【0049】 第4E圖係具有半導體結構400於步驟305後的剖視圖。ILD層(層間介電層)419可毯覆性地形成於電阻可變記憶結構上。接著對半導體結構400進一步進行化學機械研磨(CMP)，以平坦化ILD層419。蝕刻ILD層419形成開口，以露出部份第二電極417A。接觸插塞421之導電材料可填滿並超出ILD層419中的開口。超出開口之多餘導電材料可由合適製程移除，比如化學機械研磨(CMP)。接觸插塞421之導電材料接觸電阻可變記憶結構的第二電極417A。ILD層419與導電插塞421之材料與形成方法，可參考前述半導體結構200中的ILD層219與導電插塞221，在此不贅述。

【0050】 本發明多種實施例可用以改善電阻可變記憶結構的製程。舉例來說，步驟103對開口211進行填入製程，以形成第一電極213。在形成第一電極213時，方法100之步驟102只採用單一微影圖案化製程以形成開口211。第二電極217A係以間隔物蝕刻製程形成於步驟106中，而不需微影圖案化製程。方法100包含單一微影圖案化製程(見步驟102)形成第一電極213與第二電極217A。相同地，方法300以步驟302中的單一微影製程形成第一電極413A。第二電極417A的形成方法為間隔物蝕刻製程(見步驟304)，不需額外微影圖案化製程。方法300包含單一微影圖案化製程(見步驟302)形成第一電極413A與第二電極417A。與多重微影圖案化製程步驟形成第一與第二電極之習知技藝相較，本發明的缺點較少。在某些實施例中，本發明之製程複雜度與成本都下降。

【0051】 在另一實施例中，第一電極213A之寬度取決於步

驟102。第二電極217A之形成方法為間隔物蝕刻製程，不需額外的微影圖案化製程。半導體結構200之電阻可變記憶結構之尺寸，取決於步驟102中形成開口211之微影圖案化與蝕刻製程能力。以圖案化微影與蝕刻製程的觀點來看，縮小材料層中的開口尺寸(蝕刻部份)，比縮小材料層中的結構尺寸(保留部份)簡單。在此發明中，開口211可定義第一電極213之寬度。本發明提供一種有效技術，以降低電阻可變記憶結構之尺寸，並進一步改善微影圖案化的縮小尺寸能力。

● **【0052】** 本發明一實施例提供之半導體結構包括電阻可變記憶結構。半導體結構亦包括介電層。電阻可變記憶結構位於介電層上。電阻可變記憶結構包括：第一電極位於介電層上。第一電極具有側壁表面。電阻可變層具有第一部份於第一電極之側壁表面上，以及第二部份自第一部份朝遠離第一電極之方向延伸。第二電極位於電阻可變層上。

● **【0053】** 本發明另一實施例提供之半導體結構包括電阻可變記憶結構。半導體結構亦包括導電結構。電阻可變記憶結構位於導電結構上。電阻可變記憶結構包括第一電極位於導電結構上。第一電極具有側壁表面。電阻可變層具有垂直部份與水平部份。垂直部份圍繞第一電極之側壁表面，且水平部份自垂直部份朝遠離第一電極之方向延伸。第二電極位於電阻可變層上，並圍繞電阻可變層之垂直部份。

【0054】 本發明亦提供一種電阻可變記憶結構的形成方法。此方法包括形成第一電極於介電層上。第一電極具有上表面與側壁表面，且側壁表面自上表面朝介電層向下延伸。電阻

可變材料與第二電極材料沉積於第一電極之上表面與側壁表面上。蝕刻部份電阻可變材料與第二電極材料，以形成電阻可變層與第二電極於第一電極之側壁表面上。

【0055】 雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0056】

A-A' 切線

100、300 方法

101、102、103、104、105、106、107、301、302、303、
304、305 步驟

200、400 半導體結構

201、203、205、207、401 介電層

205A、207A、209A、213A、401A、409A、413B 上表

面

209、409 導電結構

211 開口

213、413A 第一電極

213B、413C 側壁表面

215、415 電阻可變層

215A、415A 垂直部份

215B、415B 水平部份

- 216 蓋層
- 217、417 第二電極材料
- 217A 第二電極
- 219、419 ILD層
- 221、421 接觸插塞
- 250 導電絲
- 413 第一電極材料
- 414 遮罩層

申請專利範圍

1. 一種半導體結構，包括：
 - 一介電層；以及
 - 一電阻可變記憶結構位於該介電層上，且該電阻可變記憶結構包括：
 - 一第一電極位於該介電層上，且該第一電極具有一側壁表面；
 - 一電阻可變層，具有一第一部份於該第一電極之側壁表面上，以及一第二部份自該第一部份朝遠離該第一電極之方向延伸；以及
 - 一第二電極位於該電阻可變層上。
2. 如申請專利範圍第 1 項所述之半導體結構，其中該電阻可變層之第二部份位於該第二電極與該介電層之間。
3. 如申請專利範圍第 1 項所述之半導體結構，更包括一導電結構埋置於該介電層中，且該導電結構電性連接至該第一電極。
4. 如申請專利範圍第 1 項所述之半導體結構，其中該電阻可變層包括高介電常數之介電材料、二元金屬氧化物、或過渡金屬氧化物。
5. 如申請專利範圍第 1 項所述之半導體結構，其中該第二電極係圍繞該電阻可變層與該第一電極的一封閉環。
6. 一種半導體結構，包括：
 - 一導電結構；以及
 - 一電阻可變記憶結構位於該導電結構上，且該電阻可變記

憶結構包括：

一第一電極位於該導電結構上，且該第一電極具有一側壁表面；

一電阻可變層具有一垂直部份與一水平部份，其中該垂直部份圍繞該第一電極之側壁表面，且該水平部份自該垂直部份朝遠離該第一電極之方向延伸；以及

一第二電極位於該電阻可變層上，並圍繞該電阻可變層之該垂直部份。

7. 如申請專利範圍第 6 項所述之半導體結構，其中該電阻可變層包括高介電常數之介電材料、二元金屬氧化物、或過渡金屬氧化物。

8. 如申請專利範圍第 6 項所述之半導體結構，更包括一第一介電層與一第二介電層於該電阻可變記憶結構下，其中該第一介電層位於該第二介電層上，且該第一介電層之抗蝕刻性高於該第二介電層之抗蝕刻性。

9. 一種電阻可變記憶結構的形成方法，包括：

形成一第一電極於一介電層上，該第一電極具有一上表面與一側壁表面，且該側壁表面自該上表面朝該介電層向下延伸；

沉積一電阻可變材料與一第二電極材料於該第一電極之該上表面與該側壁表面上；以及

蝕刻部份該電阻可變材料與該第二電極材料，以形成一電阻可變層與一第二電極於該第一電極之側壁表面上。

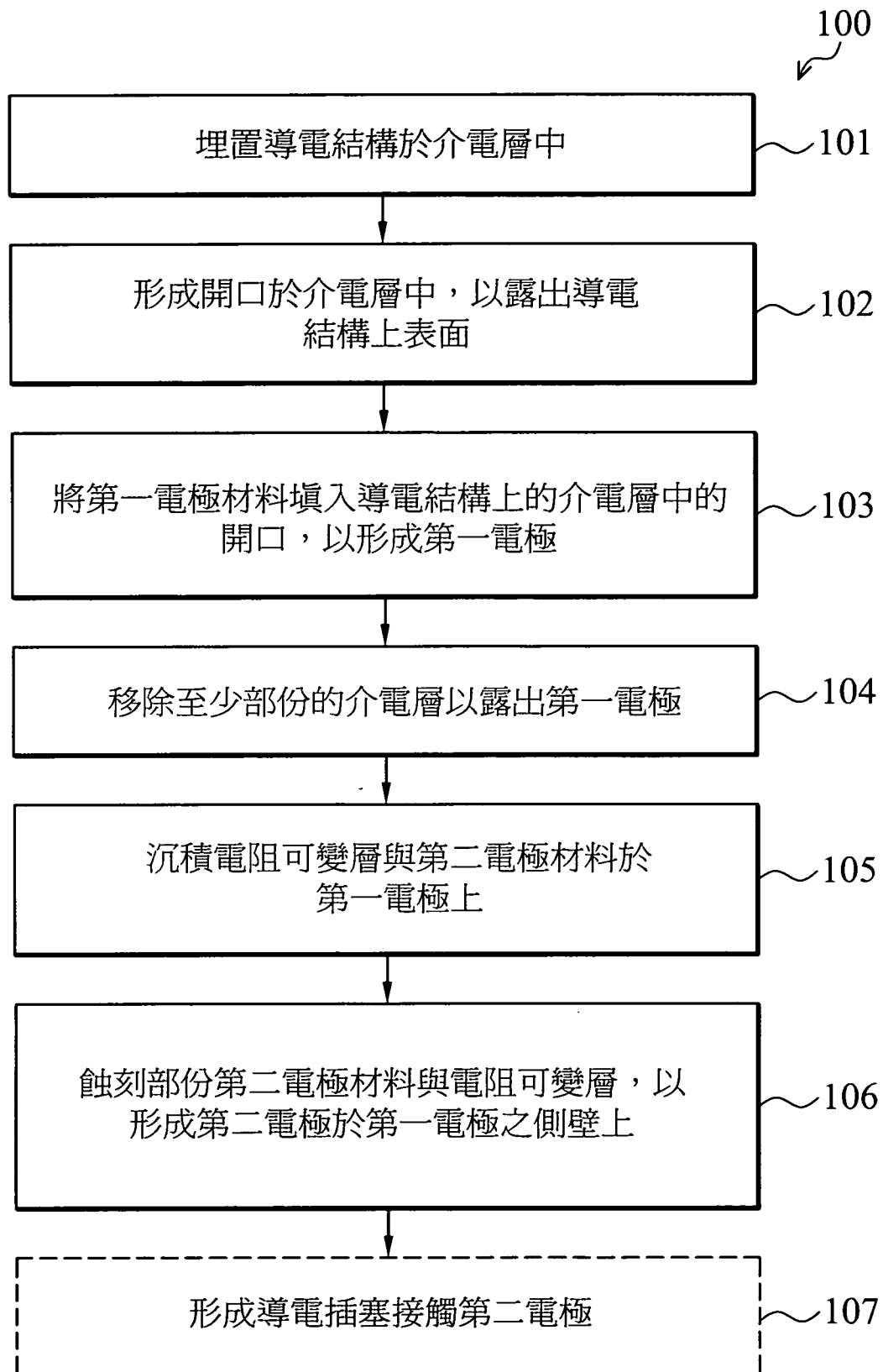
10. 如申請專利範圍第 9 項所述之電阻可變記憶結構的形成方

法，其中形成該第一電極之步驟包括：

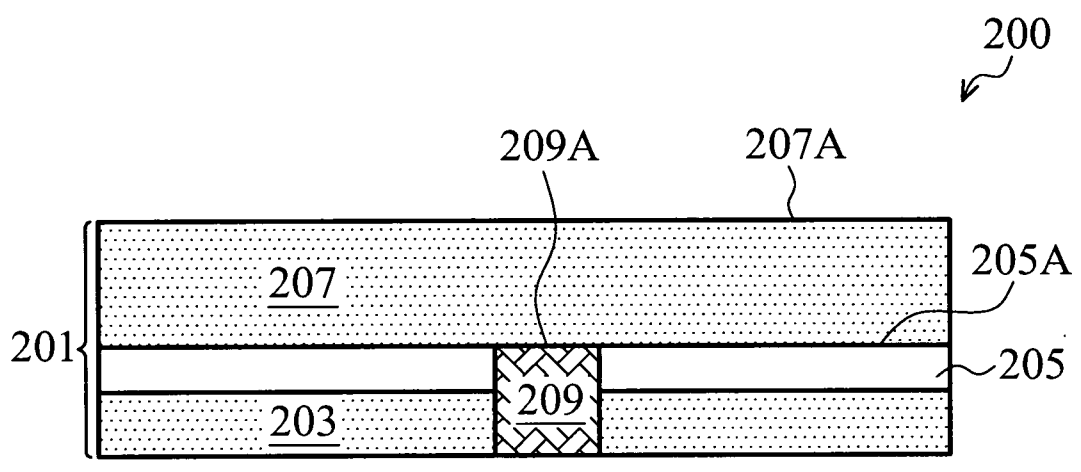
形成一開口於該介電層中；

將一第一電極材料填入該開口，以形成該第一電極；以及
移除部份該介電層，以露出該第一電極之該上表面該側壁
部份其頂部。

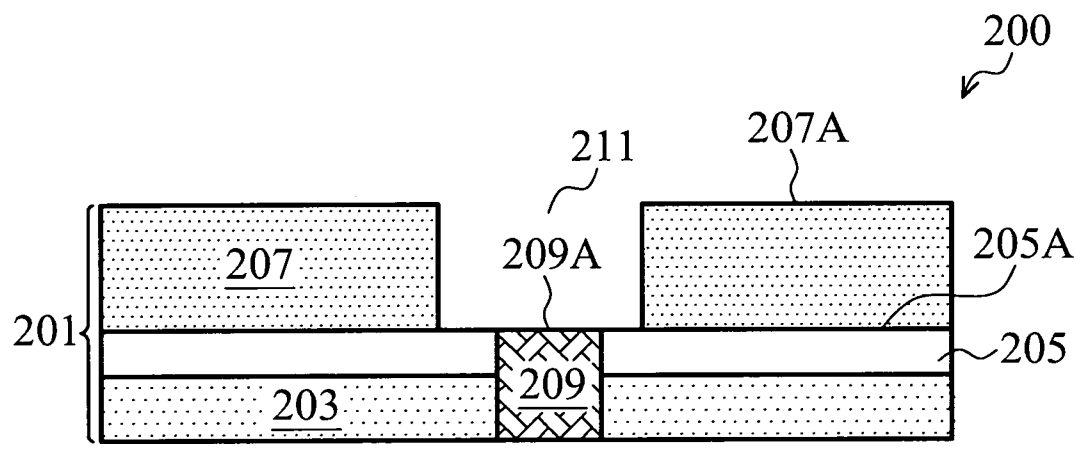
圖式



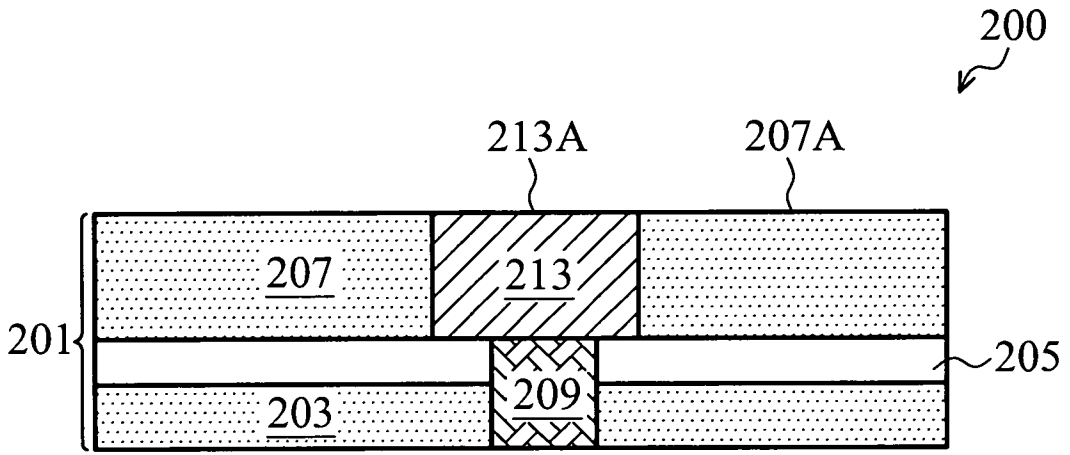
第 1 圖



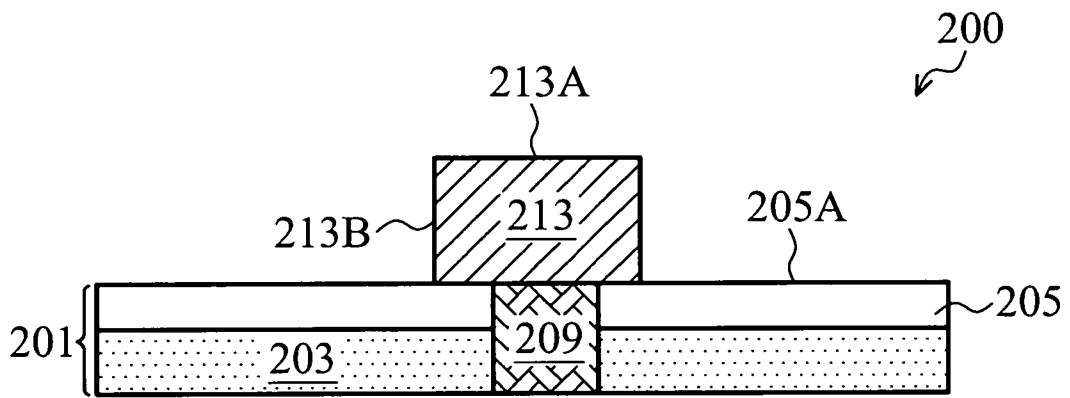
第2A圖



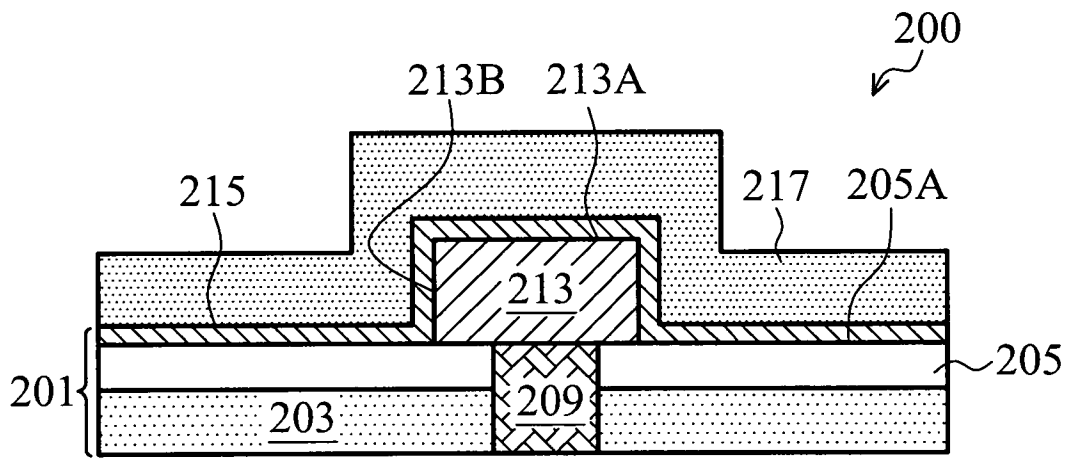
第2B圖



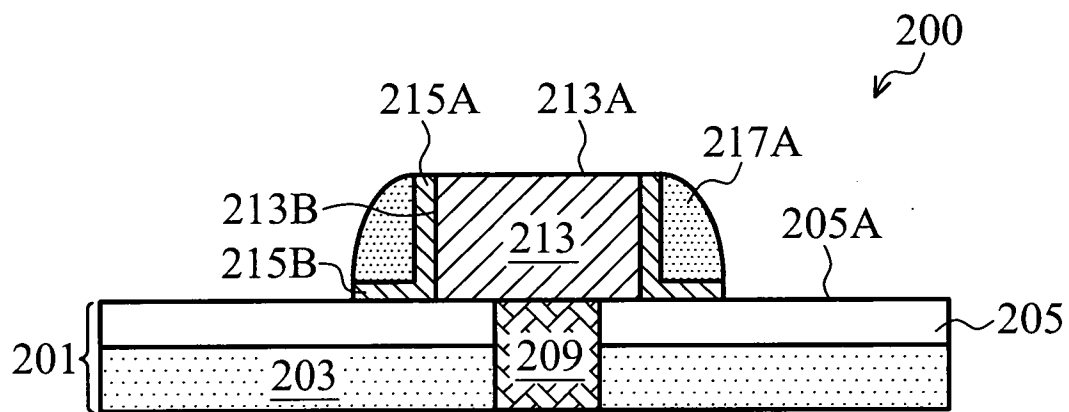
第2C圖



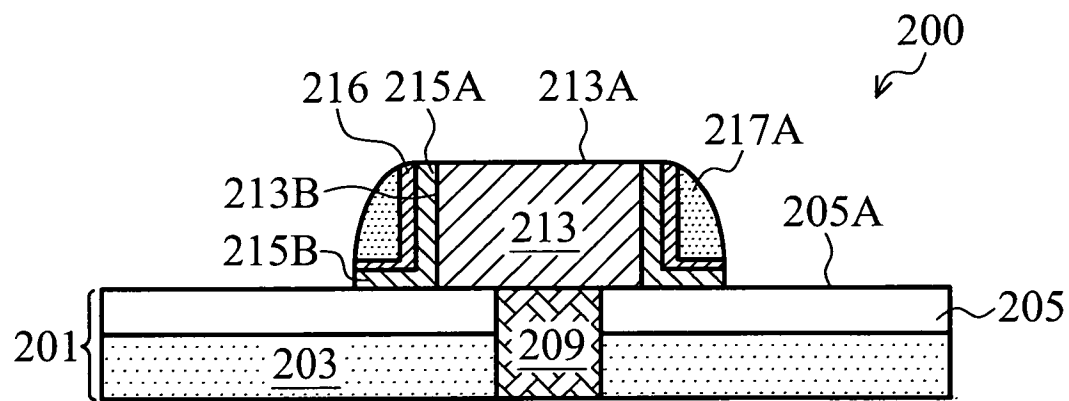
第2D圖



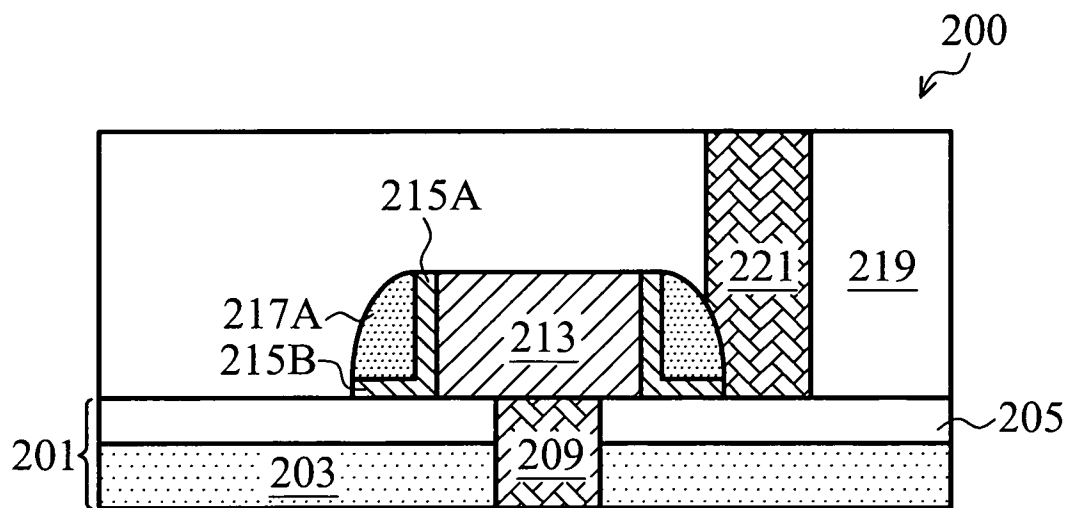
第2E圖



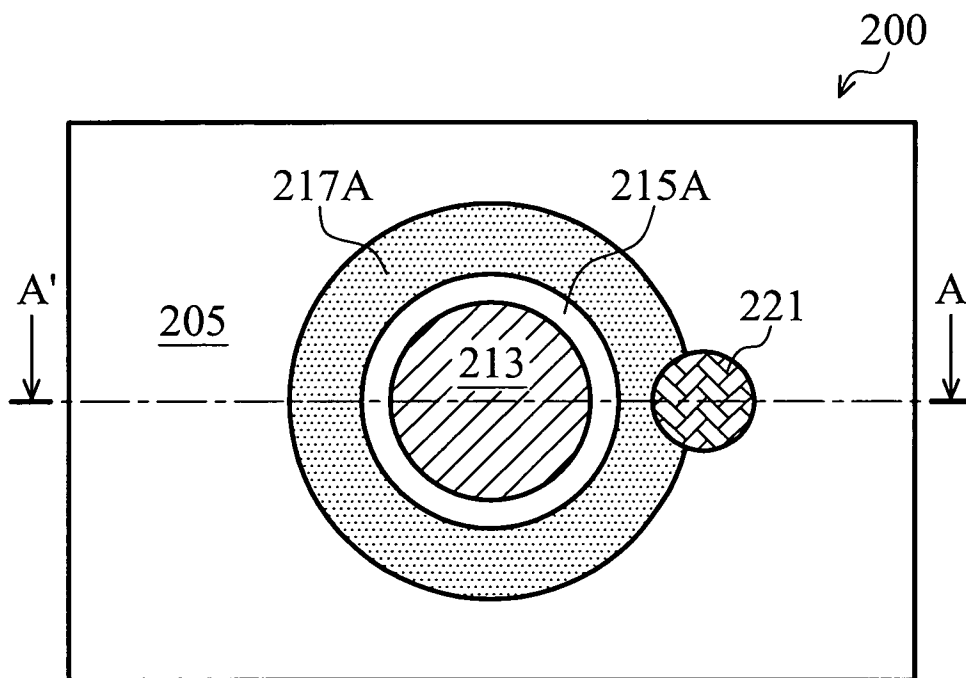
第2F圖



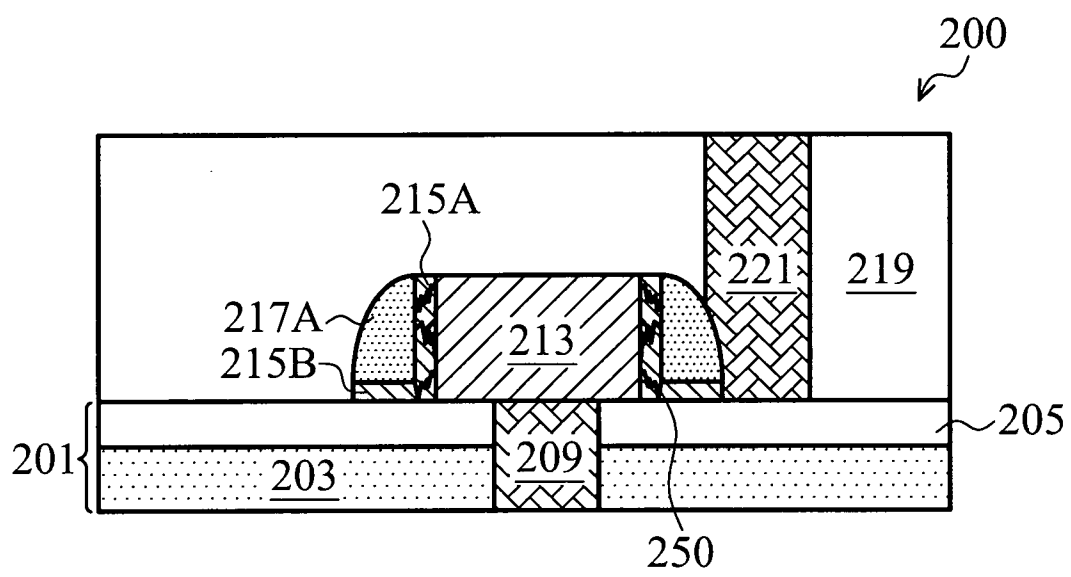
第2G圖



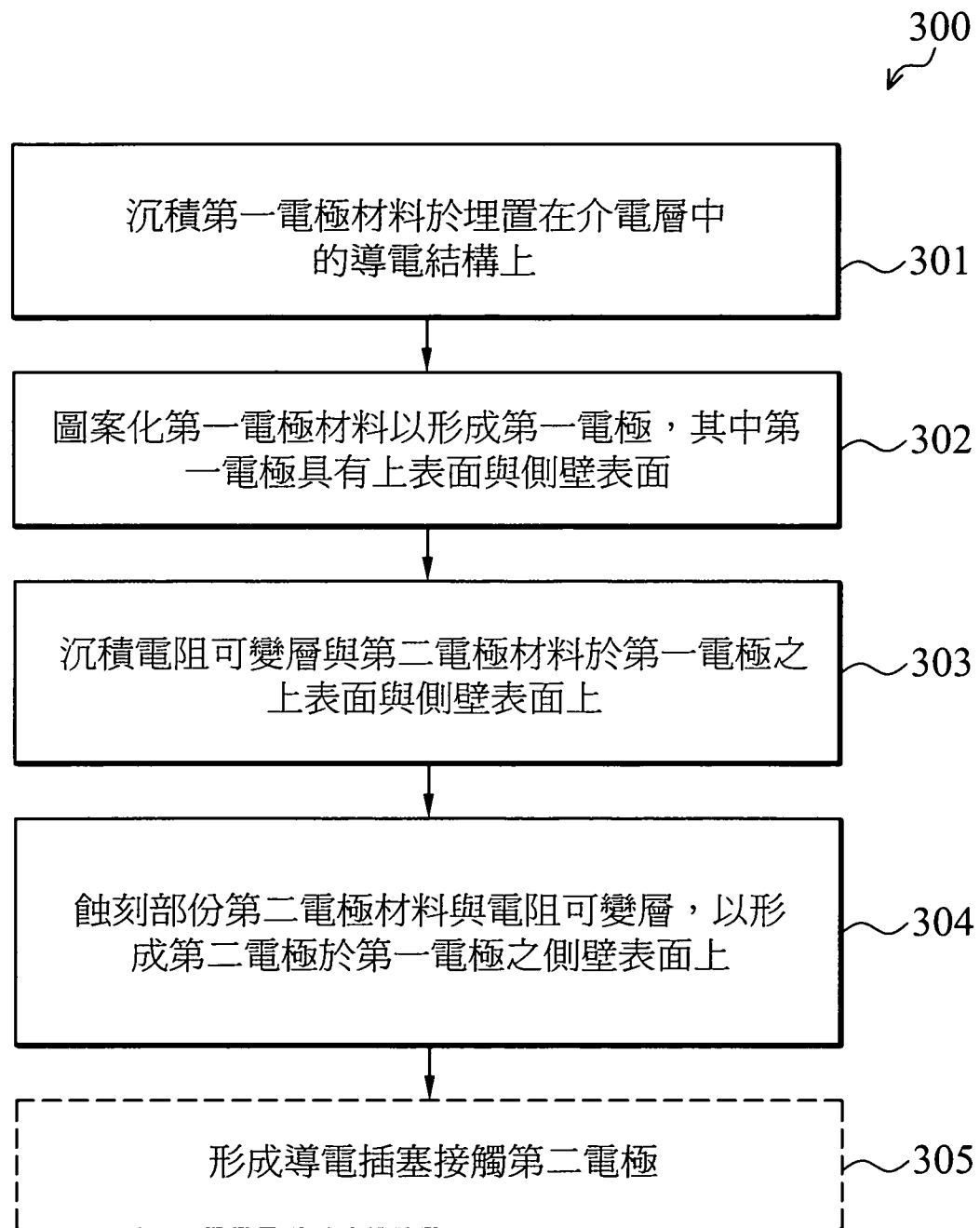
第2H圖



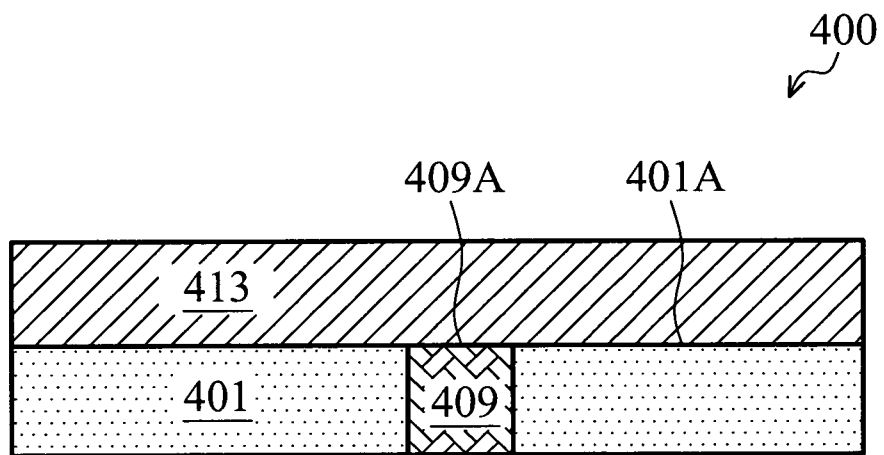
第2I圖



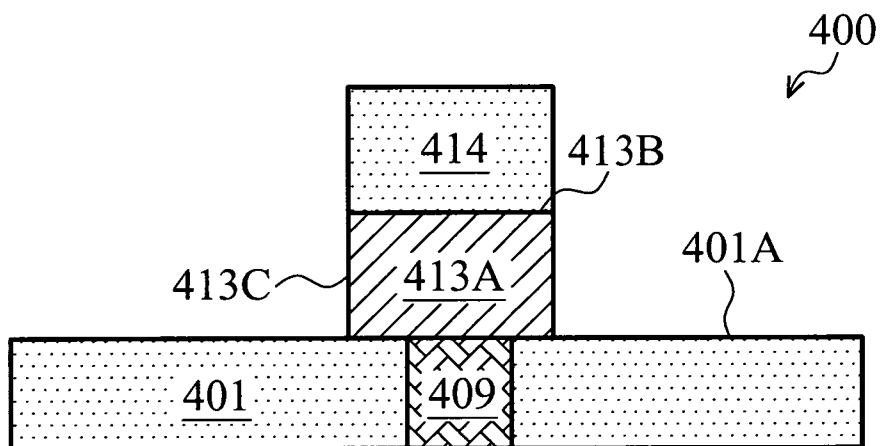
第 2J 圖



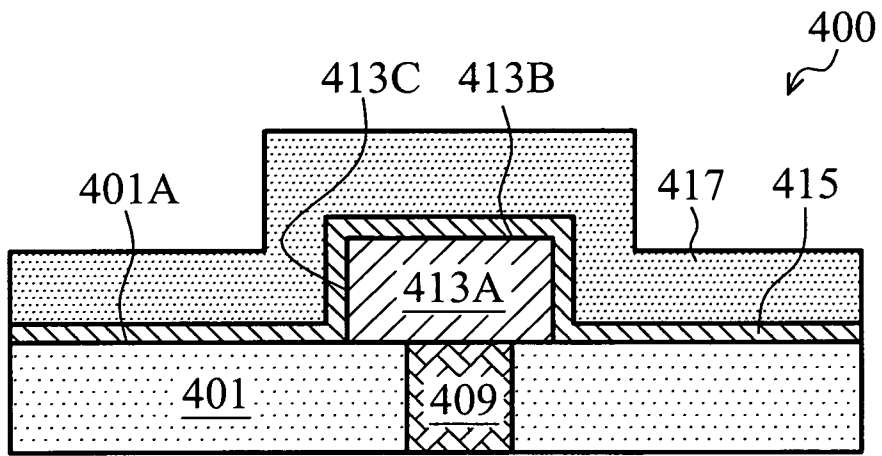
第 3 圖



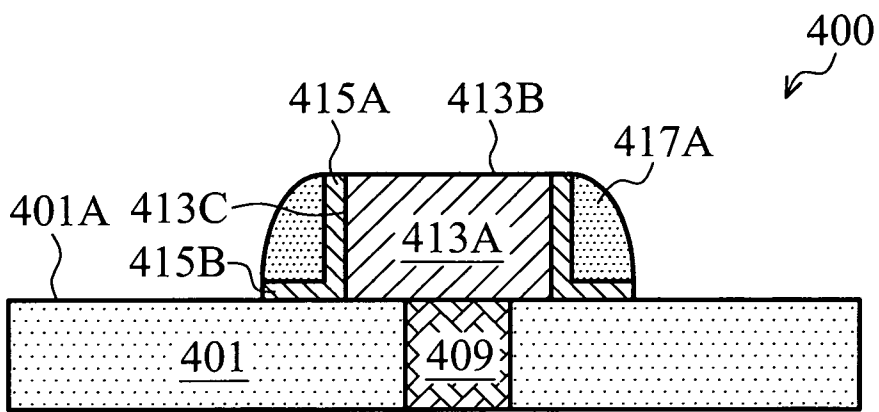
第4A圖



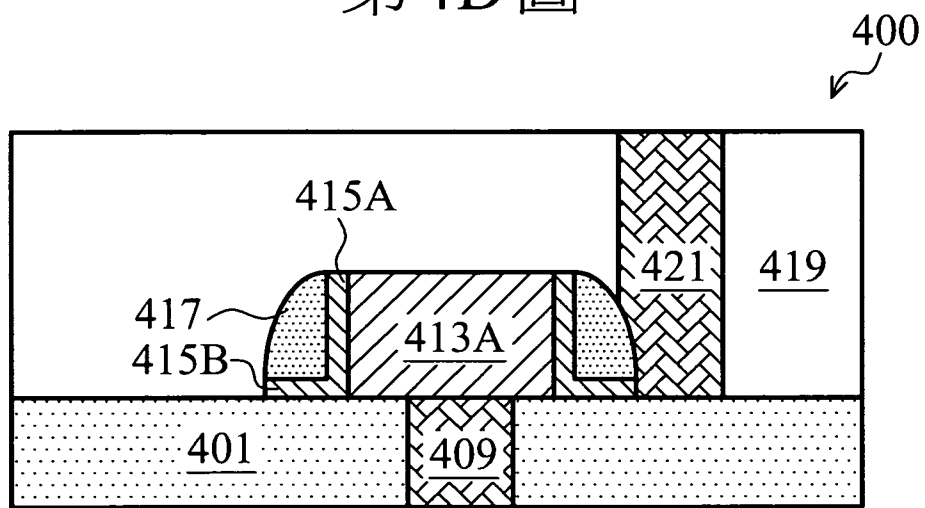
第4B圖



第4C圖



第4D圖



第4E圖