

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/00

[12] 发明专利说明书

[21] ZL 专利号 96110421.X

[45]授权公告日 2000年3月22日

[11]授权公告号 CN 1050693C

[22]申请日 1996.6.20 [24]颁证日 1999.12.10

[21]申请号 96110421.X

[30]优先权

[32]1995.6.20 [33]KR [31]16400/95

[73]专利权人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 权炳仁

[56]参考文献

US5,350,486 1994.9.27 B44C1/22

审查员 赵百令

[74]专利代理机构 中国专利代理(香港)有限公司

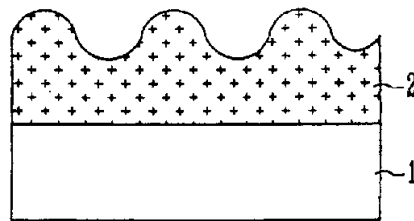
代理人 叶恺东 萧掬昌

权利要求书 1 页 说明书 4 页 附图页数 2 页

[54]发明名称 半导体器件薄膜的平面化方法

[57]摘要

本发明涉及一种半导体器件薄膜平面化方法,它通过改善平面化的方法可以提高器件的产量,该方法是在具有高拓扑结构的绝缘膜上涂敷光致抗蚀剂,用低能量曝光,在显影处理过程中保留处在绝缘膜凹陷部分的光致抗蚀剂,然后利用保留的光致抗蚀剂作为蚀刻阻挡层蚀刻暴露的绝缘膜。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体薄膜平面化的方法，其特征在于包括以下步骤：
在具有拓扑结构的薄膜上涂敷光致抗蚀剂；
使除所述光致抗蚀剂较低部分之外的所述光致抗蚀剂曝光；
除去所述光致抗蚀剂的曝光后的部分，保留在所述薄膜凹陷部分上的所述光致抗蚀剂，由此暴露所述薄膜的峰顶部分；
除去所述薄膜的所述峰顶部分，把涂敷在所述薄膜凹陷部分上的所述光致抗蚀剂在上述除去所述薄膜峰顶部分步骤过程中用作掩模；
以及
除去涂敷在所述薄膜凹槽部分上的所述光致抗蚀剂。
2. 根据权利要求1所述的方法，其特征在于：所述薄膜为绝缘层。
3. 根据权利要求1所述的方法，其特征在于：所述薄膜为多晶硅层。
4. 根据权利要求1所述的方法，其特征在于：所述薄膜为金属层和硅化物层的任意一种。

半导体器件薄膜的平面化方法

本发明涉及半导体器件薄膜的平面化方法，特别涉及半导体器件绝缘膜的平面化方法，它可以通过改善平面化方法提高器件的成品率，该方法是在具有高拓扑结构的绝缘膜上涂敷光致抗蚀剂，利用低能量完全曝光，在显影过程中保留处在绝缘膜凹陷部分的光致抗蚀剂，然后利用保留的光致抗蚀剂作为蚀刻阻挡层蚀刻暴露的绝缘膜。

在半导体器件的生产过程中，导电层一般形成在双层或多层结构中。因此，导电层之间的绝缘和平面化是必要的。这是通过形成绝缘膜来实现的。由于半导体器件集成度提高，底层较高的拓扑结构使得绝缘膜的拓扑结构相应变高。在导电层形成在具有较高拓扑结构的绝缘膜上的情况下，导电层将会断路或连接不良，由此降低了器件的生产率。因此，器件的平面化是非常重要的。现在阐明绝缘膜平面化的常规方法。

用在半导体器件制造过程中的绝缘膜平面化方法的现有技术是利用淀积 BPSG (硼磷硅酸盐玻璃) 然后使之流动，或者连续地形成绝缘膜和光致抗蚀剂，然后蚀刻，前者由于流动处理的限制平面化状态不良，后者由于用于光致抗蚀剂蚀刻的时间而需要许多处理时间，因此使得控制光致抗蚀剂和绝缘膜之间的蚀刻选择率非常困难，并出现不良的平面化状态。

因此，本发明的目的是提供一种半导体器件绝缘膜平面化的方法，它可以克服上述问题，这样的方法是在具有高拓扑结构的绝缘膜上涂敷光致抗蚀剂，使用低能量使其完全曝光，在显影过程中保留处在绝缘膜凹陷部分的光致抗蚀剂，然后利用保留的光致抗蚀剂作为蚀刻阻挡层蚀刻暴露的绝缘膜。

为了达到上述目的，半导体薄膜的平面化方法包括以下步骤：在具有高拓扑结构的薄膜上涂敷光致抗蚀剂，从而平面化该膜；除去部分光致抗蚀剂以保留涂敷在该膜凹陷部分上的光致抗蚀剂，由此暴露该膜的峰顶部分；除去该膜的峰顶部分；除去涂敷在该膜凹陷部分的光致抗蚀剂。

为了更加全面地理解本发明的目的和特征，应该结合附图了解以下的详细说明，其中：

图 1 ~ 图 6 是阐明本发明的半导体器件绝缘膜平面化方法的剖视图。

在各附图中的相同的标号对应于相同部分。

下面将参照附图详细描述本发明。

图 1 ~ 图 6 是阐明本发明的半导体器件绝缘膜平面化方法的剖视图。

图 1 表示器件的剖视图，其中在晶片 1 上形成绝缘膜 2，其中由于底层的高拓扑结构使平面化状态不良。

图 2 表示器件的剖视图，其中在具有高拓扑结构的绝缘膜 2 上涂敷光致抗蚀剂 3，以平面化全部表面。如果光致抗蚀剂具有低粘滞度，由于光致抗蚀剂的厚度在绝缘膜 2 峰顶部分上可较稀薄，绝

缘膜的峰顶部可能由具有低能量的光源曝光。

图 3 表示器件的剖视图，其中由低能量的光源将光致抗蚀剂 3 全部曝光，绝缘膜 2 凹陷部分上的光致抗蚀剂未曝光。由此将光致抗蚀剂 3 分成曝光部分 3B 和非曝光部分 3A。

图 4 表示器件的剖视图，其中在显影处理中除去曝光部分 3B，其中绝缘膜 2 峰顶部分被暴露，绝缘膜的凹陷部被保留的光致抗蚀剂所覆盖。

图 5 表示器件的剖视图，其中通过利用非曝光部分 3A 作为蚀刻阻挡层来蚀刻绝缘膜 2 的暴露部分到要求的深度(在这种情况下，直到光致抗蚀剂 3 的非曝光部分的表面)使表面平面化。

图 6 表示器件的剖视图，其中除去非曝光部分 3A 以完成绝缘膜 2 的平面化。从图 4 的状态中，如图 6 的平面化可以通过控制光致抗蚀剂和绝缘膜之间的蚀刻选择性，然后同时蚀刻较高的绝缘膜和光致抗蚀剂的非曝光部分来获得。

如上所述，本发明具有利用下述方法可以提高器件成品率的突出效果，该方法包括：在具有高拓扑结构的绝缘膜上涂敷光致抗蚀剂来提高平面化，并以低能量全部曝光，在显影处理中保留绝缘膜凹陷部分的光致抗蚀剂，然后利用保留的光致抗蚀剂作为蚀刻阻挡层蚀刻暴露的绝缘膜。

虽然本发明公开的仅仅是绝缘膜的平面化方法，同样的方法也适用于平面化半导体器件中除绝缘膜以外的其它薄膜，如多晶硅膜，金属膜或硅化物膜。

虽然上述描述对优选实施例作了一定程度的说明，但这仅仅是

对本发明原理的阐述。应该理解到本发明不限于这里所公开和阐述的实施例。因此，在本发明的精神和范围内可以作的所有变化皆包含在本发明进一步的实施例中。

说明书附图

图 1

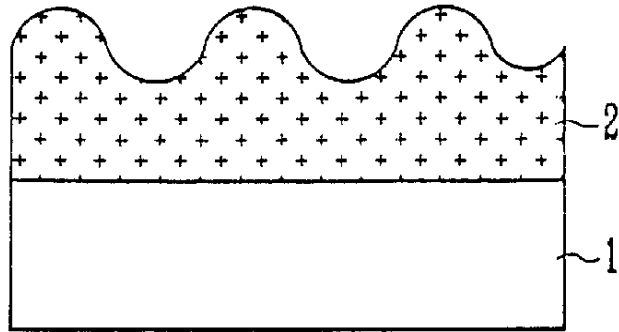


图 2

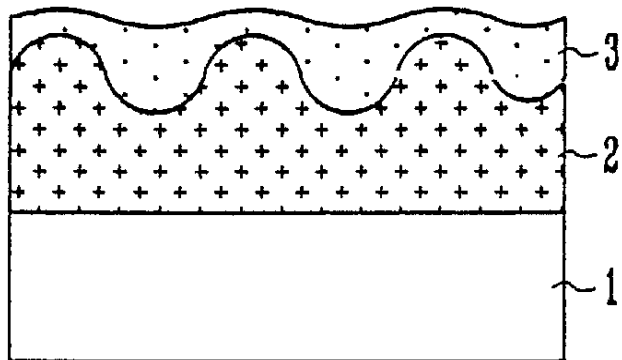


图 3

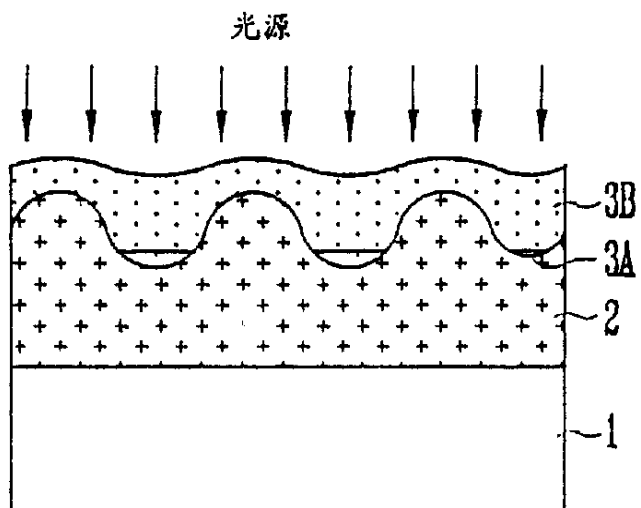


图 4

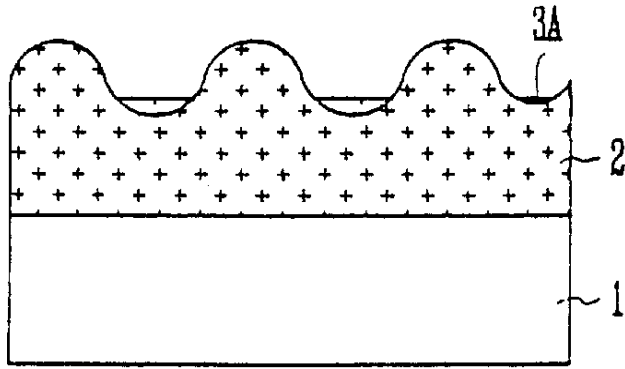


图 5

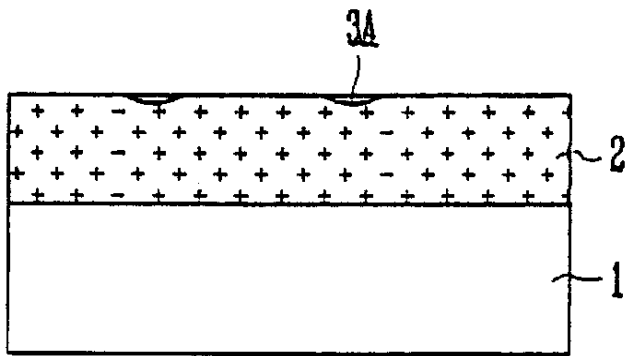


图 6

