

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4095961号
(P4095961)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月14日(2008.3.14)

(51) Int.Cl.		F I			
HO 1 C	13/02	(2006.01)	HO 1 C	13/02	D
HO 1 C	7/10	(2006.01)	HO 1 C	7/10	
HO 1 C	7/00	(2006.01)	HO 1 C	7/00	B

請求項の数 14 (全 11 頁)

(21) 出願番号	特願2003-531482 (P2003-531482)	(73) 特許権者	300002160
(86) (22) 出願日	平成14年8月12日 (2002.8.12)		エプコス アクチエンゲゼルシャフト
(65) 公表番号	特表2005-504438 (P2005-504438A)		EPCOS AG
(43) 公表日	平成17年2月10日 (2005.2.10)		ドイツ連邦共和国 ミュンヘン ザンクト
(86) 国際出願番号	PCT/DE2002/002952		-マルティン-シュトラッセ 53
(87) 国際公開番号	W02003/028045		St. -Martin-Strasse
(87) 国際公開日	平成15年4月3日 (2003.4.3)		53, D-81669 Muenche
審査請求日	平成17年7月14日 (2005.7.14)		n, Germany
(31) 優先権主張番号	101 44 364.1	(74) 代理人	100061815
(32) 優先日	平成13年9月10日 (2001.9.10)		弁理士 矢野 敏雄
(33) 優先権主張国	ドイツ (DE)	(74) 代理人	100094798
			弁理士 山崎 利臣
		(74) 代理人	100099483
			弁理士 久野 琢也

最終頁に続く

(54) 【発明の名称】 電気的な多層素子

(57) 【特許請求の範囲】

【請求項 1】

下記の基体(1)を備えたことを特徴とする電気的な多層素子。

該基体(1)は2つの多層バリスタ(VDR1, VDR2)および抵抗(4)から形成されているフィルタを有しており、

該基体(1)は、上下方向に重ねられているセラミックの誘電体層(2)のスタックを有し、

該基体(1)は、その表面に配置されている少なくとも4つの外部コンタクト(10, 11, 12, 13)を有し、

基体(1)中に、それぞれ上下方向に重ねられていて、誘電体層(2)によって相互に分離されている電極層(9)の2つのスタック(7, 8)が並んで配置されており、

第1のスタックの電極層(7)は、第1の外部コンタクト(10)および第2の外部コンタクト(11)に接続されており、

第2のスタックの電極層(8)は、第3の外部コンタクト(12)および第4の外部コンタクト(13)に接続されており、

なお、前記第1のスタック(7)および第2のスタック(8)は、それぞれ、前記多層バリスタ(VDR1, VDR2)の部分であり、

前記電極層(9)のスタック(7, 8)の上側および下側に、前記抵抗(4)に対応する抵抗(41, 42)がそれぞれ配置されており、かつ、

前記それぞれの抵抗(41, 42)は、前記第1の外部コンタクト(10)および第4の

10

20

外部コンタクト(13)に並列に接続されており、

該基体(1)は、記誘電体層(2)に対して平行に延在している平面(14)に対して対称的に形成されている。

【請求項2】

誘電体層(2)および抵抗(4, 41, 42)は唯一の焼結ステップで共通に焼結されておりかつモノリシック体を形成している、請求項1記載の素子。

【請求項3】

基体(1)に電極層(9)が配置されておりかつ抵抗(4, 41, 42)の平面には電極層(9)が存在していない、請求項1または2記載の素子。

10

【請求項4】

抵抗(41, 42)は外部コンタクト(10, 13)間で複数回曲げられたストリップの形状を有する、請求項1から3までのいずれかに記載の素子。

【請求項5】

該ストリップの長さは少なくともその幅(b)の10倍以上である、請求項4記載の素子。

【請求項6】

抵抗(4, 41, 42)はミアンダの形状を有している、請求項4又は5記載の素子。

【請求項7】

抵抗(4, 41, 42)は、少なくとも0.1の面積抵抗を有している抵抗材料から形成されている、請求項1から6までのいずれか1項記載の素子。

20

【請求項8】

抵抗(4, 41, 42)は、銀およびパラジウムから成る合金を含んでいる抵抗材料から形成されており、ここでパラジウムは合金中15ないし<100重量パーセントの成分を有している、請求項1から6までのいずれか1項記載の素子。

【請求項9】

パラジウムの成分は50および70重量パーセント間にある、請求項8記載の素子。

【請求項10】

抵抗材料は更に、抵抗材料の残りの成分の比抵抗より少なくとも10倍は大きい比抵抗を有している付加材料を70重量パーセントまで含んでいる、請求項1から8までのいずれか1項記載の素子。

30

【請求項11】

付加材料は Al_2O_3 を含んでいる、請求項10記載の素子。

【請求項12】

誘電体層(2)は、焼結温度が950および1200間にあるセラミック材料を含んでいる、請求項1から11までのいずれか1項記載の素子。

【請求項13】

誘電体層(2)は $BaTiO_3$ をベースとしたセラミックを含んでいる、請求項12記載の素子。

【請求項14】

誘電体層(2)はバリスタセラミックを含んでいる、請求項12記載の素子。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、上下に位置しているセラミックの誘電体層を備えた基体を含んでいる電気的な多層素子に関する。更に、基体に外側に、外部コンタクトが配置されている。基体の内部には、この外部コンタクトに接続されている抵抗が配置されている。

【0002】

冒頭に述べた形式の多層素子は通例いわゆるマルチレーヤ・テクノロジーにおいて作製される。このテクノロジーを用いて例えば多層バリスタまたはセラミックコンデンサが製

50

造される。これらの素子に用途に関して特有な特性を付与するために、抵抗の集積が必要であることが多い。この種の抵抗を用いて例えば、周波数特性、挿入減衰またはバリスタに入力結合される電気パルスにおける端子電圧の経過のような特性を都合のいいように変えることができる。公知のセラミック素子は誘電体層に付加的に、導電性の電極層も含んでおりかつ、誘電体層によって相互に分離されている上下にある電極層のスタックを形成する。この種のスタックは例えばコンデンサまたはバリスタも形成することができる。

【0003】

刊行物US5889445から、基体の両方の端面および2つの長手面にそれぞれ1つの外部コンタクトが配置されているという冒頭に述べた形式の多層素子が公知である。これら素子は当業者には、「フィードスルー素子」(“Feedthrough-Bauelemente”)という名称でも公知である。公知の素子では、矩形のストリップに沿ってプリントされた抵抗ペーストの形で2つのセラミック層の間に集積されている抵抗が集積されている。これらは素子の外部コンタクトを、素子に同様に集積されているコンデンサに属している電極層に接続する。抵抗ストラクチャは、容量を形成するために必要である内部電極と同じ平面内に存在している。これにより、従来技術によれば、コンデンサおよび抵抗の直列接続が多層素子に集積される。

【0004】

この公知の抵抗は、抵抗を形成する材料が幅広いストリップに沿って誘電体層にプリントされているという欠点を有している。これにより、これらが通例所望されるように、大きな抵抗値を実現することが困難である。大きな抵抗値の実現は従来技術によれば、特有の抵抗ペーストが使用されるようにすることで可能になる。しかしこれら特有の抵抗ペーストは、セラミック素子の製造の際に通例発生する、 > 1000 という高い焼結温度に持ち堪えることができない。勿論これらの要求に応じてセラミック材料の選択は著しく制限され、このために公知の多層素子には別の欠点が生じることになる。

【0005】

従って本発明の課題は、複数の抵抗を多層素子に集積する際の高度なフレキシビリティを可能にする多層素子を提供することである。

【0006】

本発明のこの課題は、請求項1の特徴部分に記載の構成を有する電氣的な多層素子によって解決される。本発明の別の形態は従属請求項から読み取ることができる。

【0007】

本発明は、上下方向に重ねられているセラミックの誘電体層のスタックを含んでいる基体を備えている電氣的な多層素子を提供する。基体の外部には少なくとも2つの外部コンタクトが配置されている。基体の内部で2つの誘電体層の間に抵抗が配置されている。抵抗は外部コンタクトの2つと接続されている。抵抗はストラクチャ化された層の形状を有しており、該ストラクチャ化された層は外部コンタクト間に電流路として少なくとも1つの複数回曲げられたストリップを形成している。

【0008】

本発明の多層素子は、抵抗を形成する層のストラクチャ化に基づいて実現すべき抵抗値において比較的大きな選択性がありかつ殊に相対的に大きな抵抗値を実現することができるという利点を有している。

【0009】

抵抗が導体路テクノロジーに相応してプリントされたストリップの形で製造されている場合には殊に、ストリップ長さ対ストリップ幅比が重要である。ストリップが長ければ長いほど、その抵抗も大きい。反対に、ストリップの幅が狭くなると抵抗が上昇することが成り立つ。すなわち長さ対幅の大きな比は大きな抵抗を実現するために好都合である。そこで、抵抗をストラクチャ化された層の実現によって、殊に素子のサイズが小さい場合に、2つの外部コンタクト間で限られてしか使用することができないスペースを大きな抵抗を形成するために最適に利用することができる。これに対して、2つの外部コンタクトの間で曲げられていない、只真っ直ぐなだけの抵抗路では非常に小さな抵抗しか実現されな

10

20

30

40

50

いことになる。ストリップ幅の変化、殊にストリップ幅の低減によって抵抗を下げるができるが、ストリップ幅が狭すぎるということは、抵抗の電流容量が僅かであることも意味するので、多層素子の用途に応じて発生するパルス形式の高電流負荷の場合または持続的な直流電流負荷の場合も抵抗が溶融する可能性がある。

【0010】

本発明の有利な実施形態において、抵抗は、多層素子の、電極層が存在していない平面に配置されている。このことは、多層素子の平面の全面積を抵抗の実現のために使用することができることを意味している。従って何回も曲げられているストリップとともに、特別高い抵抗を実現するための最適な大きさの面を使用することができる。

【0011】

本発明の多層素子は抵抗に対するストラクチャ化された層に基づいて、抵抗と誘電体層との共通の焼結を唯一のステップにおいて行うことができる。これにより、マルチレイヤー・テクノロジーにおける使用に普通でありかつよく知られた利点を有しているモノリシック体を形成することができる。

【0012】

特別大きな抵抗を得ることに関連して、更に、抵抗が外部コンタクト間でストリップの形で延在しており、該ストリップの長さが少なくともその幅の10倍以上であるようにすれば有利である。

【0013】

抵抗は本発明の実施形態において、閉じられた層から形成されており、該層は後から切り欠きを備えるように形成することができる。これにより、外部コンタクト間の真っ直ぐな電流路を中断しかつ電流を多数回曲げられたストリップに強制的に導くことができる。これにより、高い抵抗が実現される。

【0014】

本発明の別の実施形態において、抵抗はミアンダの形状を有しているようにすることもできる。多数の曲がり箇所を有しているミアンダ形状のストリップにより、ミアンダ体の長手方向に沿って非常に長い電流路を実現することができる。殊に、沢山の連続する、反対方向に実現される曲げによって、大きな抵抗を実現することができる。

【0015】

抵抗材料は例えば銀およびパラジウムから成る合金を含んでいる抵抗材料から形成されており、ここでパラジウムは合金中15ないし<100重量パーセントの成分を有している。純然たるパラジウムを使用することもできる。この種の材料は多層素子の製造の際のマルチレイヤー・テクノロジーにおいて公知である。しかしこれまで、このような材料からは、良好な導電性が重要である電極層だけが製造されていた。これらの材料は、これらは多数のセラミック材料と一緒に焼結可能であるという利点を有している。このような材料は大して高い抵抗を有していないが、本発明のストラクチャ化によって抵抗を十分に高めることができる。

【0016】

抵抗材料が銀とパラジウムとから成る合金を含んでおり、ここでパラジウムが合金中50および70パーセント間の重量成分を有していると特別有利である。高いパラジウム成分によって銀に比べて悪い、パラジウムの導電性に基づいて抵抗をほぼ係数3だけ高めることができる。

【0017】

更に抵抗は、ストラクチャ化された層において少なくとも0.1の面積ないしシート抵抗を有している抵抗材料から抵抗を形成することによって高めることができる。

【0018】

例えば、抵抗材料に導電成分の他に更に、70重量パーセントまでの割合で添加材料を添加することによって抵抗材料の抵抗を更に高めることができる。この種の添加材料は、導電成分の比抵抗より少なくとも10倍は大きい比抵抗を有していることができる。その際、導電性の構成部分がアイソレーションされずにアイソレーション添加材料のマトリク

10

20

30

40

50

スにあることに注意しなければならない。というのはそもそもはや導電性は存在していないかもしれないからである。

【0019】

添加材料として例えばアルミニウム酸化物 (Al_2O_3) が考慮される。

【0020】

重量比 $Ag/Pd = 70/30$ を有する銀およびパラジウムの合金は厚さ $2\mu m$ の層に対して 0.04 の面積抵抗を有している。その際面積抵抗は矩形の形の考察すべき層の厚さによって割り算された、材料の比抵抗である。その場合層の抵抗は面積抵抗と層長との乗算および引き続く層幅による割り算によって得られる。上記合金の 70 重量パーセントの Al_2O_3 および 30 重量パーセントを含んでいる抵抗材料の製造によって、 0.04 の面積抵抗を 0.12 に高めることができる。

10

【0021】

適当な抵抗材料が使用されれば、誘電体層のセラミック材料に対して、焼結温度が 950 および 1200 の間にある材料を使用することができる。このことは、本発明の多層素子にとって多数のセラミック材料を使用することができ、これにより最適なセラミック材料特性を有する素子を製造することができるという利点を有している。

【0022】

例えば、誘電体層に対して、チタン酸バリウムをベースとしたセラミック材料を使用できる。この種のセラミック材料を用いて例えばコンデンサを実現することができる。

【0023】

更に、誘電体層 2 に対していわゆる「COG」セラミックを使用することが考えられる。この種の材料は例えば (Sm, Ba) $NdTiO_3$ セラミックである。このクラス 1 の誘電体の他に、例えば X7R セラミックのようないわゆるクラス 2 の誘電体も考察される。

20

【0024】

バリスタの製造のために殊に、場合によってはブラセオジウムまたは酸化ビスマスがドーブされている酸化亜鉛が適している。

【0025】

更に、非常に小さな外寸を有している上記のセラミック素子を製造する必要性がある。この場合は大きな抵抗の実現が殊更に困難になる。というのは、これによっては非常に短い直線的な抵抗路しか可能にならないからである。しかし抵抗の本発明のストラクチャによって、十分高い値を実現することができる。

30

【0026】

本発明の特有の実施形態において、多層素子は、2つの隣り合って並んでいる多層バリスタがその中に含まれているように多層素子を構成することができる。1つまたは複数の抵抗の適当な配置により、この種の素子によって、フィルタを実現することができる。この種のフィルタは、多層バリスタは自然に従ってそのバリスタ特性の他にかなりの容量も有しており、それがこの種のフィルタの減衰特性に影響を及ぼすということに基づいている。

【0027】

この種のフィルタは、基体中に、それぞれ上下方向に重ねられていて、誘電体層によって相互に分離されている電極層の2つのスタックが並んで配置されているという素子の形において形成することができる。第1のスタックの電極層は外部コンタクトの第1の対の第1の外部コンタクトおよび第2の外部コンタクトに交互にコンタクト形成されている。この交互のコンタクト形成によって、例えば高い容量を得ることが要求されているコム形式において互いに噛み合っている電極ストラクチャを実現することができる。第1のスタックに相応して、第2のスタックの電極層は外部コンタクトの第2の対の第1の外部コンタクトおよび第2の外部コンタクトに交互にコンタクト形成されている。

40

【0028】

異なった対に属している、基体の互いに相対向している側面にある外部コンタクトを抵

50

抗を通過して接続することによって、2つのこのように形成された多層素子の1つの抵抗によるフィルタに相応する接続が実現される。その際それぞれの対の外部コンタクトは相対向している、基体の側面に存在している。従って全体として基体の2つの相対向している側面にそれぞれ2つの外部コンタクトが配置されている。このことは素子の所謂「フィードスルー」形態に相応する。

【0029】

誘電体層が少なくとも部分的にバリスタセラミックを含んでいることによって、電極層のそれぞれのスタックが多層バリスタの部分であることを考慮することができる。2つの外部コンタクトを接続する抵抗によって、2つのバリスタから1つのフィルタを形成することができる。

10

【0030】

この種のフィルタは高められた結合抵抗に基づいて、改善された減衰特性を有しており、その際バリスタの容量によって定められてくる2つの減衰周波数まで経過する周波数バンド全体を減衰することができる。

【0031】

更に、素子を、誘電体層に対して平行に延在している面に対して対称的に実現すると有利である。このために、例えばスタックの上側および下側にそれぞれ1つの抵抗が配置されていることが必要である。その場合これらの抵抗は並列に切り換えられるべきである。素子の対称的な実施形態では、素子をプリント基板にマウントする際に、高周波用途の場合は殊に、素子の層スタックがプリント基板の下面に載置されるのかまたは上面に載置されるのかについては重要ではなくなるという利点を有している。

20

【0032】

本発明の素子は、上下方向に重ねられているセラミックグリーンシートのスタックの焼結によって特別有利に製造することができる。これにより、モノリシックでコンパクトな、非常に迅速にしてかつ簡単に大量生産で製造することができる素子が生じる。

【0033】

本発明の素子は殊に、小型化された形状において実現されていてよく、その際基体の基面が 2.5 mm^2 より小さい。この種の基面は例えば、長さが 1.25 mm でありかつ幅が 1.0 mm である基体の構造形状によって実現される。この構造形状は名称“0405”としても周知である。

30

【0034】

次に本発明を実施例および所属の各図に基づいて詳細に説明する：

図1は図2のD-Dに沿って切断した見た断面を示し、

図2は本発明の素子の長手方向の断面を示し、

図3は図2のE-Eに沿って切断した見た断面を示し、

図4は図2の素子の平面を示し、

図5は図2の素子の側面を示し、

図6は図2の素子の等価回路を示し、

図7は図1に図示の抵抗の別の可能な実施例を示し、

図8は図1および図7に図示の抵抗の別の可能な実施例を示し、

40

図9は図2の素子の減衰特性を略示している。

【0035】

すべての図に対して、同じ参照符号は同じ要素を表していてもいえる。

【0036】

図2には本発明の多層素子が長手方向断面にて略示されている。それは基体1を有しており、基体には上下方向に積み重ねられた誘電体層2がスタックの形において含まれている。誘電体層2はセラミック材料を含んでいる。これらは図2では点線によって示されている。基体1には更に、上下方向に積み重ねられた電極層9のスタック7,8が含まれている。これらスタック7,8はそれぞれ、バリスタVDR1, VDR2を形成している。バリスタVDR1, VDR2の上方および下方にそれぞれ、抵抗41, 42が配置されて

50

いる。抵抗 4 1 , 4 2 はストラクチャ化された層 5 から形成されており、その形状は殊に図 1 から明らかである。図 2 には、ミアンダの個別の区間部分だけが横断面にて分かるように示されている。図 2 に図示の素子は平面 1 4 に対して対称的に実現されている。この平面は誘電体層 2 に対して平行に延在している。この対称性によって素子は、プリント基板における素子の配向が重要である高周波領域における使用に対して特別な利点を有している。素子の対称的な実現は、対称面に関する素子の位置ないし姿勢を考慮する必要がないことを意味している。

【 0 0 3 7 】

図 1 には、図 2 の素子の断面 D - D が示されている。

【 0 0 3 8 】

図 1 において抵抗 4 1 がどのような形状を有しているかが示されている。それはミアンダの形状を有している。このミアンダは、幅 b を有しているストリップによって形成される。図 1 に図示の例では、幅 b は 5 0 μm である。図 1 に図示のミアンダの長さは約 4 0 0 μm である。その際長さは、集まってミアンダを形成していると考えられる個々の矩形の長さの加算によって決められる。従って抵抗に関して図 1 に示されている本発明の実施例は 8 0 という比 L / B を有している。これにより大きな抵抗が製造される。図 1 に図示の抵抗は約 3 0 Ω である。図 1 に図示のストリップはストラクチャ化された層 5 の形において被着されており、その際層厚は約 2 μm である。図 1 に図示の抵抗は、銀 - パラジウム合金を含んでいる材料から形成されており、その際パラジウムは合金中 3 0 % の重量成分を有している。更に抵抗の出発材料はその他に有機物質および溶媒を含んでいる。これらの今述べた添加物は抵抗材料中に含まれていて、シルク印刷ペーストの形の抵抗がシルクスクリーン印刷法を用いてセラミック層上に被着できるようにする。これら成分は焼結の期間に焼成によって除去される。その際それは有機成分である。

【 0 0 3 9 】

図 1 には更に、抵抗 4 1 が素子の 2 つの外部コンタクト 3 を相互に接続していることが分かる。

【 0 0 4 0 】

図 1 からは更に、図 1 に図示の平面には抵抗 4 1 の他に、コンデンサまたはバリスタに属している電極層が含まれていないことも分かる。従って、図 1 に図示の全体の面は抵抗を形成するミアンダを充填するために使用できるようになっている。

【 0 0 4 1 】

図 3 には図 2 の素子を E - E で切断して見た断面が示されている。図 3 には、左側に電極層 9 のスタック 7 の電極層 9 が見えかつ右側に電極層 9 のスタック 8 の電極層 9 が見えている。複数の同じ形式のこの種の電極層 9 は素子中で上下方向にスタックされている。これらは電極層 9 間に配置されているバリスタ材料に基づいてそれぞれバリスタ V D R 1 , V D R 2 を形成するが、大面積のお互いに向き合っている電極層 9 に基づいて高い容量成分も有している。図 1 と図 3 をつき合わせてみると、特有の実施例による本発明の素子がフィードスルー素子として実現されていることが分かる。電極層 9 のそれぞれのスタック 7 , 8 に外部コンタクトの対 1 0 , 1 1 ないし 1 2 , 1 3 が配属されている。電極層 9 のスタック 7 , 8 内で、電極層 9 と外部コンタクト 1 0 , 1 1 ないし 1 2 , 1 3 とのコンタクト形成が交互に行われる。スタック 7 , 8 によって形成されるバリスタの回路技術的な結合は、図 1 ないし図 2 から明らかであるように、抵抗 4 1 ないし 4 2 によって行われる。

【 0 0 4 2 】

図 4 および図 5 から、外部コンタクト 3 の位置が分かる。これらは基体 1 の 2 つの相対向している側面に配置されている。図 4 の平面が、外部コンタクト 3 は基板 1 の上側ないし相応に下側をも包囲していることが分かる。これにより、素子は上側または下側で表面実装技術によってプリント基板と導電接続することができる。

【 0 0 4 3 】

図 6 には、図 1 ないし図 3 に示されている本発明の素子の等価回路が示されている。そ

10

20

30

40

50

の際2つのバリスタVDR1, VDR2が回路技術的な抵抗Rによって相互に結合されてフィルタを形成していることが明らかである。その際回路技術的な抵抗Rは、図2の2つの抵抗41, 42の並列回路によって生じる。このことは、図2の抵抗42が図1の抵抗41と正確に同じように見えることから生じる。図6において素子の外部コンタクト3には詳細に参照番号が付されているので、素子の物理的な外部コンタクトの回路技術的な対応付けを行うことができる。

【0044】

図7および図8は、図1に図示の抵抗41に代わって使用することができるような抵抗4に対する別の実施例が示されている。これによれば、図7は抵抗4に対する別のミアンダ構造を示している。その際抵抗4を形成する層5はミアンダの形においてストラクチャ 10
化されている。ミアンダは、図1の幅bに相応してよい幅bを持ったストリップによって形成される。図1との相異は、図7のミアンダは基板の長手方向ではなく、横断方向に延在している。

【0045】

図8には、矩形の閉じられた層5から、層5中の切り欠き6の配置によって形成されている抵抗4が示されている。これら切り欠き6は円形であってよいが、これらは別の形状、例えば矩形を有していることもできる。多数の切り欠き6の均一な分配によって本来矩形の層5の抵抗を著しく高めることができる。切り欠き6の効果として、外部コンタクト 20
3間で何回も湾曲している電流路が多数生じることであり、ここでの電流路は高い抵抗を有している。

【0046】

図9には、図2ないし6に示されている素子の挿入減衰が示されている。挿入減衰Sは周波数f [MHz]に関して単位dBで示されている。バリスタVDR1, VDR2に含まれている2つの容量C1, C2によって、共振周波数 f_1, f_2 が形成される。共振周波数 f_1, f_2 の個所で、素子は高められた減衰度を示している。共振周波数 f_1, f_2 の間にも素子は回路を実現している抵抗Rに基づいて非常に良好な減衰度を有している。これは740MHzおよび2.7GHz間の周波数間隔において-20dBより良好である。これにより、素子は、共振周波数 f_1 (C1に属している)と共振周波数 f_2 (C2に属している)との間にある周波数バンドの障害防止に適している。共振周波数 f_1 および f_2 はバリスタVDR1およびVDR2の容量C1およびC2によって定められる。 30
これらは周波数の換算によって $C1 = 40 \text{ pF}$ および $C2 = 20 \text{ pF}$ と突き止めることができる。抵抗Rは図示の実施例では1.8である。

【図面の簡単な説明】

【0047】

【図1】図2のD-Dに沿って切断した見た断面略図

【図2】本発明の素子の長手方向の断面略図

【図3】図2のE-Eに沿って切断した見た断面略図

【図4】図2の素子の平面略図

【図5】図2の素子の側面略図

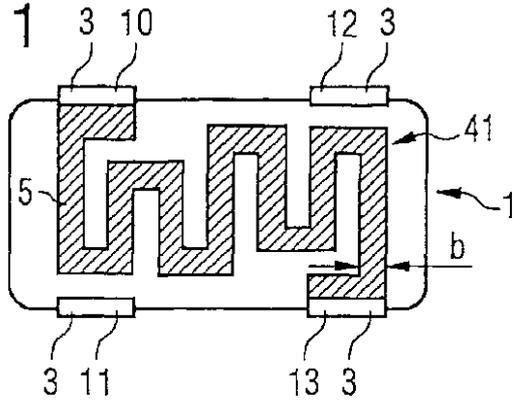
【図6】図2の素子の等価回路図 40

【図7】図1に図示の抵抗の別の可能な実施例の略図

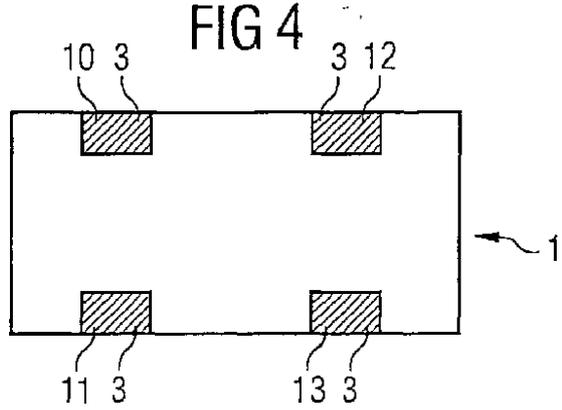
【図8】図1および図7に図示の抵抗の別の可能な実施例の略図

【図9】図2の素子の減衰特性の略図

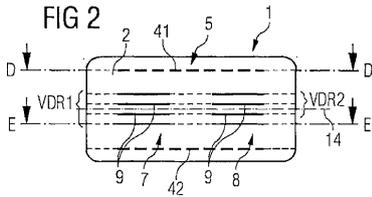
【図1】
FIG 1



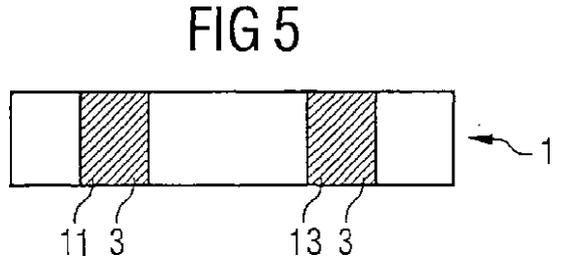
【図4】
FIG 4



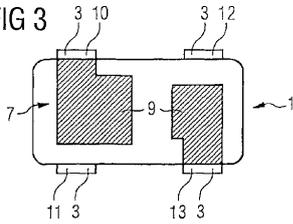
【図2】
FIG 2



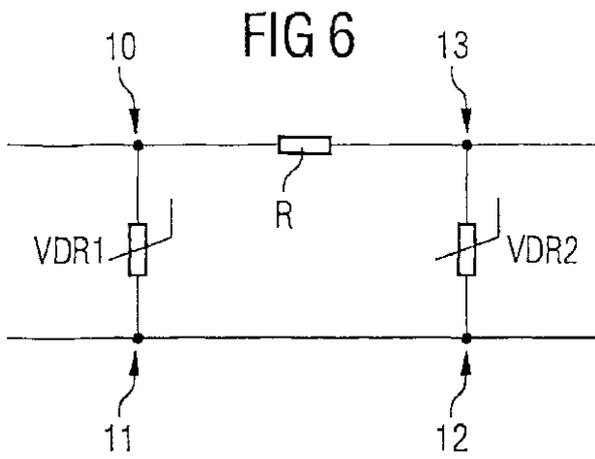
【図5】
FIG 5



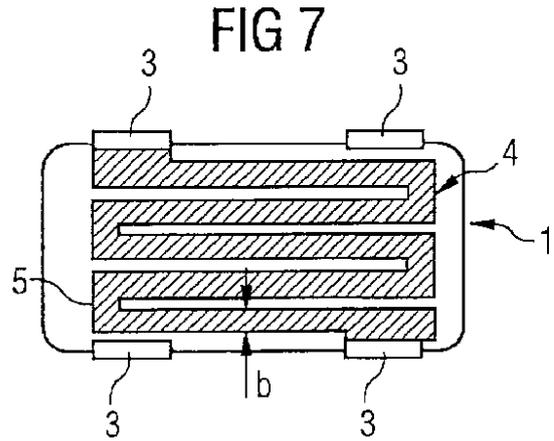
【図3】
FIG 3



【図6】
FIG 6

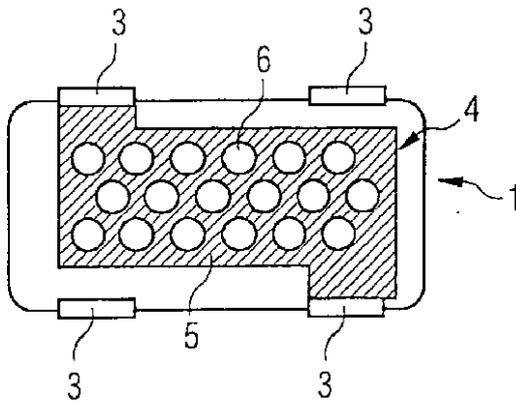


【図7】
FIG 7



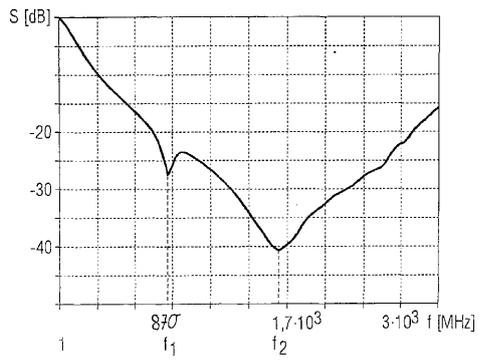
【 図 8 】

FIG 8



【 図 9 】

FIG 9



フロントページの続き

- (74)代理人 100114890
弁理士 アインゼル・フェリックス＝ラインハルト
- (74)代理人 230100044
弁護士 ラインハルト・アインゼル
- (72)発明者 ロベルト クルンブハルス
オーストリア国 ドイチュランツベルク カール - フープマン - シュトラーセ 1
- (72)発明者 アクセル ペツィーナ
オーストリア国 ドイチュランツベルク ホレネグ 43
- (72)発明者 ギュンター グライアー
オーストリア国 グラーツ - ザンクト ペーター アイヒェンヴェーク 37
- (72)発明者 ハラルド ケッペル
オーストリア国 ケフラッハ クノーベルベルクシュトラーセ 41

審査官 鈴木 匡明

- (56)参考文献 特開平10 - 097953 (JP, A)
特開平11 - 162716 (JP, A)
実開昭62 - 055302 (JP, U)
特開平04 - 206602 (JP, A)
特開平11 - 186001 (JP, A)
特開平01 - 283915 (JP, A)
特開平06 - 045109 (JP, A)
特開2001 - 035707 (JP, A)
特開平05 - 006807 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01C 1/00~17/30