

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5335902号
(P5335902)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 550
GO9G 3/36 (2006.01)	GO9G 3/36
GO9G 3/20 (2006.01)	GO9G 3/20 680G
	GO9G 3/20 624C
請求項の数 19 (全 32 頁) 最終頁に続く	

(21) 出願番号 特願2011-514381 (P2011-514381)	(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(86) (22) 出願日 平成22年5月10日(2010.5.10)	
(86) 国際出願番号 PCT/JP2010/057892	(74) 代理人 100115510 弁理士 手島 勝
(87) 国際公開番号 W02010/134439	(72) 発明者 川端 雅江 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(87) 国際公開日 平成22年11月25日(2010.11.25)	(72) 発明者 下敷領 文一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
審査請求日 平成23年10月18日(2011.10.18)	(72) 発明者 山下 祐樹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(31) 優先権主張番号 特願2009-123630 (P2009-123630)	
(32) 優先日 平成21年5月21日(2009.5.21)	
(33) 優先権主張国 日本国(JP)	
	最終頁に続く

(54) 【発明の名称】 液晶パネル

(57) 【特許請求の範囲】

【請求項1】

行及び列を有するマトリクス状に複数の画素が配置された液晶パネルであって、
前記各画素に設けられた補助容量と、
前記行方向に配線されており、当該行方向に配置された各補助容量に接続された、複数の補助容量配線と、
前記複数の画素が配置された画素領域において列方向に配線された複数の枝配線と、
前記枝配線に接続され、前記枝配線から前記補助容量配線を通じて前記補助容量に制御信号を送る制御信号供給部と、
を備え、

前記列方向の縁部に配線された複数の横幹配線を備え、
前記枝配線は前記横幹配線に接続されている、液晶パネル。

【請求項2】

前記行方向の少なくとも一方の縁部に配線され、前記補助容量配線が接続された複数の幹配線を備え、

前記幹配線は前記制御信号供給部に接続されており、前記幹配線から前記補助容量配線を通じて前記補助容量に制御信号が送られる、請求項1に記載された液晶パネル。

【請求項3】

前記複数の枝配線は、複数のグループに分けられており、同一のグループに属する枝配線に同じ制御信号が送られるように前記制御信号供給部に接続されており、

前記複数の補助容量配線は、それぞれ1つのグループに属する枝配線に接続されている、請求項1に記載された液晶パネル。

【請求項4】

前記行方向の少なくとも一方の縁部に配線された複数の幹配線を備え、
前記補助容量配線は、前記複数の幹配線のうち1本の幹配線に接続され、
当該幹配線には、前記制御信号供給部によって、当該補助容量配線が接続された1つのグループに属する枝配線に送られる制御信号と同じ制御信号が送られる、請求項3に記載された液晶パネル。

【請求項5】

前記列方向の縁部に配線された複数の横幹配線を備え、
前記1つのグループに属する枝配線は、他のグループの枝配線が接続される横幹配線とは異なる1本の横幹配線に接続されている、請求項3又は4に記載された液晶パネル。

10

【請求項6】

前記各画素は、それぞれ同様に枝配線が配線されている、請求項1から5までの何れか一項に記載された液晶パネル。

【請求項7】

前記各画素はそれぞれRGBのサブ画素を備え、前記枝配線は前記RGBのサブ画素のうちRのサブ画素を通るように配線されている、請求項1から5までの何れか一項に記載された液晶パネル。

【請求項8】

前記各画素はそれぞれRGBのサブ画素を備え、前記枝配線は前記RGBのサブ画素のうちGのサブ画素を通るように配線されている、請求項1から5までの何れか一項に記載された液晶パネル。

20

【請求項9】

前記各画素はそれぞれRGBのサブ画素を備え、前記枝配線は前記RGBのサブ画素のうちBのサブ画素を通るように配線されている、請求項1から5までの何れか一項に記載された液晶パネル。

【請求項10】

前記液晶パネルは、
液晶層と、
前記液晶層を挟む一对の基板と、
前記一对の基板のうち一方の基板に形成された対向電極と、
前記対向電極に対向して、他方の基板に形成された画素電極と
を備え、
信号電圧変化の方向が逆で変化量が同一の一对の制御信号が供給される2本の枝配線を、前記画素電極が形成された領域を通るように配線した、請求項1から9までの何れか一項に記載された液晶パネル。

30

【請求項11】

前記液晶パネルは、
液晶層と、
前記液晶層を挟む一对の基板と、
前記一对の基板のうち一方の基板に形成された対向電極と、
前記対向電極に対向して、他方の基板に形成された画素電極と
を備え、
前記画素の画素電極が形成された領域を通るように、複数の枝配線が配線されており、
前記枝配線と画素電極との間に形成される容量が等しい、請求項1から9までの何れか一項に記載された液晶パネル。

40

【請求項12】

前記液晶パネルは、
液晶層と、

50

前記液晶層を挟む一对の基板と、
 前記一对の基板のうち一方の基板に形成された対向電極と、
 前記対向電極に対向して、他方の基板に形成された画素電極と
 を備え、

前記画素の画素電極が形成された領域を通るように、複数の枝配線が配線されており、
 前記各枝配線と画素電極との間に形成される複数の容量の最大値が、最小値の2倍以下
 である、請求項1から9までの何れか一項に記載された液晶パネル。

【請求項13】

前記液晶パネルは、
 液晶層と、
 前記液晶層を挟む一对の基板と、
 前記一对の基板のうち一方の基板に形成された対向電極と、
 前記対向電極に対向して、他方の基板に形成された画素電極と
 を備え、

10

前記画素の画素電極が形成された領域を通るように、複数の枝配線が配線されており、
 前記各枝配線が画素電極に重なる投影面積が等しい、請求項1から9までの何れか一項
 に記載された液晶パネル。

【請求項14】

前記液晶パネルは、
 液晶層と、
 前記液晶層を挟む一对の基板と、
 前記一对の基板のうち一方の基板に形成された対向電極と、
 前記対向電極に対向して、他方の基板に形成された画素電極と
 を備え、

20

前記画素の画素電極が形成された領域を通るように、複数の枝配線が配線されており、
 前記各枝配線が画素電極に重なる投影面積の最大値が、最小値の2倍以下である、請求
 項1から9までの何れか一項に記載された液晶パネル。

【請求項15】

前記液晶パネルは、
 液晶層と、
 前記液晶層を挟む一对の基板と、
 前記一对の基板のうち一方の基板に形成された対向電極と、
 前記対向電極に対向して、他方の基板に形成された画素電極と
 を備え、

30

前記枝配線は、前記画素の画素電極が形成された領域を通るように配線されており、
 前記対向電極と画素電極とで形成される容量を $C1c$ とし、
 前記補助容量の容量を Cs とし、
 前記枝配線と画素電極との間に形成される容量を Cx とした場合に、
 $Cx / (C1c + Cs + Cx) = 0.2$ になるように構成された、請求項1から9まで
 の何れか一項に記載された液晶パネル。

40

【請求項16】

前記液晶パネルは、
 液晶層と、
 前記液晶層を挟む一对の基板と、
 前記一对の基板のうち一方の基板に形成された対向電極と、
 前記対向電極に対向して、他方の基板に形成された画素電極と
 を備え、

前記画素電極間に隙間が形成されており、当該隙間を通るように枝配線が配線された、
 請求項1から9までの何れか一項に記載された液晶パネル。

【請求項17】

50

各画素は、輝度レベルが異なる副画素を有し、
当該輝度レベルが異なる副画素は、それぞれ異なる補助容量配線に接続された補助容量を備えており、

前記輝度レベルが異なる副画素に設けられた補助容量には、前記異なる補助容量配線を通じて、信号電圧変化の方向が逆で変化量が同一の一对の制御信号が送られる、請求項 1 から 1 6 までの何れか一項に記載された液晶パネル。

【請求項 1 8】

請求項 1 から 1 7 までの何れか一項に記載された液晶パネルを備えた、液晶表示装置。

【請求項 1 9】

請求項 1 8 に記載された液晶表示装置を備えた、液晶 T V。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、行及び列を有するマトリクス状に複数の画素が配置された液晶パネルに関する。なお、本願は、2009年5月21日に出願された日本国特許出願2009-123630号を基礎として、パリ条約又は移行する国における法規に基づく優先権を主張するものである。当該基礎出願の内容は、本願中に参照として組み込まれている。

【背景技術】

20

【0002】

かかる液晶パネルとして、本発明者は、例えば、WO2006/098449（国際公開第06/098449号パンフレット（特許文献1））などにおいて、いわゆるマルチ画素駆動（「面積階調表示」、「面積階調駆動」又は「マルチ画素表示」などとも呼ばれる。）技術を提案している。

【0003】

かかる液晶パネルには、行及び列を有するマトリクス状に複数の画素が配置されている。当該技術では、1つの画素内に、液晶層に印加される実効電圧を異ならせる2つの副画素が設けられている。そして、当該副画素毎に、異なる補助容量が設けられている。当該補助容量には、振動電圧が付与される。かかるマルチ画素駆動では、補助容量に供給する電圧の極性を反転させることによって、副画素毎に明暗をつけている。

30

【0004】

この場合、各副画素の補助容量は、例えば、行方向に配線された複数の補助容量配線（「Csバスライン」などとも呼ばれる。）に接続されている。当該補助容量配線は、行方向の両側に配線された幹配線（「Cs幹線」などとも呼ばれる。）に接続されている。そして、幹配線、補助容量配線を通して、補助容量に制御信号が送られている。

【0005】

また、同公報には、上記の補助容量の制御信号について、電気的な抵抗等により、波形なまり（波形なまり：waveform rounding (rounding of waveforms)）が生じることが記載されている（例えば、WO2006/098449、段落0120～0121）。かかる波形なまりが生じる問題について、同公報では、補助容量配線に付与する制御信号の振動周期を長くすることによって改善することが開示されている。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第06/098449号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、T V用のディスプレイなどの用途において、液晶表示装置は大画面化が進ん

50

でいる。大画面化が進むと上述した補助容量への配線経路は長くなる。このため、上述した波形なまりの現象も生じ易い。また、かかるTV用のディスプレイなどの用途では、パネル前面は額縁状のフレームで囲まれている。同じ画面サイズでも、ディスプレイの幅をより小さくするため、額縁状のフレームの幅を狭くすることが求められている（狭額縁化の要請）。上述した波形なまりの現象を低減させる1つの方法としては、液晶パネルの行方向両側に設けられた幹配線を太くして、幹配線の抵抗を小さくすることが挙げられる。しかし、幹配線を太くすることは、かかる狭額縁化の要請に反する。狭額縁化の要請に対応するために、幹配線を細くすると、補助容量への配線経路における抵抗が高くなり、波形なまりの現象が生じ易くなる。そこで、本発明は、かかる液晶表示装置の補助容量に制御信号を送る配線について、今までにない構造を提案する。

10

【課題を解決するための手段】

【0008】

本発明に係る液晶パネルは、行及び列を有するマトリクス状に複数の画素が配置されている。各画素には補助容量が設けられている。また、行方向には、当該行方向に配置された各補助容量に接続された複数の補助容量配線が配線されている。また、複数の画素が配置された画素領域には、複数の枝配線が列方向に配線されている。そして、枝配線は制御信号供給部に接続され、枝配線から補助容量配線を通じて補助容量に制御信号が送られる。この液晶パネルによれば、行方向の両側縁部に幹配線を設ける必要が必ずしもなく、幹配線を設ける場合でも、幹配線を細くすることができる。これにより、液晶パネルの行方向両側縁部の省スペース化（狭額縁化）を図ることができる。また、枝配線は画素領域に複数設けることができる。このため、各補助容量までの配線経路を短くできるとともに、補助容量までの配線経路の抵抗を低く抑えることができる。これにより、補助容量の制御信号の「波形なまり」を改善できる。なお、ここで「枝配線」は、本明細書の記載を基に定義される。

20

【0009】

この場合、液晶パネルは、行方向の少なくとも一方の縁部に、補助容量配線が接続された複数の幹配線が配線されていてもよい。この場合、幹配線は制御信号供給部に接続されており、幹配線から補助容量配線を通じて補助容量に制御信号が送られるように構成されているとよい。また、液晶パネルは、列方向の縁部に枝配線が接続された複数の横幹配線を備えていてもよい。

30

【0010】

また、複数の枝配線は、複数のグループに分けられており、同一のグループに属する枝配線に同じ制御信号が送られるように制御信号供給部に接続されていてもよい。この場合、複数の補助容量配線は、それぞれ1つのグループに属する枝配線に接続されているとよい。また、この場合、行方向の少なくとも一方の縁部に配線された複数の幹配線を備えていてもよい。補助容量配線は、前記複数の幹配線のうち1本の幹配線に接続され、当該幹配線には、制御信号供給部によって、当該補助容量配線が接続された1つのグループに属する枝配線に送られる制御信号と同じ制御信号が送られるように構成するとよい。さらに、列方向の縁部に配線された複数の横幹配線を備えていてもよい。この場合、1つのグループに属する枝配線は、他のグループの枝配線が接続される横幹配線とは異なる1本の横幹配線に接続されているとよい。

40

【0011】

また、各画素には、それぞれ同様に枝配線が配線されていてもよい。例えば、各画素にそれぞれRGBのサブ画素がある場合、枝配線はRGBのサブ画素のうちRのサブ画素を通るように配線されていてもよい。また、枝配線はRGBのサブ画素のうちGのサブ画素を通るように配線されていてもよい。また、枝配線はRGBのサブ画素のうちBのサブ画素を通るように配線されていてもよい。

【0012】

液晶パネルは、液晶層と、液晶層を挟む一对の基板と、一对の基板のうち一方の基板に形成された対向電極と、対向電極に対向して、他方の基板に形成された画素電極とを備え

50

ていてもよい。この場合、信号電圧変化の方向が逆で変化量が同一の一对の制御信号が供給される2本の枝配線を、画素電極が形成された領域を通るように配線してもよい。これにより、枝配線と画素電極との間に形成される容量（容量性カップリング：capacitive coupling）の影響が、当該2本の枝配線によって相殺され、枝配線と画素電極との間に形成される容量による影響を低減できる。

【0013】

また、画素の画素電極が形成された領域を通るように、複数の枝配線が配線されている場合には、枝配線と画素電極との間に形成される容量（容量性カップリング）を等しくしてもよい。これにより、当該複数の枝配線に信号電圧変化の方向が逆で変化量が同一の一对の制御信号が供給された場合に、枝配線と画素電極との間に形成される容量（容量性カップリング）の影響が相殺される効果大きい。また、各枝配線と画素電極との間に形成される複数の容量の最大値が、最小値の2倍以下であってもよい。この場合でも、当該複数の枝配線に信号電圧変化の方向が逆で変化量が同一の一对の制御信号が供給された場合に、枝配線と画素電極との間に形成される容量（容量性カップリング）の影響が相殺され、枝配線と画素電極との間に形成される容量（容量性カップリング）の影響が低減される。なお、より好ましくは、複数の容量の最大値が、最小値の1.5倍以下であるとよい。

10

【0014】

また、画素の画素電極が形成された領域を通るように、複数の枝配線が配線されている場合において、各枝配線は画素電極に重なる投影面積を等しくしてもよい。例えば、画素電極が形成された基板の平面図において、枝配線と画素電極とが重なる面積が、当該複数の枝配線において等しいとよい。これにより、信号電圧変化の方向が逆で変化量が同一の、一对の制御信号が、当該複数の枝配線に供給された場合に、枝配線と画素電極との間に形成される容量（容量性カップリング）の影響が相殺される効果大きい。また、画素の画素電極が形成された領域を通るように、複数の枝配線が配線されており、各枝配線が画素電極に重なる投影面積の最大値が、最小値の2倍以下であってもよい。この場合でも、信号電圧変化の方向が逆で変化量が同一の、一对の制御信号が、当該複数の枝配線に供給された場合に、枝配線と画素電極との間に形成される容量（容量性カップリング）の影響が相殺され、枝配線と画素電極との間に形成される容量（容量性カップリング）の影響が低減される。なお、より好ましくは、各枝配線が画素電極に重なる投影面積の最大値が、最小値の1.5倍以下であるとよい。

20

30

【0015】

また、他の形態として、枝配線は、画素の画素電極が形成された領域を通るように配線されており、対向電極と画素電極とで形成される容量を $C1c$ とし、補助容量の容量を Cs とし、枝配線と画素電極との間に形成される容量を Cx とした場合に、 $Cx / (C1c + Cs + Cx) \leq 0.2$ になるように構成されていてもよい。この場合、表示品位上の問題が生じない程度に、枝配線と画素電極との間に形成される容量による影響を相対的に小さくできる。なお、画素の画素電極が形成された領域を通るように、複数の枝配線が配線されている場合には、各枝配線と画素電極との間に形成される容量 Cx が、それぞれ $Cx / (C1c + Cs + Cx) \leq 0.2$ になるように構成されているとよい。

【0016】

また、画素電極間に隙間が形成されており、枝配線は、前記画素電極間の隙間を通るように配線されていてもよい。この場合、容量性カップリングの発生を抑制できる。

40

【0017】

また、各画素は、輝度レベルが異なる副画素を有していてもよい。この場合、当該輝度レベルが異なる副画素は、それぞれ異なる補助容量配線に接続された補助容量を備えているとよい。そして、輝度レベルが異なる副画素に設けられた補助容量には、信号電圧変化の方向が逆で変化量が同一の一对の制御信号が、異なる補助容量配線を通じて送られるとよい。

【図面の簡単な説明】

【0018】

50

【図 1】液晶表示装置の縦断面図。

【図 2】液晶パネルのアレイ基板を示す平面図。

【図 3】液晶パネルのカラーフィルタ基板を示す平面図。

【図 4】液晶パネルのサブ画素を示す平面図。

【図 5】液晶パネルのサブ画素の回路構成を示す図。

【図 6】液晶パネルの補助容量配線の配線構造を示す図。

【図 7】液晶パネルの制御ブロック図。

【図 8】液晶パネルのサブ画素の回路構成を示す図。

【図 9】画素電極の電荷の変化を示す図。

【図 10】画素電極の電荷の変化を示す図。

10

【図 11】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 12】制御信号に生じる波形なまりを示す図。

【図 13】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 14】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 15】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 16】本発明の一実施形態に係る液晶パネルの回路構成を示す平面図。

【図 17】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 18】本発明の一実施形態に係る液晶パネルの等価回路を示す図。

【図 19】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 20】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

20

【図 21】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 22】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 23】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 24】本発明の一実施形態に係る液晶パネルの等価回路を示す図。

【図 25】本発明の一実施形態に係る液晶パネルの等価回路を示す図。

【図 26】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 27】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 28】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 29】本発明の一実施形態に係る液晶パネルの回路構成を示す図。

【図 30】補助容量配線に生じるリップルを示す図。

30

【発明を実施するための形態】

【0019】

以下、本発明の一実施形態に係る液晶パネルを図面に基づいて説明する。

【0020】

この液晶パネル 10 は、図 13 に示すように、行方向に複数の Cs バスライン 43c (補助容量配線) が配線された画素領域 10a に、複数の枝配線 310 を列方向に配線している。そして、当該枝配線 310 を、Cs バスライン 43c に接続し、当該枝配線 310 から Cs バスライン 43c を通じて補助容量に制御信号を送るように構成している。このように枝配線 310 から Cs バスライン 43c を通じて補助容量 Cs に制御信号 c を送る配線経路を複数形成することによって、補助容量 Cs に制御信号 c を送る配線経路の抵抗を小さくし、補助容量 Cs に送られる制御信号 c の「波形なまり」を小さく抑えている。また、かかる液晶パネル 10 によれば、液晶表示装置の狭額縁化を図ることができる。以下、かかる液晶パネル 10 を詳細に説明する。

40

【0021】

ここでは、先ず、枝配線 310 が形成されていない液晶パネル 10 (図 11 参照) を備えた液晶表示装置の構造を概略的に説明し、Cs バスライン 43c (補助容量配線) に生じる「波形なまり」を説明する。その後、枝配線 310 が形成された液晶表示装置 (図 13 参照) を説明し、どのように「波形なまり」が改善され、狭額縁化が図られるかを説明する。なお、液晶表示装置の構成については一例を示すに過ぎず、液晶表示装置の具体的な構成は以下の実施形態に限定されない。また、図面は、実際の製品の構成を必ずしも反映

50

しない。また、実質的に同じ作用を奏する部材や部位には適宜に同じ符号を付している。また、同一の符号に添えた括弧内の数字や文字は、同じ作用を奏する部材や部位が複数存在する場合に、当該部材や部位を区別するのに用いている。

【 0 0 2 2 】

図 1 は、液晶表示装置 1 0 0 の断面構成を模式的に示している。この液晶表示装置 1 0 0 は、図 1 に示すように、液晶パネル 1 0 と、バックライト 2 0 とを備えている。液晶パネル 1 0 は、概して、全体として矩形の形状を有しており、一对の透光性基板 1 1 及び 1 2 (ガラス基板) で構成されている。この実施形態では、両基板 1 1 及び 1 2 のうち、表側はカラーフィルタ基板 1 1 (C F 基板) であり、裏側がアレイ基板 1 2 (T F T 基板) である。

10

【 0 0 2 3 】

この実施形態では、図 1 に示すように、カラーフィルタ基板 1 1 とアレイ基板 1 2 は、それぞれ画素領域 1 0 a を有している。ここで、画素領域 1 0 a は、画素が形成されている領域であり、表示領域ともいう。カラーフィルタ基板 1 1 及びアレイ基板 1 2 は、互いに対向して配置されている。カラーフィルタ基板 1 1 とアレイ基板 1 2 の間には、画素領域 1 0 a の周囲 (外周縁部) を周方向に囲むように、シール材 1 5 が設けられている。

【 0 0 2 4 】

カラーフィルタ基板 1 1 とアレイ基板 1 2 の間には液晶層 1 3 が設けられている。液晶層 1 3 は、液晶分子を含む液晶材料が封入されている。かかる液晶材料は、カラーフィルタ基板 1 1 及びアレイ基板 1 2 の間の電界印加に伴って液晶分子の配向方向が操作され、光学特性が変化する。シール材 1 5 はかかる液晶層 1 3 の液晶材料を封止している。

20

【 0 0 2 5 】

以下、アレイ基板 1 2 とカラーフィルタ基板 1 1 を順に説明する。図 2 及び図 3 は液晶パネル 1 0 の画素領域 1 0 a を拡大した図である。このうち図 2 はアレイ基板 1 2 の画素領域部分の平面図を示し、図 3 はカラーフィルタ基板 1 1 の画素領域部分の平面図を示している。図 2 及び図 3 中の破線 A で囲まれた領域は、この液晶パネル 1 0 の 1 画素を構成する領域を示している。この液晶パネル 1 0 には、図 2 及び図 3 に示す画素 A が行及び列を有するマトリクス状に配列されている。また、図 4 は、画素 A に構成される 1 つのサブ画素 A_R を拡大した平面図である。また、図 5 は、画素 A に構成されるサブ画素 A_R、A_G、A_B に構成される回路図である。なお、図 5 は、液晶パネル 1 0 のうち i 行 j 列 (i , j) に位置する 1 つのサブ画素の回路構成を示している。

30

【 0 0 2 6 】

この実施形態では、アレイ基板 1 2 は、図 2 及び図 4 に示すように、ガラス基板の表側 (液晶層 1 3 側) に、画素電極 4 2 a、4 2 b、バスライン 4 3 a ~ 4 3 c (bus line)、配向膜 4 6 (垂直配向膜)、薄膜トランジスタ 4 7 a、4 7 b (T F T : thin film transistor) が形成されている。画素電極 4 2 a、4 2 b は透明導電材料である I T O (indium tin oxide : 酸化インジウムスズ) からなる。これらの画素電極 4 2 a、4 2 b には画像に応じた電圧がバスライン 4 3 a ~ 4 3 c 及び薄膜トランジスタ 4 7 a、4 7 b (図 2 参照) を介して所定のタイミングで供給される。画素電極 4 2 a、4 2 b 及びバスライン 4 3 a ~ 4 3 c (図 2 参照) は絶縁層を介在させて配線されている。さらに、アレイ基板 1 2 には、ポリイミド等からなる配向膜 4 6 が形成されている。この配向膜 4 6 の表面には、電圧を印加していないときの液晶分子の配向方向を決定するために、配向処理が施されている。また、この実施形態では、アレイ基板 1 2 は、補助容量 C_s を備えている。かかる補助容量 C_s の構造は後で詳述する。

40

【 0 0 2 7 】

また、カラーフィルタ基板 1 1 は、図 3 に示すように、ガラス基板の裏側 (液晶層 1 3 側) にブラックマトリクス 5 2、カラーフィルタ 5 3、対向電極 5 5 及び配向膜 5 6 (垂直配向膜) が形成されている。ブラックマトリクス 5 2 は、画素間の領域を光が透過しないようにするため、C_r (クロム) 等の金属により形成されている。カラーフィルタ 5 3 には赤 (R)、緑 (G)、青 (B) の 3 色がある。図 2 及び図 3 に示すように、赤 (R)

50

、緑（G）、青（B）のカラーフィルタは、アレイ基板12のR・G・Bの画素電極42a、42bにそれぞれ対向している。ブラックマトリクス52及びカラーフィルタ53の下側（アレイ基板12に対向する側）にはITO（indium tin oxide）からなる対向電極55が形成されている。また、対向電極55の下側には配向膜（図示省略）が形成されている。この配向膜（図示省略）の表面にも配向処理が施されている。

【0028】

カラーフィルタ基板11とアレイ基板12の間には、さらに球形又は円柱形のスペーサ（図示省略）が挟まれている。スペーサは、例えば、プラスチックやガラスなどにより形成されている。カラーフィルタ基板11とアレイ基板12とのギャップは、上述したシール材15及びスペーサによって保持され、液晶層13の間隔が維持されている。

10

【0029】

また、図1に示すように、カラーフィルタ基板11の表面側及びアレイ基板12の裏面側にはそれぞれ偏光板17、18が貼り付けられている。この実施形態では、上述したように配向膜46、56が垂直配向膜で構成された液晶パネル（いわゆる垂直配向モードの液晶パネル）が構成されている。かかる垂直配向モードの液晶パネルでは、2枚の偏光板17、18の偏光軸は互いに直交する。また、この実施形態では、図1に示すように、液晶パネル10の表側には、ベゼル30が装着されている。これに対して、液晶パネル10の裏側には、フレーム32が装着されている。ベゼル30とフレーム32は、液晶パネル10を支持する。さらに、フレーム32は、液晶パネル10の画素領域10aに相当する部分の周りを支持している。液晶パネル10の画素領域10aに相当する部分では、フレーム32は開口している。この液晶表示装置100のバックライト20は、かかる液晶パネル10の裏側に装着されている。

20

【0030】

バックライト20は、図1に示すように、液晶パネル10の裏側（図1中の右側）に配置された外部光源である。この実施形態では、バックライト20は、複数の光源22（例えば、冷陰極管や発光ダイオード（LED）など）と、バックライトシャーシ24とを備えている。バックライトシャーシ24は、表側（液晶パネル10側）に向けて開口した箱形状を有している。バックライトシャーシ24内には、複数の光源22が配置されている。バックライトシャーシ24の開口には、複数枚の光学シート26が積層されて配置されている。

30

【0031】

光学シート26は、例えば、裏側から順に、拡散板、拡散シート、レンズシート、及び輝度上昇シートを有している。バックライトシャーシ24は、上述した液晶パネル10に光源22を向けた状態で、フレーム32の裏側に装着されている。この際、光学シート26は、液晶パネル10のフレーム32の裏面とバックライトシャーシ24の表面とに挟まれる。また、液晶表示装置100は、図1に示すように、制御部200を備えている。制御部200は、表示する画像や映像に応じて、バックライト20の輝度（明るさ）を調整する回路（例えば、冷陰極管インバータ回路などの調光回路）を備えている。かかる制御部200は、例えば、光源22に投入する電力を調整して、バックライト20の明るさを調整する。

40

【0032】

この液晶パネル10は、カラーフィルタ基板11とアレイ基板12に制御された電圧を印加される。これにより、液晶パネル10の液晶層13中の液晶分子が操作される。かかる液晶パネル10では、画素A毎（より詳しくは、RGBで規定されるサブ画素A_R、A_G、A_B毎）に、液晶層13中の液晶分子が操作される。これにより、画素A毎（より詳しくは、RGBで規定されるサブ画素A_R、A_G、A_B毎）に、バックライト20の光を遮断又は通過させ、さらに光の透過率が変えられる。さらに、液晶表示装置100は、バックライト20の輝度等も制御しつつ所望の画像を表示させる。なお、この実施形態では、図2に示すように、液晶表示装置100は、RGBで規定されるサブ画素A_R、A_G、A_Bは、それぞれさらに2つの副画素Pa、Pbに分割されている。

50

【 0 0 3 3 】

以下に、液晶パネル 1 0 の駆動回路を説明する。

【 0 0 3 4 】

アレイ基板 1 2 において、図 5 に示すように、バスライン 4 3 a は、薄膜トランジスタ 4 7 a、4 7 b のソース電極 1 2 1 に制御信号（データ信号）を送るソースバスライン（データ信号線）である。また、バスライン 4 3 b は、薄膜トランジスタ 4 7 a、4 7 b のゲート電極 1 2 2 に制御信号（走査信号）を送るゲートバスライン（走査信号線）である。また、バスライン 4 3 c は、補助容量 C s に制御信号を送るバスライン（C s バスライン、補助容量配線）である。

【 0 0 3 5 】

この実施形態では、ソースバスライン 4 3 a は、図 2 に示すように、液晶パネル 1 0 の列方向に沿って配線されている。また、ソースバスライン 4 3 a は、R G B で規定される各サブ画素 A_R、A_G、A_B の横を、それぞれ縦断するように配置されている。また、この実施形態では、ゲートバスライン 4 3 b は、液晶パネル 1 0 の行方向に沿って配線されている。ゲートバスライン 4 3 b は、各サブ画素 A_R、A_G、A_B の中央部分を横断するように配置されている。また、C s バスライン 4 3 c は、液晶パネル 1 0 の行方向に沿って配線されている。C s バスライン 4 3 c は、各サブ画素 A_R、A_G、A_B の列方向の間隙を横断するように配置されている。ソースバスライン 4 3 a は、ソースドライバ 7 1 に接続されている。また、ゲートバスライン 4 3 b は、ゲートドライバ 7 2 に接続されている。また、C s バスライン 4 3 c は、液晶パネル 1 0 の行方向の両側に配線された幹配線

【 0 0 3 6 】

この実施形態では、各サブ画素 A_R、A_G、A_B は、図 4 及び図 5 に示すように、ソースバスライン 4 3 a とゲートバスライン 4 3 b との交差部分に、薄膜トランジスタ 4 7 a、4 7 b（T F T）が配設されている。薄膜トランジスタ 4 7 a、4 7 b は、ソース電極 1 2 1 と、ゲート電極 1 2 2 と、ドレイン電極 1 2 3 a、1 2 3 b とを備えている。この実施形態では、ソース電極 1 2 1 は、ソースバスライン 4 3 a から薄膜トランジスタ 4 7 a、4 7 b の配設位置に延びている。このソース電極 1 2 1 は、上下の薄膜トランジスタ 4 7 a、4 7 b で共通している。ゲート電極 1 2 2 は、ゲートバスライン 4 3 b に設けられている。ドレイン電極 1 2 3 a、1 2 3 b は、それぞれ上下の副画素 4 2 a、4 2 b の領域に配設されている。ソース電極 1 2 1 と、ゲート電極 1 2 2 と、ドレイン電極 1 2 3 a、1 2 3 b との間には、半導体（図示省略）が介在している。

【 0 0 3 7 】

また、各副画素 P a、P b は、補助容量 C s を備えている。図 4 に示す形態では、補助容量 C s は、C s バスライン 4 3 c と、絶縁膜（図示省略）を介在させて C s バスライン 4 3 c に対向する補助容量電極 1 4 2 a、1 4 2 b とで構成されている。この実施形態では、かかる補助容量電極 1 4 2 a、1 4 2 b は、それぞれ引出配線 1 4 4 a、1 4 4 b によって、薄膜トランジスタ 4 7 a、4 7 b のドレイン電極 1 2 3 a、1 2 3 b に接続されている。補助容量電極 1 4 2 a、1 4 2 b は、層間絶縁膜（図示省略）を貫通するコンタクトホール 1 4 2 a 1、1 4 2 b 1 を通じて各副画素 P a、P b の画素電極 4 2 a、4 2 b に接続されている。

【 0 0 3 8 】

C s バスライン 4 3 c は複数の幹配線 1 8 1 ~ 1 8 4 が配線された幹配線群 1 8 0 に接続されている。なお、幹配線群 1 8 0 は、まとめて配線された複数の幹配線 1 8 1 ~ 1 8 4 を総称している。幹配線群 1 8 0 は、液晶パネル 1 0 の周辺部（この実施形態では、液晶パネル 1 0 の行方向の両側部）に配線されている。図 6 は、C s バスライン 4 3 c と、幹配線 1 8 1 ~ 1 8 4 との接続構造を示す図である。

【 0 0 3 9 】

C s バスライン 4 3 c は、図 6 に示すように、液晶パネル 1 0 の行方向に沿って配線されている。また、C s バスライン 4 3 c は、液晶パネル 1 0 の列方向に間隔をあけて複数

10

20

30

40

50

並べられている。各Csバスライン43cには、図2に示すように、それぞれ液晶パネル10の行方向に並べられた副画素Pa、Pbの補助容量Csが接続されている。これに対して、幹配線181~184は、図6に示すように、液晶パネル10の行方向の両側縁部に、液晶パネル10の列方向に沿って配線されている。そして、例えば、図6に示す形態では、幹配線群180に4本の幹配線181~184が配線されている。この場合、1本の幹配線には、液晶パネル10の列方向に並べられたCsバスライン43cが、当該列方向において4本おきに接続されている。

【0040】

図6に示す例では、8本のCsバスライン43c(1)~(8)が、液晶パネル10の列方向に順に配設されている。この場合、Csバスライン43cは、液晶パネル10の列方向に4本おきに、同じ幹配線181~184に接続されている。すなわち、Csバスライン43c(1)、43c(5)は、幹配線181に接続されている。Csバスライン43c(2)、43c(6)は、幹配線182に接続されている。Csバスライン43c(3)、43c(7)は、幹配線183に接続されている。Csバスライン43c(4)、43c(8)は、幹配線184に接続されている。なお、図示は省略するが、かかる液晶パネル10の副画素Pa、Pbに設けられた補助容量Csに接続されたCsバスライン43cは、それぞれ異なる幹配線に接続されているとよい。

【0041】

なお、図6に示す例では、液晶パネル10の列方向において、Csバスライン43cは4本おきに同じ幹配線181~184に接続されているが、実際には、液晶パネル10には、さらに多くの幹配線(例えば、12本の幹配線)が設けられている場合がある。例えば、図示は省略するが、液晶パネル10が12本の幹配線を備えている場合、Csバスライン43cは12本おきに同じ幹配線に接続されているとよい。なお、各Csバスライン43cに所要の制御信号が送られるように、各Csバスライン43cを所定の幹配線に接続するとよい。従って、液晶パネル10が12本の幹配線を備えている場合に、Csバスライン43cは12本おきに同じ幹配線に接続されるとは必ずしも限らない。

【0042】

図7は、液晶パネル10の駆動構造を示すブロック図である。液晶表示装置100は、図7に示すように、制御部200を備えている。制御部200は、IC、LSI、CPU、不揮発性メモリなどを組み合わせている。制御部200は、予め設定されたプログラムに沿って種々の電子的な処理を行い、所要の機能を奏する。液晶パネル10は、制御部200によって制御される。この制御部200は、信号入力部201と、タイミング制御部202と、電源203と、補助容量制御部204とを備えている。なお、図7では、補助容量Cs(図2参照)の制御は図示を省略している。

【0043】

信号入力部201には、外部システム(図示せず)から複数の制御信号が入力される。外部システムから入力される制御信号には、液晶パネル10に表示させる映像に関する信号が含まれる。この実施形態では、信号入力部201に入力された制御信号を基に、タイミング制御部202を通じてソースドライバ71、ゲートドライバ72に制御信号が送られる。タイミング制御部202は、外部システム(図示せず)から入力された複数の制御信号に基づいて、ゲートドライバ72とソースドライバ71を駆動させるための制御信号(走査信号a、データ信号b)を生成する。電源203は、液晶表示装置100の各構成部に動作電源を供給するとともに液晶パネル10の共通電極電圧(Vcom)を生成して対向電極55(図5参照)に供給する。

【0044】

補助容量制御部204は、補助容量Csを制御する制御信号cを生成する。この実施形態では、補助容量制御部204では、タイミング制御部202で生成された制御信号a、bを基に、補助容量Csを制御する制御信号cが作成される。また、ゲートドライバ72とソースドライバ71を駆動させるための制御信号a、bと、補助容量Csを制御する制御信号cとは、それぞれタイミングが調整されて液晶パネル10に供給される。なお、こ

10

20

30

40

50

の実施形態では、補助容量 C_s を制御する制御信号 c は、図 7 に示すように、制御部 200 から、ソースドライバ 71 が配置されたソース基板を通じて、液晶パネル 10 に送られる。

【0045】

この実施形態では、ソースドライバ 71 は、図 7 に示すように、液晶パネル 10 の画素 A (正確には、画素 A を構成する RGB のサブ画素 A_R 、 A_G 、 A_B) のマトリクス of 各行に配線されたソースバスライン 43a(1) ~ ソースバスライン 43a(m) が接続されている。ソースドライバ 71 は、タイミング制御部 202 から入力される制御信号に回答して、各画素 A に入力されるべき基準電圧を選択し、選択した基準電圧を画素 A に供給して液晶分子の回転角度を制御する。

10

【0046】

ゲートドライバ 72 は、タイミング制御部 202 から入力される制御信号に回答して液晶パネル 10 上に配列された薄膜トランジスタ 47a、47b の ON/OFF を制御する。この実施形態では、ゲートドライバ 72 は液晶パネル 10 上のゲートバスライン 43b(1) ~ (n) に制御信号を送る。1本のゲートバスライン 43b に薄膜トランジスタ 47a、47b を ON にする制御信号を送ると、かかる制御信号によって、ゲートバスライン 43b に接続された各画素の薄膜トランジスタ 47a、47b が ON になる。ゲートドライバ 72 は、ゲートバスライン 43b(1) ~ (n) に順に薄膜トランジスタ 47a、47b を ON にする制御信号を送る。

【0047】

20

ソースドライバ 71 とゲートドライバ 72 からは、タイミングが調整された制御信号が送られる。この実施形態では、ゲートドライバ 72 が 1本のゲートバスライン 43b に接続された画素を ON にする時間に、ソースドライバ 71 から当該ゲートバスライン 43b に接続された画素を制御する制御信号が送られる。ゲートドライバ 72 が 1本のゲートバスライン 43b に接続された画素を全て ON にする時間は、「1水平同期時間」と称されることがある。ゲートドライバ 72 が 1本のゲートバスライン 43b に接続された画素を ON にすると、当該画素は、当該 1水平同期時間では、薄膜トランジスタ 47a、47b が ON になる。また、次の 1水平同期時間では、当該ゲートバスライン 43b に接続された画素は OFF に制御される。

【0048】

30

ソースドライバ 71 は、1水平同期時間毎に、各ソースバスライン 43a(1) ~ (m) に制御信号を送る。これにより、1本のゲートバスライン 43b に接続された画素が ON になったタイミングで、当該画素 A に制御信号が送られる。これによって液晶パネル 10 には、一行ずつ順に画素電極 42a、42b に情報が書き込まれる。そして、ゲートバスライン 43b(1) ~ (n) が順に ON に制御される。これによって、液晶パネル 10 で表示される一画像が形成されている。従って、映像を時間順に複数の静止画に分け、当該静止画を時間順に一画像ずつ液晶パネル 10 に形成することによって、動画を表示することができる。なお、液晶パネル 10 で表示される一画像が形成される時間、すなわち、ゲートバスライン 43b(1) ~ (n) が順番に ON になる時間は、「フレーム時間 (frame time)」と称されることがある。

40

【0049】

この実施形態では、図 2 及び図 4 に示すように、1画素 A は、RGB で規定されるサブ画素 A_R 、 A_G 、 A_B で構成されている。さらに、各サブ画素 A_R 、 A_G 、 A_B はそれぞれ 2つの副画素 P_a 、 P_b に分けられている。

【0050】

副画素 P_a 、 P_b の画素電極 42a、42b には、図 4 及び図 5 に示すように、液晶層 13 を間に挟んで対向するカラーフィルタ基板 11 側の対向電極 55 との間に、電荷を保持するコンデンサ (Clc) が形成されている。また、 C_s バスライン 43c と補助容量電極 142a、142b との間に、補助容量 C_s が形成されている。また、画素電極 42a、42b は、薄膜トランジスタ 47a、47b を通じてソースバスライン 43a に接続さ

50

れている。Csバスライン43cは、液晶パネル10の行方向の両側縁部に配設された幹配線181～184に接続されている。そして、幹配線181～184には、補助容量制御部204から補助容量Csを制御する制御信号cが供給される。

【0051】

上述したように、薄膜トランジスタ47a、47bは、ゲートバスライン43bからの走査信号に基づいて適当なタイミングで開かれる。当該タイミングで、ソースバスライン43aに入力されたデータ信号が画素電極42a、42bに書き込まれる。換言すると、ソースバスライン43aに入力されたデータ信号に基づいて画素電極42a、42bに電荷が蓄えられる。

【0052】

この実施形態では、液晶パネル10はいわゆるドット反転駆動で制御されている。この場合、ソースバスライン43aに入力されたデータ信号は、ドット毎（この実施形態では、サブ画素毎）に極性を反転している。例えば、図8に示すように、i列目のあるサブ画素について（+）の電荷を有するデータ信号が入力された場合、（i+1）列目のサブ画素では（-）の電荷を有するデータ信号が入力される。また、（i+2）列目のサブ画素では（+）の電荷を有するデータ信号が入力される。さらに、（i+3）列目のサブ画素では（-）の電荷を有するデータ信号が入力される。このように、同一のフレーム時間では、1列毎に入力されるデータ信号の極性が反転する。また、図示は省略するが、この実施形態では、行方向においても隣り合うサブ画素に入力されるデータ信号の極性が反転している。また、同じサブ画素に入力されるデータ信号の極性はフレーム時間毎に反転する。

【0053】

また、この実施形態では、薄膜トランジスタ47a、47bがOFFになった後、Csバスライン43cに矩形波からなる制御信号が送られる。このとき補助容量Csに印加される電圧の影響によって、副画素Pa、Pbの画素電極42a、42bに蓄えられた電荷が保持される。なお、この実施形態では、図5に示すように、同一のサブ画素内の副画素Pa、Pbの補助容量Csには、それぞれ信号電圧変化の方向が逆で変化量が同一の一对の制御信号が送られる。この場合、副画素Pa、Pbのうち一方が明るく（Bright）なり、他方が暗く（Dark）なる。

【0054】

すなわち、当該サブ画素内の副画素Pa、Pbのそれぞれの補助容量Csに、一对の制御信号c(i)、c(i+1)が送られる。一对の制御信号c(i)、c(i+1)は、それぞれ信号電圧変化の方向が逆で変化量が同一の制御信号で構成されている。かかる制御信号cとして、図8に示す例では、電圧レベルが所定の周期で変化する矩形波が供給されている。ここでは、矩形波の高い電圧レベル（Highレベル）を「H」とし、矩形波の低い電圧レベル（Lowレベル）を「L」としている。また、ソースバスライン43a(j)にはデータ信号aが送られる。ゲートバスライン43b(i)には走査信号bが送られる。Csバスライン43c(i)、43c(i+1)には、制御信号c(i)、c(i+1)が送られる。かかるデータ信号a、走査信号b及びCsバスライン43c(i)、43c(i+1)は、それぞれタイミングが調整されている。

【0055】

以下、ソースバスライン43aから（+）の電荷を有するデータ信号が入力されるサブ画素を説明する。例えば、図8では、i列目、（i+2）列目のあるサブ画素がこれに該当する。図9は、図8に示されるi列目のあるサブ画素について、ソースバスライン43aから（+）の電荷を有するデータ信号が入力されるフレーム時間について、画素電極42a、42bに印加された電圧の振れを示している。

【0056】

この場合、図9に示すように、当該サブ画素において、薄膜トランジスタ47がONになる期間t1～t2において、データ信号に基づいて画素電極42a、42bに（+）の電荷e(i)が蓄えられる。その後、薄膜トランジスタ47がOFFになるタイミングt

10

20

30

40

50

3以降において、画素電極42a、42bに蓄えられた電荷は、補助容量Csの影響を受けて振れる。

【0057】

このとき、当該サブ画素内の一方の副画素Paでは、Csバスライン43c(i)から補助容量Csに制御信号c(i)が送られる。制御信号c(i)の電圧レベルは、薄膜トランジスタ47aがOFFになるタイミングt3の後で「H」に変化する。このため、かかる副画素Paでは、画素電極42aに蓄えられた(+)の電荷e(i)がプラス(+)に振れる。これにより副画素Paは明るく(Bright)なる。

【0058】

これに対して、当該サブ画素内の他方の副画素Pbでは、Csバスライン43c(i+1)から補助容量Csに制御信号c(i+1)が送られる。制御信号c(i+1)の電圧レベルは、薄膜トランジスタ47bがOFFになるタイミングt3の後で「L」に変化する。このため、かかる副画素Pbでは、画素電極42bに蓄えられた(+)の電荷e(i)が、マイナス(-)に振れる。これにより副画素Pbは暗く(Dark)なる。

【0059】

次に、ソースバスライン43aから(-)の電荷を有するデータ信号が入力されるサブ画素を説明する。例えば、図8では、(i+1)列目、(i+3)列目にあるサブ画素がこれに該当する。図10は、図8に示される(i+1)列目にあるサブ画素について、ソースバスライン43aから(-)の電荷を有するデータ信号が入力されるフレーム時間について、画素電極42a、42bに印加された電圧の振れを示している。

【0060】

この場合、図10に示すように、当該サブ画素において、薄膜トランジスタ47がONになる期間t1~t2において、データ信号に基づいて画素電極42a、42bに(-)の電荷e(i+1)が蓄えられる。その後、薄膜トランジスタ47がOFFになるタイミングt3以降において、画素電極42a、42bに蓄えられた電荷は、補助容量Csの影響を受けて振れる。

【0061】

このとき、当該サブ画素内の一方の副画素Paでは、Csバスライン43c(i+1)から補助容量Csに制御信号c(i+1)が送られる。制御信号c(i+1)の電圧レベルは、薄膜トランジスタ47aがOFFになるタイミングt3の後で「L」に変化する。このため、かかる副画素Paでは、画素電極42aに蓄えられた(-)の電荷e(i+1)がマイナス(-)に振れる。これにより副画素Paは明るく(Bright)なる。

【0062】

これに対して、また、当該サブ画素内の他方の副画素Pbでは、Csバスライン43c(i+2)から補助容量Csに制御信号c(i+2)が送られる。制御信号c(i+2)の電圧レベルは、薄膜トランジスタ47bがOFFになるタイミングt3の後で「H」に変化する。このため、かかる副画素Pbでは、画素電極42bに蓄えられた(-)の電荷e(i+1)が、プラス(+)に振れる。これにより副画素Pbは暗く(Dark)なる。

【0063】

このように、この実施形態では、各サブ画素AR、AG、ABは、輝度レベルが異なる副画素Pa、Pbを有している。そして、副画素Pa、Pbはそれぞれ補助容量Csを備えている。当該副画素Pa、Pbの補助容量Csは、それぞれ異なるCsバスライン43c(補助容量配線)に接続されている。輝度レベルが異なる副画素Pa、Pbに設けられた補助容量Csには、一对の制御信号cが送られる。ここで送られる一对の制御信号cは、異なるCsバスライン43cを通じて送られる制御信号であり、信号電圧変化の方向が逆で変化量が同一の信号である。これにより、副画素Pa、Pbの輝度レベルが制御されている。

【0064】

Csバスライン43cはそれぞれ液晶パネル10の行方向に沿って配設されている。また、Csバスライン43cは液晶パネル10の列方向に複数本配設されている。さらに、

10

20

30

40

50

Csバスライン43cには、当該行方向に一連に配設された各副画素Pa、Pbの補助容量Csが接続されている。かかるCsバスライン43cは、例えば、液晶パネル10の列方向において数本おきに同じ幹配線181~184に接続されている(図6参照)。同じ幹配線181~184に接続されたCsバスライン43cには、同じ制御信号cが送られている。なお、図6では、図を簡素化するため、幹配線181~184が4本で、4本おきに同じ幹配線に接続された形態を例示した。液晶パネル10は、かかる形態には特に限定されない。また、信号電圧変化の方向が逆で変化量が同一の一对の制御信号を送る場合は、幹配線は2本1組とされ、偶数本配線される。

【0065】

このように、いわゆる「マルチ画素駆動」では、マトリクス状に配設された画素Aのうち列方向に隣接する画素Aには、それぞれデータ信号について極性を反転させた制御信号が送られる。さらに、第1副画素Paと第2副画素Pbに設けられた補助容量Csには、信号電圧変化の方向が逆で変化量が同一の一对の制御信号c(k)、c(k+1)が送られる。また、かかる信号電圧変化の方向が逆で変化量が同一の一对の制御信号を送る2本のCsバスライン43cを1組として同期させ、他の組の制御信号の位相を少しずつずらしている。例えば、12本の幹配線によって、同じ波形で極性を反転させた6組の制御信号を供給する場合、6組の制御信号が均等にずれるように、1組について位相を30度ずつずらすとよい。

【0066】

このような、いわゆるマルチ画素駆動の構造では、1つのサブ画素に2つの副画素がある。例えば、一方の副画素に画素欠陥が発生したときにも、他方の副画素に画素欠陥が発生していない場合には、当該サブ画素が全く機能しないことを防止できる。このため、正常画素の割合が高く維持される。また、この実施形態では、副画素Pa、Pbの明るさが異なる。換言すると、一方(例えば、上側の副画素Pa)は明るい画素を形成し、他方(例えば、下側の副画素Pb)は暗い画素を形成する。この場合、RGBの各サブ画素AR、AG、ABの輝度調整がより微細に行え、中間調の色彩などの表現も豊かになる。その他、かかるマルチ画素駆動の機能は、特許文献1にも記載されているところである。

【0067】

かかるマルチ画素駆動の液晶表示装置100では、上述したように補助容量を制御する制御信号に矩形波が用いられる。かかる矩形波には「波形なまり」と呼ばれる現象が生じる。「波形なまり」はかかる波形に歪みが生じる現象をいう。以下、かかる「波形なまり」の現象を説明する。

【0068】

例えば、上述した実施形態では矩形波が入力されている。かかる矩形波は、液晶パネル10内の何れのサブ画素でも同じ波形が維持されていることが望ましい。「波形なまり」は、補助容量Csの制御信号cを送る配線の抵抗などの影響によって生じると考えられる。

【0069】

すなわち、補助容量Csは、図5に示すように、液晶パネル10の行方向に沿って配線されたCsバスライン43c(補助容量配線)に接続されている。Csバスライン43cは、例えば、図11に示すように、液晶パネル10の行方向の両側縁部に配線された幹配線181~184に接続されている。液晶パネル10の列方向において、かかるCsバスライン43cは数本おきに同じ幹配線181~184に接続されており、数本おきに同じ制御信号c(1)~c(4)が送られている。なお、図11において、図示の便宜を図るため、幹配線181~184やCsバスライン43cの本数は簡略化している。例えば、幹配線が4本の場合を例示しているが、幹配線の本数は4本に限定されない。

【0070】

幹配線181~184は、それぞれ補助容量Csの制御信号を送る補助容量制御部204に接続されている。この場合、補助容量制御部204から、幹配線181~184、C

10

20

30

40

50

s バスライン 43c を通じて、液晶パネル 10 内の補助容量 Cs に制御信号 c が送られる。この実施形態では、図 7 に示すように、制御部 200 からソースドライバ 71 の基板を通じて各幹配線 181 ~ 184 に制御信号 c が送られている。このため、幹配線 181 ~ 184 には、液晶パネル 10 の上側（ソースドライバ 71 が配設された側）から制御信号 c が送られる。

【0071】

この場合、例えば、液晶パネル 10 中の Cs バスライン 43c のうち、上部に配置された Cs バスライン 43c (U) に比べて、下部に配置された Cs バスライン 43c (D) の方が、補助容量 Cs までの配線経路が長くなり、かつ、抵抗が高くなると考えられる。このため、液晶パネル 10 の上部に配置された Cs バスライン 43c (U) に比べて、下部に配置された Cs バスライン 43c (D) の方が、波形なまりが生じやすい。

10

【0072】

図 12 は「波形なまり」を模式的に示している。すなわち、図 12 は、補助容量 Cs を制御する制御信号 c として入力された矩形波の波形を示している。上述したように、液晶パネル 10 の上部に配置された Cs バスライン 43c (U) に比べて、下部に配置された Cs バスライン 43c (D) の方が、波形なまりが生じやすい。波形なまりが生じると、例えば、図 12 に示すように、矩形波の立ち上がりが鈍くなる。図 12 中、波形 c (U) は、液晶パネル 10 の上部の Cs バスライン 43c (U) に供給される制御信号 c の波形を示している。波形 c (D) は、液晶パネル 10 の下部の Cs バスライン 43c (D) に供給される制御信号 c の波形を示している。波形 c (U) と波形 c (D) の間に示される波形は、液晶パネル 10 の中間の Cs バスライン 43c に供給される制御信号 c の波形を示している。このように、液晶パネル 10 の上部から下部に向かうにつれて、徐々に Cs バスライン 43c に供給される制御信号 c の波形は崩れる傾向がある。

20

【0073】

また、いわゆるフルハイビジョン (full high definition: Full HD) の規格では、水平方向に 1920 画素、垂直方向に 1080 画素が形成される。この場合、上記のマルチ画素駆動の構造では、1 画素 A に RGB で規定されるサブ画素 A_R、A_G、A_B が形成され、さらに、各サブ画素 A_R、A_G、A_B がそれぞれ 2 つの副画素 Pa、Pb に分けられている。このため、水平方向には 1920 × 3 の副画素が形成されており、垂直方向には 1080 × 2 の副画素が形成されている。このように、垂直方向の画素数が多くなると、その分だけ液晶パネル 10 の上部と下部で波形なまりの差が大きくなり易い。また、水平方向の画素数が多くなると、それだけ Cs バスライン 43c に接続される補助容量 Cs の数が多くなり、このため Cs バスライン 43c の抵抗も大きくなる。Cs バスライン 43c の抵抗が大きいと、その分だけ波形なまりが生じ易くなり、液晶パネル 10 の上部と下部で波形の差が大きくなり易いと考えられる。

30

【0074】

波形なまりによって、図 12 に示すように、液晶パネル 10 の Cs バスライン 43c に供給される制御信号の波形が、Cs バスライン 43c 毎に大きく変わると、マルチ画素駆動の効果が低下する場合がある。また、かかる波形なまりによって制御信号の波形が大きく崩れた Cs バスライン 43c があると、液晶パネル 10 に行方向に筋状の斑 (筋斑) を生じさせる可能性がある。

40

【0075】

また、かかる波形なまりを低減させる 1 つの方法としては、例えば、液晶パネル 10 の行方向の両側縁部に配線された幹配線 181 ~ 184 (図 11 参照) をそれぞれ太くして、幹配線 181 ~ 184 の抵抗を低減させるとよい。しかし、幹配線 181 ~ 184 をそれぞれ太くすると、その分だけ、液晶パネル 10 の両側の縁部にスペースが必要になる。例えば、65 型など、大型テレビ用の液晶パネル 10 で、液晶パネル 10 の両側に幹配線が 12 本配線されている場合を考える。この場合、筋状の斑を生じさせない程度に十分な効果が得られるようにするには、幹配線を配線するスペースとして、液晶パネル 10 の両側の縁部に 1 cm 程度の幅を要すると考えられる。液晶パネル 10 の両側にこのようなス

50

ペースを取ることは、狭額縁化の要請に反する。

【0076】

本発明者は、かかる事象を改善するため、種々の研究を行い、波形なまりを低減させる新規な方法を見出した。すなわち、本発明は、図13に示すように、画素領域10aにおいて列方向に配線された複数の枝配線310を備えている。そして、当該枝配線310は、Csバスライン43cに接続されている。また、補助容量Csの制御信号cは、制御部200（具体的には、補助容量制御部204（図7参照））で生成される。この実施形態では、制御部200（図7参照）からソースドライバ71の基板を通じて、各枝配線310に制御信号cが送られている。そして、枝配線310からCsバスライン43cを通じて補助容量Csに制御信号cを送る配線経路が形成される。

10

【0077】

この場合、枝配線310は、画素領域10aに複数設けることができる。枝配線310を複数設けることによって、枝配線310からCsバスライン43cを通じて補助容量Csに制御信号cを送る配線経路を複数形成することができる。この場合、複数の配線経路ができるので、補助容量Csに制御信号cを送る配線経路の抵抗を小さく抑えることができる。また、この場合、画素領域10aに設ける枝配線310の数を増やせば増やすほど、一本一本の枝配線310に作用する抵抗を低減させることができ、総じて補助容量Csに制御信号cを送る配線経路の抵抗を小さくできる。このため枝配線310の数を増やすと、一本一本の枝配線310を細くしても、「波形なまり」による不具合を改善できるようになる。

20

【0078】

また、図13に示すように、画素領域10aに、上述したような枝配線310を複数設けた場合、枝配線310からCsバスライン43cを通じて補助容量Csに制御信号cを送る配線経路が形成される。このため、幹配線181～184を細くしても「波形なまり」による不具合を抑制することができる。また、枝配線310からCsバスライン43cを通じて補助容量Csに制御信号cを送ることができるので、液晶パネル10の行方向の両側縁部に配線された幹配線181～184をなくしても、「波形なまり」による不具合を抑制することができる。また、幹配線181～184は、液晶パネル10の行方向の一方の縁部のみに配線してもよい。

【0079】

また、この場合、図14に示すように、液晶パネル10の列方向の縁部に配線された複数の横幹配線320を備えていてもよい。この実施形態では、液晶パネル10の上側の縁部（列方向の縁部）において、行方向に沿って横幹配線320が配線されており、枝配線310は当該横幹配線320に接続されている。かかる横幹配線320によって、各枝配線310が電気的に接続され、各補助容量Csへの制御信号の配線経路がより均一化され、波形なまりによる波形の差が小さくなる。これにより、「波形なまり」による不具合を抑制することができる。この場合、液晶パネル10の列方向の縁部に、複数の横幹配線320を配線するスペースが必要になるが、この横幹配線320は、枝配線310を接続するための配線であり、それほど太くする必要はなく、複数の横幹配線320を配線するスペースもそれ程大きな幅は必要ない。例えば、フルスペックハイビジョン規格の65型のような大型テレビ用の液晶パネル10であって、横幹配線320を12本配線する場合、液晶パネル10の列方向の縁部に1～3mm程度の幅があれば、所要の横幹配線320を配線することができる。

30

40

【0080】

次に、枝配線310とCsバスライン43cの接続を説明する。例えば、図6に示すように、液晶パネル10の列方向において、Csバスライン43cは複数本配設されている。かかるCsバスライン43cには、数本おきに同じ補助容量Csの制御信号が送られる。すなわち、図6に示す例では、液晶パネル10の行方向の両側縁部に、4本の幹配線181～184が配線されている。そして、列方向に複数配線されたCsバスライン43cは4本おきに同じ幹配線に接続されている。これにより、列方向に複数配線されたCsバ

50

スライン 43c には、4 本おきに同じ制御信号が供給される。

【0081】

このように、Cs バスライン 43c には、数本おきに同じ制御信号を供給される場合がある。この場合、画素領域 10a に配線された複数の枝配線 310 は、複数のグループに分けるとよい。そして、同一のグループに属する枝配線に同じ制御信号が送られるように補助容量制御部 204 に接続されているとよい。さらに、1 本の Cs バスライン 43c は、1 つのグループに属する枝配線 310 に接続されているとよい。これにより、1 本の Cs バスライン 43c に 1 つの制御信号を供給することができる。

【0082】

Cs バスライン 43c に、4 本おきに同じ制御信号を供給する場合には、図 15 に示すように、画素領域 10a に配線された複数の枝配線 310 を 4 つのグループ I ~ IV に分けるとよい。そして、同一のグループに属する枝配線 310 に同じ制御信号が送られるように、枝配線 310 を補助容量制御部 204 (図 14 参照) に接続するとよい。Cs バスライン 43c は、4 本おきに同一のグループに属する枝配線 310 に接続するとよい。これにより、Cs バスライン 43c に同一のグループに属する複数の枝配線 310 から同じ制御信号が供給される。そして、当該 Cs バスライン 43c に接続された補助容量 Cs に同じ制御信号を付与することができる。

【0083】

また、図 14 及び図 15 に示すように、液晶パネル 10 が行方向の縁部に複数の幹配線 181 ~ 184 を備えている場合、Cs バスライン 43c は複数の幹配線 181 ~ 184 のうち 1 本の幹配線に接続されているとよい。そして、当該 1 本の幹配線には、補助容量制御部 204 (図 14 参照) によって、当該 Cs バスライン 43c が接続された 1 つのグループに属する枝配線 310 に送られる制御信号と同じ制御信号が送られるとよい。

【0084】

また、この実施形態では、図 14 及び図 15 に示すように、液晶パネル 10 は列方向の縁部 (図示例では上側の縁部) に配線された複数の横幹配線 320 を備えている。1 つのグループに属する枝配線 310 は、他のグループの枝配線 310 が接続される横幹配線 320 とは異なる 1 本の横幹配線 320 に接続されている。この場合、補助容量制御部 204 によって同じ制御信号が送られる 1 つのグループに属する枝配線 310 は、横幹配線 320 を通じて電氣的に接続されているので、各枝配線 310 に生じる波形なまりを低減できる。

【0085】

また、画素領域 10a に枝配線 310 を配線する場合、図 16 及び図 17 に示すように、液晶パネル 10 の各画素 A に枝配線 310 を配線してもよい。この場合、各画素 A において、それぞれ同様に枝配線 310 が配線されているとよい。これにより、各画素 A を同じように構成することができ、画素 A 毎の表示に斑が生じるのを防止できる。

【0086】

例えば、図 16 及び図 17 に示すように、液晶パネル 10 の各画素 A は、それぞれ RGB のサブ画素を備えている場合、枝配線 310 は RGB のサブ画素のうち、R のサブ画素 A_R を通るように配線されている。このように、R のサブ画素 A_R に枝配線 310 を配線する場合には、液晶パネル 10 の全ての画素 A について、同様に R のサブ画素 A_R を通るように枝配線 310 を配線するとよい。これにより、各画素 A を同じように構成することができ、画素 A 毎の表示に斑が生じるのを防止できる。

【0087】

また、図示は省略するが、枝配線 310 は G のサブ画素 A_G を通るように配線してもよい。また、枝配線 310 は B のサブ画素 A_B を通るように配線してもよい。この場合も、各画素 A を同じように構成することによって、画素 A 毎の表示に斑が生じるのを防止できる。また、例えば、RGB のサブ画素のうち全てのサブ画素 A_R 、 A_G 、 A_B に、それぞれ枝配線 310 を設けてもよい。また、RGB のサブ画素 A_R 、 A_G 、 A_B から選択される 2 色のサブ画素にそれぞれ枝配線 310 を設けてもよい。

10

20

30

40

50

【 0 0 8 8 】

このとき、何れのサブ画素 A_R 、 A_G 、 A_B に枝配線 310 を配線するかは、液晶パネル 10 について、各画素 A の性質等を考慮して適切なサブ画素を選択するとよい。例えば、画素 A 全体の透過率が低下するのを防止するため、画素全体の透過率に対する影響の小さいサブ画素を選択してもよい。例えば、サブ画素 A_R 、 A_G 、 A_B のうち、サブ画素 A_G が画素 A 全体の透過率に対して寄与率が高い場合には、枝配線 310 を通すサブ画素として、画素全体の透過率に対する影響の小さい他のサブ画素 A_R 、 A_B を選択するとよい。また、例えば、画素全体で表示される色の色味への影響を考慮して、枝配線 310 を通すサブ画素を選択するとよい。

【 0 0 8 9 】

また、例えば、画素 A 全体への光の透過率に与える影響について、サブ画素 A_R 、 A_G 、 A_B のうちサブ画素 A_B が最も小さい場合には、当該サブ画素 A_B に枝配線 310 を通して、画素 A 全体への光の透過率への影響を小さく抑えても良い。また、サブ画素 A_R 、 A_G 、 A_B のうちサブ画素 A_R が画素 A 全体への色味への影響が小さい場合には、当該サブ画素 A_R に枝配線 310 を通して、画素 A 全体への色味への影響を小さく抑えても良い。同様に、サブ画素 A_R 、 A_G 、 A_B のうちサブ画素 A_G に枝配線 310 を通すことが適切である場合には、当該サブ画素 A_G に枝配線 310 を通すとよい。なお、画素 A の色味は、バックライト 20 の色との調整で解消しうる。例えば、サブ画素 A_R に枝配線 310 を通すことによって、画素 A 全体の青みが強くなった場合には、それを解消させるようにやや黄色い光を発するバックライトを選択するなどして、画素 A 全体の色合いを調整することも可能である。また、反対に、採用するバックライトの色合いに応じて、どの色のサブ画素に枝配線 310 を通すかを選択してもよい。

【 0 0 9 0 】

また、液晶パネル 10 の構成によっては、画素 A の構成が、図 2 及び図 3 に示すような RGB のサブ画素 A_R 、 A_G 、 A_B の構成でない場合もある。その場合、枝配線 310 は複数のサブ画素のうち、適切な何れかのサブ画素を通るように配線されているとよい。また、枝配線 310 は、画素領域 10a に形成されているとよく、例えば、ソースバスライン 43a に沿って、ソースバスライン 43a を障害しないように配線してもよい。このように、アレイ基板 12 の開口部（光が通る領域）を除く部分に配線してもよい。また、枝配線 310 は、画素電極 42a、42b が形成された領域を通るように配線することもできる。

【 0 0 9 1 】

なお、図 18 は、画素電極 42a、42b が形成された領域を通るように枝配線 310 を形成した場合の等価回路を示している。この場合、図 18 に示すように、副画素 Pa、Pb の画素電極 42a、42b と、枝配線 310 との間に容量性カップリング $C_x(1) \sim C_x(2)$ が形成される場合がある。また、この場合、かかる容量性カップリング C_x は、枝配線 310 に供給される制御信号 $c(k)$ 、 $c(k+1)$ に応じて、画素電極 42a、42b の電圧を変化させる場合がある。ここで、画素電極 42a、42b に対向して配線された枝配線 310 には、当該副画素 Pa、Pb に設けられた補助容量 C_c に供給される制御信号 c とは異なる制御信号 c が送られる場合がある。例えば、図 18 に示す等価回路では、副画素 Pb では、補助容量 C_s に送られる制御信号 $c(k+1)$ と、当該副画素 Pb の画素電極 42b が形成された領域を通るように配線された枝配線 310 に供給される制御信号 $c(k)$ とが異なる。この場合、当該副画素 Pb では、画素電極 42b の電圧が容量性カップリング $C_x(2)$ の影響を受ける。かかる容量性カップリング C_x の影響は、全ての画素 A で均一でないため、表示ムラ（表示斑）となり表示品位上の問題を生じさせる場合がある。

【 0 0 9 2 】

この場合、各副画素 Pa、Pb において、図 18 に示すように、対向電極 55 と画素電極 42a、42b とで形成される容量を C_{1c} とし、補助容量 C_s の容量を C_s とし、枝配線 310 と画素電極 42a、42b との間に形成される容量 C_x とした場合に、 $C_x /$

10

20

30

40

50

$(C_{lc} + C_s + C_x) \approx 0.2$ になるように構成されているとよい。 $C_x / (C_{lc} + C_s + C_x) \approx 0.2$ になるように構成されている場合には、副画素 P_a 、 P_b を全体として、対向電極 55 と画素電極 42a、42b とで形成される容量 C_{lc} や補助容量 C_s に比べて、容量性カップリング C_x が相対的にそれほど大きくない。このため、液晶パネル 10 を人の目で観察した場合に表示ムラとして認識されるのを防止でき、表示品位上の問題が生じるのを防止できる。

【0093】

図 19 ~ 図 21 は、このように画素電極 42a、42b が形成された領域に枝配線 310 が配線された形態を示している。図 19 に示す形態では、1つの副画素 P_a 、 P_b に対して、ソースバスライン 43a が 1本ずつ配線されている。補助容量 C_s は、副画素 P_a 、 P_b の画素電極 42a、42b が形成された領域の略中央部分に形成されている。この実施形態では、補助容量 C_s は、 C_s バスライン 43c に接続される電極 143 と、補助容量電極 142a、142b とを絶縁層を介在させて対向させている。補助容量電極 142a、142b は、引出配線 144a、144b によって、それぞれ薄膜トランジスタ 47a、47b のドレイン電極に接続されている。補助容量電極 142a、142b に対向する電極 143 は、引出配線 146 によって、 C_s バスライン 43c に接続されている。また、補助容量電極 142a、142b に対向する電極 143 は、それぞれ行方向に配線された導体層 148a、148b に形成されている。また、枝配線 310 は、コンタクトホール 160 を通して C_s バスライン 43c に接続されている。この実施形態では、枝配線 310 は、RGB の各サブ画素 A_R 、 A_G 、 A_B のうち、サブ画素 A_R を通るように配線されている。

【0094】

図 20 は、図 19 の形態に対して、1つの副画素 P_a 、 P_b に対して、ソースバスライン 43a が 2本ずつ配線された形態を示している。この場合、隣接する副画素 P_a 、 P_b において、ゲート電極 122 が互いに向き合うように薄膜トランジスタ 47a、47b を設けてもよい。また、図 21 は、枝配線 310 の配線位置を、画素電極 42a、42b の一方の縁部に近づけて配線した形態を示している。この場合、図 18 に示すように、副画素 P_a 、 P_b 単位において、 $C_x / (C_{lc} + C_s + C_x) \approx 0.2$ となるように構成する。これによって、画素電極 42a、42b が形成された領域を通るように枝配線 310 を配線した場合でも、容量性カップリング C_x の影響による表示品位上の問題が生じるのを防止できる。

【0095】

また、図 22 及び図 23 に示すように、画素電極 42a、42b 間に隙間 s_1 が形成されており、当該隙間 s_1 を通るように枝配線 310 を配線してもよい。この場合の等価回路は図 24 のようになる。この場合、図 24 に示すように、画素電極 42a、42b 間に形成された隙間 s_1 に枝配線 310 が配線される。このため、容量性カップリング C_x は形成されず、容量性カップリング C_x の影響による表示品位上の問題が生じない。

【0096】

また、例えば、マルチ画素駆動では、図 5 及び図 8 に示すように、1つのサブ画素は 2つの副画素で構成されている。2つのサブ画素のうち一方の副画素では、補助容量 C_s の制御信号が High レベルから Low レベルへ変化することで明るくなる。また他方の副画素では、補助容量 C_s の制御信号が Low レベルから High レベルへ変化することで暗くなる。このため、マルチ画素駆動では、図 5 及び図 8 に示すように、1つのサブ画素を構成する 2つの副画素に、信号電圧変化の方向が逆で変化量が同一の一对の制御信号が送られる。

【0097】

この場合、画素電極 42a、42b が形成された領域を通るように 2本の枝配線 310 を配線する。そして、当該 2本の枝配線 310 に信号電圧変化の方向が逆で変化量が同一の一对の制御信号 $c(k)$ 、 $c(k+1)$ を供給してもよい。この場合の等価回路を図 25 に示す。この場合、副画素 P_a 、 P_b の画素電極 42a、42b と、枝配線 310 との間には、容量性カップリング $C_x(1) \sim C_x(4)$ が形成される。しかしながら、信号

10

20

30

40

50

電圧変化の方向が逆で変化量が同一の一对の制御信号 $c(k)$ 、 $c(k+1)$ が、画素電極 42a、42b が形成された領域を通る 2 本の枝配線 310 に供給される。このため、副画素 Pa に形成された容量性カップリング $C_x(1)$ 、 $C_x(3)$ による影響は互いに相殺される。また、このため、副画素 Pb に形成された容量性カップリング $C_x(2)$ 、 $C_x(4)$ による影響は互いに相殺される。これにより、副画素 Pa、Pb の画素電極 42a、42b が形成された領域を通るように枝配線 310 を配線した場合でも、容量性カップリング C_x の影響による表示品位上の問題が生じるのを防止できる。

【0098】

なお、この場合、枝配線 310 と画素電極 42a との間に形成される容量性カップリング $C_x(1)$ 、 $C_x(3)$ の容量を等しくしてもよい。また、枝配線 310 と画素電極 42b との間に形成される容量性カップリング $C_x(2)$ 、 $C_x(4)$ の容量を等しくしてもよい。これにより、容量性カップリング $C_x(1) \sim C_x(4)$ による影響が互いに相殺される効果が高くなる。また、一つの副画素 Pa、Pb に複数の容量性カップリング C_x が形成される場合、当該複数の容量性カップリング C_x の容量の最大値が、最小値の 2 倍以下であってもよい。すなわち、上記容量性カップリング $C_x(1)$ 、 $C_x(3)$ の容量の最大値が、最小値の 2 倍以下であるとよい。また、上記容量性カップリング $C_x(2)$ 、 $C_x(4)$ の容量の最大値が、最小値の 2 倍以下であるとよい。なお、より好ましくは、複数の容量の最大値が、最小値の 1.5 倍以下であるとよい。

【0099】

また、副画素 Pa、Pb の画素電極 42a、42b が形成された領域を通るように、複数の枝配線 310 が配線されている場合、各枝配線 310 が画素電極 42a、42b に重なる投影面積を等しくしてもよい。例えば、画素電極 42a、42b が形成された基板の平面図において、枝配線 310 と画素電極 42a、42b とが重なる面積が複数の枝配線において等しいとよい。これにより、当該複数の枝配線 310 と画素電極 42a、42b によって形成される複数の容量性カップリング C_x の容量が近似する。これにより、当該複数の容量性カップリングの影響が相殺される効果が大きくなる。また、各枝配線 310 が画素電極 42a、42b に重なる投影面積の最大値が、最小値の 2 倍以下であってもよい。この場合、より好ましくは、各枝配線 310 が画素電極 42a、42b に重なる投影面積の最大値が、最小値の 1.5 倍以下であってもよい。このように、画素電極 42a、42b が形成された基板の平面図において、枝配線 310 と画素電極 42a、42b とが重なる面積が複数の枝配線において近くなればなるほど、複数の容量性カップリング C_x の容量が近似し、これにより、当該複数の容量性カップリングの影響が相殺される効果が大きくなる。

【0100】

この場合、図 26 ~ 図 29 は、マルチ画素駆動の形態において、信号電圧変化の方向が逆で変化量が同一の一对の制御信号が供給される 2 本の枝配線 310a、310b が副画素 Pa、Pb の画素電極 42a、42b が形成された領域に通るように配線した形態をそれぞれ示している。

【0101】

以上、図 13 に示すように、行方向に沿って複数の Cs バスライン 43c (補助容量配線) が配線された液晶パネル 10 の画素領域 10a に、列方向に沿って複数の枝配線 310 が配線されている。そして、当該枝配線 310 を、Cs バスライン 43c に接続し、当該枝配線 310 から Cs バスライン 43c を通じて補助容量に制御信号を送るように構成した。このように枝配線 310 から Cs バスライン 43c を通じて補助容量 Cs に制御信号 c を送る配線経路を複数形成することによって、補助容量 Cs に制御信号 c を送る配線経路の抵抗を小さくし、補助容量 Cs に送られる制御信号 c の「波形なまり」を小さく抑えることができる。

【0102】

ところで、かかる枝配線 310 は、Cs バスライン 43c に生じるリップル V_{cs1} を低減させる効果もある。すなわち、図 5 及び図 30 に示すように、液晶パネル 10 では、

10

20

30

40

50

画素電極 4 2 a、4 2 b の一部によって、補助容量 C_s の一方の電極が構成されている。走査信号 SG によって薄膜トランジスタ 4 7 が ON になるタイミング T で、ソースドライバ 7 1 からソースバスライン 4 3 a に当該画素 A の画素電極 4 2 a、4 2 b に所要の電圧が印加される。画素電極 4 2 a、4 2 b に所要の電圧が印加されるときに、補助容量 C_s を介して画素電極 4 2 に接続された C_s バスライン 4 3 c にリップル V_{cs1} が生じることがある。

【0103】

また、かかるリップル V_{cs1} は、薄膜トランジスタ 4 7 が OFF になった後も減衰せずに、 C_s バスライン 4 3 c に残る場合がある。薄膜トランジスタ 4 7 が OFF になった後もリップル V_{cs1} が減衰せず、 C_s バスライン 4 3 c に残ると、当該 C_s バスライン 4 3 c に接続された複数の画素 A の液晶層 1 3 を操作するコンデンサ C_{lc} に印加された電圧に影響を及ぼす場合がある。しかしながら、上記の液晶パネル 1 0 では、 C_s バスライン 4 3 c は、枝配線 3 1 0 によって他の C_s バスライン 4 3 c に接続されている。このため、 C_s バスライン 4 3 c に生じるリップル V_{cs1} が、枝配線 3 1 0 を通じて他の C_s バスライン 4 3 c に分散し、早期に減衰する。これにより、リップル V_{cs1} に起因して生じる画像の乱れが低減する。このように液晶パネル 1 0 は、枝配線 3 1 0 が設けられたことによって、リップル V_{cs1} に起因して生じる画像の乱れを低減できる。

10

【0104】

以上、本発明の一実施形態に係る液晶表示装置を説明したが、本発明は上記の実施形態には限定されず、種々の変更が可能である。

20

【0105】

例えば、液晶表示装置の具体的構成は、上述した実施形態に限定されない。特に、 C_s バスライン（補助容量配線）、幹配線、枝配線、横幹配線の配線の仕方、接続の仕方など、種々の変更ができる。また、上述した実施形態では、1 つの画素 A は、RGB のサブ画素 A_R 、 A_G 、 A_B を有し、各サブ画素 A_R 、 A_G 、 A_B は、さらに上下の副画素 P_a 、 P_b を備えている。そして、上下の副画素 P_a 、 P_b は、個別に駆動する。このように、上述した実施形態では、マルチ画素駆動タイプの液晶パネルを例示している。液晶パネルの構造は、特に、マルチ画素駆動タイプの液晶パネルに限定されない。また、液晶表示装置の具体的構成は、バックライトが、液晶パネルの直下に対向するように配置された構造を例示したが、いわゆるエッジライト方式のものでもよい。また、本発明に係る液晶パネルは、液晶プロジェクタなどの液晶パネルとしても用いることができる。

30

【符号の説明】

【0106】

- 1 0 液晶パネル
- 1 0 a 画素領域
- 1 1 カラーフィルタ基板
- 1 2 アレイ基板
- 1 3 液晶層
- 1 5 シール材
- 1 7、1 8 偏光板
- 2 0 バックライト
- 2 2 光源
- 2 4 バックライトシャーシ
- 2 6 光学シート
- 3 0 ベゼル
- 3 2 フレーム
- 4 2 画素電極
- 4 2 a、4 2 b (副画素の)画素電極
- 4 3 a ソースバスライン
- 4 3 b ゲートバスライン

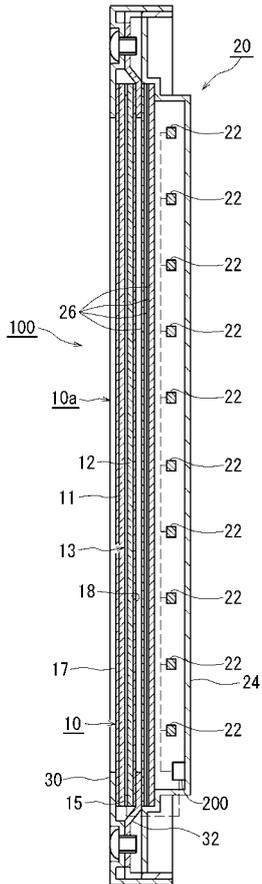
40

50

4 3 c	C s バスライン (補助容量配線)	
4 6	配向膜	
4 7、4 7 a、4 7 b	薄膜トランジスタ	
5 2	ブラックマトリクス	
5 3	カラーフィルタ	
5 5	対向電極	
5 9	スペーサ	
7 1	ソースドライバ	
7 2	ゲートドライバ	
1 0 0	液晶表示装置	10
1 2 1	ソース電極	
1 2 2	ゲート電極	
1 2 3 a、1 2 3 b	ドレイン電極	
1 4 2 a、1 4 2 b	補助容量電極	
1 4 4 a、1 4 4 b	引出配線	
1 8 0	幹配線群	
1 8 1 ~ 1 8 4	幹配線	
1 9 0	制御信号供給部	
2 0 0	制御部	
2 0 1	信号入力部	20
2 0 2	タイミング制御部	
2 0 3	電源	
3 1 0	枝配線	
3 2 0	横幹配線	
A	画素	
A _R 、A _G 、A _B	サブ画素	
c	補助容量の制御信号	
C 1 c	液晶層を操作するコンデンサ	
C s	補助容量	
e	電荷	30
P a、P b	副画素	
S G	走査信号	
V c s 1	リップル	

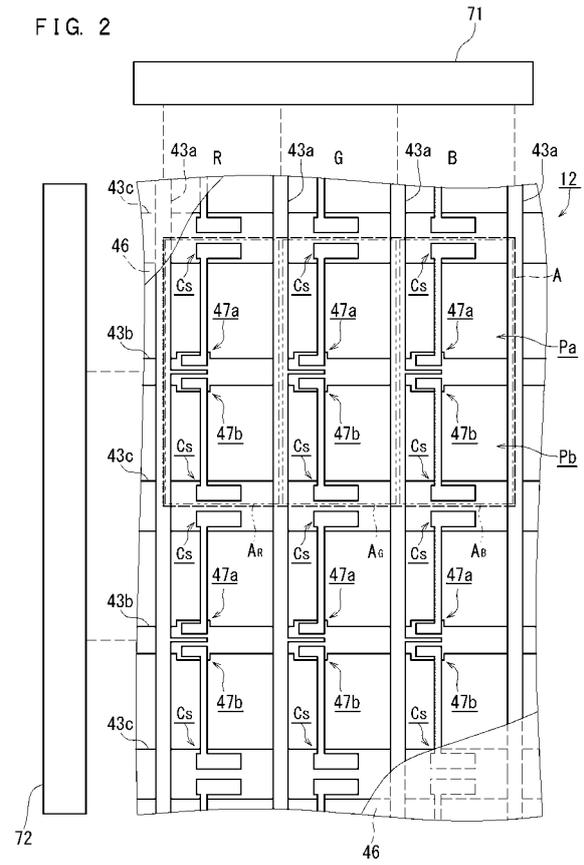
【 図 1 】

FIG. 1



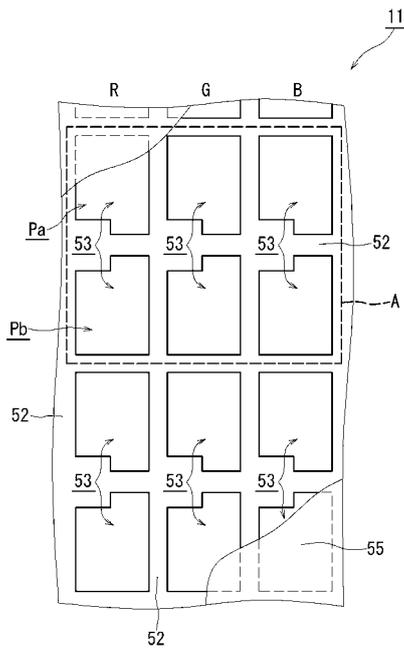
【 図 2 】

FIG. 2



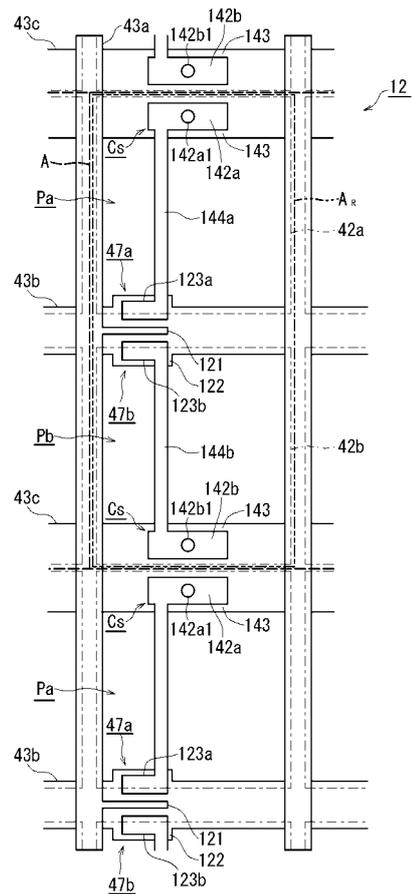
【 図 3 】

FIG. 3



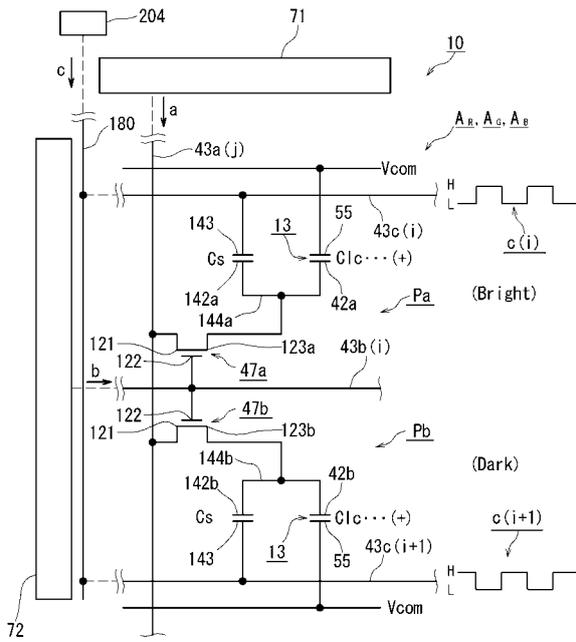
【 図 4 】

FIG. 4



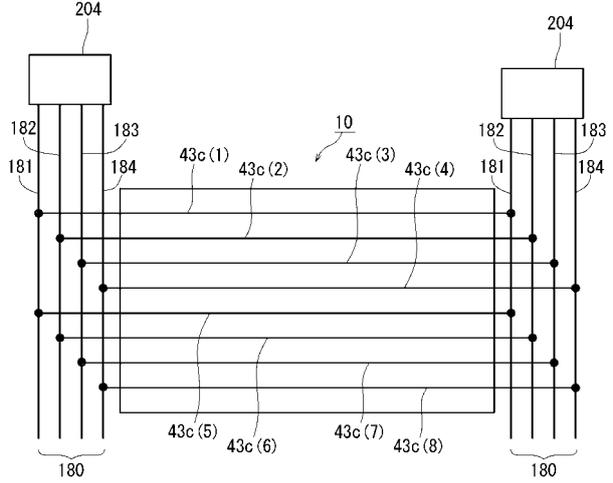
【 図 5 】

FIG. 5

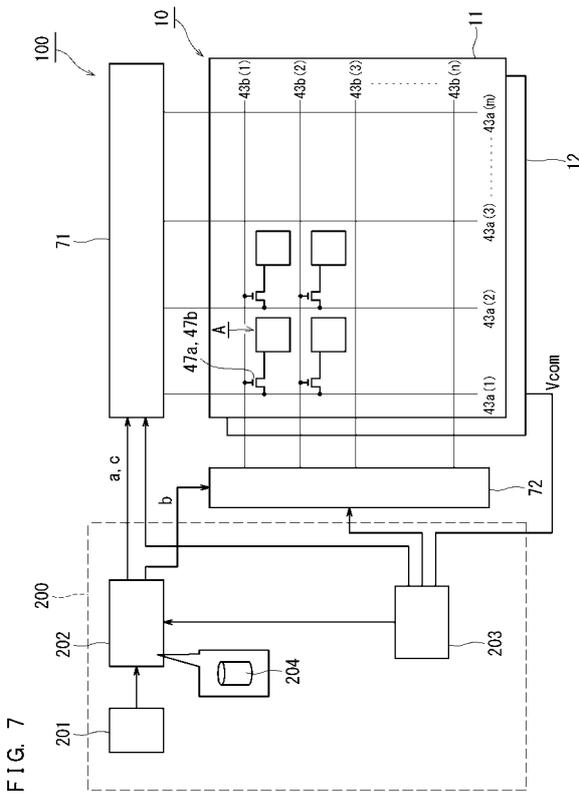


【 図 6 】

FIG. 6

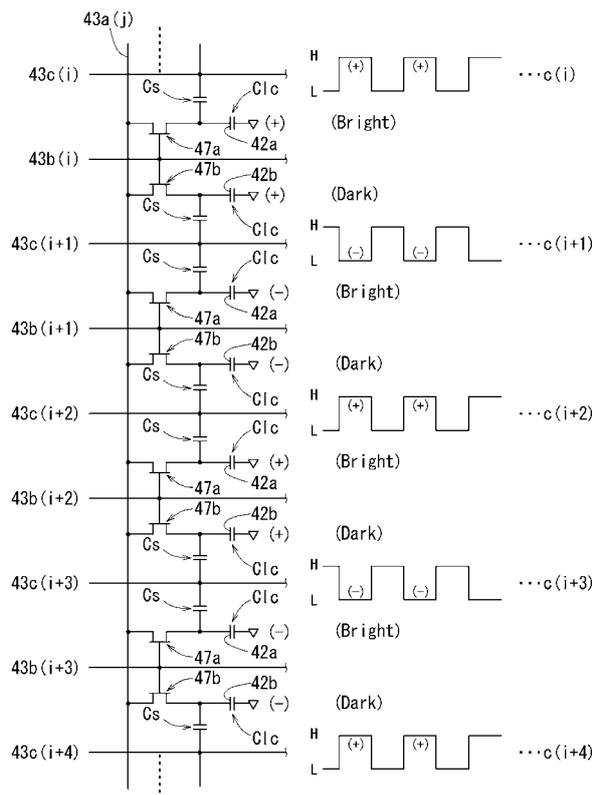


【 図 7 】



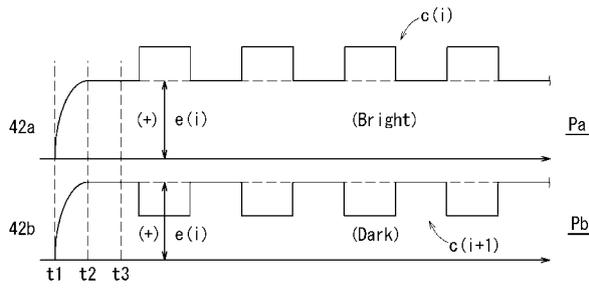
【 図 8 】

FIG. 8



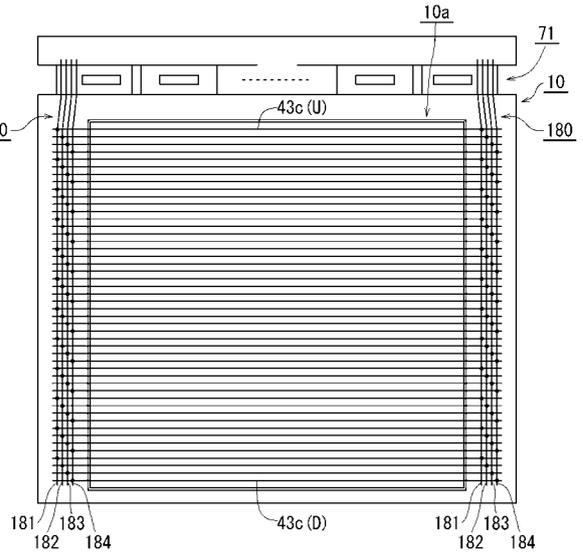
【 図 9 】

FIG. 9



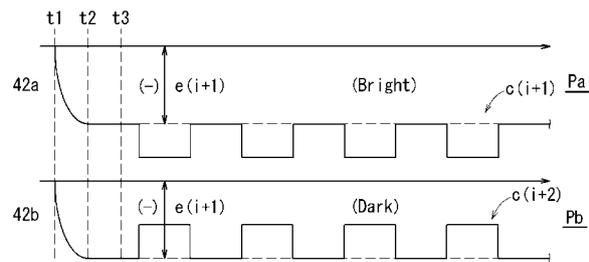
【 図 1 1 】

FIG. 11



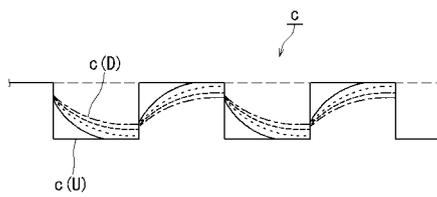
【 図 1 0 】

FIG. 10



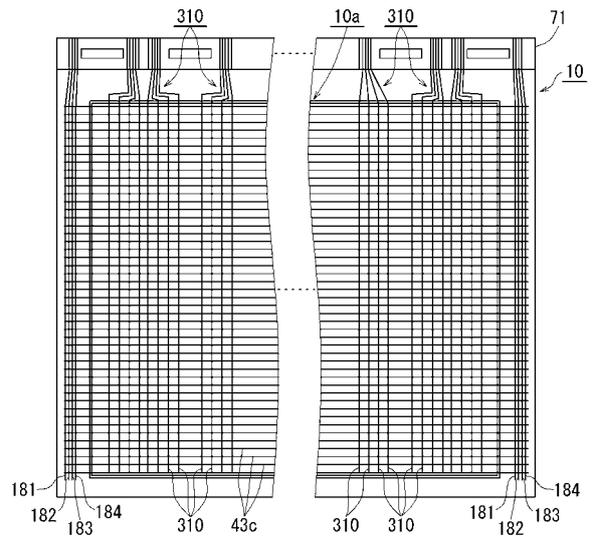
【 図 1 2 】

FIG. 12



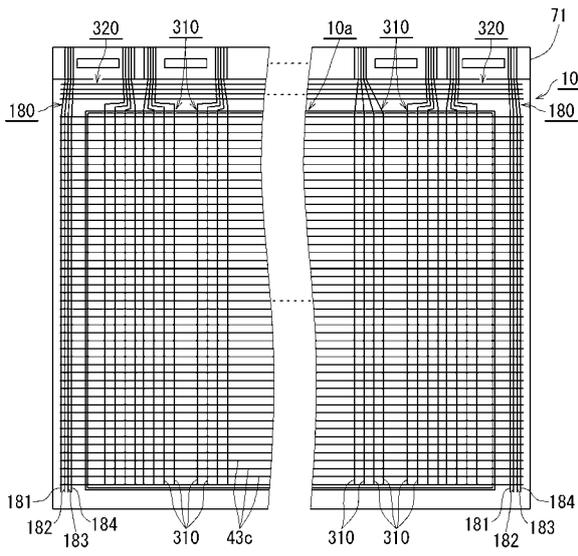
【 図 1 3 】

FIG. 13



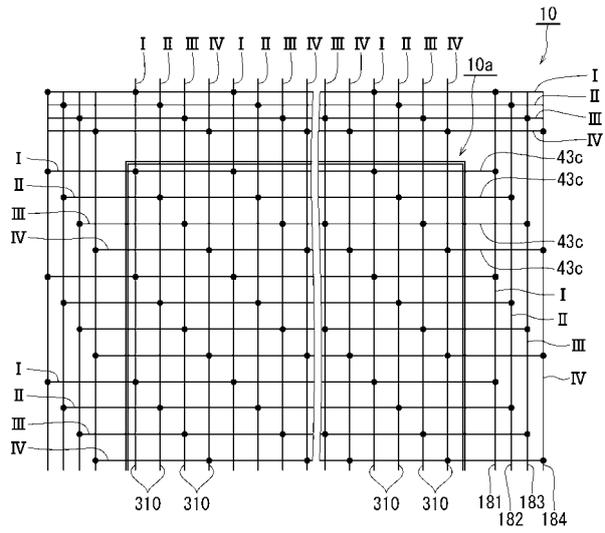
【 図 1 4 】

FIG. 14



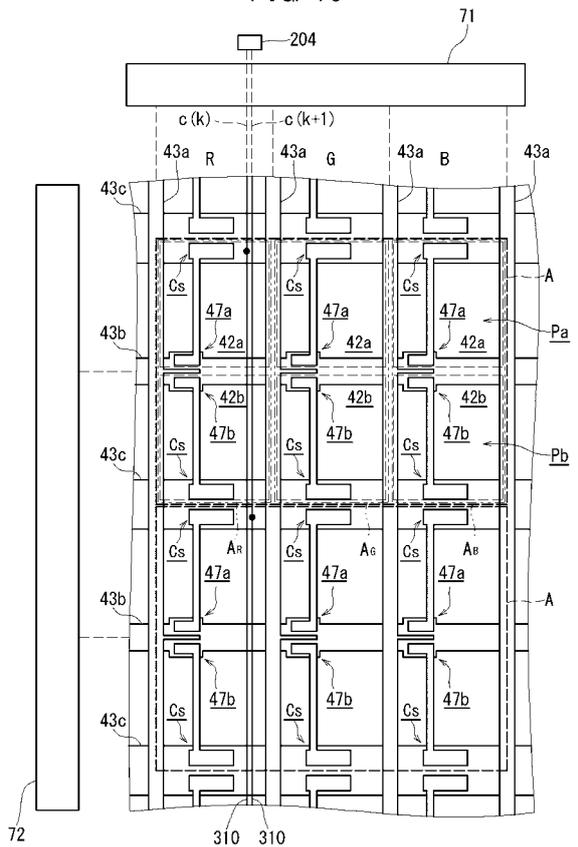
【 図 1 5 】

FIG. 15



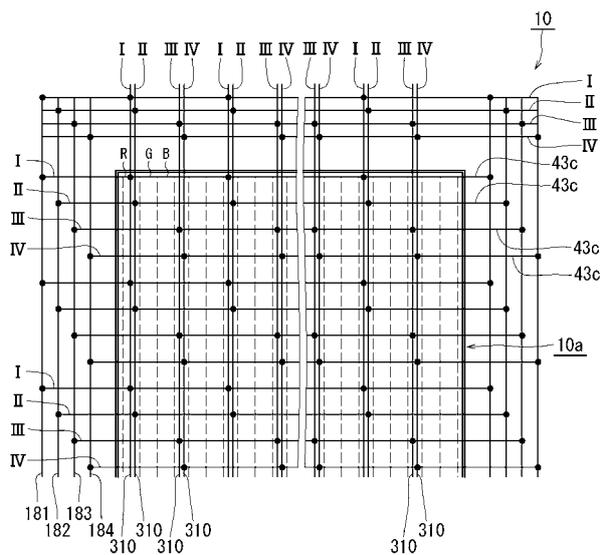
【 図 1 6 】

FIG. 16



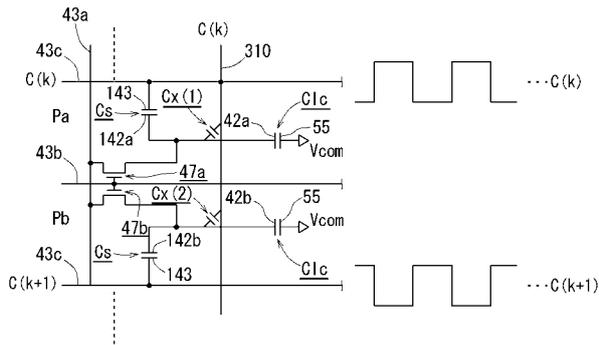
【 図 1 7 】

FIG. 17



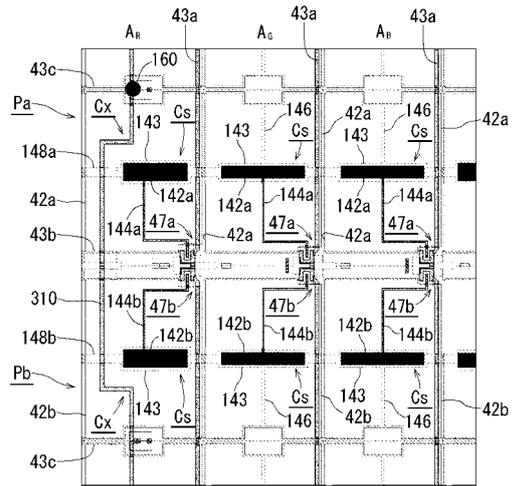
【 図 18 】

FIG. 18



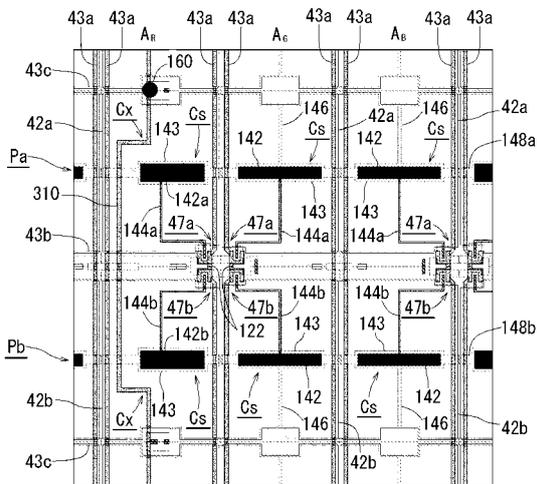
【 図 19 】

FIG. 19



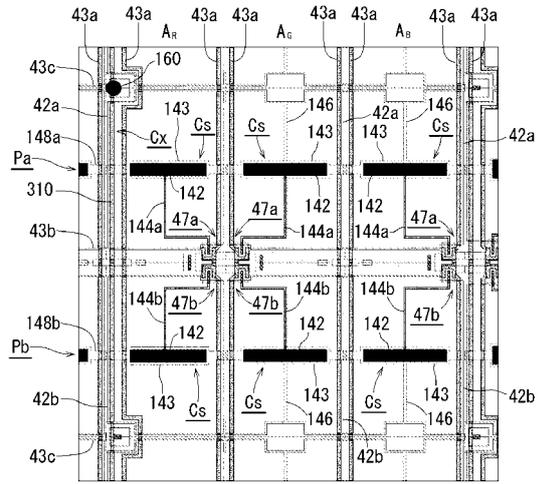
【 図 20 】

FIG. 20



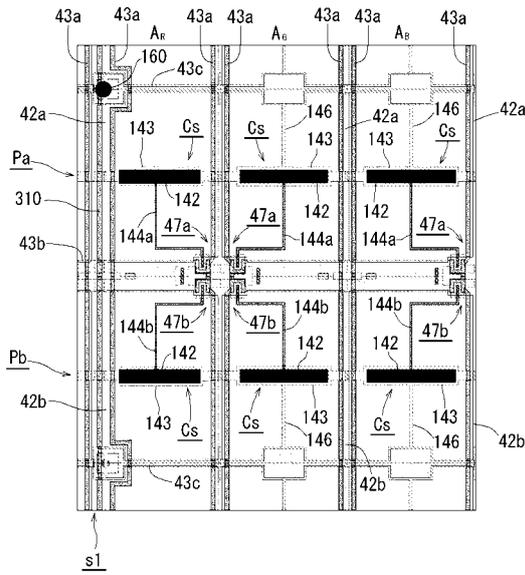
【 図 21 】

FIG. 21



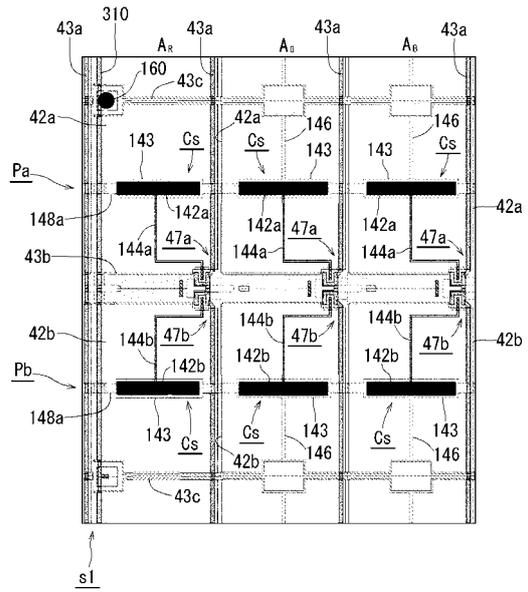
【 図 2 2 】

FIG. 22



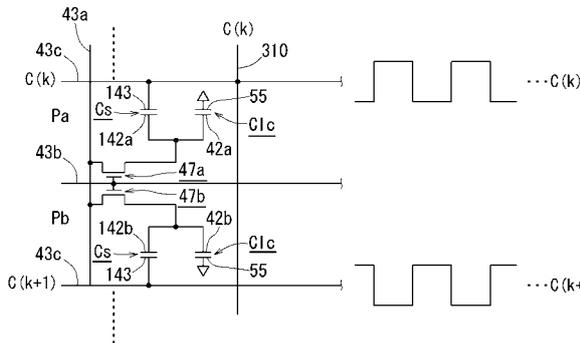
【 図 2 3 】

FIG. 23



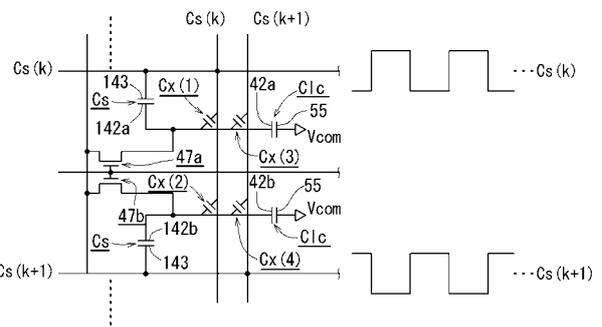
【 図 2 4 】

FIG. 24



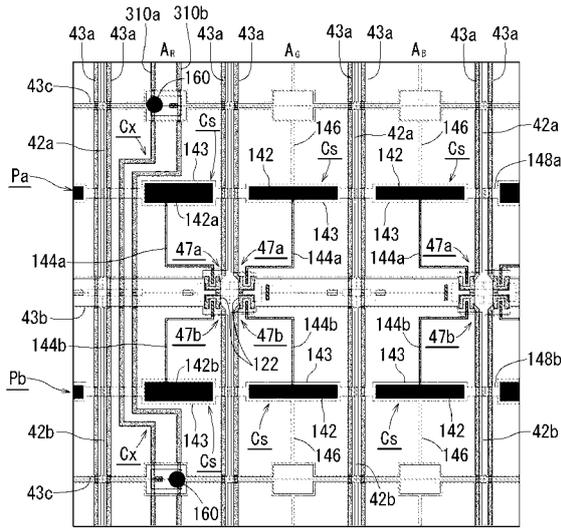
【 図 2 5 】

FIG. 25



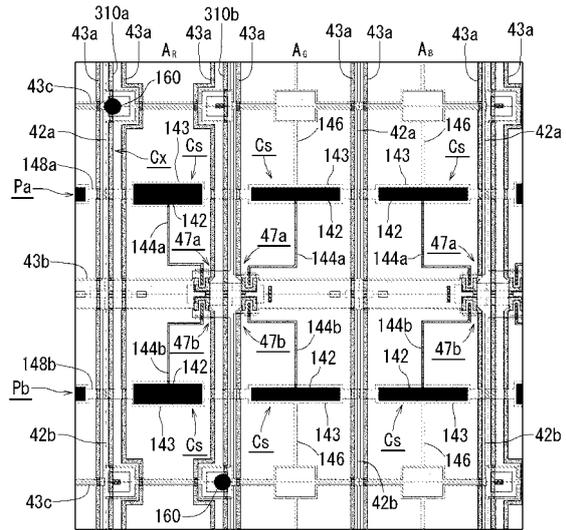
【 図 2 6 】

FIG. 26



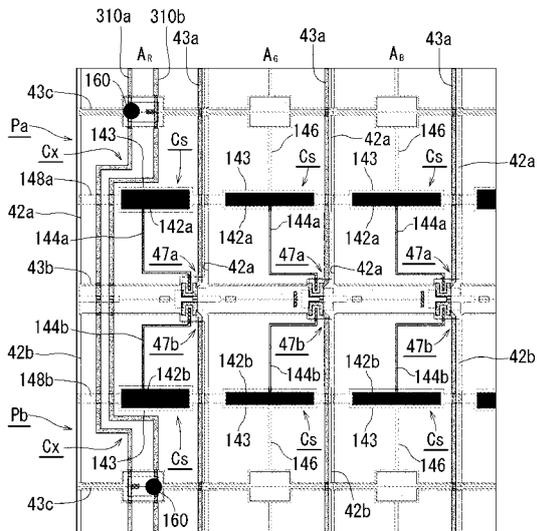
【 図 2 7 】

FIG. 27



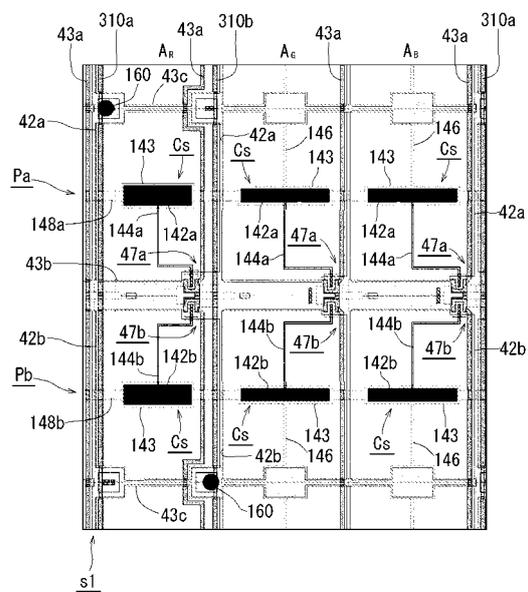
【 図 2 8 】

FIG. 28



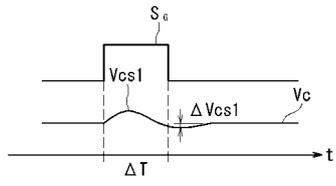
【 図 2 9 】

FIG. 29



【 図 30 】

FIG. 30



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 4 D
G 0 9 G 3/20 6 1 1 J
G 0 9 G 3/20 6 1 1 D
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 L

(72)発明者 正楽 明大

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 森江 健蔵

(56)参考文献 特開2003-043948(JP,A)

特開平10-239699(JP,A)

特開平10-213812(JP,A)

特開平10-232412(JP,A)

特開2001-281690(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8