



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2006 011 240 A1** 2007.09.20

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2006 011 240.7**

(22) Anmeldetag: **10.03.2006**

(43) Offenlegungstag: **20.09.2007**

(51) Int Cl.⁸: **H01L 29/73** (2006.01)

H01L 29/737 (2006.01)

H01L 21/331 (2006.01)

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(72) Erfinder:

Schäfer, Herbert, Dr., 85635 Höhenkirchen-Siegertsbrunn, DE; Böck, Josef, Dr., 81827 München, DE; Lachner, Rudolf, Dr., 85051 Ingolstadt, DE; Meister, Thomas, Dr., 82024 Taufkirchen, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE10 2004 001239 A1

DE 103 17 098 A1

DE 103 08 870 A1

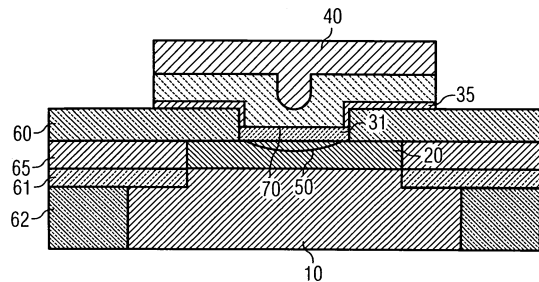
US 53 23 032

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Bipolartransistor und Verfahren zum Herstellen eines Bipolartransistors**

(57) Zusammenfassung: Ein Bipolartransistor weist eine Basis (20), einen Emitter und einen Emitterkontakt (40) auf. Der Emitter weist eine monokristalline Schicht (31) und eine polykristalline Schicht (35) auf, die in der genannten Reihenfolge zwischen der Basis (20) und dem Emitterkontakt (40) angeordnet sind.



Beschreibung

[0001] Die vorliegende Erfindung befasst sich mit einem Bipolartransistor und einem Verfahren zum Herstellen eines Bipolartransistors, der z.B. für hohe Frequenzbereiche geeignet ist.

[0002] Bipolartransistoren (im Folgenden auch nur als Transistoren bezeichnet), wie beispielsweise Si/SiGe-Hetero-Bipolar-Transistoren, erobern sich immer höhere Frequenzbereiche. Die Transistoren dringen dabei in Frequenzbereiche vor, die bisher eine Domäne von III/V-Halbleitern waren. Die Performance eines Transistors wird durch das Design des Emitters entscheidend beeinflusst. Bei Bipolartransistoren wird zwischen polykristallinen und monokristallinen Emittoren unterschieden.

[0003] Fig. 4 zeigt einen Bipolartransistor mit einem polykristallinen Emitter. Der Transistor weist einen Kollektor **10**, eine Basis **20**, einen Emitter **30** und einen Emitterkontakt **40** auf. Die Basis **20** wird als monokristalline Basis und der Emitter **30** als polykristalliner Emitter ausgeführt. Somit erfolgt ein Stromfluss zwischen Basis **20** und Emitterkontakt **40** durch den polykristallinen Emitter **30**. Der Transistor ist von Isolierschichten **60**, **61**, **62** umgeben. Die Basis ist durch eine Basiskontaktschicht **65** kontaktiert. Zur Herstellung des polykristallinen Emitters **30** wird auf der monokristallinen Basis **20** eine Oxidschicht in der Größenordnung einer Monolage aufgebracht und diese mit Polysilizium beschichtet, das anschließend den Emitter **30** bildet und dotiert wird. In einem anschließenden Emitter-Drive-in wird der Dotierstoff aktiviert und in das darunter liegende monokristalline Silizium eingetrieben, so dass hier ein Emitter-Basis-pn-Übergang **50** zu liegen kommt. Gleichzeitig werden durch Diffusion aber Dotierstoffprofile verschmiert. Dies äußert sich in einer reduzierten Hochfrequenzperformance. Beim polykristallinen Emitter hat die Stärke der Oxid-Zwischenschicht einen entscheidenden Einfluss auf die Stromverstärkung. Dies erfordert eine extrem gute Kontrolle dieser Schicht in der Produktion, um reproduzierbare Ergebnisse zu gewährleisten.

[0004] Fig. 5 zeigt einen Bipolartransistor mit einem monokristallinen Emitter, der entsprechend zu dem in Fig. 4 gezeigten Transistor einen Kollektor **10**, eine Basis **20**, einen Emitter **30** sowie einen Emitteranschluss **40** aufweist, wobei der Emitter **30** aber als monokristalliner Emitter ausgeführt ist. Beim monokristallinen Emitter **30** wird die Oxid-Zwischenschicht bewusst vermieden, so dass die nachfolgende Siliziumabscheidung im aktiven Bereich, d.h. dem Fenster in einer die Basis ansonsten bedeckenden Isolierschicht **60**, monokristallin erfolgen kann. Auf der seitlichen dielektrischen Schicht **60** erfolgt eine Abscheidung simultan, aber amorph oder polykristallin. Die Dotierung kann in situ während der Abscheidung er-

folgen, so dass die Dotierstoffe schon elektrisch aktiv sind und nicht aktiviert werden müssen, wodurch steile Dotierstoffprofile weitgehend erhalten werden und die Hochfrequenzperformance gut ist. Wird der Dotierstoff nachträglich implantiert, so muss ein Aktivierungstemperaturschritt mit den oben bereits erwähnten Nachteilen erfolgen.

[0005] Der monokristalline Emitter kommt im Vergleich zum polykristallinen Emitter mit einem geringen Temperaturbudget aus. Dies wirkt sich in weniger zerlaufenden Dotierstoffprofilen und damit in einer besseren Hochfrequenzperformance aus. Somit lässt sich mit Si/SiGe-Hetero-Bipolar-Transistoren mit monokristallinen Emittoren eine Hochfrequenzperformance erreichen, die einen Einsatz solcher Transistoren als GSM-Leistungsverstärker in Mobiltelefonen ermöglicht. Ein Kennzeichen des monokristallinen Emitterkonzepts ist ein sehr niedriger elektrischer Emitterwiderstand. Gerade bei Leistungs-Transistoren ist ein zu niedriger Emitterwiderstand aber manchmal unerwünscht, weil er zu Instabilitäten des Transistors bei hohen Strömen führen kann. Diese werden durch Stromeinschnürungen verursacht, die bei kleinen Verhältnissen von Emitter- zu Basis-Bahnwiderstand auftreten können. Da Leistungs-Transistoren mit monokristallinen Emittoren eher zu Instabilitäten neigen, werden meist Transistoren mit polykristallinen Emittoren eingesetzt. Diese haben einen höheren Emitterwiderstand und neigen weniger zu den genannten Instabilitäten. Andererseits zeigen sie aber auch eine reduzierte Hochfrequenzperformance. Dies stellt einen Einsatz beispielsweise in Mobiltelefonen in Frage, bei denen eine hohe Hochfrequenzperformance gefordert ist. Darüber hinaus zeigt der polykristalline Emitter in der Produktion stärkere Schwankungen in der Stromverstärkung. Dies hat einen erhöhten Kontrollaufwand zur Folge und kann zu einem erhöhten Verwurf führen.

[0006] US 6,410,945 B1 und JP 10177595 beschreiben Bipolartransistoren auf GaAs-Basis, deren Emitter einen schichtförmigen Aufbau aufweisen. Ziel dieses Ansatzes ist es, den Emitterwiderstand zu verringern.

[0007] Es ist die Aufgabe der vorliegenden Erfindung, einen Bipolartransistor sowie ein Verfahren zum Herstellen eines Bipolartransistors zu schaffen, der eine verbesserte Hochfrequenzperformance aufweist.

[0008] Diese Aufgabe wird durch einen Bipolartransistor gemäß Anspruch 1 sowie ein Verfahren zum Herstellen eines Bipolartransistors gemäß Anspruch 11 gelöst.

[0009] Die vorliegende Erfindung schafft einen Bipolartransistor mit einer Basis und einem Emitterkontakt, wobei eine monokristalline Schicht und eine po-

lykristalline Schicht in der genannten Reihenfolge zwischen der Basis und dem Emitterkontakt angeordnet sind, und die monokristalline Schicht (**31**) eine der Basis (**20**) abgewandte und gegenüber der Basis erhabene Oberfläche aufweist.

[0010] Die vorliegende Erfindung schafft ferner ein Verfahren zum Herstellen eines Bipolartransistors, das die folgenden Schritte umfasst:

Bereitstellen einer Basis;

Aufbringen einer monokristallinen Schicht auf die Basis, und

Aufbringen einer polykristallinen Schicht auf die monokristalline Schicht; und

Aufbringen eines Emitterkontakts auf die polykristalline Schicht.

[0011] Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, dass sich ein Emitter als Kombination von Mono-Emitter und Poly-Emitter gestalten lässt. Dadurch lassen sich die Vorteile beider Konzepte vereinen und gleichzeitig deren Nachteile vermeiden. Gemäß der vorliegenden Erfindung wird der Emitter in zwei Schichten zerlegt. Dabei handelt es sich um eine monokristalline untere, also der Basis zugeordnete Schicht und eine polykristalline obere Schicht. Die untere Schicht entspricht dem in [Fig. 5](#) gezeigten monokristallinen Emitter und hat den Vorteil, dass die Notwendigkeit einer Oxid-Zwischenschicht zwischen Basis und Emitter, wie sie beim polykristallinen Emitter erforderlich ist, vermieden werden kann. Zudem liefert die monokristalline Schicht eine sehr gute Hochfrequenzperformance. Die obere Schicht des erfindungsgemäßen Emitters entspricht dem in [Fig. 4](#) gezeigten polykristallinen Emitter. Die polykristalline Emitterschicht ermöglicht einen durch die Herstellungsbedingungen einstellbaren Serienwiderstand. Dadurch lassen sich die Instabilitäten vermeiden, die dann auftreten, wenn der Emitter ausschließlich aus einer monokristallinen Schicht aufgebaut ist und als Leistungstransistor eingesetzt wird. Ein besonderer Vorteil dieses Schichtaufbaus besteht auch darin, dass die Beschaffenheit der polykristallinen Deckschicht fast keinen Einfluss auf die Stromverstärkung des Transistors hat und somit frei nach anderen Randbedingungen eingestellt werden kann.

[0012] Die unterschiedlichen Schichten des erfindungsgemäßen Emitters können sich in Struktur, Zusammensetzung, Dotierung und elektrischem Widerstand unterscheiden und durch Grenzschichten getrennt sein. Dabei kann sowohl die monokristalline Schicht als auch die polykristalline Schicht in weitere Teilschichten unterteilt sein. Ein Widerstandswert der Schichten lässt sich durch das gewählte Herstellungsverfahren, die gewählte Dicke oder die Dotierung der Schichten auf einen gewünschten Wert einstellen. Insbesondere lässt sich der Widerstand durch die Verwendung der polykristallinen Schicht

stark verändern und somit an geforderte Einsatzbedingungen anpassen. Widerstandsänderungen um den Faktor 10 sind dabei problemlos möglich. Trotz solcher Widerstandsänderungen ändert sich die Stromverstärkung nur schwach, da sie von der Emitter-Basis-Grenzfläche definiert wird und auf Änderungen dieser Grenzfläche empfindlich reagiert. Somit lassen sich Transistoren mit einem hohen Emitterwiderstand realisieren, die trotzdem eine hohe Stromverstärkung aufweisen. Der hohe Emitterwiderstand hat den Vorteil, dass eine Instabilität des Transistors erst bei höheren Strömen auftritt und der Transistor somit auch für Leistungsanwendungen geeignet ist.

[0013] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

[0014] [Fig. 1](#) eine Querschnittsdarstellung eines Bipolartransistors gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0015] [Fig. 2](#) eine Querschnittsdarstellung eines Bipolartransistors gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung;

[0016] [Fig. 3](#) eine schematische Darstellung eines Schichtaufbaus eines Bipolartransistors gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0017] [Fig. 4](#) einen Bipolartransistor mit einem polykristallinen Emitter gemäß dem Stand der Technik; und

[0018] [Fig. 5](#) einen Bipolartransistor mit einem monokristallinen Emitter gemäß dem Stand der Technik.

[0019] In der nachfolgenden Beschreibung der bevorzugten Ausführungsbeispiele der vorliegenden Erfindung werden für die in den verschiedenen Zeichnungen dargestellten und ähnlich wirkenden Elemente gleiche oder ähnliche Bezugszeichen verwendet, wobei eine wiederholte Beschreibung dieser Elemente weggelassen wird.

[0020] [Fig. 1](#) zeigt eine Querschnittsdarstellung durch einen Bipolartransistor gemäß einem Ausführungsbeispiel der vorliegenden Erfindung. Der Transistor weist einen Kollektor **10**, eine Basis **20**, einen Emitter bestehend aus einer monokristallinen Schicht **31** und einer polykristallinen Schicht **35** sowie einen Emitterkontakt **40** auf. Zwischen der monokristallinen Emitterschicht **31** und der polykristallinen Emitterschicht **35** kann eine Grenzschicht **70** angeordnet sein. Eine an die Basis angrenzende Basiskontaktschicht **65** kann aus polykristallinem Material aufgebaut sein. Der Emitterkontakt **40** kann aus einem Si-

lizid oder einem Metall, wie beispielsweise Wolfram, bestehen. Den Transistor umgebende Substratschichten oder Isolierschichten **60**, **61**, **62** können aus einem Dielektrikum bestehen.

[0021] Bei dem Transistor kann es sich um einen n-p-n-Transistor handeln, der einen n⁻-Kollektor, eine p-Basis und einen n⁺-Emitter aufweist. Der umgekehrte Fall wäre alternativ natürlich ebenfalls möglich.

[0022] Der Aufbau des Kollektors **10** und der Basis **20** kann von bekannten Bipolartransistoren übernommen werden. Gemäß dem Ausführungsbeispiel handelt es sich bei der Basis **20** um eine monokristalline Basis. Die untere Emitterschicht **31** ist ebenfalls eine monokristalline Schicht. Zwischen Basis **20** und der unteren Emitterschicht **31** ist keine Oxidschicht oder dergleichen vorgesehen. Die beiden Schichten **20** und **31** grenzen vielmehr unmittelbar aneinander an. Zwischen der monokristallinen Emitterschicht **31** und der polykristallinen Emitterschicht **35** kann eine Oxidschicht **70** angeordnet sein, die zur Unterbrechung der Gitterinformation von Schicht **31** zu Schicht **35** dient.

[0023] Die polykristalline Emitterschicht **35** ist so ausgeführt, dass sie eine durchgehende Trennschicht zwischen der monokristallinen Emitterschicht **31** und dem Emitterkontakt **40** bildet.

[0024] Somit sind keine Berührungsflächen zwischen der monokristallinen Emitterschicht **31** und dem Emitterkontakt **40** vorhanden, die einen direkten Stromfluss von der monokristallinen Emitterschicht **31** in den Emitterkontakt **40** ermöglichen würden. Ein Stromfluss zwischen Basis **20** und Emitterkontakt **40** erfordert daher sowohl einen Durchfluss durch die monokristalline Schicht **31** als auch durch die polykristalline Schicht **35**, wobei sich die Widerstände beider Schichten addieren.

[0025] Gemäß dem in [Fig. 1](#) gezeigten Ausführungsbeispiel sind die einzelnen Bestandteile des Transistors als einzelne Schichten gezeigt. Bei den Schichten kann es sich beispielsweise um Schichten eines Halbleiterbauelementes handeln. Auf einer oberen (in Bezug auf die Figuren) Grenzfläche des Kollektors **10** ist die Basisschicht **20** angeordnet. Auf die dem Kollektor gegenüberliegende Oberfläche der Basis **20** ist die monokristalline Emitterschicht **31** angeordnet bzw. aufgebracht, so dass sie eine der Basis abgewandte, gegenüber der Basis erhabende und von derselben vorstehende Oberfläche aufweist, die sich innerhalb des aktiven Bereichs, d. h. der Öffnung in der Isolationsschicht **60**, in einer Höhe erstreckt, die von der Basis weiter beabstandet ist als die der Basis zugewandte Seite der Isolationsschicht **60**. Gemäß diesem Ausführungsbeispiel ist die monokristalline Schicht **31** bzw. der aktive Bereich in

etwa in der Mitte der Basis **20** angeordnet. Auf der der Basis **20** gegenüberliegenden Oberfläche der monokristallinen Schicht **31** ist die polykristalline Schicht **35** angeordnet. Gemäß diesem Ausführungsbeispiel bedeckt die polykristalline Schicht **35** die gesamte Oberfläche der monokristallinen Schicht **31**. An den Randbereichen der monokristallinen Schicht **35** kann eine weitere Dielektrikumsschicht angeordnet sein, die die Schicht gegen angrenzende Substratflächen abgrenzt.

[0026] Die polykristalline Schicht **35** kann mit einer trogförmigen Aussparung versehen sein, die sich in etwa oberhalb der Mitte der monokristallinen Schicht **31** bzw. lateral in der Mitte des aktiven Bereichs befindet. Der Emitterkontakt **40** ermöglicht eine Kontaktierung des Transistors und schließt an die polykristalline Schicht **35** an. Er besteht vorzugsweise aus Metall. Gemäß dem in [Fig. 1](#) gezeigten Ausführungsbeispiel bedeckt der Emitterkontakt **40** die gesamte, der monokristallinen Schicht **31** gegenüberliegende Oberfläche der polykristallinen Schicht **35**.

[0027] [Fig. 2](#) zeigt eine Querschnittsdarstellung eines selbstjustierten Doppel-Poly-Bipolar-Transistors gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung. Der in [Fig. 2](#) gezeigte Bipolartransistor kann dabei beispielsweise insbesondere als Doppel-Poly-Si-Hetero-Bipolar-Transistor mit einer selektiv gewachsenen SiGe-Basis ausgeführt sein, wie es aus dem Ausführungsbeispiel von [Fig. 2](#) ohne weiteres deutlich wird. Abweichend von bekannten Bipolartransistoren ist der Emitter als Mono-Poly-Emitter mit den Schichten **31**, **35** integriert.

[0028] Gemäß diesem Ausführungsbeispiel besteht die polykristalline Schicht **35** aus n⁺-Poly-Si und die Basiskontaktschicht **65** aus p⁺-Poly-Si. Gemäß diesem Ausführungsbeispiel sind sowohl die monokristalline Basis **20** als auch die monokristalline Emitterschicht **31** an den seitlichen Flanken abgeschrägt.

[0029] Ein Verfahren zur Herstellung des in [Fig. 2](#) gezeigten Transistors und insbesondere zur Integration des erfindungsgemäßen Mono-Poly-Emitters auf den Kollektorbasisaufbau wird im Folgenden beschrieben.

[0030] Der Kollektor **10** sowie die Basis **20** können nach bekannten Herstellungsverfahren hergestellt werden. Beispielsweise werden zunächst die Isolierschicht **61**, die polykristalline Schicht **65** und die Isolierschicht **60** ganzflächig aufgebracht, woraufhin eine Öffnung in die Schichten **60** und **65** geätzt und die darunter liegende Isolierschicht **61** an der dadurch freigelegten Oberfläche durch die gebildete Öffnung so geätzt wird, dass eine Unterätzung der polykristallinen Schicht **65** eintritt. Danach wird durch selektives Aufwachsen die Basis bzw. die Basisschichtanordnung **20** auf der so freigelegten Oberflä-

che des Kollektors **10** aufgewachsen, was zu einer schräg verlaufenden Grenze zwischen der als Basisanschluss dienenden polykristallinen Schicht **65** und der monokristallinen Basis **20** führt, wie sie in [Fig. 2](#) zu sehen ist. Nach Fertigstellung des Basis-Kollektor-Aufbaus, der neben Kollektor **10** und Basis **20** die Isolierschichten **60**, **61**, **62** sowie die Basiskontaktschicht **65** aufweist, wird ein Emitterfenster **80** mittels beispielsweise Lithographie und anisotropen Ätzens in einem zuvor zusätzlich in der Öffnung aufgebrachteten Isoliermaterial **82**, der als Spacer dient, geöffnet, so dass die Basis **20** freiliegt. Im Anschluss an einen nasschemischen Ätzschritt, beispielsweise mit verdünnter Flusssäure, zur Entfernung des nativen Oxids, erfolgt ein Aufbringen der monokristallinen Emitterschicht **31** durch differentielles Wachstum, so dass während des Aufwachsens gleichzeitig amorphes oder polykristallines Silizium **84** auf den dielektrischen Schichten **60** und **82** der Umgebung abgeschieden wird. Es ist dabei vorteilhaft, die monokristalline Schicht **31** während der Epitaxie in situ durch Zugabe von Dotiergasen zu dotieren.

[0031] Als Dotiergase können beispielsweise PH₃, AsH₃, B₂H₆ verwendet werden.

[0032] Zwischen der monokristallinen Schicht **31** und der polykristallinen Schicht **35** kann die Grenzschicht **70** angeordnet werden. Als Grenzschicht **70** eignet sich beispielsweise eine dünne Schicht aus Siliziumoxid. In diesem Fall wird im Anschluss auf das Aufbringen der monokristallinen Schicht **31** die Grenzschicht **70** erzeugt. Die Grenzschicht verbirgt die Gitterinformation der darunter liegenden monokristallinen Schicht **31** und ermöglicht dadurch einen Übergang zum polykristallinen Wachstum der polykristallinen Schicht **35**. Um polykristallines Wachstum zu erreichen ist eine gewisse Mindestdicke vorteilhaft. Eine weitere Erhöhung der Dicke vergrößert dann nur noch den elektrischen Widerstand der Grenzschicht **70**. Die Grenzschicht **70** stellt auch einen Serienwiderstand dar, der durch die Schichtdicke der Grenzschicht **70** variiert werden kann. Als Grenzschicht **70** eignet sich beispielsweise eine dünne Schicht aus Siliziumoxid. Die Stärke der Grenzschicht **70** lässt sich beispielsweise durch nasschemische Behandlung, Sauerstoff-Plasma- oder Ozon-Behandlung und Lagern an Luft einstellen, wobei die erzielte Dicke auch von der Dotierung der monokristallinen Unterlage **31** abhängt.

[0033] Es sind auch andere Grenzschichten **70** denkbar, wie beispielsweise Grenzschichten **70** aus Siliziumnitrid oder Siliziumcarbid, für deren Anpassung die gleichen Überlegungen gelten.

[0034] Nach dem Aufbringen der monokristallinen Schicht **31** bzw. nach Aufbringen der zusätzlichen Grenzschicht **70** erfolgt eine Abscheidung der polykristallinen Schicht **35** unter ähnlichen Bedingungen

wie bereits oben anhand der monokristallinen Schicht **31** beschrieben. Es ist günstig, zunächst eine dünne Bekeimungsschicht (nicht gezeigt in [Fig. 2](#)) zu wachsen, die für die gewünschte Korngrößenverteilung sorgt. Danach kann ein Aufbringen der restlichen polykristallinen Schicht **35** unter Bedingungen erfolgen, die für hohen Durchsatz optimiert sind. Um auch den Widerstand der polykristallinen Schicht **35** zu variieren, kann die Dotierung in situ während des Wachsens durch Änderung der Dotiergasflüsse eingestellt werden.

[0035] Gemäß diesem Ausführungsbeispiel besteht der erfindungsgemäße Emitter aus vier Teilschichten. Es handelt sich dabei von unten nach oben gesehen um Mono-Si als monokristalline Schicht **31**, eine Oxidschicht als Grenzschicht **70**, eine Poly-Si-Bekeimungsschicht sowie einen Poly-Si-Deckel als polykristalline Schicht **35**. Im fertigen Bauelement sind aber nur noch drei Schichten **31**, **70**, **35** sichtbar. Bekeimungsschicht und Deckschicht können nicht unterschieden werden, da beide polykristallin sind und gleiche Dotierung und Kornstruktur aufweisen.

[0036] Ein Wachstum der mono- und polykristallinen Schichten **31**, **35** kann in einer Epitaxieanlage mit einer Gasphasenabscheidung erfolgen, die bei folgenden Bedingungen abläuft: Temperatur 500–700°C; Druck 1–700 Torr; Trägergas H₂, N₂ oder Ar; Silizium lieferndes Gas SiH₄, Si₂H₆ oder Si₃H₈; Dotiergas B₂H₆, PH₃ oder AsH₃. Eine Optimierung für die jeweilige Schicht ist im Rahmen des erwähnten Parameterbereichs für Druck und Temperatur möglich und angebracht.

[0037] Die Widerstandswerte der einzelnen Emitterschichten sowie des gesamten Emitters haben einen wesentlichen Einfluss auf das Hochfrequenzverhalten des Transistors sowie auf die Eignung des Transistors als Leistungstransistor.

[0038] Anhand von [Fig. 3](#) wird ein möglicher Schichtaufbau eines Emitters mit dazugehörigen Widerstandswerten im Rahmen eines SiGe-Hetero-Bipolartransistors beschrieben. Die in [Fig. 3](#) gezeigte schematische Darstellung eines Lagenaufbaus eines erfindungsgemäßen Emitters basiert auf einer Basis **20** mit einem Schichtaufbau, der oben bzw. zum Emitter hin mit einer Si-Cap bzw. einem Si-Deckel endet. Weiter unten liegende Teilschichten der Basis **20**, die in [Fig. 3](#) nicht gezeigt sind, umfassen epitaktisch aufgewachsene Schichten unterschiedlicher Mischungen von Si und Ge, wobei der Anteil von Ge beispielsweise zum Emitter hin abnimmt und die Si-Ge-Schicht ausreichend dünn ist, um aufgrund der unterschiedlichen Gitterkonstanten zur darunter liegenden Si-Schicht nicht zu Gitterfehlern zu führen. Der in [Fig. 3](#) ebenfalls nicht dargestellte Kollektor kann beispielsweise in einem Si-Substrat gebildet sein. Auf dem Si-Deckel **20** sind aufeinander folgend

zwei monokristalline Emitterschichten **31**, **32** aufgebracht. Die erste monokristalline Schicht **31**, als Mono-Layer #1 bezeichnet, weist eine Dicke von 32 nm auf. Die zweite monokristalline Schicht **32**, bezeichnet als Mono-Layer #2 weist eine Dicke von 16 nm auf. Auf der zweiten monokristallinen Schicht **32** ist eine Oxidschicht **70** angeordnet. Ein polykristalliner Schichtstapel **35** besteht aus einem Seed-Layer bzw. einer Bekeimungsschicht mit einer Dicke von 20 nm, die auf der Oxidschicht **70** angeordnet ist, sowie aus einer darauffolgenden Poly-Layer mit einer Dicke von 140 nm.

[0039] Die erste monokristalline Schicht **31** ist dotiert und weist einen Schichtwiderstandswert von 173 Ω auf. Bei diesem und den folgenden Widerstandswerten handelt es sich nicht um den Widerstandswert in vertikaler Richtung, die ein Strom beim Durchfluss des Emitters durchläuft, sondern um einen Widerstandswert in horizontaler Richtung. Aus diesem horizontalen Schichtwiderstandswert kann jedoch auf den vertikalen Wert, der letztendlich die Charakteristik des Transistors ausmacht, rückgeschlossen werden. Abhängig von der Dotierungseinstellung der zweiten monokristallinen Schicht **32** mit einem Dotiergasfluss von 15, 40 oder 100 sccm 1% AsH₃ beträgt der Schichtwiderstandswert der zweiten monokristallinen Schicht **32** zwischen 463 Ω und 540 Ω . Der Widerstandswert der polykristallinen Schicht **35** beträgt 478 Ω . Die Messung der Widerstandswerte wurde nach kurzzeitiger Erhitzung auf 900°C für drei Sekunden durchgeführt. Als Gesamtschichtwiderstandswert des Emitters ergibt sich dabei ein Wert zwischen 100 Ω und 130 Ω . Schichtwiderstandswerte vor der Erhitzung lassen sich der linken Seite der [Fig. 3](#) entnehmen. Die Aufbringung der monokristallinen Schichten **31** und **32** durch epitaktisches Aufwachsen kann mit oder ohne Verwendung einer Dotiergasdosis zur in-situ Dotierung erfolgen.

[0040] Alle genannten Werte sind lediglich beispielhaft genannt und können angepasst werden, um den Transistor an geforderte Bedingungen anzupassen.

[0041] Bezüglich der monokristallinen Schicht kommen beispielsweise Schichtdicken zwischen 5 nm und 100 nm in Frage. Die monokristalline Schicht kann dabei aus einer einzigen monokristallinen Schicht mit einer Dicke von 25 nm oder ein Schichtaufbau aus zwei übereinanderliegenden monokristallinen Schichten mit einer Dicke von 25 nm und 12 nm bestehen. Dabei kann die an die Basis angrenzende monokristalline Schicht dicker sein als die andere der beiden monokristallinen Schichten. Beispielfhaft sei hier ein Dickenverhältnis von 1:2 oder kleiner angegeben, so dass die an die Basis angrenzende Schicht mindestens doppelt so dick ist wie die darüber liegende Schicht. Als Dotierung der oberen monokristallinen Schicht, d. h. der Schicht, die der polykristallinen Schicht gegenüber liegt, kommt bei-

spielsweise eine Dotierungseinstellung mit einem Dotiergasfluss von 5–200 sccm 1% AsH₃ oder 1% SiH₃CH₃ in Frage. Beispielsweise seien hier Werte von 15, 30, 40, 100 oder 150 sccm genannt.

[0042] Eine Oxidschicht zwischen monokristalliner Schicht und polykristalliner Schicht kann beispielsweise eine Dicke zwischen 0,1 nm und 1,5 nm aufweisen. Eine untere Dicke der Oxidschicht ist dabei durch die Funktionalität einer Verbergung der Gitterstruktur der darunter liegenden monokristallinen Schicht gegeben. Die Dicke der Oxidschicht wird durch den angestrebten Widerstandswert dieser Schicht beschränkt. Je dicker die Oxidschicht ist, um so größer ist der Widerstandswert. Durch eine geeignete Wahl der Dicke der Oxidschicht lässt sich somit der Gesamtwiderstand des Emitters einstellen.

[0043] Als Seed-Layer kann beispielsweise Silan und als Poly-Layer Disilan verwendet werden. Eine Gesamtdicke der polykristallinen Schicht kann beispielsweise Werte zwischen 50–300 nm aufweisen. Beispielsweise sind hier Werte von 103,4 nm, 157,8 nm und 160 nm genannt.

[0044] Ein spezifischer Widerstand des Emitters kann beispielsweise Werte zwischen 0,1 und 15 m Ω -cm annehmen. Beispielsweise seien hier Werte von 0,43, 0,55, 6,64 und 7,55 m Ω -cm genannt.

[0045] Ein Kollektorwiderstand im fertigen Transistor kann beispielsweise Werte zwischen 1 und 50 Ω annehmen. Als Beispiele werden hier Werte von 2,77, 5,27, 7,75 und 23,7 Ω genannt.

[0046] Alle genannten Werte sowie Herstellungsparameter sind beispielhaft gewählt und lassen sich, auch über die genannten Bereiche, sowohl nach oben als auch nach unten erweitern, um den erfindungsgemäßen Transistor an geänderte Einsatzbedingungen anzupassen. Insbesondere kann die monokristalline Lage dabei auch mehr als zwei Schichten aufweisen.

[0047] Bei den vorangegangenen Ausführungsbeispielen wurde von unten nach oben gesehen mit einer monokristallinen Schicht begonnen und mit polykristallinen oder amorphen Schichten, beispielsweise der Oxidgrenzschicht, fortgefahren. Es kann jedoch auch mit einer polykristallinen Schicht gestartet werden und mit anderen polykristallinen oder amorphen Schicht fortgefahren werden. Ein Übergang von polykristallinen oder amorphen Schichten zu monokristallinen Schichten ist dagegen problematisch, da die anfangs vergrabene Gitterinformation nicht mehr zur Verfügung steht.

[0048] Ferner ist das Grundmaterial des monokristallinen und des polykristallinen Anteils des Emitters nicht notwendiger Weise dasselbe, wie z.B. Si in den

vorhergehenden Ausführungsbeispielen. Vielmehr ist es möglich, die polykristalline Schicht bzw. Schichten auch in Poly-Ge oder Poly-SiGe auszuführen, während die monokristalline Schicht in Si ausgeführt ist. In dem Fall mehrerer Poly-Emitterschichten, wie z.B. in [Fig. 3](#), können diese auch untereinander aus unterschiedlichen Poly-Materialien gebildet sein. Die Wahl des Materials hat Einfluss auf den Widerstand des Transistors, so dass durch das Zulassen verschiedener Materialien die Designfreiheit erhöht ist. Natürlich kann umgekehrt auch für die monokristalline Schicht anstelle von Mono-Si auch Mono-Ge oder Mono-SiGe verwendet werden. Insbesondere in dem Fall mehrerer Monoemitterschichten, wie die Schichten **31** und **32** in [Fig. 3](#), können diese auch untereinander mit unterschiedlichen Materialien gebildet sein. Bevorzugt besteht in diesem Fall die untere bzw. der Basis näher gelegene Mono-Schicht aus Mono-Si, während die obere bzw. weiter entfernt gelegene aus Mono-SiGe besteht. Ein Wachstum von mono- und polykristallinen Schichten aus Ge und SiGe kann dabei in einer Epitaxieanlage mit einer Gasphasenabscheidung erfolgen, die bei beispielsweise den im vorhergehenden genannten übrigen Bedingungen unter Verwendung von – alternativ oder zusätzlich zum Silizium liefernden Gas-Germanium lieferndem Gas GeH_4 stattfindet.

[0049] Die Abmessungen der oben genannten Schichten können abhängig von der gewünschten Spezifikation des Transistors geeignet eingestellt werden. Beispielsweise kann bzw. können die monokristallinen Schichten – zusammen oder einzeln – eine Dicke zwischen 5 und 200 nm aufweisen, während die polykristalline bzw. polykristallinen Schichten – zusammen oder einzeln für sich – eine Dicke zwischen 20 und 500 nm aufweisen. Die Grenzschicht **70** kann auf eine Dicke zwischen 0,1 und 2 nm eingestellt sein. Für die Bekeimungsschicht kann eine Dicke zwischen 5 und 100 nm vorgesehen werden.

[0050] Die beschriebenen monokristallinen und polykristallinen Schichten wurden als Teilschichten des Emitters beschrieben.

[0051] Die polykristalline Schicht könnte jedoch auch als Leiterbahn oder Kontakt fortgeführt werden und somit als Teil des Emitterkontakts angesehen werden. In dieser Hinsicht könnte der Bereich der Leiterbahn, der die polykristalline Emitterschicht bildet, so ausgestaltet sein, dass ein erforderlicher Widerstandswert der polykristallinen Emitterschicht erreicht wird. Der erforderliche Widerstandswert kann durch die bereits beschriebenen Maßnahmen, beispielsweise durch ein Einstellen der Dicke der Leiterbahn in diesem Bereich, erzielt werden.

[0052] Abweichend von den vorhergehenden Ausführungsbeispielen lässt sich die vorliegende Erfin-

dung natürlich auch bei GaAs-Bipolartransistoren einsetzen.

[0053] Die horizontale (bezogen auf die Figuren) Ausformung der einzelnen Schichten kann beliebig gewählt werden. Beispielsweise sind kreisförmige oder rechteckförmige Ausgestaltungen denkbar. Es sind jedoch auch beliebig andere Formen möglich, die die Reihenfolge der Anordnung der Schichten beibehalten.

Bezugszeichenliste

| | |
|-------------------|--------------------------------|
| 10 | Kollektor |
| 20 | Basis |
| 30 | Emitter |
| 31, 32 | monokristalline Emitterschicht |
| 35 | polykristalline Emitterschicht |
| 40 | Emitterkontakt |
| 50 | pn-Übergang |
| 60, 61, 62 | Isolierschichten |
| 65 | Basiskontaktschicht |
| 70 | Grenzschicht |
| 80 | Emitterfenster |
| 82 | Isoliermaterial |
| 84 | Randmaterial |

Patentansprüche

1. Bipolartransistor mit folgenden Merkmalen: einer Basis (**20**); und einem Emitterkontakt (**40**); wobei eine monokristalline Schicht (**31**) und eine polykristalline Schicht (**35**) in der genannten Reihenfolge zwischen der Basis und dem Emitterkontakt angeordnet sind, und die monokristalline Schicht (**31**) eine der Basis (**20**) abgewandte und gegenüber der Basis erhabene Oberfläche aufweist.

2. Bipolartransistor gemäß Anspruch 1, wobei die polykristalline Schicht (**35**) so zwischen der monokristallinen Schicht (**31**) und dem Emitterkontakt (**40**) angeordnet ist, dass keine unmittelbare Berührung zwischen der monokristallinen Schicht und dem Emitterkontakt existiert.

3. Bipolartransistor gemäß einem der vorhergehenden Ansprüche, wobei die monokristalline Schicht (**31**) monokristallines Silizium, SiGe oder Germanium aufweist.

4. Bipolartransistor gemäß einem der vorhergehenden Ansprüche, wobei die polykristalline Schicht (**35**) polykristallines Silizium, SiGe oder Germanium aufweist.

5. Bipolartransistor gemäß einem der vorhergehenden Ansprüche, wobei der Emitterkontakt (**40**) aus Metall besteht.

6. Bipolartransistor gemäß einem der vorhergehenden Ansprüche, wobei zwischen der monokristallinen Schicht **(31)** und der polykristallinen Schicht **(35)** eine Grenzschicht **(70)** zur Unterbrechung des monokristallinen Gitters angeordnet ist.

7. Bipolartransistor gemäß Anspruch 6, wobei die Grenzschicht **(70)** eine Oxidschicht, eine Silizium-Nitrid-Schicht oder eine Silizium-Carbid-Schicht ist.

8. Bipolartransistor gemäß einem der vorhergehenden Ansprüche, wobei die polykristalline Schicht **(35)** an eine Bekeimungsschicht angrenzt, die zwischen der polykristallinen Schicht **(35)** und der monokristallinen Schicht **(31)** angeordnet ist.

9. Bipolartransistor gemäß einem der vorhergehenden Ansprüche, wobei zwischen der polykristallinen Schicht **(35)** und der Basis **(20)** eine weitere monokristalline Schicht **(32)** angeordnet ist, wobei die zwei monokristallinen Schichten unterschiedliche Dotierung und/oder ein unterschiedliches Grundmaterial aufweisen.

10. Bipolartransistor gemäß Anspruch 9, wobei die der Basis **(20)** zugewandte monokristalline Schicht eine gleiche oder größere Dicke aufweist als die weitere monokristalline Schicht **(32)**.

11. Verfahren zum Herstellen eines Bipolartransistors, das folgende Schritte aufweist:
Bereitstellen einer Basis **(20)**;
Aufbringen einer monokristallinen Schicht **(31)** auf die Basis, und
Aufbringen einer polykristallinen Schicht **(35)** auf die monokristalline Schicht; und
Aufbringen eines Emitterkontakts **(40)** auf die polykristalline Schicht.

12. Verfahren gemäß Anspruch 11, wobei die polykristalline Schicht **(35)** so auf die monokristalline Schicht **(31)** aufgebracht wird, dass die monokristalline Schicht vollständig bedeckt ist, so dass keine Berührung zwischen Emitterkontakt **(40)** und monokristalliner Schicht **(31)** entsteht.

13. Verfahren gemäß Anspruch 11 oder 12, wobei zwischen der Aufbringung der monokristallinen Schicht **(31)** und der Aufbringung der polykristallinen Schicht die Aufbringung einer weiteren monokristallinen Schicht **(32)** auf der monokristallinen Schicht **(31)** erfolgt, wobei beide monokristallinen Schichten **(31, 32)** durch Verwendung unterschiedlicher Dotiergasflüsse unterschiedlich in-situ dotiert werden.

14. Verfahren gemäß einem der Ansprüche 11 bis 13, wobei vor Aufbringen der polykristallinen Schicht **(35)** eine Grenzschicht **(70)** zur Unterbrechung des monokristallinen Gitters aufgebracht wird.

15. Verfahren gemäß Anspruch 14, wobei die Grenzschicht **(70)** in Form einer Silizium-Oxid-Schicht, Silizium-Nitrid-Schicht oder Silizium-Carbid-Schicht auf die monokristalline Schicht **(31, 32)** aufgebracht wird.

16. Verfahren gemäß einem der Ansprüche 11 bis 14, wobei die polykristalline Schicht **(35)** durch differentielle Epitaxie aufgebracht wird.

Es folgen 3 Blatt Zeichnungen

FIG 1

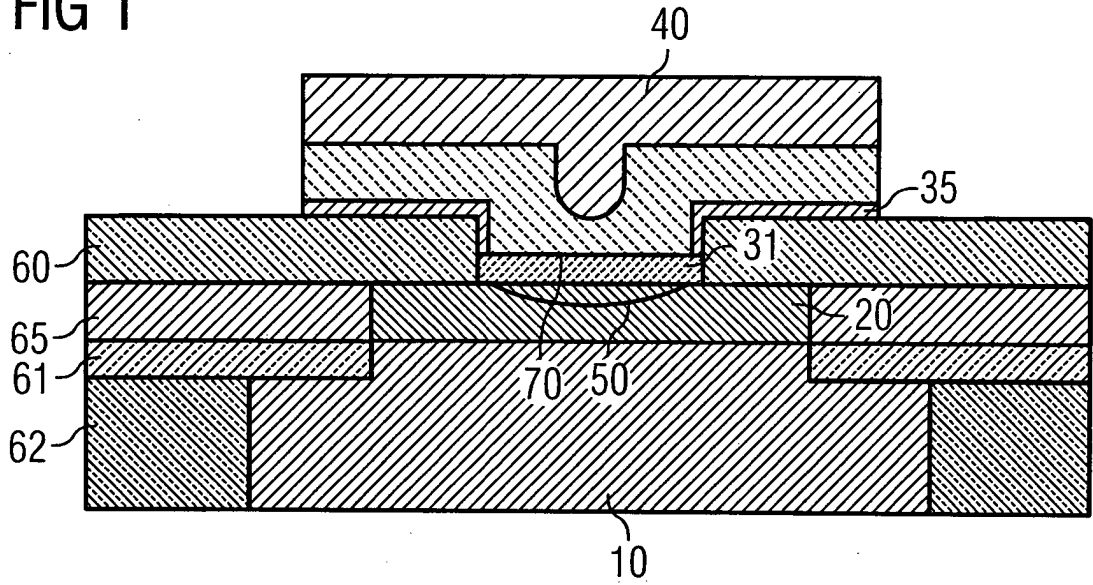


FIG 2

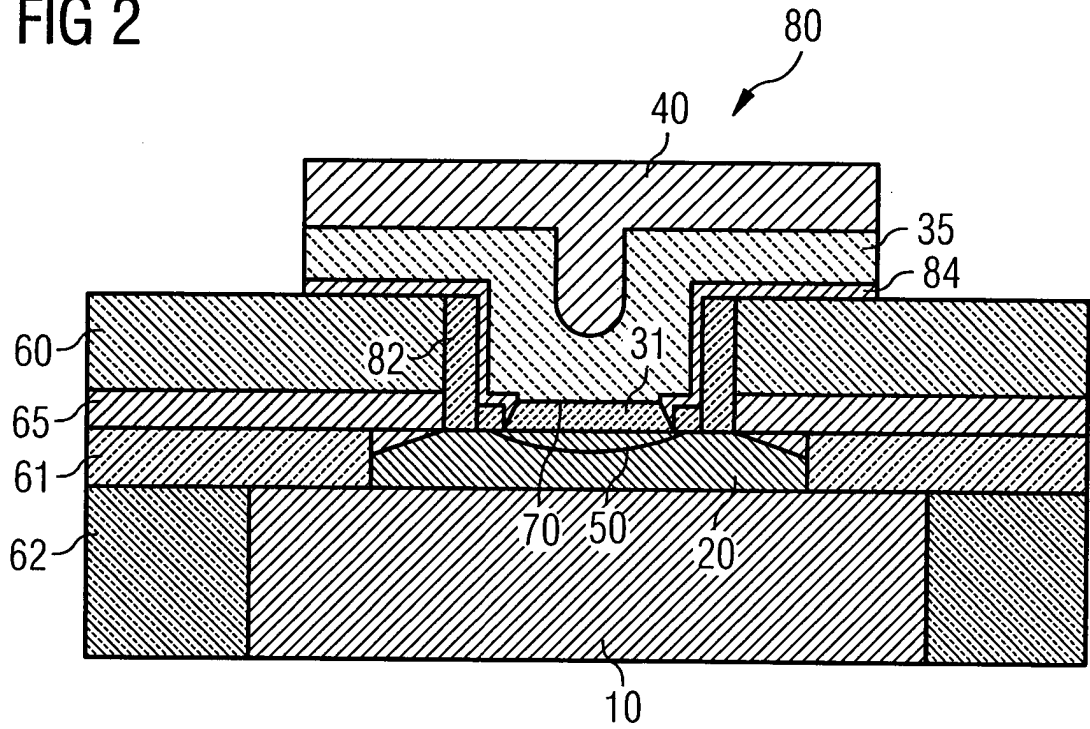


FIG 3

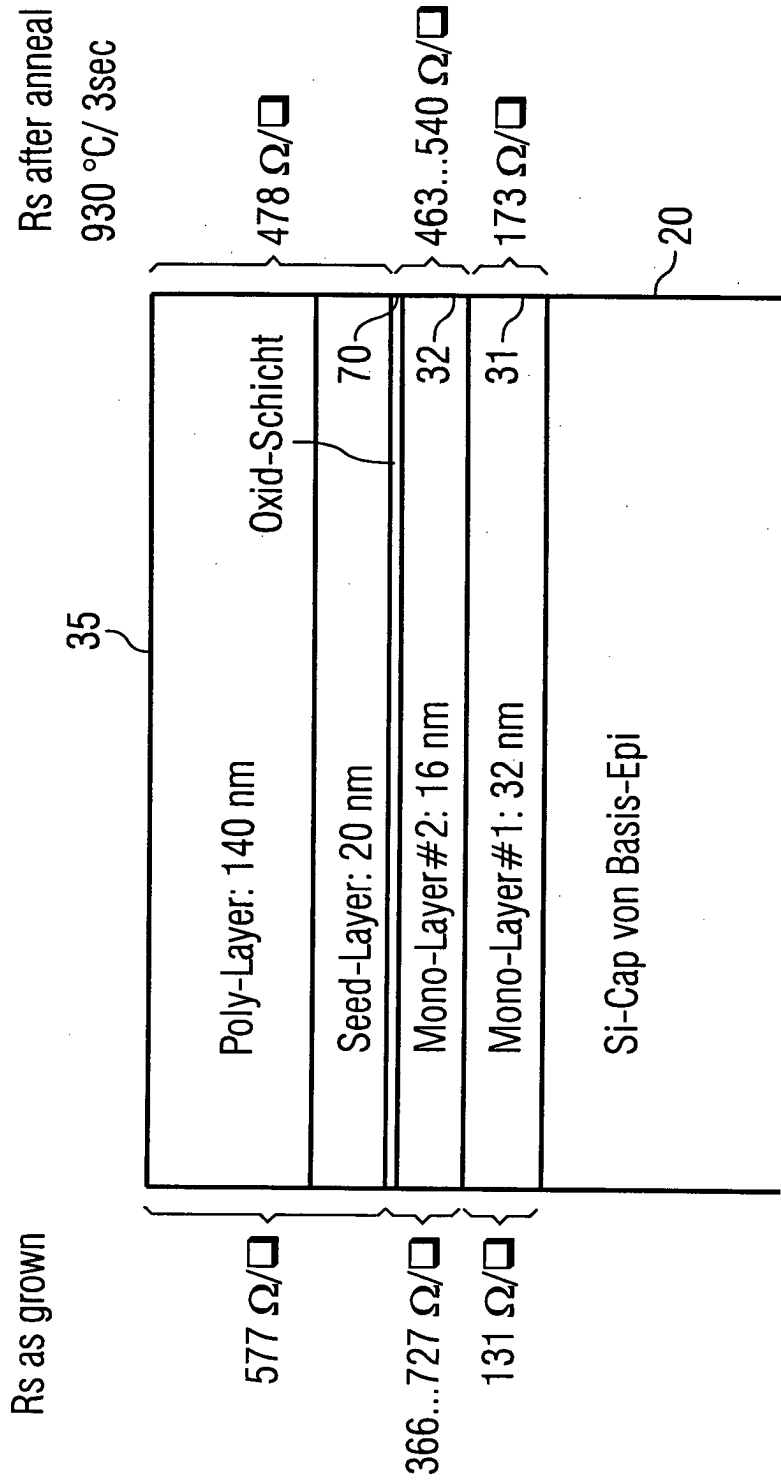


FIG 4 Stand der Technik

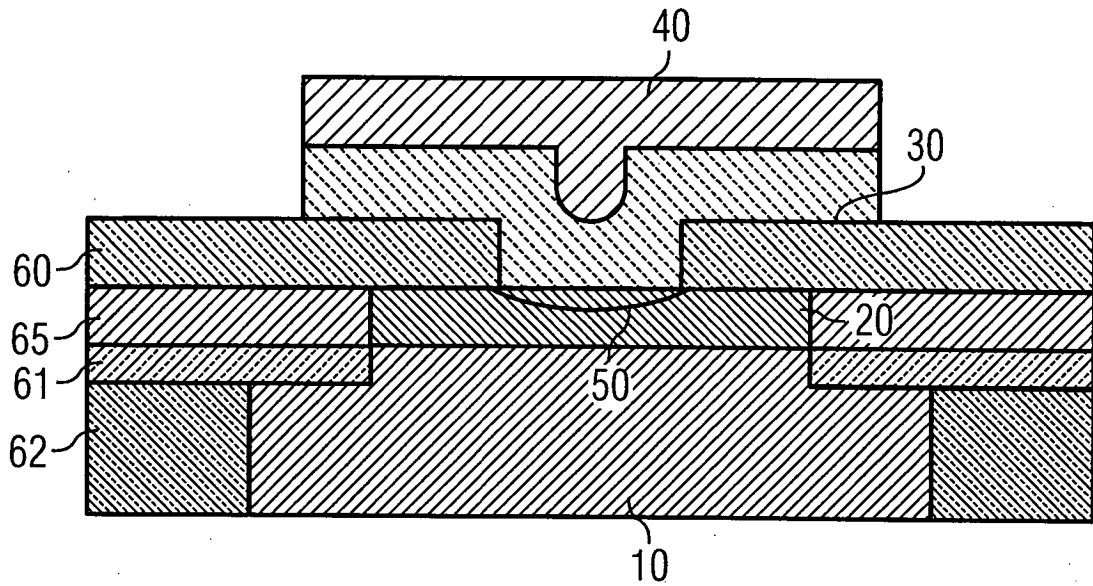


FIG 5 Stand der Technik

