

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4823316号
(P4823316)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月16日(2011.9.16)

(51) Int.Cl.		F I			
G 1 1 C	13/00	(2006.01)	G 1 1 C	13/00	1 5 0
H O 1 L	27/10	(2006.01)	H O 1 L	27/10	4 5 1
H O 1 L	49/00	(2006.01)	H O 1 L	27/10	4 8 1
H O 1 L	45/00	(2006.01)	H O 1 L	49/00	Z
			H O 1 L	45/00	Z

請求項の数 9 (全 26 頁)

(21) 出願番号 特願2008-532990 (P2008-532990)
 (86) (22) 出願日 平成18年9月5日(2006.9.5)
 (86) 国際出願番号 PCT/JP2006/317529
 (87) 国際公開番号 W02008/029446
 (87) 国際公開日 平成20年3月13日(2008.3.13)
 審査請求日 平成20年11月26日(2008.11.26)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100087479
 弁理士 北野 好人
 (74) 代理人 100114915
 弁理士 三村 治彦
 (72) 発明者 青木 正樹
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の書き込み方法

(57) 【特許請求の範囲】

【請求項1】

高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、ドレイン端子が前記抵抗記憶素子の一方の端部に接続され、ソース端子が基準電圧に接続された第1のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、第1の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第1の方向に並ぶ前記メモリセルの前記第1の抵抗記憶素子の他方の端部に接続された複数のビット線と、前記第1の方向と交差する第2の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第2の方向に並ぶ前記メモリセルの前記第1のトランジスタのゲート電極に接続された複数のワード線と、複数の前記ビット線のそれぞれに接続された複数のトランジスタであって、ソース端子が前記ビット線を介して前記第1の方向に並ぶ前記メモリセルの前記第1の抵抗記憶素子の前記他方の端部に接続され、ドレイン端子に書き込み電圧が印加される複数の第2のトランジスタとを有する不揮発性半導体記憶装置の書き込み方法であって、

複数の前記ワード線のうちの1のワード線に接続された複数の前記メモリセルのうち、書き込み対象の複数の前記メモリセルの前記抵抗記憶素子に、一括して前記低抵抗状態を書き込む工程と、

前記低抵抗状態を書き込んだ複数の前記メモリセルのうち、前記高抵抗状態を書き込むべき前記メモリセルの前記抵抗記憶素子に、選択的に前記高抵抗状態を書き込む工程とを有し、

前記高抵抗状態を書き込む工程では、前記高抵抗状態を書き込むべき前記メモリセルに対応する前記ビット線に接続された前記第2のトランジスタのゲート端子に印加する電圧を、前記抵抗記憶素子のリセット電圧と前記第2のトランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定することにより、前記抵抗記憶素子に印加される電圧を、前記リセット電圧以上、前記セット電圧未満の値に制御する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項2】

請求項1記載の不揮発性半導体記憶装置の書き込み方法において、
前記高抵抗状態を書き込むべき前記メモリセルの前記抵抗記憶素子に前記高抵抗状態が書き込まれたかどうかを検証する工程と、

10

前記高抵抗状態を書き込むべき前記メモリセルの前記抵抗記憶素子に前記高抵抗状態が書き込まれていない場合に、前記高抵抗状態を再度書き込む工程と

を更に有することを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項3】

請求項1又は2記載の不揮発性半導体記憶装置の書き込み方法において、
前記低抵抗状態を書き込む工程では、書き込み対象の複数の前記メモリセルの前記第1のトランジスタのチャネル抵抗が、前記抵抗記憶素子が高抵抗状態のときの抵抗値よりも十分に小さく且つ前記抵抗記憶素子が低抵抗状態のときの抵抗値よりも十分に大きくなるように、前記一のワード線に印加する電圧を制御する

20

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項4】

請求項3記載の不揮発性半導体記憶装置の書き込み方法において、
前記低抵抗状態を書き込む工程では、前記第2のトランジスタのゲート端子に、前記書き込み電圧よりも前記第2のトランジスタの閾値電圧分だけ高い駆動電圧を印加する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項5】

請求項3又は4記載の不揮発性半導体記憶装置の書き込み方法において、
前記低抵抗状態を書き込む工程では、前記書き込み電圧を電源電圧に設定し、前記第2のトランジスタの前記ゲート端子に印加する電圧を、前記電源電圧と前記第2のトランジスタの前記閾値電圧との合計の値に設定し、前記一のワード線に印加する電圧を、前記電源電圧よりも低い値に設定する

30

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項6】

請求項1乃至5のいずれか1項に記載の不揮発性半導体記憶装置の書き込み方法において、

前記高抵抗状態を書き込む工程では、前記書き込み電圧を、前記抵抗記憶素子のリセット電圧と前記閾値電圧との合計以上の値に設定する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項7】

40

請求項1乃至6のいずれか1項に記載の不揮発性半導体記憶装置の書き込み方法において、

前記高抵抗状態を書き込む工程では、前記書き込み電圧、前記第2のトランジスタの前記ゲート端子に印加する電圧、及び前記一のワード線に印加する電圧を、電源電圧に設定する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項8】

請求項1乃至7のいずれか1項に記載の不揮発性半導体記憶装置の書き込み方法において、

前記高抵抗状態を書き込む工程では、前記一のワード線に印加する電圧を、前記第1の

50

トランジスタのチャンネル抵抗が、前記抵抗記憶素子が前記低抵抗状態のときの抵抗値に対して十分に小さい値となるように設定する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の不揮発性半導体記憶装置の書き込み方法において、

前記不揮発性半導体記憶装置は、入出力データが多ビットのメモリであり、

前記書き込み対象の複数の前記メモリセルに、前記入出力データの各ビットに対応する情報を記憶する

ことを特徴とする不揮発性半導体記憶装置の書き込み方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗値が異なる複数の抵抗状態を記憶する抵抗記憶素子を用いた不揮発性半導体記憶装置の書き込み方法に関する。

【背景技術】

【0002】

近年、新たなメモリ素子として、ReRAM (Resistance Random Access Memory: 抵抗変化メモリ) と呼ばれる不揮発性半導体記憶装置が注目されている。ReRAMは、抵抗値が異なる複数の抵抗状態を有し、外部から電気的刺激を与えることにより抵抗状態が変化する抵抗記憶素子を用い、抵抗記憶素子の高抵抗状態と低抵抗状態とを例えば情報の“0”と“1”とに対応づけることにより、メモリ素子として利用するものである。ReRAMは、高速性、大容量性、低消費電力性等、そのポテンシャルの高さから、その将来性が期待されている。

20

【0003】

抵抗記憶素子は、電圧の印加により抵抗状態が変化する抵抗記憶材料を一对の電極間に挟持したものである。抵抗記憶材料としては、代表的なものとして遷移金属を含む酸化物材料が知られている。

【0004】

図16に、抵抗記憶素子の電気特性を示す。図16に示すように、高抵抗状態にある抵抗記憶素子に電圧を徐々に印加していくと、電圧がある値(セット電圧 V_{set})を超えたところで急激に抵抗値が減少し、抵抗記憶素子は低抵抗状態に遷移する。この動作を、一般に「セット」と呼ぶ。一方、低抵抗状態にある抵抗記憶素子に電圧を徐々に印加していくと、電圧がある値(リセット電圧 V_{reset})を超えたところで急激に抵抗値が増加し、抵抗記憶素子は高抵抗状態に遷移する。この動作を、一般に「リセット」と呼ぶ。

30

【0005】

これら動作により、抵抗記憶素子に単純に電圧を印加するだけで、抵抗記憶素子の抵抗状態を制御することができる。データの読み出しは、リセットを起こさない程度の電圧を印加したときに素子に流れる電流値を測定することにより可能である。

【特許文献1】特開2005-025914号公報

40

【非特許文献1】I. G. Baek et al., "Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses", Tech. Digest IEDM 2004, p.587

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、抵抗記憶素子に単純に電圧を印加して低抵抗状態から高抵抗状態に抵抗状態をリセットする手法では、低抵抗状態から高抵抗状態への抵抗状態の変化に伴う抵抗値の増大により、リセット直後の抵抗記憶素子には、リセット電圧を超える過大な電圧が印加されてしまう。この電圧がセット電圧よりも高いと、抵抗記憶素子は高抵抗状態から

50

再び低抵抗状態に遷移してしまい、正常な書き込み動作を行うことができない。

【 0 0 0 7 】

また、抵抗記憶素子を高抵抗状態から低抵抗状態にセットする場合には、高抵抗状態から低抵抗状態への抵抗状態の変化に伴う抵抗値の急激な減少により、抵抗記憶素子には過大な電流が流れてしまう。このため、セットの動作にあたっては、選択トランジスタや抵抗記憶素子等の破壊を防止するために、電流制限を行うことが不可欠である。

【 0 0 0 8 】

また、一般に、抵抗記憶素子は素子特性のばらつきや変動が大きいため、書き込み動作マージンが狭い傾向がある。特に、書き込み電圧の低いリセット動作では、素子特性のばらつきや変動による書き込み動作への影響は大きい。このため、特にメモリセルアレイを構成した装置では、書き込み手順について、素子特性のばらつきや変動に対する何らかの対策や手法が必要である。

【 0 0 0 9 】

本発明の目的は、抵抗記憶素子を用いた不揮発性半導体記憶装置に関し、迅速且つ正常な書き込み動作を容易に実現することができる不揮発性半導体記憶装置の書き込み方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子と、ドレイン端子が前記抵抗記憶素子の一方の端部に接続され、ソース端子が基準電圧に接続された第1のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、第1の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第1の方向に並ぶ前記メモリセルの前記第1の抵抗記憶素子の他方の端部に接続された複数のビット線と、前記第1の方向と交差する第2の方向に延在して並行に配された複数の信号線であって、各信号線が、前記第2の方向に並ぶ前記メモリセルの前記第1のトランジスタのゲート電極に接続された複数のワード線と、複数の前記ビット線のそれぞれに接続された複数のトランジスタであって、ソース端子が前記ビット線を介して前記第1の方向に並ぶ前記メモリセルの前記第1の抵抗記憶素子の前記他方の端部に接続され、ドレイン端子に書き込み電圧が印加される複数の第2のトランジスタとを有する不揮発性半導体記憶装置の書き込み方法であって、複数の前記ワード線のうちの1のワード線に接続された複数の前記メモリセルのうち、書き込み対象の複数の前記メモリセルの前記抵抗記憶素子に、一括して前記低抵抗状態を書き込む工程と、前記低抵抗状態を書き込んだ複数の前記メモリセルのうち、前記高抵抗状態を書き込むべき前記メモリセルの前記抵抗記憶素子に、選択的に前記高抵抗状態を書き込む工程とを有し、前記高抵抗状態を書き込む工程では、前記高抵抗状態を書き込むべき前記メモリセルに対応する前記ビット線に接続された前記第2のトランジスタのゲート端子に印加する電圧を、前記抵抗記憶素子のリセット電圧と前記第2のトランジスタの閾値電圧との合計以上、前記抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定することにより、前記抵抗記憶素子に印加される電圧を、前記リセット電圧以上、前記セット電圧未満の値に制御する不揮発性半導体記憶装置の書き込み方法が提供される。

【発明の効果】

【 0 0 1 2 】

本発明によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって高抵抗状態と低抵抗状態とを切り換える抵抗記憶素子と、ドレイン端子が抵抗記憶素子の一方の端部に接続され、ソース端子が基準電圧に接続された第1のトランジスタとをそれぞれ有し、マトリクス状に配置された複数のメモリセルと、第1の方向に延在して並行に配された複数の信号線であって、各信号線が、第1の方向に並ぶ前記メモリセルの抵抗記憶素子の他方の端部に接続された複数のビット線と、第1の方向と交差する第2の方向に延在して並

行に配された複数の信号線であって、各信号線が、第2の方向に並ぶメモリセルの第1のトランジスタのゲート電極に接続された複数のワード線と、複数のビット線のそれぞれに接続された複数のトランジスタであって、ソース端子が前記ビット線を介して第1の方向に並ぶメモリセルの抵抗記憶素子の他方の端部に接続され、ドレイン端子に書き込み電圧が印加される複数の第2のトランジスタとを有する不揮発性半導体記憶装置において、複数のワード線のうちのワード線に接続された複数のメモリセルのうち、書き込み対象の複数のメモリセルの抵抗記憶素子に、一括して低抵抗状態を書き込む工程と、低抵抗状態を書き込んだ複数のメモリセルのうち、高抵抗状態を書き込むべきメモリセルの抵抗記憶素子に、選択的に高抵抗状態を書き込む工程とにより書き込みを行うので、複数のメモリセルに効率よく安定して情報を書き込むことができる。

10

【0013】

また、低抵抗状態を書き込む工程において、第1のトランジスタのチャネル抵抗が、抵抗記憶素子が高抵抗状態のときの抵抗値よりも十分に小さく且つ抵抗記憶素子が低抵抗状態のときの抵抗値よりも十分に大きくなるように、第1のトランジスタのゲート端子に印加する駆動電圧を制御するので、抵抗記憶素子が低抵抗状態に切り換わった直後に書き込み電圧の殆どを第1のトランジスタに印加することができる。これにより、素子に流れる電流を制限することができる。

【0014】

また、高抵抗状態を書き込む工程において、第2のトランジスタのゲート端子に印加する電圧を、抵抗記憶素子のリセット電圧と第2のトランジスタの閾値電圧との合計以上、抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定することにより、抵抗記憶素子に印加される電圧を、リセット電圧以上、セット電圧未満の値に制御するので、抵抗記憶素子が高抵抗状態に切り換わった直後に抵抗記憶素子に印加される電圧をセット電圧未満に抑えることができる。これにより、抵抗記憶素子が再セットされるのを防止することができる。

20

【図面の簡単な説明】

【0015】

【図1】図1は、本発明の第1実施形態による不揮発性半導体記憶装置の構造を示す回路図である。

【図2】図2は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法（セット動作）を示す回路図である。

30

【図3】図3は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法（リセット動作）を示す回路図である。

【図4】図4は、メモリセルアレイにおけるセット電圧及びリセット電圧の分布を示すグラフである。

【図5】図5は、入出力が多ビットの不揮発性半導体記憶装置の構造を示す回路図である。

【図6】図6は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法を示すフローチャートである。

【図7】図7は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法（一括セット動作）を示す回路図である。

40

【図8】図8は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法（リセット動作）を示す回路図である。

【図9】図9は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法（ベリファイ動作）を示す回路図である。

【図10】図10は、本発明の第1実施形態による不揮発性半導体記憶装置の書き込み方法の一例を示す図である。

【図11】図11は、本発明の第2実施形態による不揮発性半導体記憶装置の構造を示す平面図である。

【図12】図12は、本発明の第2実施形態による不揮発性半導体記憶装置の構造を示す

50

概略断面図である。

【図 1 3】図 1 3 は、本発明の第 2 実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その 1）である。

【図 1 4】図 1 4 は、本発明の第 2 実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その 2）である。

【図 1 5】図 1 5 は、本発明の第 2 実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図（その 3）である。

【図 1 6】図 1 6 は、抵抗記憶素子の電気特性を示すグラフである。

【符号の説明】

【 0 0 1 6 】

1 0 ... メモリセル

1 2 ... 選択トランジスタ

1 4 ... 抵抗記憶素子

1 6 ... コラムセレクタ

1 8 ... P 型トランジスタ

2 0 ... N 型トランジスタ

2 2 ... 電流源

2 4 ... センスアンプ

2 6 ... 書き込み回路

2 8 ... 読み出し回路

3 0 ... ロウデコーダ

3 2 ... コラム選択信号線

3 4 ... コラムデコーダ

3 6 ... 書き込み制御回路

4 0 ... シリコン基板

4 2 ... 素子分離膜

4 4 ... ゲート電極

4 6 , 4 8 ... ソース / ドレイン領域

5 0 , 6 4 , 7 8 ... 層間絶縁膜

5 2 , 5 4 , 6 6 , 8 0 ... コンタクトホール

5 6 , 5 8 , 6 8 , 8 2 ... コンタクトプラグ

6 0 ... グラウンド線

6 2 ... 中継配線

7 0 ... 下部電極

7 2 ... 抵抗記憶層

7 4 ... 上部電極

7 6 ... 抵抗記憶素子

8 4 ... ビット線

【発明を実施するための最良の形態】

【 0 0 1 7 】

[第 1 実施形態]

本発明の第 1 実施形態による不揮発性半導体記憶装置並びにその書き込み方法及び読み出しについて図 1 乃至図 1 0 を用いて説明する。

【 0 0 1 8 】

図 1 は本実施形態による不揮発性半導体記憶装置の構造を示す回路図、図 2 及び図 3 は本実施形態による不揮発性半導体記憶装置の基本的な書き込み方法を示す回路図、図 4 はメモリセルアレイにおけるセット電圧及びリセット電圧の分布を示すグラフ、図 5 は入出力が多ビットの不揮発性半導体記憶装置の構造を示す回路図、図 6 は本実施形態による不揮発性半導体記憶装置の書き込み方法を示すフローチャート、図 7 乃至図 9 は本実施形態による不揮発性半導体記憶装置の書き込み方法を示す回路図、図 1 0 は本実施形態による

10

20

30

40

50

不揮発性半導体記憶装置の書き込み方法の一例を示す図である。

【 0 0 1 9 】

はじめに、本実施形態による不揮発性半導体記憶装置の基本的な回路構成について図 1 を用いて説明する。

【 0 0 2 0 】

本実施形態による不揮発性半導体記憶装置は、1つの選択トランジスタ（第1のトランジスタ）12と1つの抵抗記憶素子14とからなるメモリセル10が、行方向（図面横方向）及び列方向（図面縦方向）に沿ってマトリクス状に配置されたものである。各メモリセル10は、選択トランジスタ12のドレイン端子に、抵抗記憶素子14の一方の端子を接続して構成されている。

10

【 0 0 2 1 】

行方向に並ぶメモリセル10には、これらメモリセル10に含まれる選択トランジスタ12のゲート端子を共通接続するワード線WLと、選択トランジスタ12のソース端子を共通接続するグラウンド線GNDとが設けられている。グラウンド線GNDは、基準電位（ V_{ss} ）に接続されている。ワード線WL及びグラウンド線GNDは、メモリセル10の各行毎に設けられている。図1では、これら複数のワード線WL及びグラウンド線GNDを、 $WL_0, WL_1, WL_2 \dots, GND_0, GND_1 \dots$ と表している。

【 0 0 2 2 】

列方向に並ぶメモリセル10には、抵抗記憶素子14の端子のうち選択トランジスタ12が接続された側とは反対側の端子を共通接続するビット線BLが設けられている。ビット線BLは、メモリセル10の各列毎に設けられている。図1では、これら複数のビット線BLを、 BL_0, BL_1, BL_2 と表している。

20

【 0 0 2 3 】

各ビット線BLの一端には、N型トランジスタよりなるコラムセクタ（第2のトランジスタ）16がそれぞれ設けられている。ビット線BLには、コラムセクタ16のソース端子が接続されている。コラムセクタ16のドレイン端子は、他のコラムセクタ16のドレイン端子と共通接続され、P型トランジスタ18を介して電源線（ V_{dd} ）に接続されている。コラムセクタ16のドレイン端子は、また、N型トランジスタ20を介して電流源22及びセンスアンプ24に接続されている。

【 0 0 2 4 】

次に、本実施形態による不揮発性半導体記憶装置の基本的な書き込み方法について図2及び図3を用いて説明する。

30

【 0 0 2 5 】

はじめに、高抵抗状態から低抵抗状態への書き換え動作、すなわちセットの動作について図2を用いて説明する。ここでは、図1において、ワード線 WL_0 及びビット線 BL_0 に接続された右上のメモリセル10に書き込みを行うものとする。

【 0 0 2 6 】

まず、ワード線 WL_0 に所定の駆動電圧を印加し、選択トランジスタ12をオン状態にする。このとき、ワード線 WL_0 に印加する駆動電圧 V_{w1} は、選択トランジスタ12のチャネル抵抗 R_{tr} が、抵抗記憶素子14が高抵抗状態のときの抵抗値 R_{high} に対して十分に小さく、抵抗記憶素子14が低抵抗状態のときの抵抗値 R_{low} に対して十分に大きくなるように、設定する。駆動電圧 V_{w1} は、例えば、電源電圧を V_{dd} として、 $V_{w1} < V_{dd}$ に設定することができる。

40

【 0 0 2 7 】

また、非選択のワード線 WL_1, WL_2 等には、例えば0Vを印加し、選択トランジスタ12をオフ状態にする。

【 0 0 2 8 】

次いで、コラムセクタ16のゲート端子に所定の駆動電圧を印加し、コラムセクタ16をオン状態にする。コラムセクタ16のゲート端子には、抵抗記憶素子14のセット電圧 V_{set} とコラムセクタ16の閾値電圧 V_{th} との合計電圧（ $V_{set} + V_{th}$ ）

50

)以上の駆動電圧 V_{sel} を印加する。これにより、書き込み回路26とビット線 BL_0 とが接続され、ビット線 BL_0 が選択される。なお、書き込み回路26は、図1に示すP型トランジスタ18を含む書き込み電圧印加用の駆動回路である。

【0029】

なお、駆動電圧 V_{sel} は、例えば、電源電圧 V_{dd} をコラムセクタ16の閾値電圧 V_{th} 分だけ昇圧した電圧($V_{dd} + V_{th}$)に設定することができる。コラムセクタ16のゲート端子に印加する駆動電圧 V_{sel} を $V_{dd} + V_{th}$ に設定しているのは、電源電圧 V_{dd} が低い世代(例えば、 $V_{dd} = 1.8V$)の不揮発性半導体記憶装置を考慮したものである。すなわち、図2に示す回路においてコラムセクタ16のゲート端子に印加する駆動電圧 V_{sel} を V_{dd} に設定した場合、ビット線 BL_0 の電圧 V_{b1} が $V_{dd} - V_{th}$ となり、抵抗記憶素子14にセット電圧 V_{set} 以上の電圧を印加できない場合が想定されるからである。コラムセクタ16のゲート端子に印加する駆動電圧 V_{sel} を昇圧しなくても抵抗記憶素子14にセット電圧 V_{set} 以上の電圧を印加できるような場合(例えば、電源電圧 V_{dd} が5Vの、5V系のトランジスタで回路が構成されている場合)には、コラムセクタ16のゲート端子に昇圧した電圧を必ずしも印加する必要はない。

10

【0030】

次いで、書き込み回路26から、抵抗記憶素子14のセット電圧 V_{set} 以上の書き込みパルス電圧を出力する。このとき、コラムセクタ16のゲート端子には、抵抗記憶素子14のセット電圧 V_{set} とコラムセクタ16の閾値電圧 V_{th} との合計電圧($V_{set} + V_{th}$)以上の駆動電圧 V_{sel} が印加されているため、ビット線 BL_0 の電圧 V_{b1} は $V_{sel} - V_{th}$ にクランプされる。

20

【0031】

なお、書き込み回路26から出力する書き込みパルス電圧は、例えば、電源電圧 V_{dd} に設定することができる。この場合、駆動電圧 V_{sel} を $V_{dd} + V_{th}$ に設定する上記の例では、ビット線 BL_0 の電圧 V_{b1} は電源電圧 V_{dd} にクランプされる。

【0032】

これにより、抵抗記憶素子14及び選択トランジスタ12には、ビット線 BL_0 の電圧 V_{b1} が、抵抗記憶素子14の抵抗値及び選択トランジスタ12のチャネル抵抗 R_{tr} に応じた比率で分配されて印加される。

30

【0033】

このとき、選択トランジスタ12のチャネル抵抗 R_{tr} は、抵抗記憶素子14が高抵抗状態のときの抵抗値 R_{high} に対して十分に小さくなるように制御されているため、ビット線 BL_0 の電圧 V_{b1} の殆どが高抵抗状態の抵抗記憶素子14に印加される。また、ビット線 BL_0 の電圧 V_{b1} は抵抗記憶素子14のセット電圧 V_{set} 以上の値に設定されているため、抵抗記憶素子14は高抵抗状態から低抵抗状態にセットされる。

【0034】

セット動作の際の選択トランジスタ12のチャネル抵抗 R_{tr} を高め制御しておくことにより、抵抗記憶素子14が高抵抗状態から低抵抗状態にセットした直後に、ビット線 BL_0 の電圧 V_{b1} の電圧の殆どが選択トランジスタ12に印加されることとなり、抵抗記憶素子14及び選択トランジスタ12を流れる電流は、選択トランジスタ12の素子抵抗によって制限される。すなわち、選択トランジスタ12を、電流制限素子として用いることができる。

40

【0035】

この後、コラムセクタ16及び選択トランジスタ14を順次オフ状態に戻し、セットの動作を完了する。

【0036】

次に、低抵抗状態から高抵抗状態への書き換え動作、すなわちリセットの動作について図3を用いて説明する。ここでは、図1において、ワード線 WL_0 及びビット線 BL_0 に接続された右上のメモリセル10に書き込みを行うものとする。

50

【 0 0 3 7 】

まず、ワード線 $W L_0$ に所定の駆動電圧を印加し、選択トランジスタ 1 2 をオン状態にする。ワード線 $W L_0$ に印加する駆動電圧 V_{w1} は、選択トランジスタ 1 2 のチャネル抵抗 R_{tr} が、抵抗記憶素子 1 4 が低抵抗状態のときの抵抗値 R_{low} に対して十分に小さい値になるように、設定する。駆動電圧 V_{w1} は、例えば、電源電圧 V_{dd} に設定することができる。

【 0 0 3 8 】

また、非選択のワード線 $W L_1, W L_2$ 等には、例えば 0 V を印加し、選択トランジスタ 1 2 をオフ状態にする。

【 0 0 3 9 】

次いで、コラムセクタ 1 6 のゲート端子に所定の駆動電圧を印加し、コラムセクタ 1 6 をオン状態にする。コラムセクタ 1 6 のゲート端子には、抵抗記憶素子 1 4 のリセット電圧 V_{reset} とコラムセクタ 1 6 の閾値電圧 V_{th} との合計電圧 ($V_{reset} + V_{th}$) 以上であり、且つ、抵抗記憶素子 1 4 のセット電圧 V_{set} とコラムセクタ 1 6 の閾値電圧 V_{th} との合計電圧 ($V_{set} + V_{th}$) 未満の駆動電圧 V_{sel} ($V_{set} + V_{th} > V_{sel} > V_{reset} + V_{th}$) を印加する。これにより、書き込み回路 2 6 とビット線 $B L_0$ とが接続され、ビット線 $B L_0$ が選択される。

【 0 0 4 0 】

なお、駆動電圧 V_{sel} は、例えば、電源電圧 V_{dd} に設定することができる。

【 0 0 4 1 】

次いで、書き込み回路 2 6 から、抵抗記憶素子 1 4 のリセット電圧 V_{reset} とコラムセクタ 1 6 の閾値電圧 V_{th} との合計電圧 ($V_{reset} + V_{th}$) 以上の書き込みパルス電圧を出力する。このとき、コラムセクタ 1 6 のゲート端子には、抵抗記憶素子 1 4 のリセット電圧 V_{reset} とコラムセクタ 1 6 の閾値電圧 V_{th} との合計電圧 ($V_{reset} + V_{th}$) 以上であり、且つ、抵抗記憶素子 1 4 のセット電圧 V_{set} とコラムセクタ 1 6 の閾値電圧 V_{th} との合計電圧 ($V_{set} + V_{th}$) 未満の駆動電圧 V_{sel} が印加されているため、ビット線 $B L_0$ の電圧 V_{b1} は、 $V_{sel} - V_{th}$ ($V_{set} > V_{b1} > V_{reset}$) にクランプされる。

【 0 0 4 2 】

なお、書き込みパルス電圧は、例えば、電源電圧 V_{dd} に設定することができる。この場合、駆動電圧 V_{sel} を電源電圧 V_{dd} に設定する上記の例では、ビット線 $B L_0$ の電圧 V_{b1} は、 $V_{dd} - V_{th}$ にクランプされる。

【 0 0 4 3 】

これにより、抵抗記憶素子 1 4 及び選択トランジスタ 1 2 には、ビット線 $B L_0$ の電圧 V_{b1} ($V_{set} > V_{b1} > V_{reset}$) が、抵抗記憶素子 1 4 の抵抗値及び選択トランジスタ 1 2 のチャネル抵抗 R_{tr} に応じた比率で分配されて印加される。

【 0 0 4 4 】

このとき、選択トランジスタ 1 2 のチャネル抵抗 R_{tr} は、抵抗記憶素子 1 4 が低抵抗状態のときの抵抗値 R_{low} に対して十分小さくなるように制御されているため、ビット線 $B L_0$ の電圧 V_{b1} の殆どが低抵抗状態の抵抗記憶素子 1 4 に印加される。また、ビット線 $B L_0$ の電圧 V_{b1} は抵抗記憶素子 1 4 のリセット電圧 V_{reset} 以上の値に設定されているため、抵抗記憶素子 1 4 は低抵抗状態から高抵抗状態にリセットされる。

【 0 0 4 5 】

抵抗記憶素子 1 4 が高抵抗状態にリセットされた直後、抵抗記憶素子 1 4 に印加される電圧が増加することが懸念される。しかしながら、ビット線 $B L_0$ の電圧 V_{b1} は $V_{sel} - V_{th}$ ($V_{set} > V_{b1} > V_{reset}$) にクランプされているため、抵抗記憶素子 1 4 に印加される電圧がセット電圧 V_{set} を超えることはなく、抵抗記憶素子 1 4 が再セットされることはない。

【 0 0 4 6 】

なお、駆動電圧 V_{sel} 及び書き込みパルス電圧を電源電圧 V_{dd} に設定する上記の例

10

20

30

40

50

では、ビット線 BL_0 の電圧 V_{b1} は $V_{dd} - V_{th}$ にクランプされることになるが、この電圧は通常は抵抗記憶素子 14 のセット電圧 V_{set} よりも低くなるため、再セットが生じるなどの問題はない。ビット線 BL_0 の電圧 V_{b1} ($= V_{dd} - V_{th}$) が抵抗記憶素子 14 のセット電圧 V_{set} よりも高くなる場合には、セット動作の場合と同様、ワード線 WL_0 に印加する駆動電圧 V_{w1} を低く設定し、選択トランジスタ 12 のチャネル抵抗を増加すればよい。これにより、選択トランジスタ 12 に分圧される電圧を増やし、抵抗記憶素子 14 に印加される電圧がセット電圧 V_{set} 以下になるように制御することができる。このときにワード線 WL_0 に印加する駆動電圧 V_{w1} は、抵抗記憶素子 14 に印加される電圧が V_{reset} 以上、 V_{set} 未満になるように、適宜制御する。

【0047】

この後、コラムセクタ 16 及び選択トランジスタ 12 を順次オフ状態に戻し、リセットの動作を完了する。

【0048】

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図 1 を用いて説明する。ここでは、図 1 において、ワード線 WL_0 及びビット線 BL_0 に接続された右上のメモリセル 10 に記憶された情報を読み出すものとする。

【0049】

まず、N型トランジスタ 20 及びビット線 BL_0 に接続されるコラムセクタ 16 をオンにし、ビット線 BL_0 をプリチャージする。

【0050】

次いで、ワード線 WL_0 に所定の駆動電圧 (V_{dd}) を印加し、選択トランジスタ 12 をオンにする。

【0051】

これにより、電流源 22 から供給される読み出し電流は、N型トランジスタ 20、コラムセクタ 16、抵抗記憶素子 14 及び選択トランジスタ 12 を介してグラウンド線 GN_0 に向かって流れる。これに伴い、ビット線 BL_0 には、抵抗記憶素子 14 の抵抗状態に応じた電圧 V_{read} が出力される。

【0052】

次いで、センスアンプ 24 により、ビット線 BL_0 の電圧 V_{read} とリファレンス電圧 V_{ref} とを比較し、その大小関係に基づいて抵抗記憶素子 14 が低抵抗状態であるのか高抵抗状態であるのかを判定する。

【0053】

こうして、メモリセル 10 に記録された記憶情報の読み出しを行うことができる。

【0054】

コラムセクタ 16 をソースフォロア動作させてビット線 BL の電位を所定の値にクランプすることによりリセット動作の際の再書き込みを防止する本発明の上記方式は、読み出し動作との整合性が優れており、読み出しも容易である。

【0055】

抵抗変化を利用した他のメモリとしては $PRAM$ (相変化メモリ) や $MRAM$ (磁気抵抗メモリ) 等がある。これらメモリのメモリセルは、選択トランジスタ (Tr) とメモリ素子 (R) とからなる $1T-1R$ セルが一般的であり、その接続は選択トランジスタがグラウンド側、メモリ素子がビット線 BL 側になっている。この回路は、いわゆるソース接地回路であり選択トランジスタは定電流源として働くため、電流読み出しが容易である。

【0056】

一方、仮に選択トランジスタとメモリ素子とを逆に接続した場合、読み出し電流を流すことにより選択トランジスタのソース電位が上がり、ゲート-ソース間電圧 (V_{gs}) が小さくなって素子抵抗が非常に大きくなるため、メモリ素子の抵抗変化を読み出しにくくなる。このため、選択トランジスタを書き込み動作の際にビット線 BL の電圧をクランプするためのクランプトランジスタとして用いるのは好ましくない。

【0057】

10

20

30

40

50

また、書き込み動作の際にビット線BLの電圧をクランプするためのトランジスタとしてコラムセクタ16を用いることは、不揮発性半導体記憶装置の集積度を維持するうえでも有効である。ビット線BLの電圧をクランプするためには、クランプトランジスタのゲート幅をある程度大きくすることが好ましい。また、セット動作の際には、書き込み回路26 - コラムセクタ16 - ビット線BL - 選択トランジスタ12 - 抵抗記憶素子14から構成される経路において、抵抗記憶素子14にセット電圧 V_{set} が印加されるようにコラムセクタ16のゲート電圧を閾値電圧 V_{th} 分の昇圧を行っているが、コラムセクタ16のオン抵抗を下げるためにも、コラムセクタ16のゲート幅をある程度大きくする方が好ましい。コラムセクタ16は、ビット線BL毎に設置されるものであるから、レイアウト上の余裕があり、トランジスタのゲート幅を容易に大きくすることが可能

10

【0058】

本実施形態による不揮発性半導体記憶装置の読み出し方法では、読み出し回路として電流源22を設け、この電流源22から供給される読み出し電流を流すビット線BLをコラムセクタ16によって選択する構成としている。このため、書き込み動作の際にビット線BLの電圧をクランプするためのクランプトランジスタとして、コラムセクタ16を利用することができる。但し、書き込み動作の際にビット線BLの電圧をクランプするためのクランプトランジスタは、必ずしもコラムセクタ16である必要はない。書き込み動作の際にビット線BLの電圧をクランプするためのトランジスタを、別個独立して各ビット線BLに設けるようにしてもよい。

20

【0059】

上述した不揮発性半導体記憶装置の書き込み方法は、メモリセルを一つずつ書き換える場合には何ら支障はない。しかしながら、セットの動作とリセットの動作とでワード線WL及びコラムセクタ16に印加する電圧が異なるため、1つのワード線WLに連なる複数のメモリセルについて、一部をセットし、他をリセットするということは不可能である。このため、入出力が多ビットのメモリの場合、書き込み手順について何らかの対策・手法が必要である。

【0060】

また、一般に、抵抗記憶素子は素子特性のばらつきや変動が大きいため、書き込み動作の際に不具合が生じることがある。例えば図4に示すように、メモリセルアレイ全体のセット電圧及びリセット電圧には分布がある。また、この分布自体が変動し、セット電圧の分布の裾の部分とリセット電圧の分布の裾の部分とが重なることもある(図中、点線部分)。このような場合、総てのメモリセルに正常なデータを書き込むことができないことがある。特に、書き込み電圧の低いリセット動作では、素子特性のばらつきや変動による書き込み動作への影響は大きい。このため、素子特性のばらつきや変動の観点からも、書き込み手順について何らかの対策を施すことが望ましい。

30

【0061】

図5は、メモリの入出力が多ビットの場合の不揮発性半導体記憶装置の回路構成例を示したものである。図5では、メモリの入出力が8ビットの場合を示しているが、ビット数は8ビットに限定されるものではない。

40

【0062】

図5に示す回路は、図1に示す基本的なセルアレイブロックを、ワード線WLの延在方向に入出力データのビット数の数だけ並べたものである。すなわち、ビット線 BL_{00} , BL_{01} , BL_{02} , ..., BL_{07} で構成される第1のブロックから、ビット線 BL_{70} , BL_{71} , BL_{72} , ..., BL_{77} で構成される第8のブロックが、ワード線WLの延在方向に並んでいる。第1のブロックから第8のブロックは、8ビットのデータのそれぞれのビットに対応している。

【0063】

各ブロックには、それぞれ8本ずつのビット線BLと、64本のワード線WL(ワード線 WL_0 , WL_1 , WL_2 , ..., WL_{63})とが含まれる。ワード線 WL_0 , WL_1 , W

50

L_2, \dots, WL_{63} は、各ブロックに共通である。ワード線 $WL_0, WL_1, WL_2, \dots, WL_{63}$ は、ワード線ドライバ $WD_0, WD_1, WD_2, \dots, WD_63$ を介してロウデコーダ 30 にそれぞれ接続されている。

【0064】

ビット線 $BL_{00}, BL_{01}, BL_{02}, \dots, BL_{77}$ の一端は、コラムセクタ $16_{00}, 16_{01}, 16_{02}, \dots, 16_{77}$ にそれぞれ接続されている。コラムセクタ $16_{00}, 16_{01}, 16_{02}, \dots, 16_{77}$ の他端は、ブロック毎に束ねられ、書き込み回路 26 及び読み出し回路 28 に接続されている。すなわち、第 1 ブロックのビット線 $BL_{00} \sim BL_{07}$ には、コラムセクタ $16_{00} \sim 16_{07}$ を介して、書き込み回路 26₀ 及び読み出し回路 28₀ が接続されている。同様に、第 2 ブロックのビット線 $BL_{00} \sim BL_{07}$ には、コラムセクタ $16_{10} \sim 16_{17}$ を介して、書き込み回路 26₁ 及び読み出し回路 28₁ が接続されている。また、第 8 ブロックのビット線 $BL_{70} \sim BL_{77}$ には、コラムセクタ $16_{70} \sim 16_{77}$ を介して、書き込み回路 26₇ 及び読み出し回路 28₇ が接続されている。図示しない第 3 ブロックから第 7 ブロックも同様である。

10

【0065】

書き込み回路 26₀, 26₁, ..., 26₇ は、書き込み制御回路 36 からの制御信号 ($W/D_0, W/D_1, \dots, W/D_7$) に応じて書き込み電圧 V_{write} を出力するための P 型トランジスタ $18_0, 18_1, \dots, 18_7$ をそれぞれ有している。

【0066】

コラムセクタ $16_{00} \sim 16_{77}$ のゲート端子は、コラム選択信号線 $32_0, 32_1, 32_2, \dots, 32_7$ に接続されている。各コラム選択信号線 32 には、各ブロック 1 つずつのコラムセクタ 16 が接続されている。すなわち、コラム選択信号線 32₀ にはコラムセクタ $16_{00}, 16_{10}, \dots, 16_{70}$ のゲート端子が接続され、コラム選択信号線 32₁ にはコラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ のゲート端子が接続され、コラム選択信号線 32₂ にはコラムセクタ $16_{02}, 16_{12}, \dots, 16_{72}$ のゲート端子が接続され、コラム選択信号線 32₇ にはコラムセクタ $16_{07}, 16_{17}, \dots, 16_{77}$ のゲート端子が接続されている。図示しないコラム選択信号線 32₃ ~ 32₆ についても同様である。コラム選択信号線 $32_0, 32_1, 32_2, \dots, 32_7$ には、コラムデコーダ 34 が接続されている。

20

【0067】

図 5 に示すような入出力が多ビットのメモリの場合、各ブロックが各ビットに対応する。そして、書き込み回路 26 には、8 ビットのデータが入力され、このデータに応じた駆動電圧が、P 型トランジスタ $18_0 \sim 18_7$ のそれぞれに印加される。

30

【0068】

コラムデコーダ 34 によって例えばコラム選択信号線 32₁ を選択すると、コラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ がオン状態となり、コラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ に接続されるビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ には、P 型トランジスタ $18_0 \sim 18_7$ の駆動電圧に応じて、所定の書き込み電圧 V_{write} が印加される。

【0069】

このとき、ロウデコーダ 30 によって例えばワード線 WL_1 を選択すると、メモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ が選択状態となり、メモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ への書き込みが可能となる状態となる。

40

【0070】

しかしながら、上述したとおり、本実施形態による不揮発性半導体記憶装置の書き込み方法では、セットの動作とリセットの動作とでワード線 WL 及びコラムセクタ 16 に印加する電圧が異なるため (図 2 及び図 3 参照)、メモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ のうちの一部のメモリセルをセットし、他のメモリセルをリセットするということはできない。

【0071】

50

次に、多ビットの入出力に対応した不揮発性半導体記憶装置の書き込み方法について図6乃至図10を用いて説明する。

【0072】

メモリセルアレイへの多ビットの同時書き込みは、図6に示すように、書き込み対象のビット（メモリセル）を一括してセットするステップ（ステップS11）と、データ“0”を書き込むべきビット（メモリセル）を選択的にリセットするステップ（ステップS12）と、データ“0”を書き込むべきメモリセルのペリファイを行うステップ（ステップS13～S15）とにより行われる。

【0073】

以下に、各ステップについて詳述する。なお、以下の説明では、書き込むべきデータが“01001010”の8ビットのデータであり、書き込み対象のビットが、上位ビットから順に、ワード線 WL_1 に連なるメモリセル MC_{101} 、 MC_{111} 、…、 MC_{171} であるものと仮定する。

【0074】

はじめに、書き込み対象のビット（メモリセル）に、セット状態を書き込む（ステップS11）。なお、ここでは、メモリセルがセット状態にあるときにデータ“1”が書き込まれた状態であり、メモリセルがリセット状態にあるときにデータ“0”が書き込まれた状態であるものとする。ただし、データ“1”、“0”の定義は、適宜決定することができる。

【0075】

まず、ワード線 WL_1 を選択するために、ロウデコーダ30及びワード線ドライバ WD_{-1} を介してワード線 WL_1 に所定の駆動電圧を印加し、ワード線 WL_1 に連なるメモリセル MC_{101} 、 MC_{111} 、…、 MC_{171} の選択トランジスタ12をオン状態にする。このとき、ワード線 WL_1 に印加する駆動電圧 V_{w1} は、選択トランジスタ12のチャネル抵抗 R_{t_r} が、抵抗記憶素子14が高抵抗状態のときの抵抗値 R_{high} に対して十分に小さく、抵抗記憶素子14が低抵抗状態のときの抵抗値 R_{low} に対して十分大きくするように、設定する。駆動電圧 V_{w1} は、例えば、電源電圧を V_{dd} として、 $V_{w1} < V_{dd}$ に設定することができる。

【0076】

また、非選択のワード線 WL_0 、 WL_2 、…、 WL_{63} には、例えば0Vを印加し、選択トランジスタ12をオフ状態にする。

【0077】

次いで、ビット線 BL_{01} 、 BL_{11} 、…、 BL_{71} を選択するために、コラム選択信号線 32_1 に所定の駆動電圧を印加し、ビット線 BL_{01} 、 BL_{11} 、…、 BL_{71} に接続されるコラムセクタ 16_{01} 、 16_{11} 、…、 16_{71} をオン状態にする。コラム選択信号線 32_1 には、抵抗記憶素子14のセット電圧 V_{set} とコラムセクタ 16_{01} 、 16_{11} 、…、 16_{71} の閾値電圧 V_{th} との合計電圧（ $V_{set} + V_{th}$ ）以上の駆動電圧 V_{sel} を印加する。駆動電圧 V_{sel} は、例えば、電源電圧 V_{dd} をコラムセクタ16の閾値電圧 V_{th} 分だけ昇圧した電圧（ $V_{dd} + V_{th}$ ）に設定することができる。これにより、ビット線 BL_{01} 、 BL_{11} 、…、 BL_{71} が選択される。

【0078】

また、非選択のコラム選択信号線 32_0 、 32_2 、…、 32_7 には、例えば0Vを印加し、コラムセクタ 16_{00} 、 16_{02} 、…、 16_{07} 、コラムセクタ 16_{10} 、 16_{12} 、…、 16_{17} 、…、コラムセクタ 16_{70} 、 16_{72} 、…、 16_{77} をオフ状態にする。

【0079】

次いで、書き込み制御回路36から、総てのビットに対応する書き込み回路 26_0 、 26_1 、…、 26_7 に、P型トランジスタ 18_0 、 18_1 、…、 18_7 を駆動するための書き込み制御信号 W/D_0 、 W/D_1 、…、 W/D_7 を出力する（図10参照）。これにより、P型トランジスタ 18_0 、 18_1 、…、 18_7 はオン状態になり、ビット線B

10

20

30

40

50

$L_{01}, BL_{11}, \dots, BL_{71}$ には、P型トランジスタ $18_0, 18_1, \dots, 18_7$ 及びコラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ を介して所定の書き込み電圧 V_{write} が印加される。そして、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ の電圧 V_{bl} は、 $V_{sel} - V_{th}$ にクランプされる。なお、書き込み電圧 V_{write} は、例えば電源電圧 V_{dd} に設定することができる。

【0080】

これにより、メモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ の抵抗記憶素子14及び選択トランジスタ12には、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ の電圧 V_{bl} が、抵抗記憶素子14の抵抗値及び選択トランジスタ12のチャンネル抵抗 R_{tr} に応じた比率で分配されて、それぞれ印加される。

10

【0081】

このとき、選択トランジスタ12のチャンネル抵抗 R_{tr} は、抵抗記憶素子14が高抵抗状態のときの抵抗値 R_{high} に対して十分に小さくなるように制御されているため、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ の電圧 V_{bl} の殆どが高抵抗状態の抵抗記憶素子14に印加される。また、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ の電圧 V_{bl} は抵抗記憶素子14のセット電圧 V_{set} 以上の値に設定されているため、抵抗記憶素子14は高抵抗状態から低抵抗状態にセットされる。

【0082】

こうして、メモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ に、セット状態(データ“1”)を書き込むことができる。すなわち、本ステップにより書き込まれた8ビットのデータは、“11111111”となる(図7及び図10参照)。

20

【0083】

この後、書き込み制御回路36を介してP型トランジスタ $18_0, 18_1, \dots, 18_7$ をオフ状態に戻し、コラム選択信号線 32_1 を介してコラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ を順次オフ状態に戻し、ワード線 WL_1 を介してメモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ の選択トランジスタ14をオフ状態に戻し、ステップS11の動作を完了する。

【0084】

次に、データ“0”を書き込むべきビットをリセットする(ステップS12)。ここでは、書き込むデータが“01001010”であるので、リセットが必要なメモリセルMCは、 $MC_{101}, MC_{121}, MC_{131}, MC_{151}, MC_{171}$ である。

30

【0085】

まず、ワード線 WL_1 を選択するために、ワード線 WL_1 に所定の駆動電圧を印加し、ワード線 WL_1 に連なるメモリセル $MC_{101}, MC_{111}, \dots, MC_{171}$ の選択トランジスタ12をオン状態にする。このとき、ワード線 WL_1 に印加する駆動電圧 V_{w1} は、選択トランジスタ12のチャンネル抵抗 R_{tr} が、抵抗記憶素子14が低抵抗状態のときの抵抗値 R_{low} に対して十分に小さい値になるように、設定する。駆動電圧 V_{w1} は、例えば、電源電圧 V_{dd} に設定することができる。

【0086】

また、非選択のワード線 $WL_0, WL_2, \dots, WL_{63}$ には、例えば0Vを印加し、選択トランジスタ12をオフ状態にする。

40

【0087】

次いで、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ を選択するために、コラム選択信号線 32_1 に所定の駆動電圧を印加し、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ に接続されるコラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ をオン状態にする。コラム選択信号線 32_1 には、抵抗記憶素子14のリセット電圧 V_{reset} とコラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ の閾値電圧 V_{th} との合計電圧($V_{reset} + V_{th}$)以上であり、且つ、抵抗記憶素子14のセット電圧 V_{set} とコラムセクタ $16_{01}, 16_{11}, \dots, 16_{71}$ の閾値電圧 V_{th} との合計電圧($V_{set} + V_{th}$)未満の駆動電圧 V_{sel} ($V_{set} + V_{th} > V_{sel} > V_{reset} + V_{th}$)を印加する。駆

50

動電圧 V_{sel} は、例えば、電源電圧 V_{dd} に設定することができる。これにより、ビット線 $BL_{01}, BL_{11}, \dots, BL_{71}$ が選択される。

【0088】

また、非選択のコラム選択信号線 $32_0, 32_2, \dots, 32_7$ には、例えば $0V$ を印加し、コラムセクタ $16_{00}, 16_{02}, \dots, 16_{07}$ 、コラムセクタ $16_{10}, 16_{12}, \dots, 16_{17}$ 、...、コラムセクタ $16_{70}, 16_{72}, \dots, 16_{77}$ をオフ状態にする。

【0089】

なお、コラム選択信号線 $32_0 \sim 32_7$ 及びワード線 $WL_0 \sim WL_{63}$ への駆動電圧は、ステップ S_{11} の状態からそのまま印加しておいてもよい。

10

【0090】

次いで、書き込み制御回路 36 から、データ“0”を書き込むべきビットに対応する書き込み回路 $26_0, 26_2, 26_3, 26_5, 26_7$ に、P型トランジスタ $18_0, 18_2, 18_3, 18_5, 18_7$ を駆動するための書き込み制御信号 $W/D_0, W/D_2, W/D_3, W/D_5, W/D_7$ を出力する（図10参照）。これにより、P型トランジスタ $18_0, 18_2, 18_3, 18_5, 18_7$ はオン状態になり、ビット線 $BL_{01}, BL_{21}, BL_{31}, BL_{51}, BL_{71}$ には、P型トランジスタ $18_0, 18_2, 18_3, 18_5, 18_7$ 及びコラムセクタ $16_{01}, 16_{21}, 16_{31}, 16_{51}, 16_{71}$ を介して所定の書き込み電圧 V_{write} が印加される。書き込み電圧 V_{write} は、抵抗記憶素子 14 のリセット電圧 V_{reset} とコラムセクタ 16 の閾値電圧 V_{th} との合計電圧 ($V_{reset} + V_{th}$) 以上の電圧とする。

20

【0091】

このとき、コラムセクタ $16_{01}, 16_{21}, 16_{31}, 16_{51}, 16_{71}$ のゲート端子には、抵抗記憶素子 14 のリセット電圧 V_{reset} とコラムセクタ 16 の閾値電圧 V_{th} との合計電圧 ($V_{reset} + V_{th}$) 以上であり、且つ、抵抗記憶素子 14 のセット電圧 V_{set} とコラムセクタ $16_{01}, 16_{21}, 16_{31}, 16_{51}, 16_{71}$ の閾値電圧 V_{th} との合計電圧 ($V_{set} + V_{th}$) 未満の駆動電圧 V_{sel} が印加されているため、ビット線 $BL_{01}, BL_{21}, BL_{31}, BL_{51}, BL_{71}$ の電圧 V_{b1} は、 $V_{sel} - V_{th}$ ($V_{set} > V_{b1} > V_{reset}$) にクランプされる。

30

【0092】

なお、書き込みパルス電圧は、例えば、電源電圧 V_{dd} に設定することができる。この場合、駆動電圧 V_{sel} を電源電圧 V_{dd} に設定する上記の例では、ビット線 $BL_{01}, BL_{21}, BL_{31}, BL_{51}, BL_{71}$ の電圧 V_{b1} は、 $V_{dd} - V_{th}$ にクランプされる。

【0093】

これにより、メモリセル $MC_{101}, MC_{121}, MC_{131}, MC_{151}, MC_{171}$ の抵抗記憶素子 14 及び選択トランジスタ 12 には、ビット線 $BL_{01}, BL_{21}, BL_{31}, BL_{51}, BL_{71}$ の電圧 V_{b1} ($V_{set} > V_{b1} > V_{reset}$) が、抵抗記憶素子 14 の抵抗値及び選択トランジスタ 12 のチャネル抵抗 R_{tr} に応じた比率で分配されて印加される。

40

【0094】

このとき、選択トランジスタ 12 のチャネル抵抗 R_{tr} は、抵抗記憶素子 14 が低抵抗状態のときの抵抗値 R_{low} に対して十分に小さくなるように制御されているため、ビット線 $BL_{01}, BL_{21}, BL_{31}, BL_{51}, BL_{71}$ の電圧 V_{b1} の殆どが低抵抗状態の抵抗記憶素子 14 に印加される。また、ビット線 $BL_{01}, BL_{21}, BL_{31}, BL_{51}, BL_{71}$ の電圧 V_{b1} は抵抗記憶素子 14 のリセット電圧 V_{reset} 以上の値に設定されているため、抵抗記憶素子 14 は低抵抗状態から高抵抗状態にリセットされる。

【0095】

こうして、メモリセル $MC_{101}, MC_{121}, MC_{131}, MC_{151}, MC_{171}$

50

に、リセット状態を書き込むことができる。すなわち、本ステップにより書き込まれた後の8ビットのデータは、“01001010”となる(図8及び図10参照)。

【0096】

この後、コラム選択信号線 32_1 及びワード線 WL_1 を介してコラムセクタ 16_{0_1} 、 16_{1_1} 、…、 16_{7_1} 及びメモリセル MC_{10_1} 、 MC_{11_1} 、…、 MC_{17_1} の選択トランジスタ14を順次オフ状態に戻し、ステップS12の動作を完了する。

【0097】

次に、必要に応じて、ベリファイを行う(ステップS13~S15)。なお、本実施形態におけるベリファイは、データ“0”が正常に書き込まれたかどうかを検証することである。

【0098】

ベリファイでは、まず、データ“0”を書き込んだメモリセルの読み出し動作を行う。

【0099】

まず、コラム選択信号線 32_1 に所定の駆動電圧を印加してコラムセクタ 16_{0_1} 、 16_{1_1} 、…、 16_{7_1} をオン状態にし、ビット線 BL_{0_1} 、 BL_{1_1} 、…、 BL_{7_1} をプリチャージする。

【0100】

次いで、ワード線 WL_1 に所定の駆動電圧(V_{dd})を印加し、メモリセル MC_{10_1} 、 MC_{11_1} 、…、 MC_{17_1} の選択トランジスタ12をオンにする。

【0101】

なお、コラム選択信号線 $32_0 \sim 32_7$ 及びワード線 $WL_0 \sim WL_{6_3}$ への駆動電圧は、ステップS12の状態からそのまま印加しておいてもよい。

【0102】

これにより、電流源22から供給される読み出し電流は、N型トランジスタ20、コラムセクタ 16_{0_1} 、 16_{1_1} 、…、 16_{7_1} 、抵抗記憶素子14及び選択トランジスタ12を介してグラウンド線 GND_0 に向かって流れる。これに伴い、ビット線 BL_{0_1} 、 BL_{1_1} 、…、 BL_{7_1} には、メモリセル MC_{10_1} 、 MC_{11_1} 、…、 MC_{17_1} の抵抗記憶素子14の抵抗状態に応じた電圧 V_{read} がそれぞれ出力される。

【0103】

次いで、センスアンプ24により、ビット線 BL_{0_1} 、 BL_{1_1} 、…、 BL_{7_1} の電圧 V_{read} とリファレンス電圧 V_{ref} とを比較し、その大小関係に基づいてメモリセル MC_{10_1} 、 MC_{11_1} 、…、 MC_{17_1} の抵抗記憶素子14が低抵抗状態であるのか高抵抗状態であるのかを判定する。

【0104】

こうして、メモリセル MC_{10_1} 、 MC_{11_1} 、…、 MC_{17_1} に記録された記憶情報の読み出しを行うことができる。

【0105】

ここで、読み出した8ビットのデータが、“11001010”であったものと仮定する。書き込むべきデータは“01001010”であるので、読み出したデータの最上位ビット(メモリセル MC_{10_1})が、ステップS12において正常にリセットされていないことが判る。

【0106】

このような場合には、メモリセル MC_{10_1} について、書き込み条件を調整して再度リセットの書き込みを行う(ステップS14)。この書き込み処理は、コラム選択信号線 32_1 の駆動電圧(V_{se1})を増加してビット線 BL_{0_1} のクランプ電圧を微増するほかは、基本的にステップS12と同様である。書き込み制御回路36から出力する書き込み制御信号(書き込み制御信号 W/D_0)は、データ“0”を再度書き込むべきビットに対応する書き込み回路(書き込み回路 26_0)のみに出力する(図10参照)。

【0107】

この後、再度ステップS13の読み出し動作を行い、メモリセル MC_{10_1} の情報を読

10

20

30

40

50

み出し、データ“0”が正常に書き込まれたかどうかを再度検証する。その結果、データ“0”が正常に書き込まれていなければ更にステップS14を繰り返し、データ“0”が正常に書き込まれていれば書き込み処理を終了する。

【0108】

こうして、メモリセルMC₁₀₁に、リセット状態を書き込むことができる。すなわち、本ステップにより書き込まれた後の8ビットのデータは、“01001010”となる(図9及び図10参照)。

【0109】

この後、コラム及びロウを切り換えて順次書き込み処理を行い、メモリセルアレイ全体の書き込みを完了する。

【0110】

このように、本実施形態によれば、抵抗記憶素子と、ドレイン端子が抵抗記憶素子の一方の端部に接続され、ソース端子が基準電圧に接続された選択トランジスタと、ソース端子が抵抗記憶素子の他方の端部に接続されたクランプトランジスタとを有する不揮発性半導体記憶装置を構成し、クランプトランジスタを介して抵抗記憶素子に書き込み電圧を印加して高抵抗状態から低抵抗状態に切り換える際に、選択トランジスタのチャネル抵抗が、抵抗記憶素子が高抵抗状態のときの抵抗値よりも十分に小さく且つ抵抗記憶素子が低抵抗状態のときの抵抗値よりも十分に大きくなるように、選択トランジスタのゲート端子に印加する駆動電圧を制御するので、抵抗記憶素子が低抵抗状態に切り換わった直後に書き込み電圧の殆どを選択トランジスタに印加することができる。これにより、素子に流れる電流を制限することができる。

【0111】

また、クランプトランジスタを介して抵抗記憶素子に書き込み電圧を印加して低抵抗状態から高抵抗状態に切り換える際に、クランプトランジスタのゲート端子に印加する電圧を、抵抗記憶素子のリセット電圧とクランプトランジスタの閾値電圧との合計以上、抵抗記憶素子のセット電圧と前記閾値電圧との合計未満の値に設定することにより、抵抗記憶素子に印加される電圧を、リセット電圧以上、セット電圧未満の値に制御するので、抵抗記憶素子が高抵抗状態に切り換わった直後に抵抗記憶素子に印加される電圧をセット電圧未満に抑えることができる。これにより、抵抗記憶素子が再セットされるのを防止することができる。

【0112】

また、書き込み対象のメモリセルを一括してセットした後、データ“0”を書き込むべきビットのメモリセルを選択的にリセットするので、上記の書き込み方法を適用した場合にも、一のワード線に連なる複数のメモリセルに効率よく安定して情報を書き込むことができる。また、データ“0”の書き込み後にそのペリファイを行うことで、抵抗記憶素子のばらつきや変動に起因する書き込み不良を防止することができる。これにより、不揮発性半導体記憶装置の書き込み動作の信頼性を向上することができる。

【0113】

[第2実施形態]

本発明の第2実施形態による不揮発性半導体記憶装置及びその製造方法について図11乃至図15を用いて説明する。なお、図1に示す第1実施形態による不揮発性半導体記憶装置と同様の構成には同一の符号を付し説明を省略し或いは簡潔にする。

【0114】

図11は本実施形態による不揮発性半導体記憶装置の構造を示す平面図、図12は本実施形態による不揮発性半導体記憶装置の構造を示す概略断面図、図13乃至図15は本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

【0115】

本実施形態では、図1に示す回路構成を実現する不揮発性半導体記憶装置の具体的な構造の一例及びその製造方法について説明する。

【0116】

はじめに、本実施形態による不揮発性半導体記憶装置の構造について図 1 1 及び図 1 2 を用いて説明する。なお、図 1 2 は図 1 1 の A - A 線断面図である。

【 0 1 1 7 】

シリコン基板 4 0 上には、素子領域を画定する素子分離膜 4 2 が形成されている。それぞれの素子領域は、X 方向に長い矩形形状を有している。これら複数の活性領域は、互いに千鳥格子状に配置されている。

【 0 1 1 8 】

素子分離膜 4 2 が形成されたシリコン基板 4 0 上には、Y 方向に延在する複数のワード線 W L が形成されている。ワード線 W L は、各素子領域に、それぞれ 2 本ずつが延在している。ワード線 W L の両側の活性領域には、ソース/ドレイン領域 4 6 , 4 8 が形成されている。これにより、各素子領域には、ワード線 W L を兼ねるゲート電極 4 4 とソース/ドレイン領域 4 6 , 4 8 とを有する選択トランジスタが、それぞれ 2 つずつ形成されている。一の素子領域に形成された 2 つの選択トランジスタは、ソース/ドレイン領域 4 6 を共用している。

10

【 0 1 1 9 】

選択トランジスタ 1 2 が形成されたシリコン基板 4 0 上には、層間絶縁膜 5 0 が形成されている。層間絶縁膜 5 0 には、ソース/ドレイン領域 4 6 に接続されたコンタクトプラグ 5 6 と、ソース/ドレイン領域 4 8 に接続されたコンタクトプラグ 5 8 とが埋め込まれている。

【 0 1 2 0 】

20

層間絶縁膜 5 0 上には、コンタクトプラグ 5 6 を介してソース/ドレイン領域 4 6 (ソース端子) に電氣的に接続されたグラウンド線 6 0 と、コンタクトプラグ 5 8 を介してソース/ドレイン領域 4 8 (ドレイン端子) に電氣的に接続された中継配線 6 2 とが形成されている。グラウンド線 6 0 (GND) は、図 1 2 に示すように、Y 方向に延在して形成されている。

【 0 1 2 1 】

グラウンド線 6 0 及び中継配線 6 2 が形成された層間絶縁膜 5 0 上には、層間絶縁膜 6 4 が形成されている。層間絶縁膜 6 4 には、中継配線 6 2 に接続されたコンタクトプラグ 6 8 が埋め込まれている。

【 0 1 2 2 】

30

コンタクトプラグ 6 8 が埋め込まれた層間絶縁膜 6 4 上には、抵抗記憶素子 7 6 が形成されている。抵抗記憶素子 7 6 は、コンタクトプラグ 6 8 、中継配線 6 2 及びコンタクトプラグ 5 8 を介してソース/ドレイン領域 4 8 に電氣的に接続された下部電極 5 0 と、下部電極 7 0 上に形成された抵抗記憶材料よりなる抵抗記憶層 7 2 と、抵抗記憶層 7 2 上に形成された上部電極 7 4 とを有している。

【 0 1 2 3 】

抵抗記憶素子 7 6 が形成された層間絶縁膜 6 4 上には、層間絶縁膜 7 8 が形成されている。層間絶縁膜 7 8 には、抵抗記憶素子 7 6 の上部電極 7 4 に接続されたコンタクトプラグ 8 2 が埋め込まれている。

【 0 1 2 4 】

40

コンタクトプラグ 8 2 が埋め込まれた層間絶縁膜 7 8 上には、コンタクトプラグ 8 2 を介して抵抗記憶素子 7 6 の上部電極 7 4 に電氣的に接続されたビット線 8 4 が形成されている。ビット線 8 4 (B L) は、図 1 2 に示すように、X 方向に延在して形成されている。

【 0 1 2 5 】

こうして、図 1 に示すメモリセルアレイを構成する不揮発性半導体記憶装置が形成されている。

【 0 1 2 6 】

次に、本実施形態による不揮発性半導体装置の製造方法について図 1 3 乃至図 1 5 を用いて説明する。

50

【 0 1 2 7 】

まず、シリコン基板 4 0 内に、例えば S T I (Shallow Trench Isolation) 法により、素子領域を画定する素子分離膜 4 2 を形成する。

【 0 1 2 8 】

次いで、シリコン基板 4 0 の素子領域上に、通常の M O S トランジスタの製造方法と同様にして、ゲート電極 4 4 及びソース/ドレイン領域 4 6 , 4 8 を有するセル選択トランジスタを形成する (図 1 3 (a)) 。

【 0 1 2 9 】

次いで、セル選択トランジスタが形成されたシリコン基板 4 0 上に例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 5 0 を形成する。

10

【 0 1 3 0 】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 5 0 に、ソース/ドレイン領域 4 6 , 4 8 に達するコンタクトホール 5 2 , 5 4 を形成する。

【 0 1 3 1 】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 5 2 , 5 4 内に、ソース/ドレイン領域 4 6 , 4 8 に電氣的に接続されたコンタクトプラグ 5 6 , 5 8 を形成する (図 1 3 (b)) 。

【 0 1 3 2 】

次いで、コンタクトプラグ 5 6 , 5 8 が埋め込まれた層間絶縁膜 5 0 上に例えば C V D 法により導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターニングし、コンタクトプラグ 5 6 を介してソース/ドレイン領域 4 6 に電氣的に接続されたグラウンド線 6 0 と、コンタクトプラグ 5 8 を介してソース/ドレイン領域 4 8 に電氣的に接続された中継配線 6 2 とを形成する (図 1 3 (c)) 。

20

【 0 1 3 3 】

次いで、グラウンド線 6 0 及び中継配線 6 2 が形成された層間絶縁膜 5 0 上に例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えば C M P 法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜 6 4 を形成する。

【 0 1 3 4 】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 6 4 に、中継配線 6 2 に達するコンタクトホール 6 6 を形成する。

30

【 0 1 3 5 】

次いで、例えば C V D 法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 6 6 内に、中継配線 6 2、コンタクトプラグ 5 8 を介してソース/ドレイン領域 4 8 に電氣的に接続されたコンタクトプラグ 6 8 を形成する (図 1 4 (a)) 。

【 0 1 3 6 】

次いで、コンタクトプラグ 6 8 が埋め込まれた層間絶縁膜 6 4 上に、例えばスパッタ法により、例えばプラチナ膜を堆積する。

【 0 1 3 7 】

次いで、プラチナ膜上に、例えばレーザアブレーション、ゾルゲル、スパッタ、M O C V D 等により $T i O_x$ を堆積し、 $T i O_x$ 膜を形成する。

40

【 0 1 3 8 】

次いで、 $T i O_x$ 膜上に、例えばスパッタ法により、例えばプラチナ膜を堆積する。

【 0 1 3 9 】

次いで、フォトリソグラフィ及びドライエッチングにより、プラチナ膜/ $T i O_x$ 膜/プラチナ膜よりなる積層膜をパターニングする。こうして、プラチナ膜よりなりコンタクトプラグ 6 8、中継配線 6 2 及びコンタクトプラグ 5 8 を介してソース/ドレイン領域 4 8 に電氣的に接続された下部電極 7 0 と、下部電極 7 0 上に形成された $T i O_x$ 膜よりなる抵抗記憶層 7 2 と、抵抗記憶層 7 2 上に形成されたプラチナ膜よりなる上部電極 7 4 と

50

を有する抵抗記憶素子76を形成する(図14(b))。

【0140】

なお、抵抗記憶層72を構成する抵抗記憶材料としては、 TiO_x のほか、例えば、 NiO_x 、 YO_x 、 CeO_x 、 MgO_x 、 ZnO_x 、 ZrO_x 、 HfO_x 、 WO_x 、 NbO_x 、 TaO_x 、 CrO_x 、 MnO_x 、 AlO_x 、 VO_x 、 SiO_x 等を適用することができる。また、 $Pr_{1-x}Ca_xMnO_3$ 、 $La_{1-x}Ca_xMnO_3$ 、 $SrTiO_3$ 、 $YBa_2Cu_3O_y$ 、 $LaNiO$ 等の複数の金属や半導体原子を含む酸化物材料を適用することもできる。これら抵抗記憶材料は、単体で用いてもよいし積層構造としてもよい。

【0141】

また、下部電極70及び上部電極74を構成する電極材料としては、プラチナのほか、例えば、 Ir 、 W 、 Ni 、 Au 、 Cu 、 Ag 、 Pd 、 Zn 、 Cr 、 Al 、 Mn 、 Ta 、 Si 、 TaN 、 TiN 、 Ru 、 ITO 、 NiO 、 IrO 、 $SrRuO$ 、 $CoSi_2$ 、 WSi_2 、 $NiSi$ 、 $MoSi_2$ 、 $TiSi_2$ 、 $Al-Si$ 、 $Al-Cu$ 、 $Al-Si-Cu$ 等を適用することができる。下部電極70を構成する電極材料と上部電極74を構成する電極材料とは、同じでも異なってもよい。

10

【0142】

次いで、抵抗記憶素子76が形成された層間絶縁膜64上に例えばCVD法によりシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を例えばCMP法により研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜78を形成する。

【0143】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜78に、抵抗記憶素子76の上部電極74に達するコンタクトホール80を形成する。

20

【0144】

次いで、例えばCVD法によりバリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール80内に、抵抗記憶素子76の上部電極74に接続されたコンタクトプラグ82を形成する(図15(a))。

【0145】

次いで、コンタクトプラグ82が埋め込まれた層間絶縁膜78上に導電膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの導電膜をパターンニングし、コンタクトプラグ82を介して抵抗記憶素子76の上部電極74に電氣的に接続されたビット線84を形成する(図15(b))。

30

【0146】

この後、必要に応じて更に上層の配線層等を形成し、不揮発性半導体装置を完成する。

【0147】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0148】

また、上記実施形態では、書き込み対象のビットを一括してセットした後、データ“0”を書き込むべきビットを選択的にリセットしたが、書き込み対象のビットを一括してリセットした後、データ“1”を書き込むべきビットを選択的にセットするようにしてもよい。但し、一般的にリセット動作はセット動作よりも不安定なため、書き込み動作の安定性の観点からは先に一括してセットを行う方が望ましい。

40

【0149】

また、上記実施形態では、書き込み回路26から出力する書き込み電圧をパルス電圧とし、ワード線WLに印加する駆動電圧を定電圧としたが、書き込み回路26から出力する書き込み電圧を定電圧とし、ワード線WLに印加する駆動電圧をパルス電圧としてもよい。なお、本発明に適用可能なメモリセルの基本的な書き込み手順については、同一出願人による国際特許出願第PCT/JP2006/309743号明細書に詳述されている。

【0150】

また、上記実施形態では、抵抗記憶層62が TiO_x よりなる抵抗記憶素子66を用い

50

たが、抵抗記憶素子66の抵抗記憶層62はこれに限定されるものではない。本願発明に適用可能な抵抗記憶材料としては、 TiO_x 、 NiO_x 、 YO_x 、 CeO_x 、 MgO_x 、 ZnO_x 、 ZrO_x 、 HfO_x 、 WO_x 、 NbO_x 、 TaO_x 、 CrO_x 、 MnO_x 、 AlO_x 、 VO_x 、 SiO_x 等が挙げられる。或いは、 $Pr_{1-x}Ca_xMnO_3$ 、 $La_{1-x}Ca_xMnO_3$ 、 $SrTiO_3$ 、 $YBa_2Cu_3O_y$ 、 $LaNiO$ 等の複数の金属や半導体原子を含む酸化物材料を用いることもできる。これら抵抗記憶材料は、単体で用いてもよいし積層構造としてもよい。

【0151】

また、上記実施形態では、上部電極60及び下部電極64をプラチナにより構成したが、電極の構成材料はこれに限定されるものではない。本願発明に適用可能な電極材料としては、例えば、 Ir 、 W 、 Ni 、 Au 、 Cu 、 Ag 、 Pd 、 Zn 、 Cr 、 Al 、 Mn 、 Ta 、 Si 、 TaN 、 TiN 、 Ru 、 ITO 、 NiO 、 IrO 、 $SrRuO$ 、 $CoSi_2$ 、 WSi_2 、 $NiSi$ 、 $MoSi_2$ 、 $TiSi_2$ 、 $Al-Si$ 、 $Al-Cu$ 、 $Al-Si-Cu$ 等が挙げられる。

10

【0152】

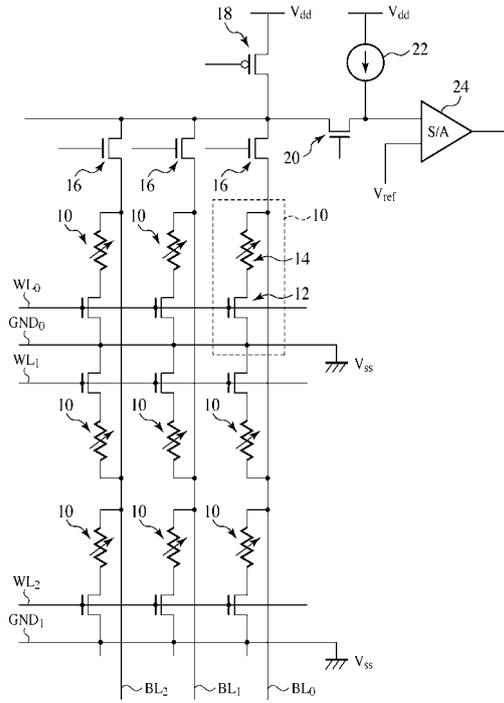
また、第2実施形態による不揮発性半導体記憶装置の構造は、図1に示す回路構成を実現する一例を示したものであり、不揮発性半導体記憶装置の構造はこれに限定されるものではない。

【産業上の利用可能性】**【0153】**

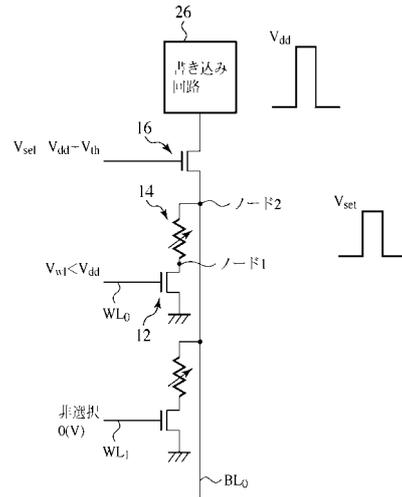
本発明による不揮発性半導体記憶装置及びその書き込み方法は、メモリセルの基本構成の変更や集積度の低下をもたらすことなく、セット動作の際の電流制限及びリセット動作の際の再セット防止を容易に実現するものである。また、複数のメモリセルに効率よく安定して書き込みを行うことができるものである。したがって、本発明による不揮発性半導体記憶装置及びその書き込み方法は、高集積且つ高性能の不揮発性半導体記憶装置の信頼性を向上するうえで極めて有用である。

20

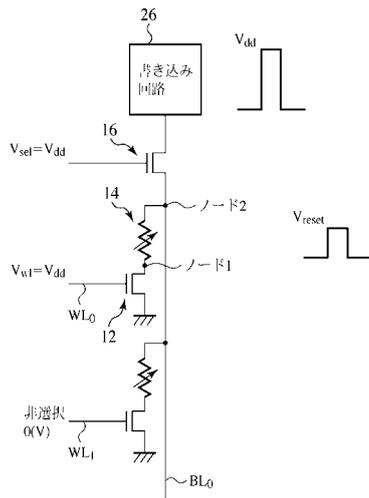
【図1】



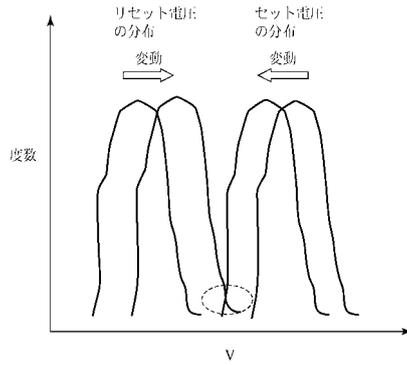
【図2】



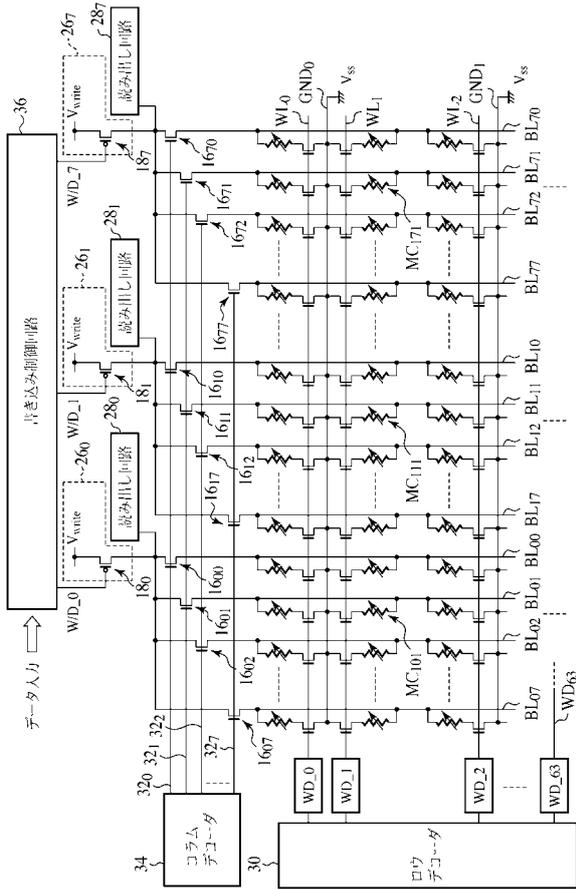
【図3】



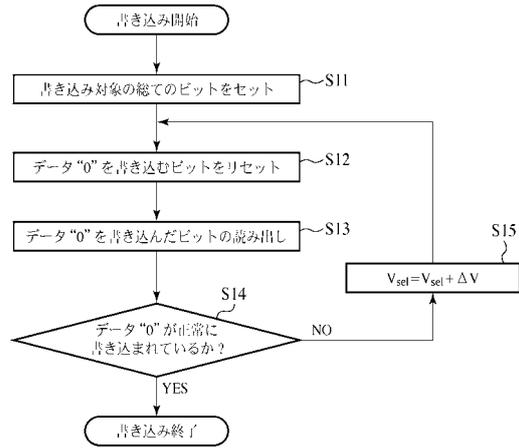
【図4】



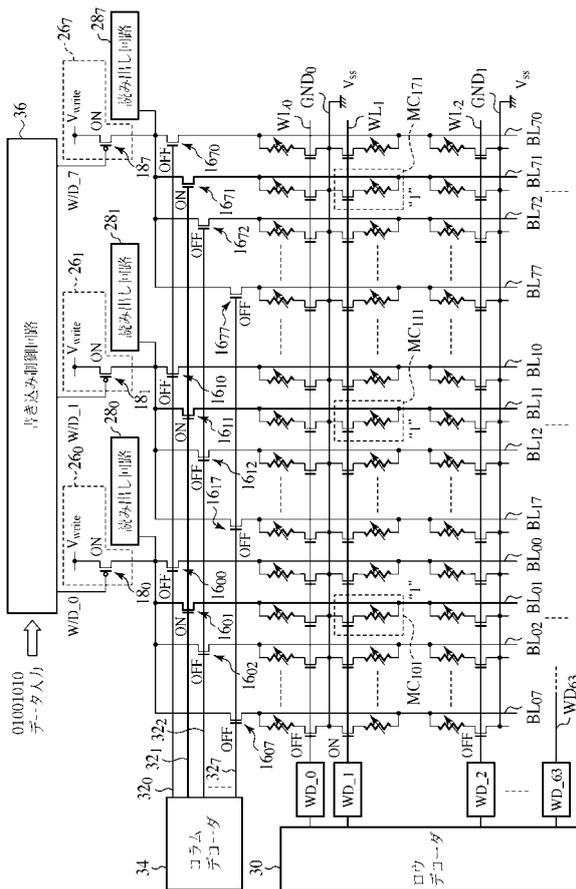
【図5】



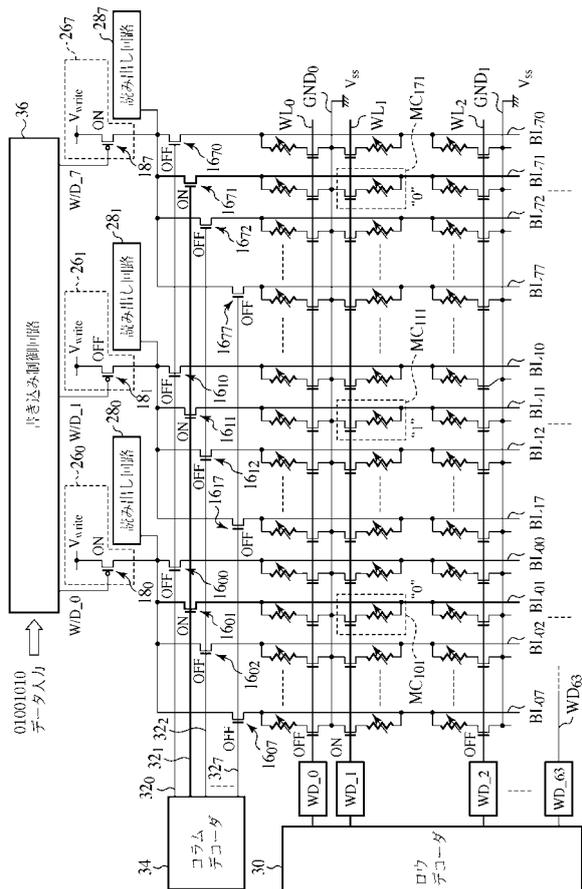
【図6】



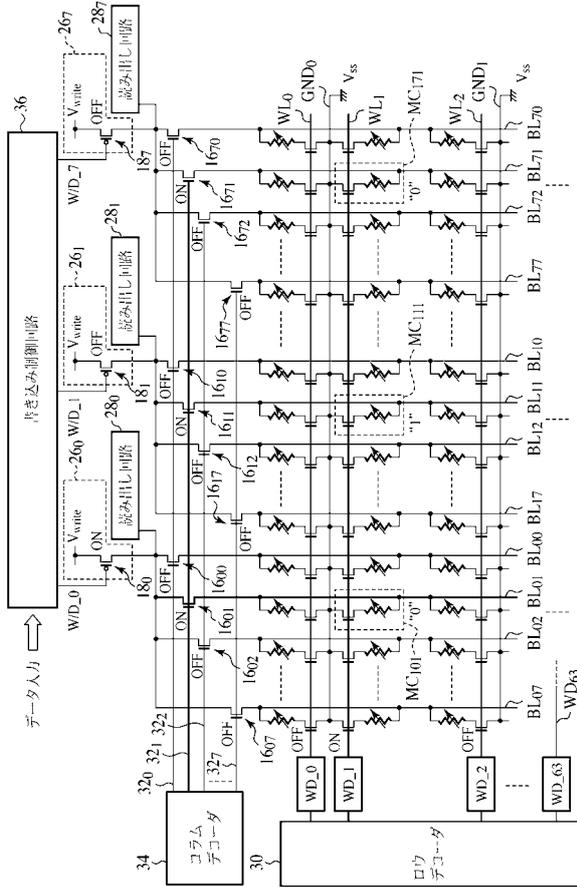
【図7】



【図8】



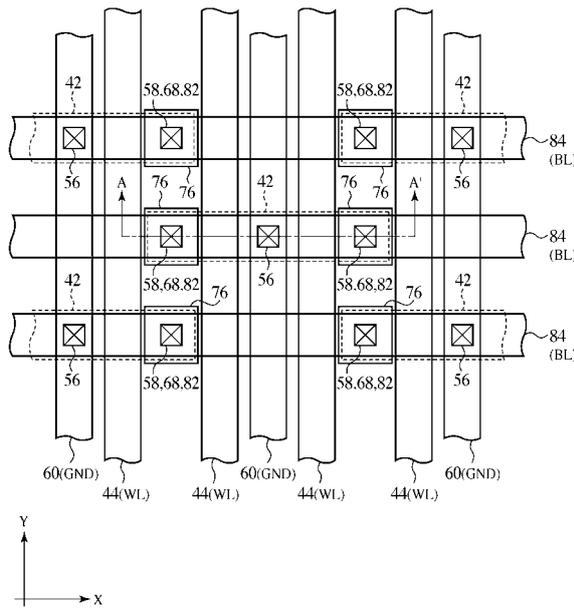
【図9】



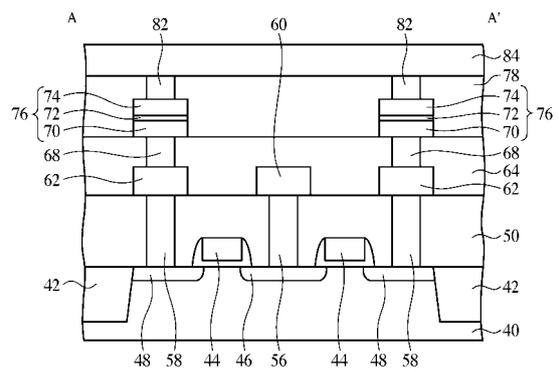
【図10】

書き込むべきデータ	ビット0 (MC10)	ビット1 (MC11)	ビット2 (MC12)	ビット3 (MC13)	ビット4 (MC14)	ビット5 (MC15)	ビット6 (MC16)	ビット7 (MC17)
書き込み制御信号	ON							
書き込まれたデータ	1	1	1	1	1	1	1	1
読み出し制御信号	ON	OFF	ON	OFF	ON	OFF	ON	OFF
読み出したデータ	1	0	1	0	1	0	1	0
書き込み制御信号	ON							
書き込まれたデータ	0	1	0	1	0	1	0	1
読み出し制御信号	OFF	ON	OFF	ON	OFF	ON	OFF	ON
読み出したデータ	0	1	0	1	0	1	0	1

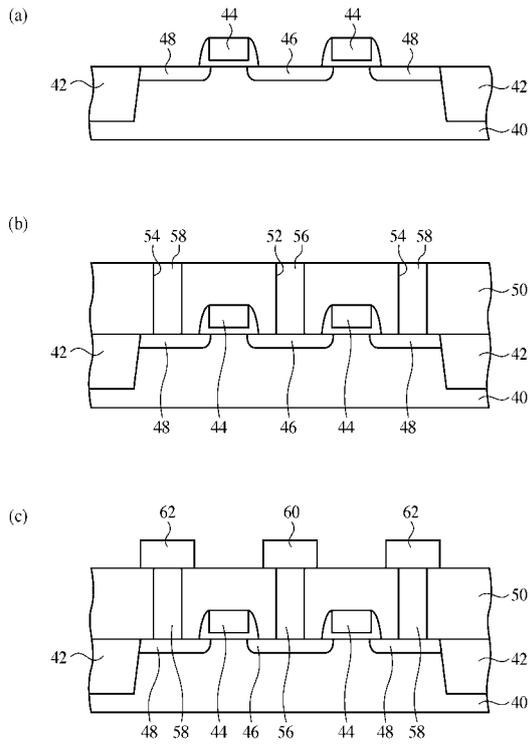
【図11】



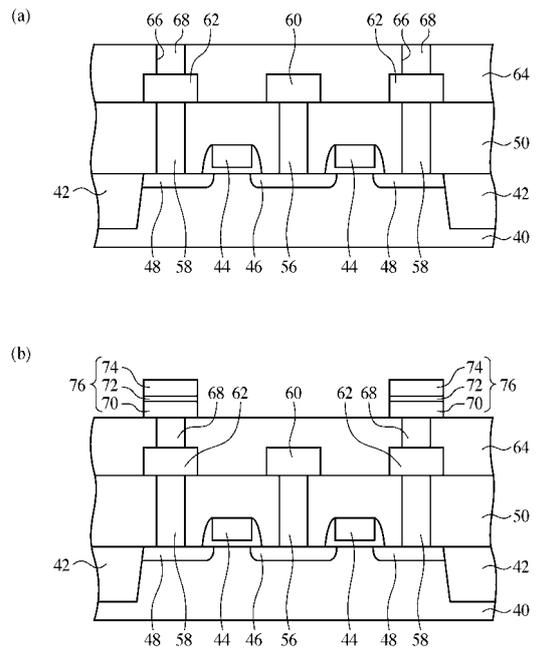
【図12】



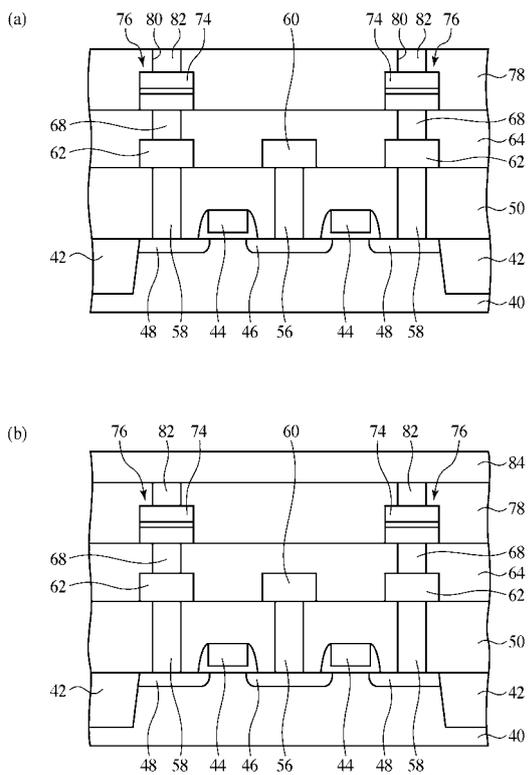
【図 13】



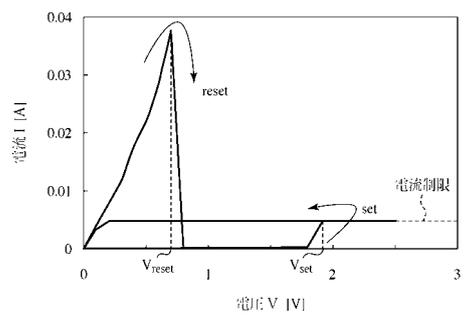
【図 14】



【図 15】



【図 16】



フロントページの続き

- (56)参考文献 特開2005 - 216387 (JP, A)
特開2005 - 025914 (JP, A)
特開2005 - 267837 (JP, A)
特開2005 - 092912 (JP, A)
特開2004 - 234707 (JP, A)

- (58)調査した分野(Int.Cl. , DB名)
G11C 13/00