

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3994530号
(P3994530)

(45) 発行日 平成19年10月24日(2007.10.24)

(24) 登録日 平成19年8月10日(2007.8.10)

(51) Int. Cl. F I
H O 4 N 5/956 (2006.01) H O 4 N 5/95 A

請求項の数 7 (全 14 頁)

<p>(21) 出願番号 特願平10-203862 (22) 出願日 平成10年7月17日(1998.7.17) (65) 公開番号 特開2000-36943(P2000-36943A) (43) 公開日 平成12年2月2日(2000.2.2) 審査請求日 平成16年11月29日(2004.11.29)</p>	<p>(73) 特許権者 000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地 (74) 代理人 100083806 弁理士 三好 秀和 (74) 代理人 100100712 弁理士 岩▲崎▼ 幸邦 (74) 代理人 100100929 弁理士 川又 澄雄 (74) 代理人 100108707 弁理士 中村 友之 (74) 代理人 100095500 弁理士 伊藤 正和</p>
--	--

最終頁に続く

(54) 【発明の名称】 時間軸補正装置及び方法

(57) 【特許請求の範囲】

【請求項1】

デジタル映像信号及び前記デジタル映像信号に同期したデジタル同期パルス信号をメモリを用いて時間軸補正を行う時間軸補正装置において、

当該時間軸補正装置の動作の基準となる基準信号に基づいて前記デジタル映像信号の周波数よりも高い周波数の信号を発生し、当該高周波数信号を前記デジタル同期パルス信号に同期して前記デジタル映像信号に多重する信号多重手段と、

前記信号多重手段により多重されたデジタル映像信号を前記メモリに書き込み、時間軸変動が含まれないように前記多重されたデジタル映像信号を前記メモリから読み出すことにより時間軸補正を施す補正手段と、

前記補正手段による時間軸補正後のデジタル映像信号と前記基準信号とから前記多重された高周波数信号を分離し、当該高周波数信号に基づいて前記時間軸補正後のデジタル映像信号から前記デジタル同期パルス信号を復元する信号分離手段と

を有することを特徴とする時間軸補正装置。

【請求項2】

前記信号多重手段は、前記デジタル映像信号の最下位ビット側に、前記高周波数信号を多重し、

前記信号分離手段は、前記デジタル映像信号の最下位ビット側に多重された前記高周波数信号を分離すること

を特徴とする請求項1記載の時間軸補正装置。

【請求項 3】

前記信号多重手段は、前記デジタル映像信号の周波数よりも高い周波数の信号を発生する高周波数信号発生手段と、前記高周波数信号発生手段が発生した高周波数信号と前記デジタル映像信号の最下位ビット側の信号とを前記デジタル同期パルス信号に基づいて切り換え出力する切り換え出力手段とを備えること

を特徴とする請求項 2 記載の時間軸補正装置。

【請求項 4】

前記信号分離手段は、前記デジタル映像信号の最下位ビット側に前記高周波数信号が多重されている期間を検出する多重期間検出手段と、当該多重期間検出手段が検出した多重期間が所定期間に達したときに所定長のパルスをもつ信号を前記デジタル同期パルス信号として発生するパルス信号発生手段とを備えること

を特徴とする請求項 2 又は請求項 3 記載の時間軸補正装置。

【請求項 5】

前記信号多重手段にて多重がなされた信号期間を、所定の信号パターンですげ替えるすげ替え手段を設けること

を特徴とする請求項 1 乃至請求項 4 のうち何れか 1 項記載の時間軸補正装置。

【請求項 6】

前記信号分離手段にて前記多重された高周波数信号を分離した後の信号から、前記デジタル映像信号の周波数成分を通過させる信号通過手段を設けること

を特徴とする請求項 1 乃至請求項 5 のうち何れか 1 項記載の時間軸補正装置。

【請求項 7】

デジタル映像信号及び前記デジタル映像信号に同期したデジタル同期パルス信号をメモリを用いて時間軸補正を行う時間軸補正方法において、

当該時間軸補正装置の動作の基準となる基準信号に基づいて前記デジタル映像信号の周波数よりも高い周波数の信号を発生し、当該高周波数信号を前記デジタル同期パルス信号に同期して前記デジタル映像信号に多重する信号多重ステップと、

前記信号多重ステップにより多重されたデジタル映像信号を前記メモリに書き込み、時間軸変動が含まれないように前記多重されたデジタル映像信号を前記メモリから読み出すことにより時間軸補正を施す補正ステップと、

前記補正ステップによる時間軸補正後のデジタル映像信号と前記基準信号とから前記多重された高周波数信号を分離し、当該高周波数信号に基づいて前記時間軸補正後のデジタル映像信号から前記デジタル同期パルス信号を復元する信号分離ステップとを有すること

を特徴とする時間軸補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、少なくとも、映像信号に同期した種々のパルス信号の時間軸補正を行う時間軸補正装置及び方法に関し、特に、映像信号に影響を与えず、またメモリを増やすことなく、簡単な構成により、パルス信号の時間軸補正を実現する時間軸補正装置及び方法に関する。

【0002】

【従来の技術】

一般に、ビデオテープレコーダ（以下、適宜 VTR と呼ぶ）やディスク装置などでは、信号の記録再生時における走行或いは回転メカニズム等の機械的変動などに起因して、再生信号の時間軸が変動する。例えば VTR において再生映像信号に時間軸変動が発生すると、例えば再生画像の揺らぎや画質劣化等が発生する。

【0003】

このため、従来より、再生映像信号の時間軸変動を補正することが行われている。

【0004】

10

20

30

40

50

図7には、再生映像信号の時間軸変動を補正する時間軸補正装置(TBC: time base error corrector)の基本的な構成を示す。

【0005】

この図7において、入力端子101には、例えばVTR等からの再生映像信号が入力映像信号として供給される。当該入力映像信号には、VTR等に起因した時間軸変動が含まれているものとする。この入力映像信号は、A/D(アナログ/デジタル)変換器102に送られると共に、書き込みクロック発生器106に送られる。

【0006】

書き込みクロック発生器106は、入力映像信号からクロックを取り出し、このクロックを、A/D変換器102へのサンプリングクロック、及びメモリ103への書き込みクロックとしてそれぞれ供給する。当該書き込みクロック発生器106から出力されるクロックは、入力映像信号から取り出したものであるため、当該入力映像信号の時間軸変動に一致した時間軸変動を含んでいる。

10

【0007】

A/D変換器102は、書き込みクロック発生器106からのクロック(時間軸変動を有するサンプリングクロック)に基づいて、入力映像信号をデジタル映像信号に変換する。このA/D変換器102から出力されたデジタル映像信号は、メモリ103に入力される。

【0008】

メモリ103は、書き込みクロック発生器106からのクロック(時間軸変動を有する書き込みクロック)に応じてデジタル映像信号が書き込まれる。

20

【0009】

一方、端子108には、外部同期用の基準信号が入力され、この基準信号は読み出しクロック発生器107に送られる。当該基準信号は、時間軸変動を含んでいない。

【0010】

読み出しクロック発生器107は、基準信号から基準クロックを生成し、この基準クロックを、D/A(デジタル/アナログ)変換器104へのサンプリングクロック、及びメモリ103への読み出しクロックとしてそれぞれ供給する。

【0011】

メモリ103は、読み出しクロック発生器107からの基準クロック(時間軸変動を含まない読み出しクロック)に基づいて、既に記憶しているデジタル映像信号を読み出す。このメモリ103から読み出されたデジタル映像信号は、D/A変換器104に送られる。

30

【0012】

D/A変換器104は、読み出しクロック発生器107からの基準クロック(時間軸変動を含まないサンプリングクロック)に基づいて、メモリ103からのデジタル映像信号をアナログ映像信号に変換する。

【0013】

図7の時間軸補正装置では、上述のようにして時間軸変動を含んでいた入力映像信号から時間軸変動を含まない出力映像信号を生成、すなわち時間軸補正を行う。当該時間軸補正された後の出力映像信号は、出力端子105から後段の構成に送られる。

40

【0014】

【発明が解決しようとする課題】

ところで、映像信号に同期した垂直同期信号Vsyncや特殊再生時の垂直基準信号Vpulseなどの各種のパルス信号を、例えば上述したように時間軸補正を行った後の映像信号に対して使用するような場合、このパルス信号に対しても当該映像信号と同様に時間軸補正を行う必要がある。すなわち、映像信号に時間軸変動が含まれている場合には、このパルス信号にも時間軸変動が含まれているため、その映像信号の時間軸補正を行った後は、当該パルス信号に対しても同様の時間軸補正を行わなければならない。

【0015】

50

これらパルス信号に対して時間軸補正を施すための最も簡単な手法としては、例えば図7の構成において、メモリ103のビット数をそのパルス信号に相当する分だけ増やし、映像信号の場合と同様に書き込み及び読み出しを行うような手法が存在する。しかし、メモリのビット数を増やすには多大なコストがかかり、好ましいことではない。

【0016】

一方、各パルス信号に対する時間軸補正の別の手法として、メモリを増やすのではなく、図8に示すような構成を用いて各パルス信号の時間軸補正を行うような手法も存在する。なお、図8には、再生映像信号から同期分離された垂直同期信号Vsyncや特殊再生時の垂直基準信号Vpulseなどの各種パルス信号のうち、垂直同期信号Vsyncの時間軸補正を行う構成を例に挙げている。垂直基準信号Vpulseの時間軸補正を行う構成も基本的に図8と同様であるため、その図示及び説明は省略する。

10

【0017】

この図8において、端子111には、再生映像信号から同期分離された時間軸変動を有する垂直同期信号Vsyncが供給される。この垂直同期信号Vsyncはダウンカウンタ112に送られる。

【0018】

また、端子113には、例えば図7に示した映像信号用の時間軸補正装置の書き込みクロック発生器106がメモリ103の書き込みリセット用として発生した書き込みリセットパルスが供給され、端子114には同じく図7に示した映像信号の時間軸補正装置の読み出しクロック発生器107がメモリ103の読み出しリセット用として生成した読み出しリセットパルスが供給される。これら書き込みリセットパルスと読み出しリセットパルスは、アップカウンタ116に送られる。

20

【0019】

アップカウンタ116は、書き込みリセットパルスでアップカウントがリセットされ、読み出しリセットパルスでアップカウントを停止するものである。すなわち、当該アップカウンタ116は、時間軸変動を有する書き込みリセットパルスでアップカウントをリセットし、時間軸変動を含まない読み出しリセットパルスによってアップカウントを止めることにより、これら書き込みリセットパルス及び読み出しリセットパルスの2つのパルスの時間間隔、すなわち時間軸変動分をカウント値として検出する。このカウント値は、ダウンカウンタ112に送られる。

30

【0020】

ダウンカウンタ112は、垂直同期信号Vsyncの来たタイミングにより、アップカウンタ116にて検出したカウント値をセットし、このセットしたカウント値から順次ダウンカウントし、そのダウンカウント値をデコーダ115に送る。

【0021】

デコーダ115は、ダウンカウンタ112からのダウンカウント値が0になった時、つまり時間軸変動分が0になったときのタイミングで所定のパルス信号を出力する。このデコーダ115から出力されたパルス信号が、時間軸補正された垂直同期信号Vsyncとして出力端子117から取り出される。

【0022】

上述したように、図8の構成では、垂直同期信号Vsyncをメモリの書き込みから読み出しまでの時間分遅らせたことにより、垂直同期信号Vsyncの時間軸補正を行っている。

40

【0023】

しかし、この図8の構成では、垂直同期信号Vsyncについては間接的に時間軸補正を行うようになされているため、メモリ103の動作にオーバーフローが発生した場合に垂直同期信号Vsyncと映像信号の垂直同期部分との間に1H分のズレが生ずることがある。

【0024】

本発明は、上述の課題に鑑みてなされたものであり、メモリのビット数を増やすことなく安価且つ簡単な構成で、また、映像信号と同期がとれた状態で、映像信号に同期した種々のパルス信号の時間軸補正を実現する時間軸補正装置及び方法の提供を目的とする。

50

【 0 0 2 5 】

【課題を解決するための手段】

本発明に係る時間軸補正装置は、上述の課題を解決するために、デジタル映像信号及び前記デジタル映像信号に同期したデジタル同期パルス信号をメモリを用いて時間軸補正を行う時間軸補正装置において、当該時間軸補正装置の動作の基準となる基準信号に基づいて前記デジタル映像信号の周波数よりも高い周波数の信号を発生し、当該高周波数信号を前記デジタル同期パルス信号に同期して前記デジタル映像信号に多重する信号多重手段と、前記信号多重手段により多重されたデジタル映像信号を前記メモリに書き込み、時間軸変動が含まれないように前記多重されたデジタル映像信号を前記メモリから読み出すことにより時間軸補正を施す補正手段と、前記補正手段による時間軸補正後のデジタル映像信号と前記基準信号とから前記多重された高周波数信号を分離し、当該高周波数信号に基づいて前記時間軸補正後のデジタル映像信号から前記デジタル同期パルス信号を復元する信号分離手段とを有する。

10

【 0 0 2 6 】

ここで、前記信号多重手段は、前記デジタル映像信号の最下位ビット側に、前記高周波数信号を多重し、前記信号分離手段は、前記デジタル映像信号の最下位ビット側に多重された前記高周波数信号を分離する。前記信号多重手段は、前記デジタル映像信号の周波数よりも高い周波数の信号を発生する高周波数信号発生手段と、前記高周波数信号発生手段が発生した高周波数信号と前記デジタル映像信号の最下位ビット側の信号とを前記デジタル同期パルス信号に基づいて切り換え出力する切り換え出力手段とを備える。前記信号分離手段は、前記デジタル映像信号の最下位ビット側に前記高周波数信号が多重されている期間を検出する多重期間検出手段と、当該多重期間検出手段が検出した多重期間が所定期間に達したときに所定長のパルス信号を有する信号を前記デジタル同期パルス信号として発生するパルス信号発生手段とを備える。

20

【 0 0 2 7 】

また、本発明の時間軸補正装置は、前記信号多重手段にて多重がなされた信号期間を、所定の信号パターンですげ替えるすげ替え手段や、前記信号分離手段にて前記多重された高周波数信号を分離した後の信号から、前記デジタル映像信号の周波数成分を通過させる信号通過手段を設けてなる。

【 0 0 2 8 】

本発明の時間軸補正方法は、デジタル映像信号及び前記デジタル映像信号に同期したデジタル同期パルス信号をメモリを用いて時間軸補正を行う時間軸補正方法において、当該時間軸補正装置の動作の基準となる基準信号に基づいて前記デジタル映像信号の周波数よりも高い周波数の信号を発生し、当該高周波数信号を前記デジタル同期パルス信号に同期して前記デジタル映像信号に多重する信号多重ステップと、前記信号多重ステップにより多重されたデジタル映像信号を前記メモリに書き込み、時間軸変動が含まれないように前記多重されたデジタル映像信号を前記メモリから読み出すことにより時間軸補正を施す補正ステップと、前記補正ステップによる時間軸補正後のデジタル映像信号と前記基準信号とから前記多重された高周波数信号を分離し、当該高周波数信号に基づいて前記時間軸補正後のデジタル映像信号から前記デジタル同期パルス信号を復元する信号分離ステップとを有する。

30

40

【 0 0 2 9 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態の説明を行う。

【 0 0 3 0 】

図1には、映像信号の時間軸変動を補正すると同時に、当該映像信号に同期した各種パルス信号の時間軸変動を補正する、本発明の時間軸補正装置及び方法の一実施の形態の概略的な構成を示す。

【 0 0 3 1 】

この図1において、入力端子1には、例えばVTR等からの再生映像信号が入力映像信号

50

として供給される。当該入力映像信号には、VTR等に起因した時間軸変動が含まれているものとする。また、端子4には、映像信号から同期分離された垂直同期信号Vsyncが供給され、端子5には、特殊再生用の垂直基準信号Vpulseが供給される。端子6には、本実施の形態の時間軸補正装置の動作の基準となる基準クロックclkが供給される。端子4に供給された垂直同期信号Vsyncは信号多重回路7に送られ、端子5に供給された垂直基準信号Vpulseは信号多重回路8に送られる。また、端子6に供給された基準クロックclkは、信号多重回路7及び8、時間軸補正回路9(TBC)、信号分離回路10及び11にそれぞれ送られる。

【0032】

入力端子1に供給された入力映像信号は、A/D(アナログ/デジタル)変換器2に送られる。A/D変換器2は、このアナログの入力映像信号を、例えば8ビットのデジタル映像信号に変換すると共に、この8ビットのデジタル映像信号のうち、上位側の6ビットを時間軸補正回路9に供給し、残り下位側の2ビットのうちの例えば最下位ビット(LSB)から2ビット目(以下、下位2ビット目LSB2と呼ぶ)を信号多重回路7に供給し、最下位の1ビット(以下、下位1ビット目LSB1と呼ぶ)を信号多重回路8に供給する。

10

【0033】

信号多重回路7と信号多重回路8は、垂直同期信号Vsyncと垂直基準信号Vpulseに対してそれぞれ全く同じ処理を行うため、本実施の形態では、代表して垂直同期信号Vsyncが入力される信号多重回路7を例に挙げて動作説明を行い、垂直基準信号Vpulseが入力される信号多重回路8についての動作説明は省略する。

20

【0034】

信号多重回路7の具体的な構成を図2に示し、図3には当該図2の構成におけるタイミングチャートを示す。

【0035】

図2において、端子21には図1のA/D変換器2からの下位2ビット目LSB2が入力され、端子22には図1の端子6からの基準クロックclkが入力され、端子23には図1の端子4からの垂直同期信号Vsyncが入力される。端子21に入力された下位2ビット目LSB2の信号波形は例えば図3の(a)に示すような波形となり、端子22に入力された基準クロックclkの信号波形は例えば図3の(b)に示すような波形であり、端子23に入力された垂直同期信号Vsyncの信号波形は例えば図3の(d)に示すような波形である。基準クロックclkはTFF(トグルフリップフロップ或いはトリガフリップフロップ)24の入力端子に送られ、下位2ビット目LSB2はスイッチ25の一方の被切換端子に、垂直同期信号Vsyncは切り換え制御信号としてスイッチ25に送られる。

30

【0036】

TFF24では、図3の(b)に示した基準クロックclkの1クロック毎に反転する、図3の(c)に示すようなTFF出力信号を生成する。このTFF出力信号は、スイッチ25の他方の被切換端子に送られる。

【0037】

スイッチ25は、切り換え制御信号がL(ローレベル)であるときに一方の被切換端子側が選ばれ、切り換え制御信号がH(ハイレベル)であるときに他方の被切換端子側が選ばれるスイッチである。図2のスイッチ25は、一方の被切換端子に図3の(a)に示した下位2ビット目LSB2が入力され、他方の被切換端子に図3の(c)に示したTFF出力信号が入力され、切り換え制御信号として図3の(d)に示した垂直同期信号Vsyncが入力されているため、当該スイッチ25からは、図3の(e)に示すような信号が出力されることになる。

40

【0038】

すなわち、この図2に示した信号多重回路7の出力端子26からは、図3の(d)に示した垂直同期信号VsyncのL(ローレベル)区間で図3の(a)の下位2ビット目LSB2が選ばれ、垂直同期信号VsyncのH(ハイレベル)区間で図3の(c)のTFF出力信号

50

が選ばれた、図3の(e)のような信号が出力されることになる。言い換えると、この信号多重回路7では、TFF出力信号を垂直同期信号Vsyncとして下位2ビット目LSB2に多重する処理を行っている。以下適宜、この下位2ビット目LSB2に垂直同期信号VsyncとしてのTFF出力信号が多重化された信号を、下位2ビット目lsb2と呼ぶことにする。

【0039】

信号多重回路8においても同様に、下位1ビット目LSB1と垂直基準信号Vpulse及び基準クロックclkを用いた処理を行う。すなわち、この信号多重回路8では、TFF出力信号を垂直基準信号Vpulseとして下位1ビット目LSB1に多重する処理を行っている。以下適宜、この下位1ビット目LSB1に垂直基準信号VpulseとしてのTFF出力信号が多重化された信号を、下位1ビット目lsb1と呼ぶことにする。

10

【0040】

ここで、基準クロックclkの周波数(クロック周波数)を例えば14.3MHzとすると、TFF24からのTFF出力信号の周波数は、当該クロック周波数の半分の周波数の7.15MHzとなる。したがって、この図2に示した信号多重回路7では、垂直同期信号Vsyncを、周波数が7.15MHzの信号として、8ビットデジタル映像信号の下位側の2ビット目に多重していることになる。また、信号多重回路8では、垂直基準信号Vpulseを、周波数が7.15MHzの信号として、8ビットデジタル映像信号の下位側の1ビット目(最下位ビット)に多重していることになる。

【0041】

上述のように、信号多重回路7にて下位2ビット目LSB2に垂直同期信号VsyncとしてのTFF出力信号を多重化した下位2ビット目lsb2、及び信号多重回路8にて下位1ビット目LSB1に垂直基準信号VpulseとしてのTFF出力信号を多重化した下位1ビット目lsb1は、それぞれ時間軸補正回路9に供給される。

20

【0042】

時間軸補正回路9は、例えば前述の図7の例と同様に、メモリを使用して映像信号の時間軸変動を補正するものであり、当該メモリに対する書き込みクロックを発生する書き込みクロック発生器と、読み出しクロックを発生する読み出しクロック発生器とを少なくとも備えたものである。

【0043】

すなわち、この時間軸補正回路9は、A/D変換器2から供給された上位側の6ビットと、信号多重回路7からの下位2ビット目lsb2の1ビットと、信号多重回路8からの下位1ビット目lsb1の1ビットとからなる合計8ビットの信号を、書き込みクロック発生器からの書き込みクロックに基づいてメモリに書き込み、読み出しクロック発生器からの読み出しクロックに基づいて読み出す。これにより、8ビットのデジタル映像信号Aと共に、このデジタル映像信号Aの下位側に多重化されている、下位2ビット目lsb2及び下位1ビット目lsb1の垂直同期信号Vsync及び垂直基準信号Vpulseの時間軸補正を行うことができる。

30

【0044】

この時間軸補正が施された8ビットのデジタル映像信号Aは、同期信号すげ替え回路12に送られると共に、その下位2ビット目lsb2が信号分離回路10に送られ、下位1ビット目lsb1が信号分離回路11に送られる。

40

【0045】

信号分離回路10の具体的な構成を図4に示し、図5には当該図4の構成におけるタイミングチャートを示す。なお、信号分離回路10と信号分離回路11は、下位2ビット目lsb2と下位1ビット目lsb1、すなわち垂直同期信号Vsyncと垂直基準信号Vpulseに対してそれぞれ全く同じ処理を行うため、本実施の形態では、代表して垂直同期信号Vsyncが入力される信号分離回路10を例に挙げて動作説明を行い、垂直基準信号Vpulseが入力される信号分離回路11についての動作説明は省略する。

【0046】

50

図4において、端子31には図1の時間軸補正回路9から出力された8ビットの信号Aのうちの下位2ビット目1sb2が入力され、端子32には図1の端子6からの基準クロックclkが入力される。端子31に入力された下位2ビット目1sb2の信号波形は図5の(a)に示すような波形となり、端子32に入力された基準クロックclkの信号波形は図5の(b)に示すような波形である。下位2ビット目1sb2の信号はDFF(ディレイフリップフロップ)33の入力端子とEXOR(排他的論理和)ゲート34の一方の入力端子に送られ、基準クロックclkはDFF33のクロック入力端子とカウンタ35のクロック入力端子に入力される。

【0047】

DFF33では、図5の(a)に示した下位2ビット目1sb2を、図5の(b)に示した基準クロックclkにより取り込み、図5の(c)に示すようなDFF出力信号を生成する。このDFF出力信号は、EXORゲート34の他方の入力端子に入力される。

10

【0048】

EXORゲート34は、図5の(a)に示した下位2ビット目1sb2の信号と、図5の(c)に示したDFF出力信号との排他的論理和を取り、図5の(d)に示すような信号を出力する。すなわち、このEXORゲート34からは、図5の(a)に示した下位2ビット目1sb2の信号と、図5の(c)に示したDFF出力信号との何れかがH(ハイレベル)となるとときにH(ハイレベル)となる信号が出力される。

【0049】

言い換えると、DFF33とEXORゲート34は、下位2ビット目1sb2の信号レベルが連続して反転しているとき、すなわち垂直同期信号Vsyncとして多重された7.15MHzのパルス信号が存在する期間を検出し、EXORゲート34からは、その期間は常にH(ハイレベル)となるような信号が出力される。このEXORゲート34の出力信号は、カウンタ35へリセットパルスとして送られる。

20

【0050】

カウンタ35は、基準クロックclkに基づいてカウント動作を行い、リセットパルスがH(ハイレベル)の間はカウントアップし、リセットパルスがL(ローレベル)になると0にクリアされるものである。したがって、図5の(b)に示した基準クロックclkと図5の(d)に示したリセットパルスするとき、当該カウンタ35からは、図5の(e)に示すようなカウント値が出力されることになる。当該カウント値は、デコーダ36に送ら

30

【0051】

デコーダ36は、例えば図5に示すようにカウント値が63となったときに、図5の(f)に示すような所定時間H(ハイレベル)が続くパルス信号を出力する。すなわち、このデコーダ36は、前記63のカウント値が供給された後に、図5の(f)に示すパルス信号を垂直同期信号Vsyncとして出力することで、前記時間軸補正回路9により時間軸補正処理が施された垂直同期信号Vsyncを前記8ビットのデジタル映像信号Aから間接的に分離し、これを後段の回路に供給する。

【0052】

信号分離回路11においても同様に、時間軸補正回路9から出力された8ビットの信号Aのうち、下位1ビット目1sb1と基準クロックclkを用いた処理を行うことにより、当該下位1ビット目1sb1に多重され、時間軸補正がなされた垂直基準信号Vpulseを間接的に分離し、これを端子14を介して後段の回路に供給する。

40

【0053】

なお、端子13及び端子14から出力される垂直同期信号Vsync及び垂直基準信号Vpulseには前記カウント動作に伴い定量的な遅れが生ずるが、この遅れは僅かなものであり後段の信号処理において何等問題にはならない程度のものである。

【0054】

ところで、映像信号に着目すると、時間軸補正回路9から出力された8ビットのデジタル映像信号Aの下位側の2ビットには、前述したように周波数が7.15MHzのパルス

50

信号からなる下位 2 ビット目 1 s b 2 及び下位 1 ビット 1 s b 1 が多重されていることになる。すなわち、7 . 1 5 M H z のような高周波数のパルス信号からなる下位 2 ビット目 1 s b 2 及び下位 1 ビット 1 s b 1 がデジタル映像信号 A に多重されることで、映像信号上においては、例えば図 6 の (a) に示すように、それら下位 2 ビット目 1 s b 2 及び下位 1 ビット 1 s b 1 に起因する高周波成分 H N が発生することになる。なお、この高周波成分 H N は、図 6 の (c) に示すタイミングで発生することもある。また、この図 6 は、説明を分かりやすくするため、本来はデジタル信号である信号 A をアナログ的に表している。

【 0 0 5 5 】

このようなことから同期信号すげ替え回路 1 2 は、時間軸補正回路 9 にて時間軸補正された映像信号の水平同期信号 (H シンク)、及び前記信号分離回路 1 0 で分離された垂直同期信号 V sync に基づいて、図 6 に示すような同期すげ替え期間を生成し、デジタル映像信号 A のうち、この同期すげ替え期間の信号部分を本来の垂直帰線期間の信号パターンにすげ替えを行う。

10

【 0 0 5 6 】

当該同期信号すげ替え回路 1 2 における同期信号すげ替え処理により、図 6 の (a) に示したような映像信号上に発生している高周波成分 H N は取り除かれ、図 6 の (b) に示すような高周波成分 H N の無い映像信号 B が生成されることになる。すなわち、前述したように、信号多重回路 7 及び 8 にて例えば 7 . 1 5 M H z のような高周波数の信号をデジタル映像信号に多重したとしても、同期信号すげ替え回路 1 2 にて本来の垂直帰線期間の信号パターンにすげ替えを行うことにより、前段での多重化処理が最終的な映像信号には全く影響していないことがわかる。

20

【 0 0 5 7 】

この同期信号すげ替え回路 1 2 から出力された映像信号 B は、D / A (デジタル / アナログ) 変換器 1 5 にてアナログ映像信号に変換され、その後、L P F (ローパスフィルタ) 1 6 を介して出力端子 1 7 から出力される。ここで、L P F 1 6 は、少なくとも垂直同期信号 V sync 及び垂直基準信号 V pulse としてデジタル映像信号に多重化される T F F 出力信号の周波数を充分減衰させることができるカットオフ周波数特性を有するものである。本実施の形態では、7 . 1 5 M H z 以下の周波数成分を充分減衰させることができるカットオフ周波数特性を有するローパスフィルタを使用する。

30

【 0 0 5 8 】

一方、図 6 の (c) に示した映像信号のように、垂直基準信号 V pulse が垂直帰線期間だけでなく映像信号期間にも多重されて高周波成分 H N が発生しているような場合、同期信号すげ替え回路 1 2 にて上述のような同期信号すげ替え処理を行ったとしても、図 6 の (d) に示すように、本体の垂直帰線期間の信号パターンではすげ替えできない部分 R N が残ることになる。

【 0 0 5 9 】

これに対し、本実施の形態では、上述したように、デジタル映像信号を構成する 8 ビットのうちの最下位側のビット (下位 1 ビット 1 s b 1) に垂直基準信号 V pulse を多重化するようにしているため、映像信号の信号振幅への影響は非常に小さく、また、下位 1 ビット 1 s b 1 として多重化される信号は 7 . 1 5 M H z のような高周波数の信号であるため、D / A 変換器 1 5 の後に設けられている L P F 1 6 により、すげ替えされずに残った高周波成分 (R N) を十分に減衰させることができる。例えばいわゆる S - V H S の場合でも、信号の帯域は 5 M H z 程度であり、7 . 1 5 M H z 以上の周波数信号の振幅を充分減衰することができる L P F 1 6 を用いれば、多重化した信号の影響を抑えることが可能である。

40

【 0 0 6 0 】

以上説明したように、本発明実施の形態の時間軸補正装置によれば、映像信号に同期した垂直同期信号 V sync や垂直基準信号 V pulse のような種々のパルス信号を、高周波数の信号に変換して映像信号に多重し、時間軸補正を行った後にこれらパルス信号を分離するこ

50

とにより、メモリのビット数を増やすことなく、きわめて簡単な回路構成によって、それら垂直同期信号 V sync や垂直基準信号 V pulse のような種々のパルス信号の時間軸補正が実現できている。また、本実施の形態の時間軸補正装置によれば、映像信号に多重するパルス信号の周波数を、当該映像信号には影響を与えない例えば 7 . 1 5 M H z のような高い周波数の信号に設定すると共に、そのパルス信号の周波数以上の信号成分を十分に減衰させることができるローパスフィルタを設け、パルス信号を分離した後の映像信号を当該ローパスフィルタに通すことにより、映像信号にパルス信号を多重化することによる影響を十分に抑えることができる。

【 0 0 6 1 】

なお、本発明は一例として説明した上述の実施の形態に限定されることはなく、例えば時間軸補正を行う各種パルス信号も前述した垂直同期信号 V sync や垂直基準信号 V pulse だけでなく他のパルス信号であってもよく、この他、本発明に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

【 0 0 6 2 】

【発明の効果】

請求項 1 に記載の本発明に係る時間軸補正装置は、当該時間軸補正装置の動作の基準となる基準信号に基づいてデジタル映像信号の周波数よりも高い周波数の信号を発生し、当該高周波数信号をデジタル同期パルス信号に同期して前記デジタル映像信号に多重する信号多重手段と、前記信号多重手段により多重されたデジタル映像信号を前記メモリに書き込み、時間軸変動が含まれないように前記多重されたデジタル映像信号を前記メモリから読み出すことにより時間軸補正を施す補正手段と、前記補正手段による時間軸補正後のデジタル映像信号と前記基準信号とから前記多重された高周波数信号を分離し、当該高周波数信号に基づいて前記時間軸補正後のデジタル映像信号から前記デジタル同期パルス信号を復元する信号分離手段とを有することにより、極めて簡単な回路構成により、メモリのビット数を増やすことなく安価且つ簡単な構成で、また、デジタル映像信号と同期がとれた状態で、デジタル映像信号に同期した種々のデジタル同期パルス信号の時間軸補正を実現できる。

【 0 0 6 3 】

請求項 2 に記載の本発明に係る時間軸補正装置は、デジタル映像信号の最下位ビット側に、高周波数信号を多重し、このデジタル映像信号の最下位ビット側に多重された前記高周波数信号を分離することにより、デジタル映像信号への多重を行ったとしても、当該デジタル映像信号の信号振幅への影響を非常に小さくすることが可能である。

【 0 0 6 4 】

請求項 3 及び請求項 4 に記載の本発明に係る時間軸補正装置は、信号多重手段として、デジタル映像信号の周波数よりも高い周波数の信号を発生する高周波数信号発生手段と、高周波数信号発生手段が発生した高周波数信号とデジタル映像信号の最下位ビット側の信号とをデジタル同期パルス信号に基づいて切り換え出力する切り換え出力手段とを備えるものを使用し、また、信号分離手段として、デジタル映像信号の最下位ビット側に高周波数信号が多重されている期間を検出する多重期間検出手段と、当該多重期間検出手段が検出した多重期間が所定期間に達したときに所定長のパルス信号を有する信号をデジタル同期パルス信号として発生するパルス信号発生手段とを備えるものを使用することにより、極めて簡単な回路構成にて、デジタル同期パルス信号としての高周波数信号の多重及び分離を実現している。

【 0 0 6 5 】

請求項 5 に記載の本発明に係る時間軸補正装置は、信号多重手段にて多重がなされた信号期間を、所定の信号パターンですげ替えるすげ替え手段を備えることにより、デジタル同期パルス信号としての高周波数信号を多重することによるデジタル映像信号への影響を無くすることができる。

【 0 0 6 6 】

請求項 6 に記載の本発明に係る時間軸補正装置は、信号分離手段にて多重された高周波

10

20

30

40

50

数信号を分離した後の信号から、デジタル映像信号の周波数成分を通過させる信号通過手段を設けてなることにより、デジタル映像信号に残った多重信号の影響を十分に抑えることができる。

【 0 0 6 7 】

請求項 7 に記載の本発明に係る時間軸補正方法は、当該時間軸補正装置の動作の基準となる基準信号に基づいてデジタル映像信号の周波数よりも高い周波数の信号を発生し、当該高周波数信号をデジタル同期パルス信号に同期して前記デジタル映像信号に多重する信号多重ステップと、前記信号多重ステップにより多重されたデジタル映像信号を前記メモリに書き込み、時間軸変動が含まれないように前記多重されたデジタル映像信号を前記メモリから読み出すことにより時間軸補正を施す補正ステップと、前記補正ステップによる時間軸補正後のデジタル映像信号と前記基準信号とから前記多重された高周波数信号を分離し、当該高周波数信号に基づいて前記時間軸補正後のデジタル映像信号から前記デジタル同期パルス信号を復元する信号分離ステップとを有することにより、極めて簡単な回路構成により、メモリのビット数を増やすことなく安価且つ簡単な構成で、また、デジタル映像信号と同期がとれた状態で、デジタル映像信号に同期した種々のデジタル同期パルス信号の時間軸補正を実現できる。

【 図面の簡単な説明 】

【 図 1 】 本発明が適用される一実施の形態の時間軸補正装置の概略構成を示すブロック図である。

【 図 2 】 信号多重回路の具体的構成例を示すブロック図である。

【 図 3 】 信号多重回路の動作説明に用いるタイミングチャートである。

【 図 4 】 信号分離回路の具体的構成例を示すブロック図である。

【 図 5 】 信号分離回路の動作説明に用いるタイミングチャートである。

【 図 6 】 同期信号すげ替え回路の動作説明に用いるタイミングチャートである。

【 図 7 】 映像信号の時間軸補正装置の概略構成を示すブロック図である。

【 図 8 】 映像信号が同期分離した垂直同期信号の時間軸補正を行う従来の時間軸補正回路の概略構成を示すブロック図である。

【 符号の説明 】

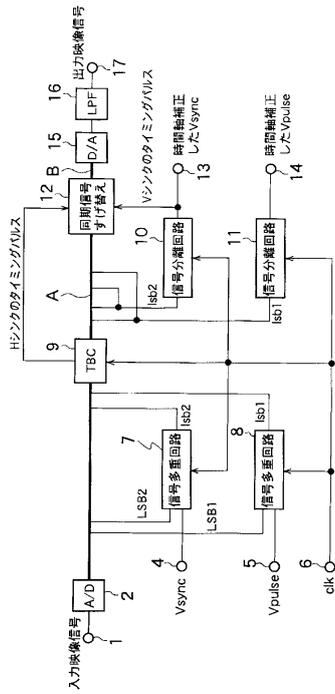
2 ... A / D 変換器、 7 ... 垂直同期信号用の信号多重回路、 8 ... 垂直基準信号用の信号多重回路、 9 ... 時間軸補正回路、 10 ... 垂直同期信号用の信号分離回路、 11 ... 垂直基準信号用の信号分離回路、 12 ... 同期信号すげ替え回路、 15 ... D / A 変換器、 16 ... L P F、 24 ... T F F、 25 ... スイッチ、 33 ... D F F、 34 ... E X O R、 35 ... カウンタ、 36 ... デコーダ

10

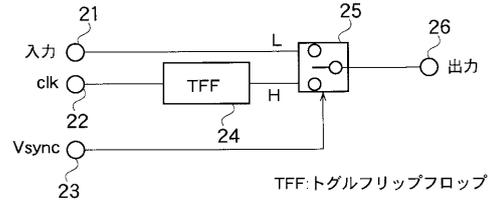
20

30

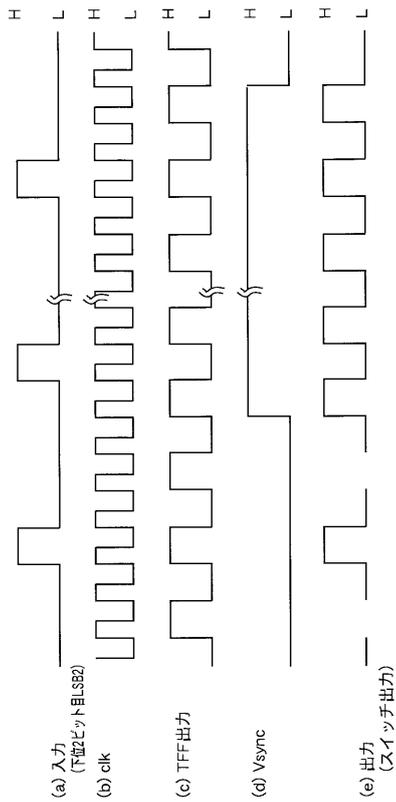
【 図 1 】



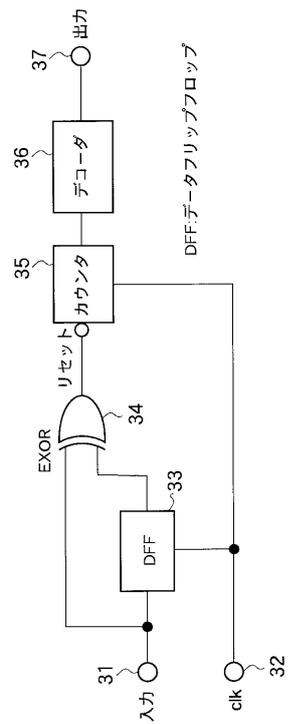
【 図 2 】



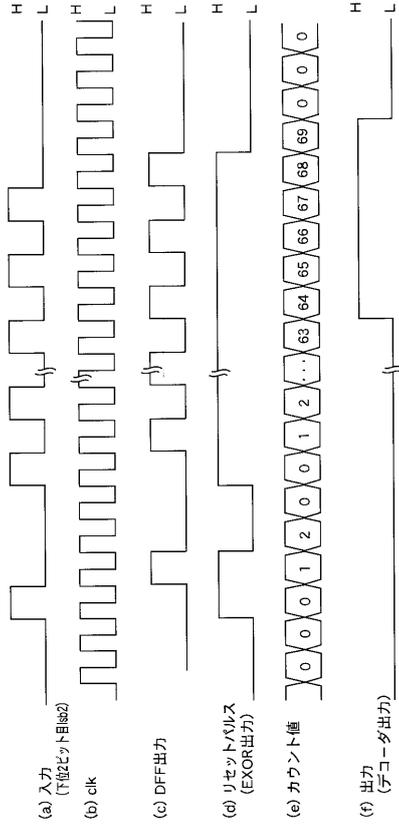
【 図 3 】



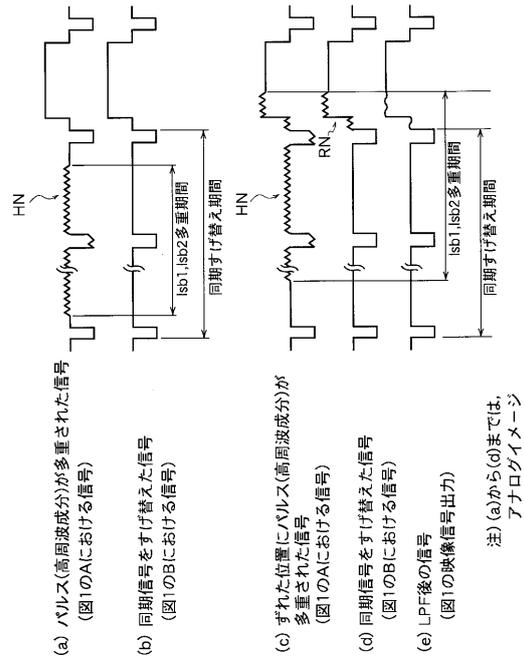
【 図 4 】



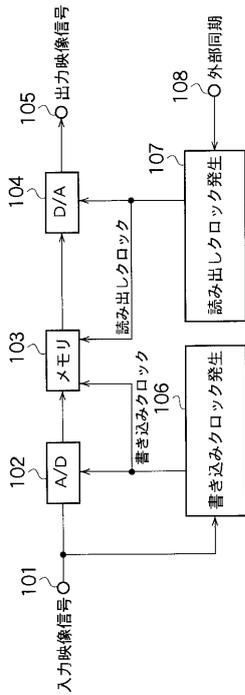
【 図 5 】



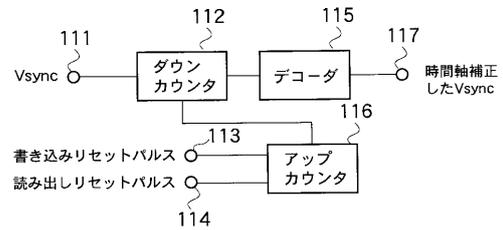
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 劔持 節

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

審査官 竹中 辰利

(56)参考文献 特開平05-284460(JP,A)

特開平06-319060(JP,A)

特開平04-047783(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/76-5/93