

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6539873号
(P6539873)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L	29/78	6 1 9 A
HO 1 L 29/786	(2006.01)	GO 2 F	1/1368	
GO 2 F 1/1368	(2006.01)	HO 5 B	33/14	A
HO 1 L 51/50	(2006.01)			

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2016-52693 (P2016-52693)	(73) 特許権者	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目2 3 番地
(22) 出願日	平成28年3月16日 (2016.3.16)	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
(65) 公開番号	特開2017-168642 (P2017-168642A)	(72) 発明者	村井 淳人 東京都千代田区神田錦町3丁目2 3 番地 株式会社 J O L E D 内
(43) 公開日	平成29年9月21日 (2017.9.21)	(72) 発明者	佐藤 栄一 東京都千代田区神田錦町3丁目2 3 番地 株式会社 J O L E D 内
審査請求日	平成30年8月8日 (2018.8.8)	(72) 発明者	三浦 正範 東京都千代田区神田錦町3丁目2 3 番地 株式会社 J O L E D 内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、及び薄膜トランジスタを備えた表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上方に設けられ、ソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域との間のチャンネル領域を有する酸化物半導体層と、

前記酸化物半導体層上の前記チャンネル領域と対応する領域に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられたゲート電極と、

前記酸化物半導体層、前記第1の絶縁膜、及び前記ゲート電極上に設けられ、金属を含む絶縁膜としての第1の保護膜と、

前記第1の保護膜上に設けられた第2の保護膜と、

前記第2の保護膜上に設けられ、金属を含む絶縁膜としての第3の保護膜と、
を具備し、

前記第3の保護膜は、前記第1の保護膜よりも厚く、

前記第1の保護膜、及び前記第3の保護膜は、酸化アルミニウムからなり、

前記第2の保護膜は、酸化シリコン、窒化シリコン、酸窒化シリコンの少なくとも1つからなり、

前記ソース領域及び前記ドレイン領域の上方の前記第3の保護膜の上面は、前記ゲート電極の上方の前記第3の保護膜の上面より、前記酸化物半導体層の上面に近接していることを特徴とする、薄膜トランジスタ。

【請求項 2】

絶縁基板上方に設けられたゲート電極と、

前記ゲート電極及び前記絶縁基板上に設けられた第1の絶縁膜と、
 前記第1の絶縁膜上に設けられ、ソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域との間のチャンネル領域を有する酸化物半導体層と、
 前記酸化物半導体層上の前記ゲート電極と対応する領域に設けられた第2の絶縁膜と、
 前記酸化物半導体層及び前記第2の絶縁膜上に設けられ、金属を含む絶縁膜としての第1の保護膜と、
 前記第1の保護膜上に設けられた第2の保護膜と、
 前記第2の保護膜上に設けられ、金属を含む絶縁膜としての第3の保護膜と、
 を具備し、
 前記第3の保護膜は、前記第1の保護膜よりも厚く、
 前記第1の保護膜、及び前記第3の保護膜は、酸化アルミニウムからなり、
 前記第2の保護膜は、酸化シリコン、窒化シリコン、酸窒化シリコンの少なくとも1つからなり、
 前記ソース領域及び前記ドレイン領域の上方の前記第3の保護膜の上面は、前記ゲート電極の上方の前記第3の保護膜の上面より、前記酸化物半導体層の上面に近接していることを特徴とする、薄膜トランジスタ。

【請求項3】

請求項1又は2に記載の薄膜トランジスタを含む、表示装置。

【請求項4】

前記表示装置は、有機エレクトロルミネッセンス素子を含むことを特徴とする、請求項3に記載の表示装置。

【請求項5】

前記表示装置は、液晶層を含むことを特徴とする、請求項3に記載の表示装置。

【請求項6】

前記第3の保護膜上に設けられた層間絶縁膜をさらに具備することを特徴とする請求項1又は2に記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、酸化物半導体層を備えた薄膜トランジスタ、及び薄膜トランジスタを備えた表示装置に関する。

【背景技術】

【0002】

酸化物半導体層を備えた薄膜トランジスタが開発されている。このような薄膜トランジスタは、例えばテレビ、パーソナルコンピュータ、スマートフォン、タブレット端末等のディスプレイにおいて、例えば各画素を制御するスイッチング素子として用いられている。

【0003】

酸化物半導体層を備えた薄膜トランジスタは、半導体層が水分及び水素に接触された場合、半導体層におけるキャリア密度が変化する結果として、薄膜トランジスタの電気特性が劣化する。一方、半導体層と水分及び水素との接触を抑制するために、例えば半導体層を保護する保護膜を設けた場合、薄膜トランジスタの加工が困難になる場合がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-15436号公報

【特許文献2】特開2011-228622号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

本実施形態は、薄膜トランジスタの劣化を抑制し、加工を容易化することが可能な薄膜トランジスタ、及び薄膜トランジスタを備えた表示装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態に係る表示装置は、絶縁基板上方に設けられ、ソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域との間のチャンネル領域を有する酸化物半導体層と、前記酸化物半導体層上の前記チャンネル領域と対応する領域に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられたゲート電極と、前記酸化物半導体層、前記第1の絶縁膜、及び前記ゲート電極上に設けられ、金属を含む絶縁膜としての第1の保護膜と、前記第1の保護膜上に設けられた第2の保護膜と、前記第2の保護膜上に設けられ、金属を含む絶縁膜としての第3の保護膜と、を具備し、前記第3の保護膜は、前記第1の保護膜よりも厚く、前記第1の保護膜、及び前記第3の保護膜は、酸化アルミニウムからなり、前記第2の保護膜は、酸化シリコン、窒化シリコン、酸窒化シリコンの少なくとも1つからなり、前記ソース領域及び前記ドレイン領域の上方の前記第3の保護膜の上面は、前記ゲート電極の上方の前記第3の保護膜の上面より、前記酸化物半導体層の上面に近接している。

10

【図面の簡単な説明】

【0007】

【図1】第1実施形態に係る薄膜トランジスタの一例を概略的に示す断面図。

【図2】図1に示す薄膜トランジスタの製造方法の一例を示す断面図。

【図3】図2に続く製造工程を示す断面図。

【図4】図3に続く製造工程を示す断面図。

【図5】図4に続く製造工程を示す断面図。

【図6】第2の実施形態に係る薄膜トランジスタの一例を概略的に示す断面図。

【図7】第1、第2の実施形態に係る薄膜トランジスタが適用される表示装置の一例を概略的に示す回路図。

【図8】図7に示す画素の一例を概略的に示す回路図。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら説明する。尚、図面は、説明をより明確にするために模式的に表されている。このため、実際の態様と各部の幅、厚さ、形状等が異なる場合があるが、本発明の解釈を限定するものではない。また、本明細書と各図において、前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明を適宜省略する場合がある。

30

【0009】

(第1実施形態)

図1は、本実施形態に係る薄膜トランジスタ10の一例を概略的に示す断面図である。薄膜トランジスタ10は、例えばn型のトップゲート型の薄膜トランジスタである。

【0010】

例えばガラス、樹脂等の絶縁材料からなる絶縁基板11上に、酸化物半導体層(以下、半導体層とも称す)12が形成されている。半導体層12は、ソース/ドレイン領域12a、12bと、ソース領域12aとドレイン領域12bとの間に設けられたチャンネル領域12cとを含んでいる。

40

【0011】

半導体層12は、例えば酸化インジウムガリウム亜鉛(IGZO)等の酸化物半導体により形成されている。尚、半導体層12を形成する材料は、例えばインジウム(In)、ガリウム(Ga)、スズ(Sn)の少なくとも1つを含んでいればよく、例えば酸化インジウムガリウム(IGO)、酸化インジウム亜鉛(IZO)、酸化亜鉛スズ(ZnSnO)、酸化亜鉛(ZnO)等の酸化物半導体でもよい。

【0012】

50

半導体層 12 のチャネル領域 12c 上には、例えば酸化シリコン (SiO) ゲート絶縁膜 13 が形成されている。ゲート絶縁膜 13 上には、ゲート電極 14 が形成されている。

【0013】

絶縁基板 11 上には、ソース領域/ドレイン領域 12a、12b、ゲート絶縁膜 13、ゲート電極 14 を覆う第 1 保護膜 15 が形成されている。第 1 保護膜 15 は、例えば酸化アルミニウム (Al₂O₃) 等の金属酸化物からなる絶縁材料により形成されている。第 1 保護膜 15 は、酸化アルミニウムその他、例えば酸化チタン、酸化エルビウム等により形成されてもよい。第 1 保護膜 15 は、薄膜トランジスタ 10 のチャネル領域 12c が、水分及び水素を接触されることを抑制する。第 1 保護膜 15 の厚さは、例えば 5 乃至 30 nm である。

10

【0014】

第 1 保護膜 15 上には、例えば酸化シリコン (SiO)、窒化シリコン (SiN)、酸化窒化シリコン (SiON) 等のシリコンを含む絶縁材料からなる第 2 保護膜 16 が形成されている。第 2 保護膜 16 は、後述するように、ソース/ドレイン電極が埋め込まれるコンタクトホールが形成される際に、第 3 の保護膜 17 のエッチングストッパとして機能する。第 2 保護膜 16 の厚さは、例えば 50 乃至 300 nm である。尚、第 2 保護膜 16 の厚さは、エッチングストッパとして機能すれば、上記の数値に限定されず、適宜に変更することが可能である。

【0015】

第 2 保護膜 16 上には、第 3 保護膜 17 が形成されている。第 3 保護膜 17 は、例えば酸化アルミニウム (Al₂O₃) により形成されている。第 3 保護膜 17 は、酸化アルミニウムその他、例えば酸化チタン、酸化エルビウム等により形成されてもよい。第 3 保護膜 17 は、薄膜トランジスタ 10 のチャネル領域 12c が、水分及び水素と接触されることを抑制する。第 3 保護膜 17 の厚さは、第 1 保護膜 15 より厚く、例えば 30 乃至 100 nm である。

20

【0016】

第 3 保護膜 17 上には、層間絶縁膜 18 が形成されている。層間絶縁膜 18 は、例えばポリイミド、アクリル等の有機絶縁材料からなる。

【0017】

第 1 保護膜乃至第 3 保護膜 15 乃至 17 内には、ソース/ドレイン領域 12a、12b の少なくとも一部を露出するコンタクトホール 20a、20b が形成されている。層間絶縁膜 18 内には、コンタクトホール 20a、20b に対応して、これらコンタクトホール 20a、20b の径よりも大きい径を有するコンタクトホール 18a、18b が形成されている。層間絶縁膜 18 上に設けられたソース/ドレイン電極 19a、19b は、コンタクトホール 18a、18b、及び 20a、20b 内にも埋め込まれ、ソース/ドレイン領域 12a、12b と接続されている。

30

【0018】

次に、図 2 乃至 3 を参照して、薄膜トランジスタ 10 の製造方法について説明する。

【0019】

図 2 (A) に示すように、例えばスパッタ法を用いて、絶縁基板 11 上に例えばインジウム (In)、ガリウム (Ga)、スズ (Sn) の少なくとも 1 つを含む酸化物半導体層 12d が形成される。次いで、リソグラフィ処理の後、エッチングにより島状の半導体層 12 が形成される。

40

【0020】

次いで、図 2 (B) に示すように、絶縁基板 11 上に、例えば化学的気相成長法 (CVD 法) を用いて、半導体層 12 を覆うシリコン酸化膜 13a が形成される。次いで、シリコン酸化膜 13a 上に、例えばスパッタ法を用いて、金属膜 14a が形成される。金属膜 14a は、例えばチタン、アルミニウム、及び窒化モリブデンの層構造により形成される。金属膜 14a は、その他、アルミニウム (Al) の合金、銅 (Cu)、銅 (Cu) の合金等により形成されてもよい。

50

【0021】

次いで、図2(C)に示すように、金属膜14a上に、半導体層12のほぼ中央と対応してパターニングされたレジスト膜R1が形成される。次いで、レジスト膜R1をマスクとして、例えば Cl_2 、 BCl_3 系のガスを用いたドライエッチング、リン酸-硝酸-塩酸系のエッチャントを用いたウェットエッチング処理が行われ、ゲート電極14が形成される。次いで、例えば CF_4/O_2 、 SF_6/O_2 系のガスを用いたドライエッチングによりシリコン酸化膜13aがエッチングされ、ゲート絶縁膜13が形成される。

【0022】

このとき、ゲート電極14及びゲート絶縁膜13が形成されない領域では、半導体層12がオーバーエッチされる。半導体層12のうちオーバーエッチされた領域では、酸素欠損が生成され、低抵抗化されたソース/ドレイン領域12a、12bが形成される。また、半導体層12のうちオーバーエッチされない領域、すなわちゲート絶縁膜13に覆われた領域は、高抵抗が維持されたチャネル領域12cが形成される。

10

【0023】

次いで、図3(A)に示すように、例えばスパッタ法を用いて、絶縁基板11上の全面に、例えば酸化アルミニウムからなる第1保護膜15が形成される。半導体層12のソース/ドレイン領域12a、12b、ゲート絶縁膜13の壁面(側面)、ゲート電極14は、第1保護膜15により覆われる。第1保護膜15の厚さは、例えば10nmである。ここで、前述ゲート絶縁膜13のドライエッチングの際のオーバーエッチにより低抵抗化されたソース/ドレイン領域12a、12bの抵抗は不安定であり、熱等により容易に抵抗

20

【0024】

次いで、図3(B)に示すように、例えばCVD法を用いて、第1保護膜15上に、例えば酸化シリコンからなる第2保護膜16が形成される。第2保護膜16の厚さは、例えば100nmである。

【0025】

次いで、図3(C)に示すように、例えばスパッタ法を用いて、第2保護膜16上に、例えば酸化アルミニウムからなる第3保護膜17が形成される。第3保護膜17は、第1保護膜15より厚い膜厚を有する。第3保護膜17の厚さは、例えば、50nmである。

30

【0026】

次いで、図4(A)に示すように、第3保護膜17上に、レジスト膜R2が形成される。レジスト膜R2は、フォトリソグラフィ処理により、ソース/ドレイン領域12a、12bと対応して第3保護膜17を露出する開口部R2a、R2bを有している。

【0027】

次いで、図4(B)に示すように、レジスト膜R2をマスクとして、例えば Cl_2 系のガスを用いたドライエッチングにより、第3保護膜17がエッチングされる。次いで、 CF_4 系のガスを用いたドライエッチングにより、第2保護膜16がエッチングされる。これにより、第3保護膜17及び第2保護膜16内に、第1保護膜15を露出するコンタクトホール20a、20bが形成される。

40

【0028】

次いで、図5(A)に示すように、レジスト膜R2を除去した後、第3保護膜上に感光性を有する有機絶縁材料からなる層間絶縁膜18が形成される。次いで、リソグラフィ処理により、層間絶縁膜18内に、コンタクトホール20a、20bと対応して、コンタクトホール20a、20bの穴径よりも大きい穴径を有するコンタクトホール18a、18bが形成される。

【0029】

次いで、図5(B)に示すように、例えばスパッタ法により、層間絶縁膜18上に、例えばモリブデン、アルミニウム、窒化モリブデンの積層構造からなる金属膜19cが形成され、コンタクトホール18a、18b、20a、20bが埋め込まれる。次いで、リソ

50

グラフィ処理の後、リン酸 - 硝酸 - 塩酸系のエッチャントを用いたウェットエッチングをすることにより、図 1 に示すソースドレイン電極 19 a、19 b が形成され、薄膜トランジスタ 10 が形成される。

【0030】

本実施形態によれば、半導体層 12、ゲート絶縁膜 13、及びゲート電極 14 は、第 1 乃至第 3 保護膜 15、16、17 により覆われ、しかも、第 3 保護膜 17 は、第 1 保護膜 15 より十分に厚い。このため、チャネル領域 12 c へ水分及び水素が侵入することを抑制することができる。また、仮に、第 1 保護膜 15 にクラック等の欠陥が生じた場合であっても、第 3 保護膜 17 が設けられていることにより、チャネル領域 12 c への水分及び水素の侵入を抑制することができる。したがって、チャネル領域 12 c のキャリア密度変化を抑制でき、薄膜トランジスタの特性を安定化することができる。

10

【0031】

また第 1、第 3 保護膜 15、17 は、例えば酸化アルミニウムにより形成され、第 1 保護膜 15 と第 3 保護膜 17 との間に設けられた第 2 保護膜 16 は、例えば酸化シリコン、窒化シリコン、酸窒化シリコン等のシリコンを含む絶縁材料により形成されている。このため、第 2 保護膜 16 上に第 3 保護膜 17 を形成する場合、第 3 保護膜 17 のステップカバレッジを向上することができる。しかも、第 1 保護膜 15 と第 3 保護膜 17 との間に設けられた第 2 保護膜 16 は、エッチングストップパとして機能するため、第 2 保護膜 16 上に形成される第 3 保護膜 17 の加工が容易になる。

【0032】

上述の理由を以下に記載する。

20

【0033】

例えば、第 1 乃至第 3 保護膜 15 乃至 17 の 3 層構造ではなく、第 1 保護膜 15 のみの単層構造とし、且つ膜厚を厚く例えば 50 nm 形成することにより、低抵抗化されたソース/ドレイン領域 12 a、12 b の抵抗を安定化しつつ、チャネル領域 12 c のキャリア密度変化を抑制できる、とも考えられるが、一般的に酸化アルミニウムは安定な酸化物でありドライエッチングレートが低く、第 1 保護膜 15 の膜厚を厚くした場合、ドライエッチング時のオーバーエッチ時間が長くなってしまふ。結果コンタクトホール 20 a、20 b 部、第 1 保護膜 15 の下層のソース/ドレイン領域 12 a、12 b へのダメージが大きくなり、最悪の場合、前記ソース/ドレイン領域の膜が消失してしまい、トランジスタの特性不良が発生する。一方、本発明の 3 層構造では、第 2 保護膜 16 が、第 3 保護膜 17 をドライエッチングする際のエッチングストップパとして機能し得るため、第 3 保護膜 17 の膜厚を厚くすることが可能となる。

30

【0034】

結果、第 1 保護膜 15 を厚くする必要性がなく薄く形成することが可能となり、エッチングに要する時間を短くすることができる。したがって、第 1 保護膜 15 をエッチングする際、第 1 保護膜 15 の下層に設けられたソース/ドレイン領域 12 a、12 b へのダメージを低減することが可能となる。

【0035】

さらに、酸化アルミニウムからなる第 1 保護膜 15 を半導体層 12 上に設けていることで、第 2 保護膜 16 が形成される際に例えばシラン (SiH_4) 等の原料ガスに含まれる水素がチャネル領域 12 c へ拡散することを抑制することができる。一方、酸化アルミニウムからなる第 1 保護膜 15 が形成される際、原料ガスに水素は含まれないため、チャネル領域 12 c のキャリア密度は変化されにくい。したがって、半導体層 12 上に酸化アルミニウムからなる第 1 保護膜 15 を設けることにより、薄膜トランジスタの信頼性を向上することができる。

40

【0036】

また、第 1 保護膜 15 は、酸化アルミニウムをスパッタリングすることにより形成されている。例えばスパッタ法で成膜されたアルミニウムの膜を熱処理することによって形成された酸化アルミニウムを第 1 保護膜 15 として用いる場合、熱処理によるソース/ドレ

50

イン領域 1 2 a、1 2 b の抵抗値の増加や、チャネル領域 1 2 c からの酸素引き抜きによるキャリア密度変化を生じる。一方、本実施形態の第 1 保護膜 1 5 は、第 1 保護膜 1 5 を成膜する際に熱を印加する必要がなく、且つ酸化物である酸化アルミニウムを成膜するため、チャネル領域 1 2 c からの酸素引き抜きを抑制することが可能である。

【 0 0 3 7 】

したがって、本実施形態によれば、薄膜トランジスタの特性を安定化することができ、信頼性を向上するとともに、製造が容易となり、歩留りを向上することができる。

【 0 0 3 8 】

(第 2 の実施形態)

図 6 は、第 2 の実施形態に係る薄膜トランジスタ 1 0 a を概略的に示す断面図である。第 2 の実施形態は、バックゲート型の薄膜トランジスタを示す。

10

【 0 0 3 9 】

ゲート電極 1 4 は、絶縁基板 1 1 上に形成されている。ゲート絶縁膜 1 3 は、ゲート電極 1 4 を覆うとともに、絶縁基板 1 1 上にも形成されている。半導体層 1 2 は、ゲート絶縁膜 1 3 上に形成されている。半導体層 1 2 上のゲート電極 1 4 と対応する領域、すなわちチャネル領域 1 2 c 上には、例えば酸化シリコンからなるチャネル保護膜 2 1 が形成されている。

【 0 0 4 0 】

第 1 乃至第 3 保護膜 1 5 乃至 1 7 は、半導体層 1 2 及びチャネル保護膜 2 1 上に形成されている。第 2 保護膜 1 6 は、第 1 保護膜 1 5 上に形成されている。第 3 保護膜 1 7 は、第 2 保護膜 1 6 上に形成されている。第 1 乃至第 3 保護膜 1 5 乃至 1 7 の材質及び膜厚は、第 1 の実施形態と同様である。その他の構成も、第 1 の実施形態と同様である。

20

【 0 0 4 1 】

第 2 の実施形態によれば、第 1 保護膜 1 5 は、半導体層 1 2 及びチャネル保護膜 2 1 のみを覆っている。一方、トップゲート型の薄膜トランジスタの場合、第 1 保護膜 1 5 は、半導体層 1 2、ゲート絶縁膜 1 3、ゲート電極 1 4 を覆う。したがって、第 1 の実施形態と比較して、第 1 保護膜 1 5 が覆う段部の高さが小さいため、第 1 乃至第 3 保護膜 1 5 乃至 1 7 のステップカバレッジを向上できる。

【 0 0 4 2 】

尚、上記第 1、第 2 の実施形態では、薄膜トランジスタを構成する半導体層 1 2 の上方に、第 1 乃至第 3 保護膜 1 5、1 6、1 7 の 3 層の保護膜が形成されている場合を例として説明したが、保護膜は、少なくとも 3 層設けられていけばよい。例えば、第 3 保護膜 1 7 上に第 4 保護膜が設けられていてもよく、第 4 保護膜上に第 5 保護膜が設けられていてもよい。第 3 保護膜 1 7 上にさらなる保護膜が設けられる場合、第 2 保護膜 1 6 を構成する材料は、上記の例に限定されない。すなわち、第 3 保護膜 1 7 上にさらなる保護膜が設けられる場合、第 2 保護膜 1 6 は、例えば酸化アルミニウム、酸化チタン、酸化エルビウム等により形成されてもよい。

30

【 0 0 4 3 】

(適用例)

図 7 は、第 1、第 2 の実施形態に係る薄膜トランジスタ 1 0、1 0 a が適用される表示装置 1 の一例を概略的に示す回路図である。表示装置 1 は、例えば有機エレクトロルミネセンス (E L) 素子を有するアクティブマトリクス型の表示装置である。尚、本実施形態は、有機 E L 表示装置を示しているが、表示装置 1 は、例えば液晶層を有する液晶表示装置等の他の表示装置であってもよい。

40

【 0 0 4 4 】

表示装置 1 は、表示部 2 と、表示部 2 の周辺に設けられた駆動部を有している。駆動部は、第 1 走査線駆動回路 3、第 2 走査線駆動回路 4、データ線駆動回路 5、制御回路 6、電源回路 7 を含んでいる。第 1 走査線駆動回路 3 と第 2 走査線駆動回路 4 は、例えば表示部 2 の行方向両側近傍に配置され、データ線駆動回路 5、制御回路 6、電源回路 7 は、表示部 2 の列方向の片側近傍に配置されている。第 1 走査線駆動回路 3、第 2 走査線駆動回

50

路4、データ線駆動回路5は、少なくとも一部が、表示装置1を構成する図示せぬパネル上に形成される。

【0045】

表示部2は、行列状に配置された複数の画素PXにより構成されている。表示部には、これらの画素PXに対応して、行方向に配置された複数の第1走査線WL(WL1~WLn)及び複数の第2走査線RL(RL1~RLn)、行方向と交わる列方向に配置された複数のデータ線DL(DL1~DLn)などが設けられている。ここで、m、nは正の整数である。

【0046】

第1、第2の実施形態に係る薄膜トランジスタ10、10aは、これら画素PXに含まれるスイッチング素子、及び駆動部に含まれる各種回路に適用される。

10

【0047】

各第1走査線WLは、表示部2の外部に延出され、第1走査線駆動回路3と電氣的に接続されている。各第2走査線RLは、表示部2の外部に延出され、第2走査線駆動回路4と電氣的に接続されている。各データ線DLは、表示部2の外部に延出され、データ線駆動回路5と電氣的に接続されている。

【0048】

第1走査線駆動回路3は、各第1走査線WLに対して、書き込み走査信号WSを順次供給する。これにより、行方向に配置された複数の画素PXが順次選択される。

【0049】

20

第2走査線駆動回路4は、第1走査線駆動回路3により供給される書き込み走査信号WSと同期して、第2走査線RLに駆動走査信号AZを供給する。これにより、画素PXの発光動作及び消光動作が制御される。

【0050】

データ線駆動回路5は、データ線DLに対して、例えば信号電圧Vsigと、基準電圧Vofsとを選択的に供給する。信号電圧Vsigは、映像信号の輝度に応じた信号の電圧である。基準電圧Vofsは、信号電圧の基準となる電圧であり、例えば黒レベルを示す信号の電圧に相当する。基準電圧Vofsは、後述する有機EL素子を駆動する駆動トランジスタの閾値電圧のばらつきを補正するためにも用いられる。

【0051】

30

制御回路6は、外部信号源から供給される外部信号に基づいて、表示部2に画像を表示するために必要な各種信号を生成する。制御回路6は、生成した各種信号を、第1走査線駆動回路3、第2走査線駆動回路4、データ線駆動回路5にそれぞれ出力するとともに、第1走査線駆動回路3、第2走査線駆動回路4、データ線駆動回路5が互いに同期して動作するように制御する。

【0052】

図8は、画素PXの一例を概略的に示す回路図である。

【0053】

画素PXは、書き込みトランジスタTr1、駆動トランジスタTr2、リセットトランジスタTr3、容量素子Cs、発光素子ELを備えている。書き込みトランジスタTr1、駆動トランジスタTr2、リセットトランジスタTr3は、第1、第2の実施形態に係る薄膜トランジスタ10、10aである。

40

【0054】

書き込みトランジスタTr1は、ゲート電極が第1走査線WLに接続され、ソース/ドレイン電極の一方がデータ線DLに接続され、他方が容量素子Csの第1の電極と駆動トランジスタTr2のゲート電極とに接続されている。

【0055】

駆動トランジスタTr2のソース/ドレイン電極の一方は、電源電圧Vccが供給される配線に接続され、他方は、発光素子ELのアノード電極、容量素子Csの第2の電極、及びリセットトランジスタTr3のソース/ドレイン電極の一方に接続されている。発光

50

素子 E L のカソード電極には、カソード電圧 V_{cath} が供給されている。

【0056】

リセットトランジスタ Tr_3 のゲート電極は、第 2 走査線 R L に接続され、ソースノドレイン電極の他方は、固定電圧 V_{ini} が供給される配線に接続されている。

【0057】

上記構成の画素 P X において、書き込みトランジスタ Tr_1 は、第 1 走査線 W L に書き込み走査信号 W S が供給された場合、導通状態となる。導通状態において、書き込みトランジスタ Tr_1 は、データ線 D L を介して供給される信号電圧 V_{sig} または基準電圧 V_{ofs} を、駆動トランジスタ Tr_2 のゲート電極に供給する。容量素子 C_s は、信号電圧 V_{sig} または基準電圧 V_{ofs} を保持する。駆動トランジスタ Tr_2 は、容量素子 C_s に保持された電圧が閾値電圧を超えると導通し、容量素子 C_s に保持された電圧に基づく電流を発光素子 E L に供給する。発光素子 E L は、駆動トランジスタ Tr_2 から供給される電流に対応した輝度で発光する。

10

【0058】

リセットトランジスタ Tr_3 は、第 2 走査線 R L に駆動走査信号 A Z が供給された場合、導通状態となる。導通状態において、リセットトランジスタ Tr_3 は、固定電圧 V_{ini} を、駆動トランジスタ Tr_2 のソース電極及び発光素子 E L のアノード電極に供給し、これらの電極の電圧を固定電圧 V_{ini} にリセット（初期化）する。ここで、発光素子 E L の閾値電圧を V_{th} とした場合、閾値電圧 V_{th} とカソード電圧 V_{cath} 、及び固定電圧 V_{ini} の関係は、次式で表される。

20

【0059】

$$V_{ini} < V_{th} + V_{cath}$$

上記構成の表示装置 1 に第 1、第 2 の実施形態に係る薄膜トランジスタ 10、10a を適用することにより、表示装置の特性が安定化され、信頼性が向上され、歩留りが向上される。

【0060】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

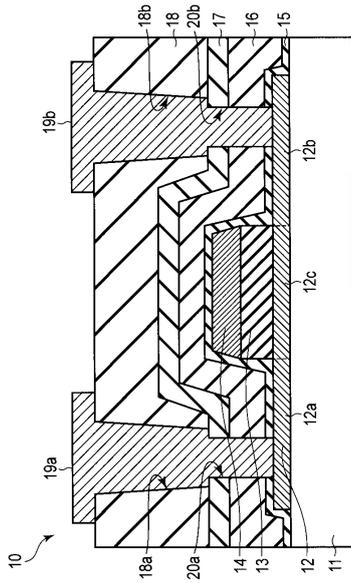
【符号の説明】

【0061】

11 ... 絶縁基板、12 ... 酸化物半導体層、12a ... ソース領域、12b ... ドレイン領域、12c ... チャネル領域、13 ... ゲート絶縁膜、14 ... ゲート電極、15 ... 第 1 保護膜、16 ... 第 2 保護膜、17 ... 第 3 保護膜、18 ... 層間絶縁膜、19a ... ソース電極、19b ... ドレイン電極。

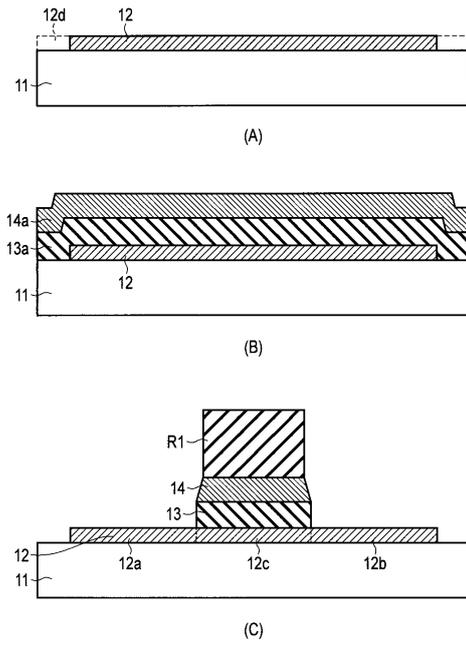
【 図 1 】

図 1



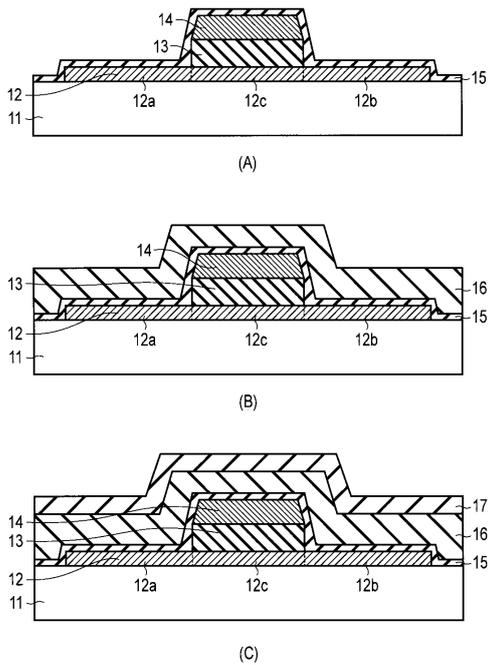
【 図 2 】

図 2



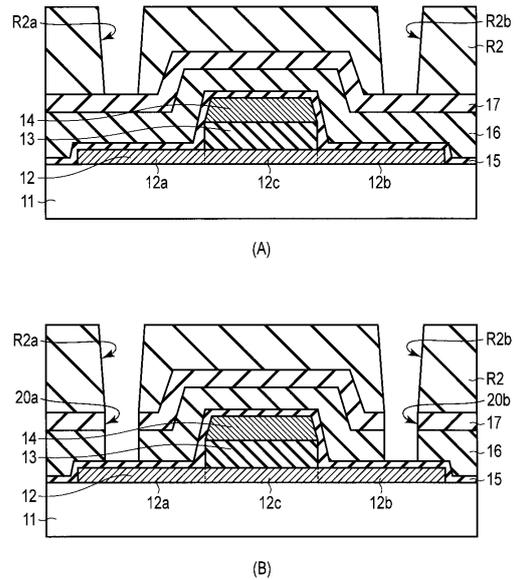
【 図 3 】

図 3



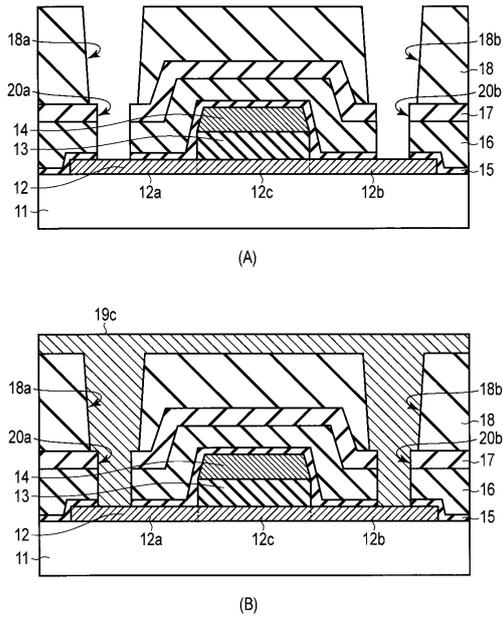
【 図 4 】

図 4



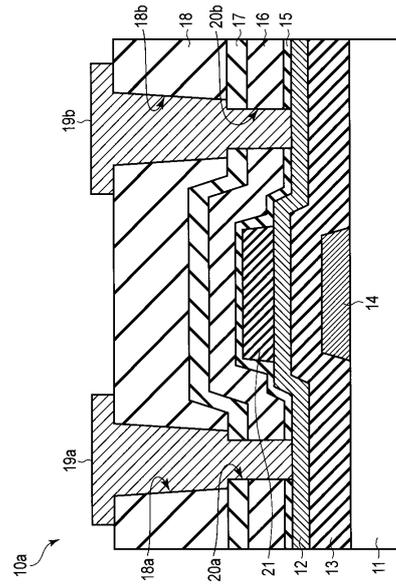
【図5】

図5



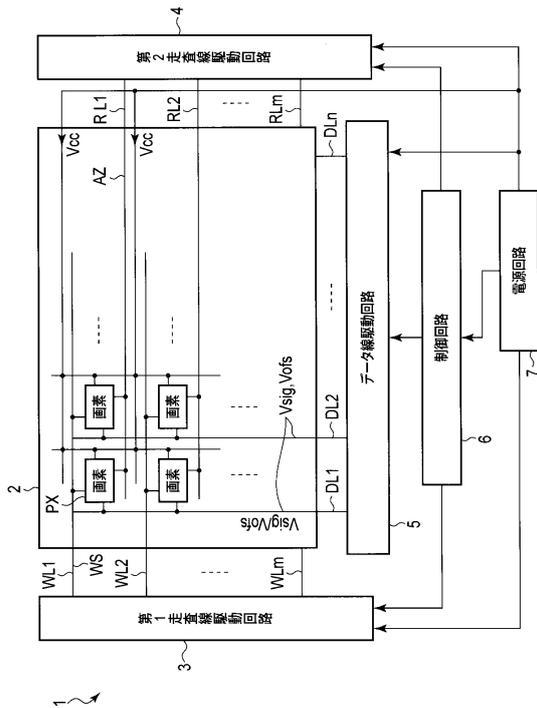
【図6】

図6



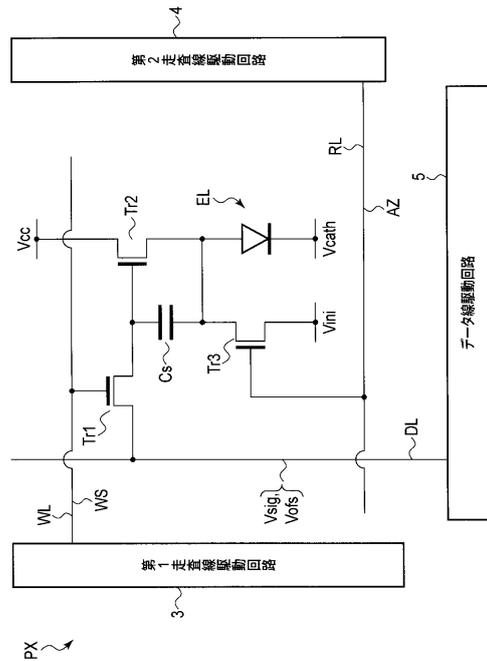
【図7】

図7



【図8】

図8



フロントページの続き

審査官 綿引 隆

- (56)参考文献 特開2012-015436(JP,A)
特開2013-183111(JP,A)
特開2016-025100(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786
H01L 51/50
G02F 1/1368