



(12)发明专利申请

(10)申请公布号 CN 111554675 A

(43)申请公布日 2020.08.18

(21)申请号 202010417736.4

(22)申请日 2020.05.18

(71)申请人 甬矽电子(宁波)股份有限公司
地址 315400 浙江省宁波市余姚市中意宁
波生态园兴舜路22号

(72)发明人 王顺波

(74)专利代理机构 北京超凡宏宇专利代理事务
所(特殊普通合伙) 11463
代理人 徐彦圣

(51) Int. Cl.

H01L 25/18(2006.01)

H01L 21/56(2006.01)

H01L 23/31(2006.01)

H01L 23/552(2006.01)

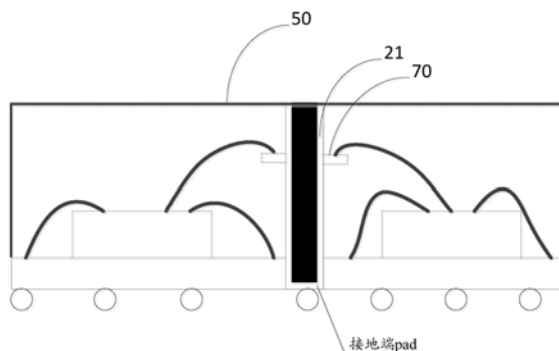
权利要求书2页 说明书8页 附图6页

(54)发明名称

电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品

(57)摘要

本发明的实施例提供了一种电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品,涉及半导体技术领域。本发明实施例所提供电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品,通过在基板上形成槽状屏蔽结构,并将槽状屏蔽结构贯穿于塑封体以及基板,使得设置于塑封体远离基板一侧的屏蔽层,可通过槽状屏蔽结构与接地端电性连接,从而使得槽状屏蔽结构在至少两个芯片之间形成电磁屏蔽,工艺简单,电磁屏蔽效果好,且无需在基板塑封后,通过激光开槽填充屏蔽胶形成电磁屏蔽,因此,可以有效避免因为开槽深度不稳定,导致的屏蔽胶填充不完全,影响电磁屏蔽性能的问题。



1. 一种电磁屏蔽结构,其特征在于,包括:

基板;

形成于所述基板上并沿垂直所述基板的方向延伸的槽状屏蔽结构;

设置于所述槽状屏蔽结构两侧的至少两个芯片;

覆盖于所述至少两个芯片上的塑封体;

设置于所述塑封体远离基板一侧、且包围所述塑封体周侧的屏蔽层;

所述槽状屏蔽结构贯穿于所述塑封体以及所述基板,所述屏蔽层通过所述槽状屏蔽结构与接地端电性连接,以使所述槽状屏蔽结构在所述至少两个芯片之间形成电磁屏蔽。

2. 根据权利要求1所述的电磁屏蔽结构,其特征在于,所述芯片的接地参考点通过打线与所述槽状屏蔽结构电性连接,以通过所述槽状屏蔽结构与所述接地端连接。

3. 根据权利要求1所述的电磁屏蔽结构,其特征在于,所述电磁屏蔽结构还包括至少一个接地点,所述接地点设置于所述槽状屏蔽结构朝向所述芯片的一侧,并与所述槽状屏蔽结构电性连接;

所述芯片的接地参考点通过打线与所述接地点电性连接,以通过所述接地点与所述槽状屏蔽结构电性连接,并通过所述槽状屏蔽结构与所述接地端连接。

4. 根据权利要求1所述的电磁屏蔽结构,其特征在于,所述槽状屏蔽结构包括导电层以及应力缓冲材料;

所述导电层为具有容置空间的槽状结构,所述屏蔽层通过所述导电层与所述接地端电性连接;

所述应力缓冲材料填充于所述容置空间,所述应力缓冲材料的热膨胀系数小于或等于所述电磁屏蔽结构的热膨胀系数。

5. 一种电磁屏蔽结构制作方法,其特征在于,所述方法包括:

提供一基板,在所述基板上形成槽状屏蔽结构;

在所述槽状屏蔽结构的两侧分别贴装至少两个芯片;

通过塑封体对所述芯片进行塑封,且在塑封后研磨所述塑封体,以使所述槽状屏蔽结构露出;

在所述塑封体远离所述基板的一侧以及所述塑封体的周侧设置屏蔽层;其中,所述屏蔽层通过所述槽状屏蔽结构与接地端电性连接,以使所述槽状屏蔽结构在所述至少两个芯片之间形成电磁屏蔽。

6. 根据权利要求5所述的电磁屏蔽结构制作方法,其特征在于,所述提供一基板,在所述基板上形成槽状屏蔽结构的步骤包括:

提供一基板;

在所述基板的一侧贴装第一材料层,在所述基板远离所述第一材料层的一侧贴装第一金属层;

在所述第一材料层的开槽区域挖槽,直至所述第一金属层,以形成一沟槽;

在所述沟槽内电镀导电层,并在电镀所述导电层之后,向所述沟槽内填充应力缓冲材料;

对设定区域进行保护,对所述第一材料层以及所述第一金属层进行蚀刻,在所述基板上形成所述槽状屏蔽结构。

7. 根据权利要求6所述的电磁屏蔽结构制作方法,其特征在于,在通过塑封体对所述芯片进行塑封之前,所述方法还包括:

通过打线,将所述芯片的接地参考点与所述槽状屏蔽结构电性连接,以通过所述槽状屏蔽结构与所述接地端连接。

8. 根据权利要求5所述的电磁屏蔽结构制作方法,其特征在于,所述提供一基板,在所述基板上形成槽状屏蔽结构的步骤包括:

提供一基板;

在所述基板的一侧贴装第一材料层,在所述基板远离所述第一材料层的一侧贴装第一金属层,在所述第一材料层远离所述基板的一侧贴装第二金属层,在所述第二金属层远离所述第一材料层的一侧贴装第二材料层;

在所述第二材料层的开槽区域挖槽,直至所述第一金属层,以形成沟槽;

在所述沟槽内电镀导电层,并在电镀所述导电层之后,向所述沟槽内填充应力缓冲材料;

对设定区域进行保护,对所述第二材料层、第二金属层、所述第一材料层以及所述第一金属层进行蚀刻,在所述基板上形成具有接地点的槽状屏蔽结构。

9. 根据权利要求8所述的电磁屏蔽结构制作方法,其特征在于,在通过塑封体对所述芯片进行塑封之前,所述方法还包括:

通过打线,将所述芯片的接地参考点与设置于所述槽状屏蔽结构的接地点连接,以通过所述接地点与所述槽状屏蔽结构电性连接,并通过所述槽状屏蔽结构与所述接地端连接。

10. 一种电子产品,其特征在于,包括权利要求1-4任一项所述的电磁屏蔽结构。

电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品

技术领域

[0001] 本发明涉及半导体技术领域,具体而言,涉及一种电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品。

背景技术

[0002] 随着电子产品越来越多地运用于通信高频信号领域,越来越需要电子产品具备电磁屏蔽结构,以此防止各种芯片和元器件之间产生的电磁干扰。其中,单一的金属化屏蔽技术只能解决模块与模块之间的电磁干扰问题,但无法满足模块内部芯片相互之间的电磁干扰问题,所以需要采用分区屏蔽技术。

[0003] 现有系统级封装(System In Package,SIP)模组电磁屏蔽分区技术,主要是在产品完成封装后,利用激光在塑封体表面进行开槽,并填充屏蔽胶,从而达到电磁屏蔽分区。由于基板在塑封后,存在翘曲,因此激光开槽时会存在开槽深度不稳定的问题,导致屏蔽胶填充不完全,从而影响其电磁屏蔽性能。

发明内容

[0004] 基于上述研究,本发明提供了一种电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品,以改善上述问题。

[0005] 本发明的实施例可以这样实现:

[0006] 第一方面,本发明实施例提供一种电磁屏蔽结构,包括:

[0007] 基板;

[0008] 形成于所述基板上并沿垂直所述基板的方向延伸的槽状屏蔽结构;

[0009] 设置于所述槽状屏蔽结构两侧的至少两个芯片;

[0010] 覆盖于所述至少两个芯片上的塑封体;

[0011] 设置于所述塑封体远离基板一侧、且包围所述塑封体周侧的屏蔽层;

[0012] 所述槽状屏蔽结构贯穿于所述塑封体以及所述基板,所述屏蔽层通过所述槽状屏蔽结构与接地端电性连接,以使所述槽状屏蔽结构在所述至少两个芯片之间形成电磁屏蔽。

[0013] 在可选的实施方式中,所述芯片的接地参考点通过打线与所述槽状屏蔽结构电性连接,以通过所述槽状屏蔽结构与所述接地端连接。

[0014] 在可选的实施方式中,所述电磁屏蔽结构还包括至少一个接地点,所述接地点设置于所述槽状屏蔽结构朝向所述芯片的一侧,并与所述槽状屏蔽结构电性连接;

[0015] 所述芯片的接地参考点通过打线与所述接地点电性连接,以通过所述接地点与所述槽状屏蔽结构电性连接,并通过所述槽状屏蔽结构与所述接地端连接。

[0016] 在可选的实施方式中,所述槽状屏蔽结构包括导电层以及应力缓冲材料;

[0017] 所述导电层为具有容置空间的槽状结构,所述屏蔽层通过所述导电层与所述接地端电性连接;

[0018] 所述应力缓冲材料填充于所述容置空间,所述应力缓冲材料的热膨胀系数小于或等于所述电磁屏蔽结构的热膨胀系数。

[0019] 第二方面,本发明实施例提供一种电磁屏蔽结构制作方法,所述方法包括:

[0020] 提供一基板,在所述基板上形成槽状屏蔽结构;

[0021] 在所述槽状屏蔽结构的两侧分别贴装至少两个芯片;

[0022] 通过塑封体对所述芯片进行塑封,且在塑封后研磨所述塑封体,以使所述槽状屏蔽结构露出;

[0023] 在所述塑封体远离所述基板的一侧以及所述塑封体的周侧设置屏蔽层;其中,所述屏蔽层通过所述槽状屏蔽结构与接地端电性连接,以使所述槽状屏蔽结构在所述至少两个芯片之间形成电磁屏蔽。

[0024] 在可选的实施方式中,所述提供一基板,在所述基板上形成槽状屏蔽结构的步骤包括:

[0025] 提供一基板;

[0026] 在所述基板的一侧贴装第一材料层,在所述基板远离所述第一材料层的一侧贴装第一金属层;

[0027] 在所述第一材料层的开槽区域挖槽,直至所述第一金属层,以形成一沟槽;

[0028] 在所述沟槽内电镀导电层,并在电镀所述导电层之后,向所述沟槽内填充应力缓冲材料;

[0029] 对设定区域进行保护,对所述第一材料层以及所述第一金属层进行蚀刻,在所述基板上形成所述槽状屏蔽结构。

[0030] 在可选的实施方式中,在通过塑封体对所述芯片进行塑封之前,所述方法还包括:

[0031] 通过打线,将所述芯片的接地参考点与所述槽状屏蔽结构电性连接,以通过所述槽状屏蔽结构与所述接地端连接。

[0032] 在可选的实施方式中,所述提供一基板,在所述基板上形成槽状屏蔽结构的步骤包括:

[0033] 提供一基板;

[0034] 在所述基板的一侧贴装第一材料层,在所述基板远离所述第一材料层的一侧贴装第一金属层,在所述第一材料层远离所述基板的一侧贴装第二金属层,在所述第二金属层远离所述第一材料层的一侧贴装第二材料层;

[0035] 在所述第二材料层的开槽区域挖槽,直至所述第一金属层,以形成沟槽;

[0036] 在所述沟槽内电镀导电层,并在电镀所述导电层之后,向所述沟槽内填充应力缓冲材料;

[0037] 对设定区域进行保护,对所述第二材料层、第二金属层、所述第一材料层以及所述第一金属层进行蚀刻,在所述基板上形成具有接地点的槽状屏蔽结构。

[0038] 在可选的实施方式中,在通过塑封体对所述芯片进行塑封之前,所述方法还包括:

[0039] 通过打线,将所述芯片的接地参考点与设置于所述槽状屏蔽结构的接地点连接,以通过所述接地点与所述槽状屏蔽结构电性连接,并通过所述槽状屏蔽结构与所述接地端连接。

[0040] 第三方面,本发明实施例提供一种电子产品,包括前述实施方式中任意一项所述

的电磁屏蔽结构。

[0041] 本发明实施例所提供电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品,通过在基板上形成槽状屏蔽结构,并将槽状屏蔽结构贯穿于塑封体以及基板,使得设置于塑封体远离基板一侧的屏蔽层,可通过槽状屏蔽结构与接地端电性连接,从而使得槽状屏蔽结构在至少两个芯片之间形成电磁屏蔽,工艺简单,电磁屏蔽效果好,且无需在基板塑封后,通过激光开槽填充屏蔽胶形成电磁屏蔽,因此,可以有效避免因为开槽深度不稳定,导致的屏蔽胶填充不完全,影响电磁屏蔽性能的问题。

附图说明

[0042] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本发明的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0043] 图1为现有技术中电磁屏蔽结构的示意图。

[0044] 图2为本发明实施例所提供的一种电磁屏蔽结构示意图。

[0045] 图3为本发明实施例所提供的另一种电磁屏蔽结构示意图。

[0046] 图4为本发明实施例所提供的又一种电磁屏蔽结构示意图。

[0047] 图5为本发明实施例所提供的又一种电磁屏蔽结构示意图。

[0048] 图6为本发明实施例所提供的又一种电磁屏蔽结构示意图。

[0049] 图7为本发明实施例所提供的电磁屏蔽结构制作方法的一种流程示意图。

[0050] 图8为本发明实施例所提供的电磁屏蔽结构的一种形成示意图。

[0051] 图9为本发明实施例所提供的电磁屏蔽结构的另一种形成示意图。

[0052] 图标:100-电磁屏蔽结构;10-基板;20-槽状屏蔽结构;21-导电层;22-应力缓冲材料;30-芯片;40-塑封体;50-屏蔽层;60-锡球;70-接地点。

具体实施方式

[0053] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本发明实施例的组件可以以各种不同的配置来布置和设计。

[0054] 因此,以下对在附图中提供的本发明的实施例的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0055] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0056] 在本发明的描述中,需要说明的是,若出现术语“上”、“下”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元

件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0057] 此外,若出现术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0058] 需要说明的是,在不冲突的情况下,本发明的实施例中的特征可以相互结合。

[0059] 随着半导体行业的快速发展,SIP模组结构被广泛应用于半导体行业中。它将不同功能芯片封装后,进行堆叠,其主要优势为高密度集成,封装产品尺寸小,产品性能优越,信号传输频率快等。

[0060] 目前SIP模组屏蔽结构的制作流程为:1、在一基板上贴装芯片,并完成芯片打线工艺。2、利用塑封料将连接好的芯片线路塑封起来,起到保护作用。3、利用激光机台,在塑封体上挖槽,预留填胶槽。4、利用点胶机台,在挖槽区域,填充屏蔽胶。5、利用烘烤固化胶体。6、利用机台将产品切层单颗。7、将单颗产品摆放在治具上,保护保护底部区域,漏出溅射区域。8、利用溅射机台,完成产品金属溅射,达到电磁屏蔽。

[0061] 基于目前SIP模组电磁屏蔽结构的制作流程可以看出,目前SIP模组电磁屏蔽分区技术,主要是在产品完成封装后,利用激光在塑封体表面进行开槽,填充屏蔽胶,利用中间屏蔽胶,作为电磁屏蔽墙,从而达到电磁屏蔽分区,如图1所示。而由于基板在塑封后,存在翘曲,因此激光开槽时会存在开槽深度不稳定的问题,导致屏蔽胶填充不完全,从而影响其电磁屏蔽性能。

[0062] 且利用中间屏蔽胶,作为电磁屏蔽墙,在后续的可靠性测试中,封装结构中的塑封层由于热胀冷缩作用或吸湿膨胀作用,会对封装结构中芯片元器件以及中间屏蔽胶层形成应力作用,并形成弯曲/拉扯作用力,从而使芯片元器件以及屏蔽胶失效,降低了封装结构整体的可靠性性能、影响产品电磁屏蔽性能以及使用寿命。

[0063] 除此之外,由于现有技术中电磁屏蔽接地线主要布置在基板内层,且通常在基板切割道左右两边,布线路径复杂,在进行切割工艺时,容易发生偏移,进而切割到接地线,导致接地线短路,从而导致产品电磁屏蔽性能失效,或者在进行激光开槽时,无法较好的掌控开槽深度,进而切割到接地线,导致接地线短路,从而导致产品电磁屏蔽性能失效。

[0064] 且随着电子产品越来越多地运用于通信高频信号领域,要求接地线的布线路径越短越好,其中,布线路径越短,达到的电磁屏蔽效果也越高。而由于现有技术中电磁屏蔽接地线布置在基板内层,因此现有布线技术满足不了高频的要求。

[0065] 基于上述研究,本实施例提供了一种电磁屏蔽结构,以改善上述问题。

[0066] 请结合参阅图2,本实施例所提供的电磁屏蔽结构100,包括:基板10,形成于基板10上并沿垂直基板10的方向延伸的槽状屏蔽结构20,设置于槽状屏蔽结构20两侧的至少两个芯片30,覆盖于至少两个芯片30上的塑封体40,设置于塑封体40远离基板10一侧、且包围塑封体40周侧的屏蔽层50。

[0067] 槽状屏蔽结构20贯穿于塑封体40以及基板10,屏蔽层50通过槽状屏蔽结构20与接地端电性连接,以使槽状屏蔽结构20在至少两个芯片30之间形成电磁屏蔽。

[0068] 本实施例所提供的电磁屏蔽结构,通过在基板上形成沿垂直基板的方向延伸的槽状屏蔽结构,并将槽状屏蔽结构贯穿于塑封体以及基板,如此,便可以使得屏蔽层通过槽状屏蔽结构与接地端电性连接,从而使得槽状屏蔽结构在至少两个芯片之间形成电磁屏蔽。

[0069] 本实施例所提供的电磁屏蔽结构,通过将槽状屏蔽结构作为屏蔽墙,在至少两个

芯片之间形成电磁屏蔽,无需在基板塑封后,通过激光开槽填充屏蔽胶形成电磁屏蔽,因此,可以有效避免因为开槽深度不稳定,导致的屏蔽胶填充不完全,影响电磁屏蔽性能的问题,且相较于现有技术通过激光开槽填屏蔽胶的方式,本实施例所提供的电磁屏蔽结构,在基板制作时,直接在基板上形成槽状屏蔽结构,将槽状屏蔽结构作为屏蔽墙,工艺简单、电磁屏蔽效果好。

[0070] 本实施例所提供的电磁屏蔽结构,采用垂直连接接地线的方式,在将槽状屏蔽结构贯穿基板后,与接地端直接连接,大大缩短了电荷传导路径,大幅提升了电磁屏蔽效果,且无需在基板内层布置接地线,简化了基板内层的布线方式。

[0071] 需要说明的是,在本实施例中,槽状屏蔽结构20贯穿于塑封体40以及基板10,指的是槽状屏蔽结构20远离基板10的一端与塑封体40的表面处于同一水平,另一端与基板10远离芯片30的一面处于同一水平。

[0072] 作为一种可选的实施方式,本实施例可以通过在基板背面,即远离芯片的一侧,焊接锡球60,通过锡球60将槽状屏蔽结构20与接地端连接,如图3所示。

[0073] 需要说明的是,本实施例对于需要电磁屏蔽的芯片(或电子元器件等),可以在芯片之间设置槽状屏蔽结构,以达到电磁屏蔽,而对于无需电磁屏蔽的芯片,则可以不用设置槽状屏蔽结构。因此,可以理解地,在本实施例中,设置于槽状屏蔽结构两侧的芯片的数量可以不同,本实施例不做具体限制,例如,槽状屏蔽结构左侧的芯片的数量为3个,槽状屏蔽结构右侧的芯片的数量为2个。同样地,在本实施例中,设置于槽状屏蔽结构两侧的芯片的堆叠方式也可以不同,具体地,可以根据实际需要而设置。

[0074] 进一步的,请结合参阅图4,在本实施例中,槽状屏蔽结构20包括导电层21以及应力缓冲材料22。

[0075] 导电层21为具有容置空间的槽状结构,屏蔽层50通过导电层21与接地端电性连接。

[0076] 应力缓冲材料22填充于容置空间,应力缓冲材料22的热膨胀系数小于或等于电磁屏蔽结构100的热膨胀系数。

[0077] 其中,如图4所示,导电层21设置为具有容置空间的槽状结构,其远离基板10的一端与屏蔽层50电性连接,另一端(即贯穿基板的一端)为接地端连接区域(接地端pad),与接地端连接,因此,屏蔽层50可通过导电层21与接地端电性连接,从而在芯片30之间达到电磁屏蔽的效果。

[0078] 可选的,在本实施例中,所述导电层21可以由铜、银、铝等导电金属材料制成。

[0079] 作为一种可选的实施方式,本实施例所提供的屏蔽层50也可以由铜、银、铝等导电金属材料制成。为了节约成本以及便于屏蔽层50和导电层21的连接,本实施例所提供的屏蔽层50和导电层21的制作材料可以相同。

[0080] 本实施例通过在导电层21的容置空间中填充应力缓冲材料22,将应力缓冲材料22的热膨胀系数小于或等于电磁屏蔽结构100的热膨胀系数,如此,可通过应力缓冲材料22来缓冲塑封层的内应力,以及释放由基板10翘曲所带来的芯片30之间内部的应力,从而解决塑封层在热胀冷缩作用和吸湿膨胀作用下易对芯片元器件产生不良应力并形成弯曲/拉扯作用力的问题,避免了芯片受内应力的影响,提升了电磁屏蔽性能。

[0081] 可选的,在本实施中,所述应力缓冲材料22可以为胶层或环氧树脂等材料,只需要

其热膨胀系数小于或等于电磁屏蔽结构的热膨胀系数即可。

[0082] 本实施例所提供的槽状屏蔽结构,一方面通过将导电层贯穿于基板以及塑封体,使得导电层可直接与屏蔽层和接地端连接,实现了芯片间的电磁屏蔽,另一方面,通过在导电层的容置空间中填充应力缓冲材料,又可以缓冲塑封层的内应力以及释放由基板翘曲所带来的芯片之间内部的应力,避免了芯片受内应力的影响,进一步提升了电磁屏蔽性能。并且本实施例所提供的槽状屏蔽结构,通过导电层直接与接地端连接,大大缩短了电荷传导路径,大幅提升了电磁屏蔽效果,且简化了基板内层的布线方式。

[0083] 在可选的实施方式中,请结合参阅图5,在本实施例中,芯片30的接地参考点通过打线与槽状屏蔽结构20电性连接,以通过槽状屏蔽结构20与接地端连接。

[0084] 其中,如图5所示,通过打线的方式,将芯片30的接地参考点与槽状屏蔽结构20中的导电层21电性连接,实现了芯片30与槽状屏蔽结构20的线路相连,且由于槽状屏蔽结构20与接地端连接,因此,芯片30可以通过槽状屏蔽结构20与接地端连接,实现芯片30的接地连接。

[0085] 为了便于芯片30与槽状屏蔽结构20的连接,如图6所示,在可选的实施方式中,电磁屏蔽结构100还包括至少一个接地点70,接地点70设置于槽状屏蔽结构20朝向芯片30的一侧,并与槽状屏蔽结构20电性连接。

[0086] 芯片30的接地参考点通过打线与接地点70电性连接,以通过接地点70与槽状屏蔽结构20电性连接,并通过槽状屏蔽结构20与接地端连接。

[0087] 其中,接地点70与槽状屏蔽结构20电性连接,即接地点70与槽状屏蔽结构20中的导电层21电性连接。芯片30的接地参考点与接地点70电性连接,由于接地点70与槽状屏蔽结构20中的导电层21电性连接,因此,芯片30与槽状屏蔽结构20中的导电层线路相连,进而,芯片30可通过槽状屏蔽结构20与接地端连接,实现芯片30的接地连接。

[0088] 可选的,在本实施例中,利用打线方式,可以通过铜线、合金线等导电金属线将芯片30的接地参考点与槽状屏蔽结构20中的导电层21连接,或者将芯片30的接地参考点与接地点70连接。

[0089] 本实施例通过打线将芯片的接地参考点与槽状屏蔽结构电性连接,以实现接地,可以在进行切割时或者激光开槽时,避免切割偏移导致接地线短路,从而导致电磁屏蔽性能失效的情况发生,同时也可避免由于激光开槽深度无法掌控导致接地线短路的情况发生,大大提升了产品良率。

[0090] 在上述基础上,请结合参阅图7,本实施例还提供一种电磁屏蔽结构制作方法,方法包括:

[0091] 步骤S10:提供一基板,在基板上形成槽状屏蔽结构。

[0092] 步骤S20:在槽状屏蔽结构的两侧分别贴装至少两个芯片。

[0093] 步骤S30:通过塑封体对芯片进行塑封,且在塑封后研磨塑封体,以使槽状屏蔽结构露出。

[0094] 步骤S40:在塑封体远离基板的一侧以及塑封体的周侧设置屏蔽层;其中,屏蔽层通过槽状屏蔽结构与接地端电性连接,以使槽状屏蔽结构在至少两个芯片之间形成电磁屏蔽。

[0095] 其中,通过塑封体对芯片进行塑封,可以对芯片进行保护。在通过塑封体对芯片进

行塑封后,塑封体可能将槽状屏蔽结构包埋,导致槽状屏蔽结构无法与屏蔽层连接,因此,在塑封后,需要对塑封体的表面,即远离基板的一侧进行研磨,以使槽状屏蔽结构贯穿塑封体,保证槽状屏蔽结构与塑封体的表面在同一水平,如此,在塑封体远离基板的一侧以及塑封体的周侧设置屏蔽层时,即可使屏蔽层与槽状屏蔽结构连接。

[0096] 作为一种可选的实施方式,本实施例可通过溅射、电镀等方式,在塑封体远离基板的一侧以及塑封体的周侧设置屏蔽层。

[0097] 以溅射方式进行举例说明,在对塑封体进行研磨后,将电磁屏蔽结构放在治具上,保护电磁屏蔽结构的底部区域,漏出溅射区域(即4个侧面以及表面),然后进行溅射,形成屏蔽层,如此,便可以使得屏蔽层与槽状屏蔽结构相连,即屏蔽层与槽状屏蔽结构中的导电层相连,从而实现芯片间的电磁屏蔽。

[0098] 为了便于槽状屏蔽结构与接地端的连接,在本实施例中,在对塑封体进行研磨,使槽状屏蔽结构露出后,可以在基板背面,即远离塑封体的一侧进行植球工艺,将锡球与槽状屏蔽结构的接地端pad相连,如此,槽状屏蔽结构便可以通过锡球与接地端连接。

[0099] 需要说明的是,在本实施例中,在贴装芯片时,还包括对被动元件(例如电阻、电容、电感等元件)的贴装。

[0100] 在可选的实施方式中,请结合参阅图8,在本实施例中,在基板上形成槽状屏蔽结构的步骤可以包括:

[0101] 提供一基板。

[0102] 在基板的一侧贴装第一材料层,在基板远离第一材料层的一侧贴装第一金属层。

[0103] 在第一材料层的开槽区域挖槽,直至第一金属层,以形成一沟槽。

[0104] 在沟槽内电镀导电层,并在电镀导电层之后,向沟槽内填充应力缓冲材料。

[0105] 对设定区域进行保护,对第一材料层以及第一金属层进行蚀刻,在基板上形成槽状屏蔽结构。

[0106] 其中,如图8所示,本实施例首先在基板的表面贴装第一材料层,在基板背面贴装第一金属层,然后在第一材料层的开槽区域挖槽,直至第一金属层,以形成一沟槽,在沟槽内电镀导电层,并在电镀导电层之后,向沟槽内填充应力缓冲材料,在填充后,利用保护膜对设定区域(即不需要去除的区域)进行保护,即对沟槽所在区域进行保护,然后将第一材料层以及第一金属层的其他区域进行蚀刻或采用激光进行去除,在基板上形成槽状屏蔽结构以及槽状屏蔽结构的接地端pad。

[0107] 作为另一种可选的实施方式,在本实施例中,请结合参阅图9,在基板上形成槽状屏蔽结构的步骤还可以包括:

[0108] 提供一基板。

[0109] 在基板的一侧贴装第一材料层,在基板远离第一材料层的一侧贴装第一金属层,在第一材料层远离基板的一侧贴装第二金属层,在第二金属层远离第一材料层的一侧贴装第二材料层。

[0110] 在第二材料层的开槽区域挖槽,直至第一金属层,以形成沟槽。

[0111] 在沟槽内电镀导电层,并在电镀导电层之后,向沟槽内填充应力缓冲材料。

[0112] 对设定区域进行保护,对第二材料层、第二金属层、第一材料层以及第一金属层进行蚀刻,在基板上形成具有接地点的槽状屏蔽结构。

[0113] 其中,本实施例通过设置第二金属层,在对第二材料层、第二金属层、第一材料层以及第一金属层进行蚀刻后,可以在槽状屏蔽结构上形成接地点,并且使接地点与导电层连接。

[0114] 作为一种可选的实施方式,在本实施例中,在槽状屏蔽结构上形成接地点后,可以在接地点的表面镀有机保焊膜(Organic Solderability Preservatives,OSP)以及Ni/Au金属层等,以便于芯片通过打线方式与接地点线路相连。

[0115] 可选的,在本实施例中,第一材料层可以为聚丙烯(Polypropylene,PP)层,第一金属层可以为铜层,第二材料层可以PP层、第二金属层可以为铜层。

[0116] 基于上述形成槽状屏蔽结构的方式,本实施例中的芯片可通过打线,将芯片与槽状屏蔽结构电性连接,或者通过打线,将芯片与设置于槽状屏蔽结构的接地点连接,以通过接地点与槽状屏蔽结构电性连接。即在通过塑封体对芯片进行塑封之前,本实施例所提供的方法还包括:

[0117] 通过打线,将芯片与槽状屏蔽结构电性连接,以通过槽状屏蔽结构与接地端连接。或,通过打线,将芯片与设置于槽状屏蔽结构的接地点连接,以通过接地点与槽状屏蔽结构电性连接,并通过槽状屏蔽结构与接地端连接。

[0118] 基于本实施例所提供的电磁屏蔽结构制作方法,在实际的应用中,可以直接提供具有槽状屏蔽结构的基板,然后在基板上贴装芯片并进行打线,再利用塑封料将连接好的芯片线路塑封起来,起到保护作用,然后在利用机台将产品切成单颗,再对单颗产品进行溅射,形成屏蔽层,达到电磁屏蔽。相较于现有的制作流程,本实施例所提供的电磁屏蔽结构制作方法,工艺流程更为简单,成本更低,且所制备的电磁屏蔽结构,接地线布线简单、电磁屏蔽性能好且还能避免芯片受内应力的影响。

[0119] 在上述基础上,本实施例提供一种电子产品,包括前述实施方式任一项所述的电磁屏蔽结构。

[0120] 所属领域的技术人员可以清楚地了解到,为描述的方便和简洁,上述描述的电子产品的实现原理,可以参考前述方法和结构中的对应过程,在此不再过多赘述。

[0121] 综上,本实施例所提供电磁屏蔽结构、电磁屏蔽结构制作方法和电子产品,通过在基板上形成槽状屏蔽结构,并将槽状屏蔽结构贯穿于塑封体以及基板,使得设置于塑封体远离基板一侧的屏蔽层,可通过槽状屏蔽结构与接地端电性连接,从而使得槽状屏蔽结构在至少两个芯片之间形成电磁屏蔽,工艺简单,电磁屏蔽效果好,且无需在基板塑封后,通过激光开槽填充屏蔽胶形成电磁屏蔽,因此,可以有效避免因为开槽深度不稳定,导致的屏蔽胶填充不完全,影响电磁屏蔽性能的问题。

[0122] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

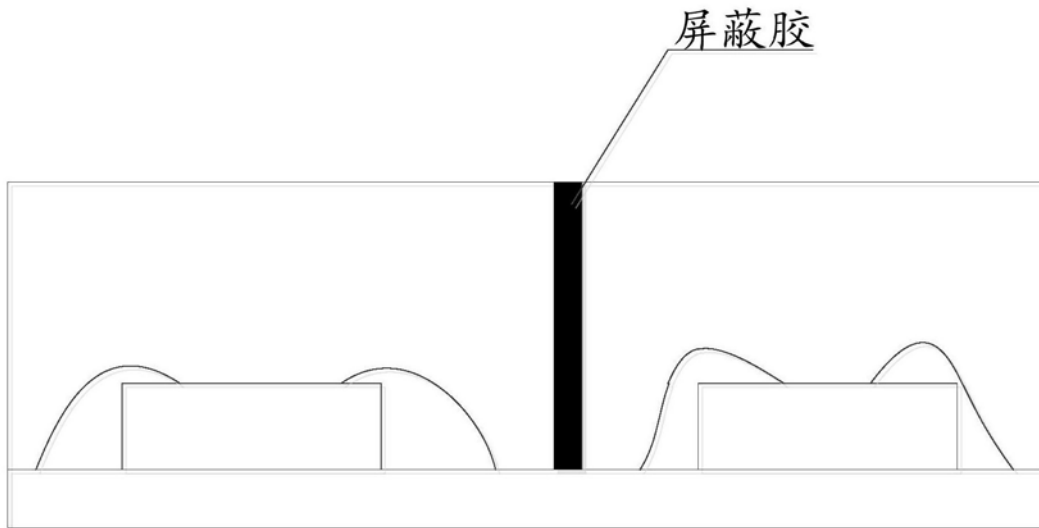


图1

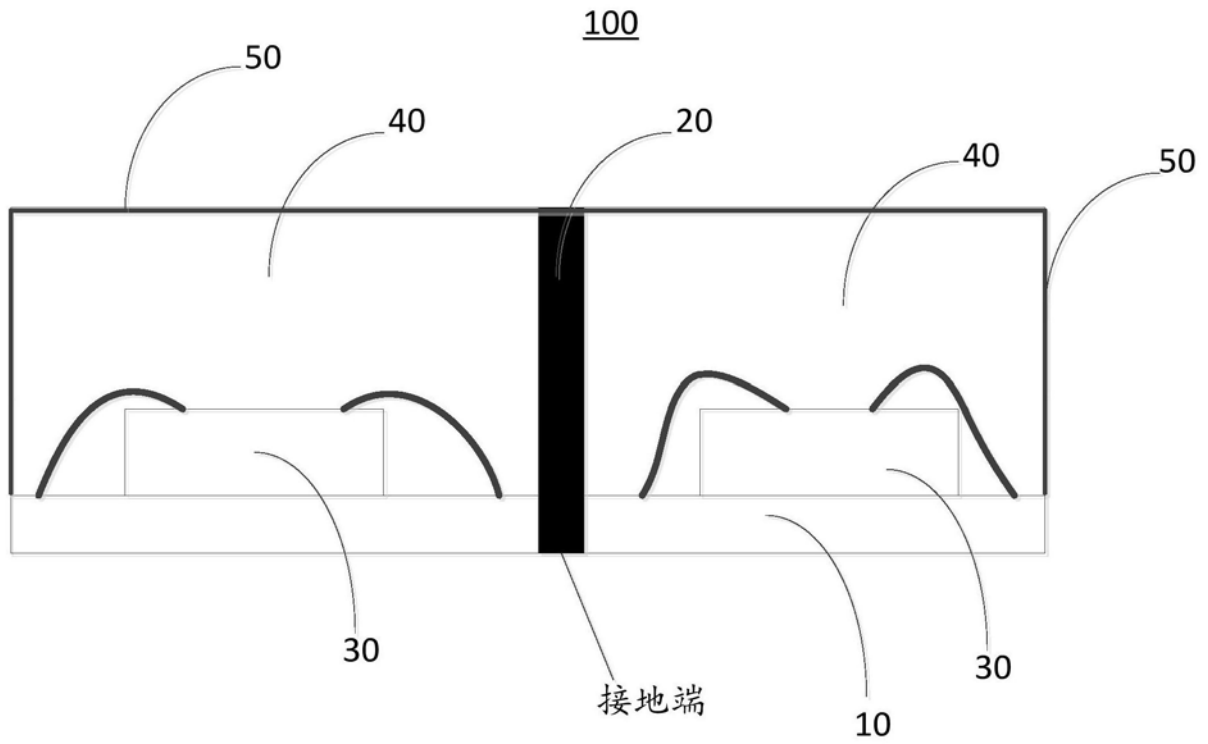


图2

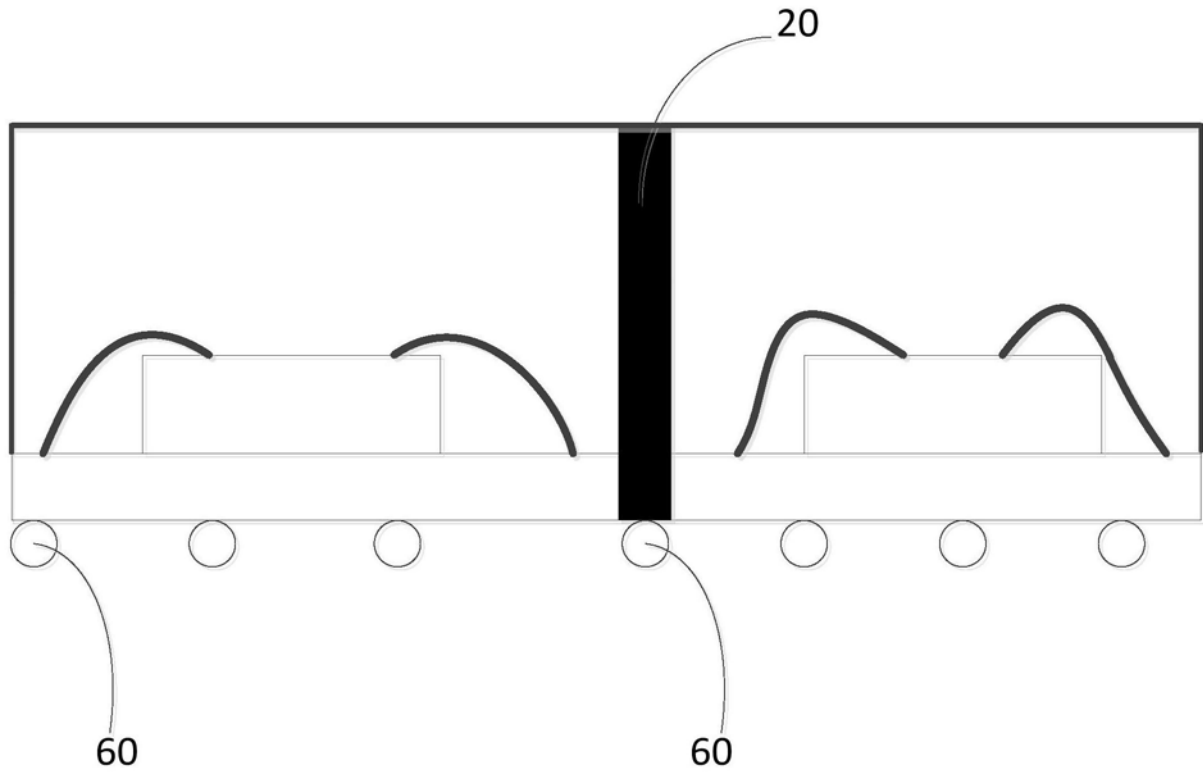


图3

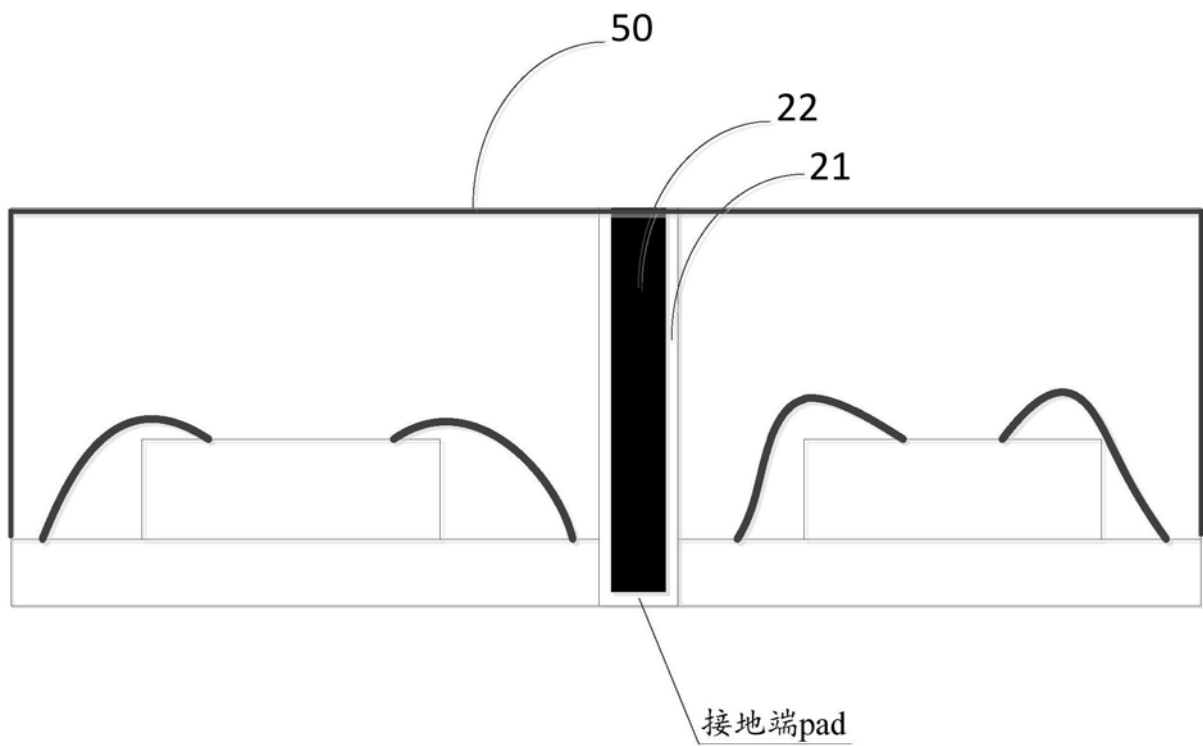


图4

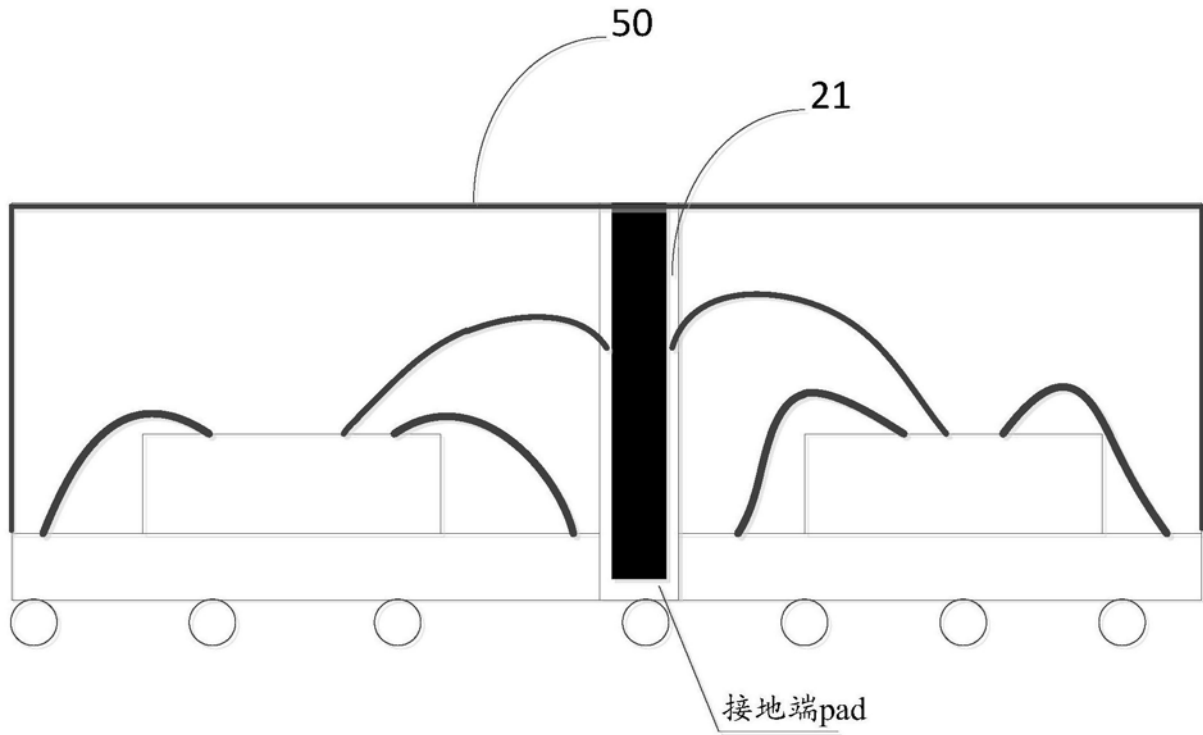


图5

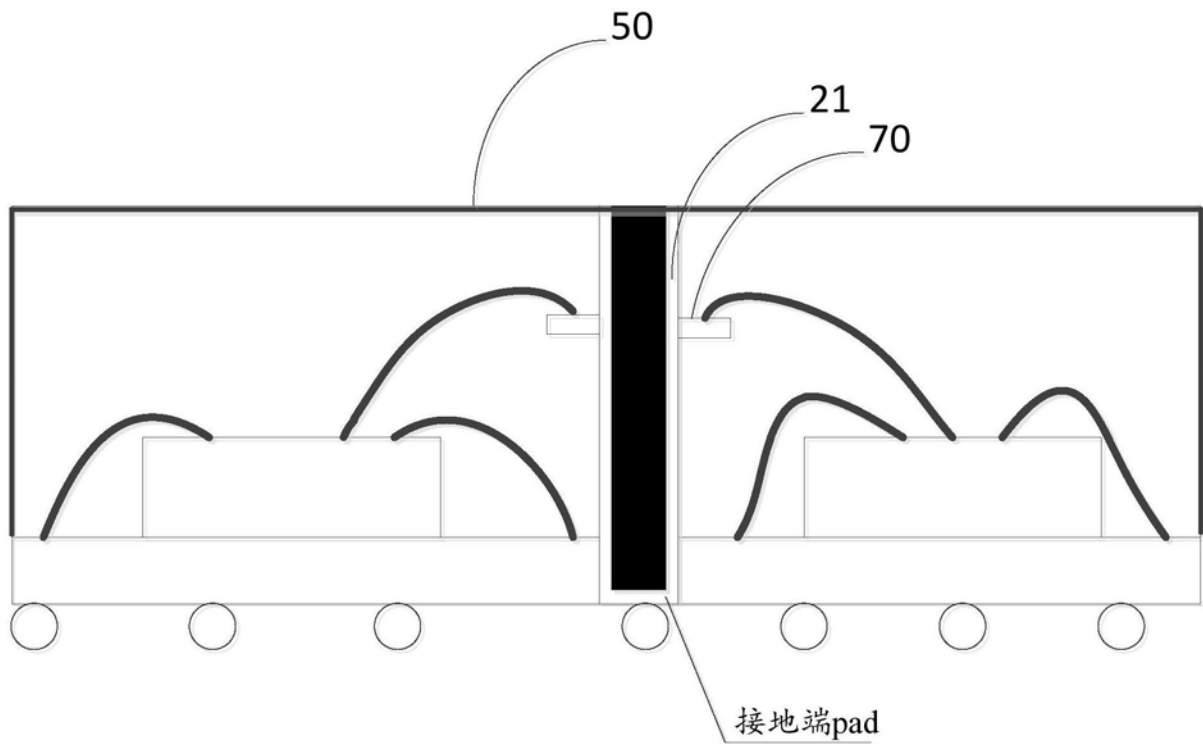


图6

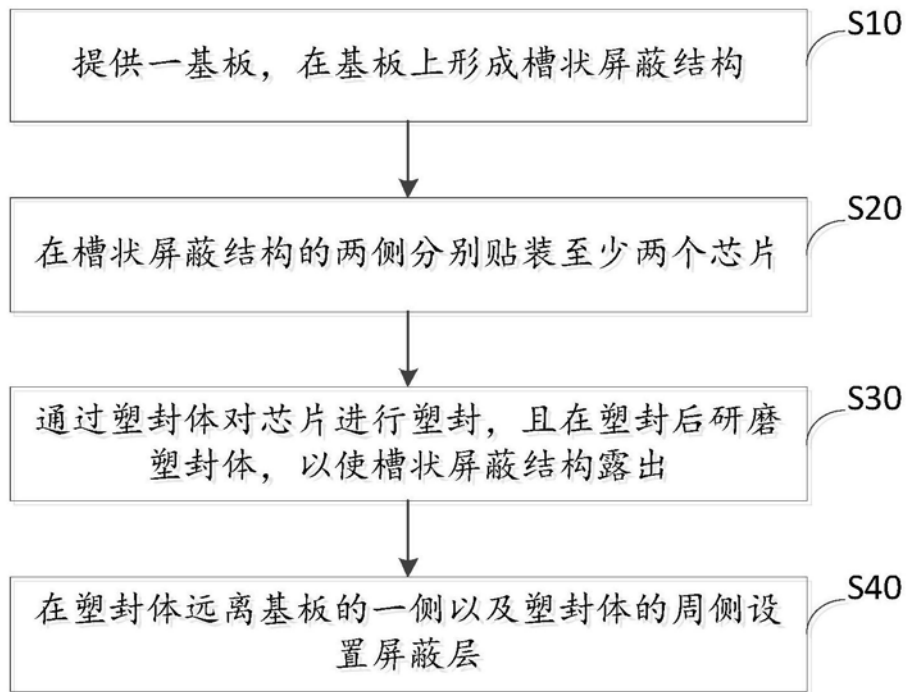


图7

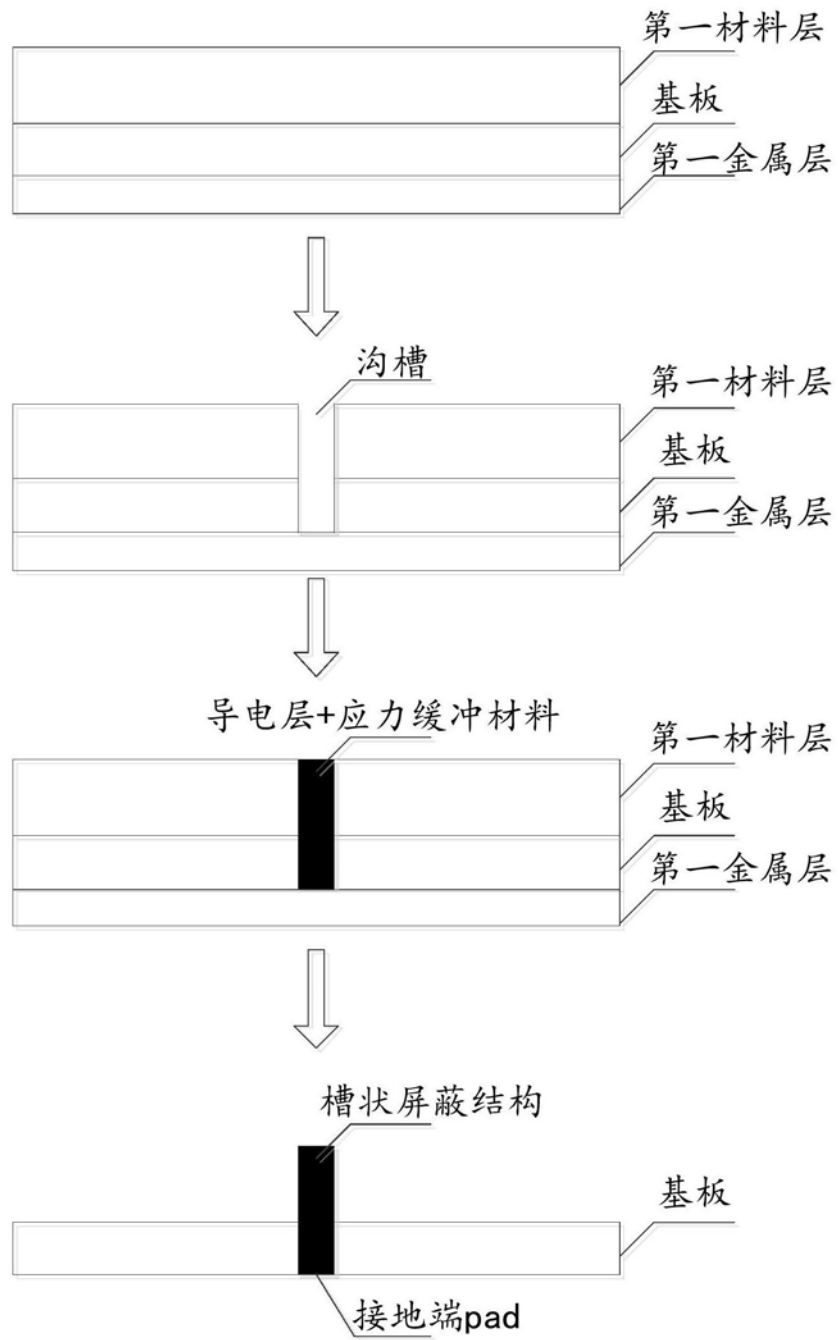


图8

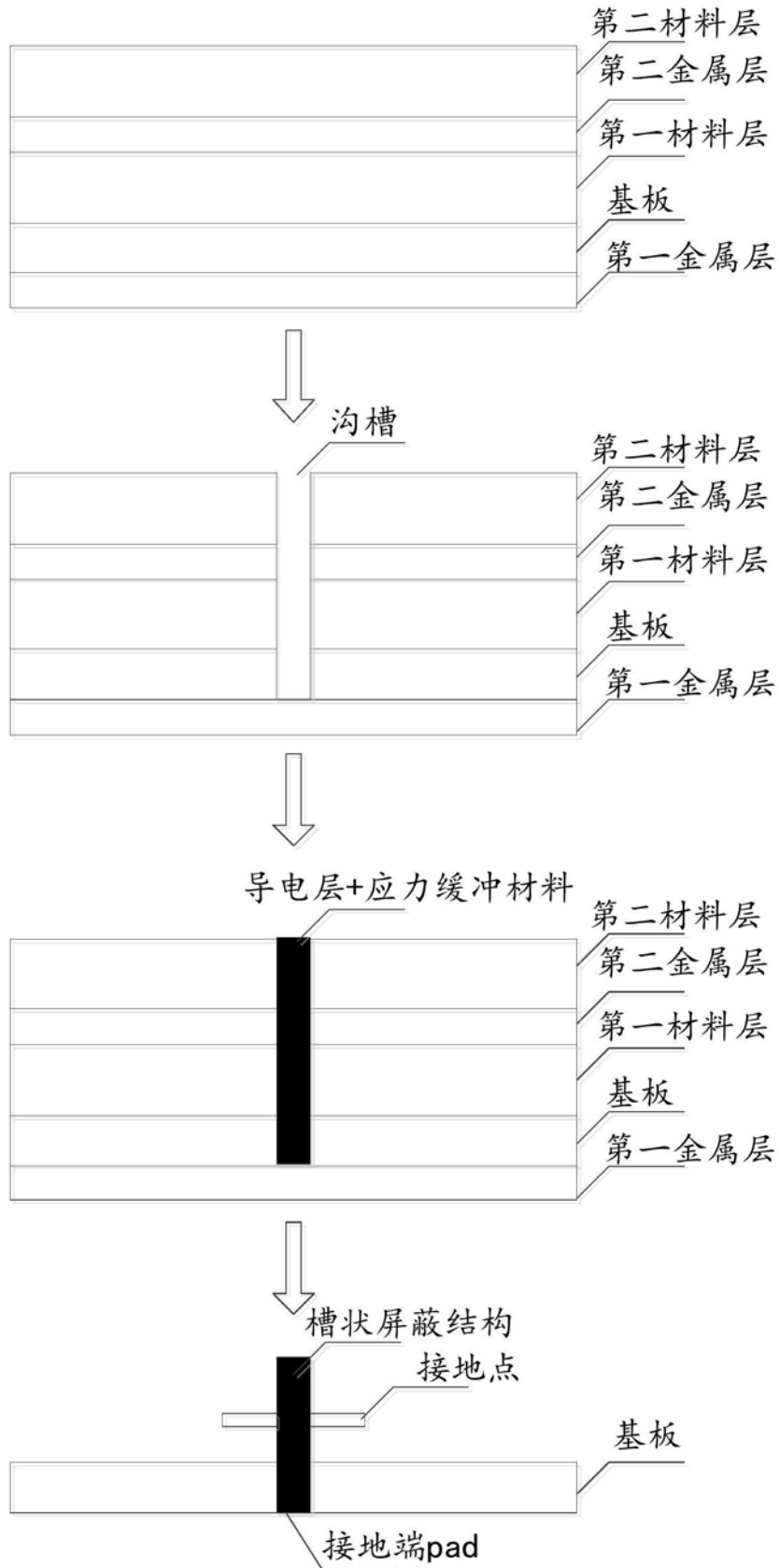


图9