



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월05일  
(11) 등록번호 10-1101733  
(24) 등록일자 2011년12월27일

- (51) Int. Cl.  
H01L 29/786 (2006.01) G02F 1/1333 (2006.01)
- (21) 출원번호 10-2009-7025429
- (22) 출원일자(국제출원일자) 2008년06월02일  
심사청구일자 2009년12월04일
- (85) 번역문제출일자 2009년12월04일
- (65) 공개번호 10-2010-0003370
- (43) 공개일자 2010년01월08일
- (86) 국제출원번호 PCT/JP2008/060125
- (87) 국제공개번호 WO 2008/149833  
국제공개일자 2008년12월11일
- (30) 우선권주장  
JP-P-2007-148787 2007년06월05일 일본(JP)
- (56) 선행기술조사문헌  
JP2001176878 A\*  
JP2006178445 A  
US05953634 A  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
가부시키가이샤 알박  
일본 가나가와켄 지가사끼시 하기소노 2500반쵸
- (72) 발명자  
다카사와 사토루  
일본 지바켄 삼무시 요코타 523 가부시키가이샤  
알박 지바쵸자이료켄큐쇼 나이  
오이시 유우이치  
일본 지바켄 삼무시 요코타 523 가부시키가이샤  
알박 지바쵸자이료켄큐쇼 나이  
(뒷면에 계속)
- (74) 대리인  
특허법인코리아나

전체 청구항 수 : 총 15 항

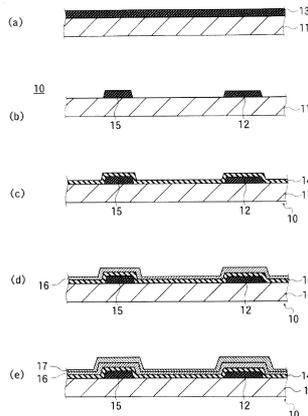
심사관 : 이상호

(54) 박막 트랜지스터 제조 방법, 액정 표시 장치 제조 방법, 전극 형성 방법

(57) 요약

기판이나 실리콘층으로부터 전극이 박리되는 것을 방지한다. 구리를 주성분으로 하는 제 1 구리 박막 (13) 을, 암모니아 가스에 노출시켜 표면 처리를 실시한 후, 처리 대상물 (10) 이 배치된 분위기에, 실란 가스와 암모니아 가스를 함유하는 원료 가스의 플라즈마를 발생시켜, 제 1 구리 박막 (13) 의 표면에 질화 규소막을 형성한다. 암모니아 가스로 미리 표면 처리됨으로써, 제 1 구리 박막 (13) 에 실란 가스가 확산되는 것이 방지되므로, 표면 처리된 제 1 구리 박막 (13) 으로 구성되는 전극은 유리 기판 (11) 이나 실리콘층으로부터 박리되지 않고, 게다가 전기 저항값도 높아지지 않는다.

대표도 - 도1



(72) 발명자

**시미즈 미호**

일본 지바켄 삼무시 요코타 523 가부시키가이샤 알  
박 지바쵸자이료켄큐쇼 나이

**기쿠치 도오루**

일본 지바켄 삼무시 요코타 523 가부시키가이샤 알  
박 지바쵸자이료켄큐쇼 나이

**이시바시 사토루**

일본 지바켄 삼무시 요코타 523 가부시키가이샤 알  
박 지바쵸자이료켄큐쇼 나이

**특허청구의 범위**

**청구항 1**

유리 기판에 밀착되어 배치된 게이트 전극과,

상기 게이트 전극의 표면에 배치되고, 질화 규소 박막으로 이루어지는 게이트 절연막과,

상기 게이트 절연막 상에 배치된 반도체층을 갖는 박막 트랜지스터를 제조하는 박막 트랜지스터 제조 방법으로서,

상기 유리 기판 표면에, 구리를 함유하고, 상기 게이트 전극을 구성하는 제 1 구리 박막을, 산소를 함유하는 분위기에서 스퍼터링법에 의해 적어도 상기 유리 기판과 밀착되는 부분에 산소를 함유시켜 형성하고,

상기 제 1 구리 박막의 표면이 노출되는 상기 유리 기판을 진공조 내에 배치한 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고,

상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 1 구리 박막의 표면을 상기 암모니아 가스에 노출시켜 표면 처리를 실시한 후,

상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 1 구리 박막의 표면에 상기 질화 규소 박막을 성장시키는, 박막 트랜지스터 제조 방법.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,

상기 제 1 구리 박막의 표면을 상기 암모니아 가스에 10 초 이상 노출시켜 상기 표면 처리를 실시하는, 박막 트랜지스터 제조 방법.

**청구항 4**

제 1 항에 있어서,

상기 진공조 내부의, 모노실란 가스의 분압을, 상기 암모니아 가스의 분압의 1/15 이하로 하여 상기 표면 처리를 실시하는, 박막 트랜지스터 제조 방법.

**청구항 5**

제 1 항에 있어서,

상기 진공조 내부의 상기 암모니아 가스의 분압이 60 Pa 이상이 되도록 상기 처리 가스를 도입하여 상기 표면 처리를 실시하는, 박막 트랜지스터 제조 방법.

**청구항 6**

게이트 전극과,

상기 게이트 전극의 표면에 배치된 게이트 절연막과,

상기 게이트 절연막 상에 배치된 반도체층과,

상기 반도체층에 접촉하는 소스 전극과,

상기 반도체층에 접촉하는 드레인 전극과,

상기 드레인 전극과 상기 소스 전극에 접촉하고, 질화 규소막으로 이루어지는 절연막을 갖는 박막 트랜지스터를 제조하는 박막 트랜지스터 제조 방법으로서,

상기 반도체층의 표면에, 상기 소스 전극과 상기 드레인 전극을 구성하는 제 2 구리 박막을, 산소를 함유하는 분위기에서 스퍼터링법에 의해 적어도 상기 반도체층에 밀착되는 부분에 산소를 함유시켜 형성하고,

상기 제 2 구리 박막의 표면이 노출되는 처리 대상물을, 진공조 내에 배치한 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고,

상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 2 구리 박막의 표면을 상기 암모니아 가스에 각각 노출하여 표면 처리를 실시한 후,

상기 진공조 내에 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 2 구리 박막의 표면에 상기 질화 규소 박막을 성장시키는 박막 트랜지스터 제조 방법.

**청구항 7**

삭제

**청구항 8**

제 6 항에 있어서,

상기 제 2 구리 박막의 표면을 상기 암모니아 가스에 10 초 이상 노출시켜 상기 표면 처리를 실시하는, 박막 트랜지스터 제조 방법.

**청구항 9**

제 6 항에 있어서,

상기 진공조 내부의, 모노실란 가스의 분압을, 상기 암모니아 가스의 분압의 1/15 이하로 하여 상기 표면 처리를 실시하는, 박막 트랜지스터 제조 방법.

**청구항 10**

제 6 항에 있어서,

상기 진공조 내부의 상기 암모니아 가스의 분압이 60 Pa 이상이 되도록 상기 처리 가스를 도입하여 상기 표면 처리를 실시하는, 박막 트랜지스터 제조 방법.

**청구항 11**

제 6 항에 있어서,

상기 반도체층은 제 1, 제 2 오믹콘택트층을 갖고,

상기 소스 전극은 상기 제 1 오믹콘택트층에 접촉하고,

상기 드레인 전극은 상기 제 2 오믹콘택트층에 접촉하는, 박막 트랜지스터 제조 방법.

**청구항 12**

유리 기판과,

상기 유리 기판 상에 배치된 박막 트랜지스터와,

상기 박막 트랜지스터의 반도체층에 접속된 투명 전극과,

상기 투명 전극 상에 배치된 대향 전극과,

상기 투명 전극과 상기 대향 전극 사이에 위치하는 액정을 갖는 액정 표시 소자를 제조하는 액정 표시 장치 제조 방법으로서,

상기 박막 트랜지스터는,

상기 유리 기판에 밀착되어 배치된 게이트 전극과,

상기 게이트 전극의 표면에 배치되고, 질화 규소 박막으로 이루어지는 게이트 절연막과,  
 상기 게이트 절연막 상에 배치된 상기 반도체층을 갖고,  
 상기 유리 기판 표면에, 구리를 함유하고, 상기 게이트 전극을 구성하는 제 1 구리 박막을, 산소를 함유하는 분위기에서 스퍼터링법에 의해 적어도 상기 유리 기판에 밀착되는 부분에 산소를 함유시켜 형성하고,  
 상기 제 1 구리 박막의 표면이 노출되는 상기 유리 기판을 진공조 내에 배치한 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고,  
 상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 1 구리 박막의 표면을 상기 암모니아 가스에 노출시켜 표면 처리를 실시한 후,  
 상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 1 구리 박막의 표면에 상기 질화 규소 박막을 성장시켜, 상기 박막 트랜지스터를 제조하는, 액정 표시 장치 제조 방법.

**청구항 13**

유리 기판과,  
 상기 유리 기판 상에 배치된 박막 트랜지스터와,  
 상기 박막 트랜지스터의 반도체층에 접속된 투명 전극과,  
 상기 투명 전극 상에 배치된 대향 전극과,  
 상기 투명 전극과 상기 대향 전극 사이에 위치하는 액정을 갖는 액정 표시 소자를 제조하는 액정 표시 장치 제조 방법으로서,  
 상기 박막 트랜지스터는,  
 게이트 전극과,  
 상기 게이트 전극의 표면에 배치된 게이트 절연막과,  
 상기 게이트 절연막 상에 배치된 반도체층과,  
 상기 반도체층에 접촉하는 소스 전극과,  
 상기 반도체층에 접촉하는 드레인 전극과,  
 상기 드레인 전극과 상기 소스 전극에 접촉하고, 질화 규소막으로 이루어지는 절연막을 갖고,  
 상기 반도체층의 표면에, 상기 소스 전극과 상기 드레인 전극을 구성하는 제 2 구리 박막을, 산소를 함유하는 분위기에서 스퍼터링법에 의해 적어도 상기 반도체층에 밀착되는 부분에 산소를 함유시켜 형성하고,  
 상기 제 2 구리 박막의 표면이 노출되는 처리 대상물을, 진공조 내에 배치한 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고,  
 상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 2 구리 박막의 표면을 상기 암모니아 가스에 각각 노출시켜 표면 처리를 실시한 후,  
 상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 2 구리 박막의 표면에 상기 질화 규소 박막을 성장시켜 상기 박막 트랜지스터를 제조하는, 액정 표시 장치 제조 방법.

**청구항 14**

기판 상의 노출되는 유리의 표면, 실리콘의 표면, 혹은 실리콘 화합물의 표면 상에, 구리 혹은 구리 합금의 구리 전극을 형성하는 전극 형성 방법으로서,  
 상기 기판 상에, 상기 구리 전극을, 산소를 함유하는 분위기에서 스퍼터링법에 의해 적어도 상기 기판에 밀착되는 부분에 산소를 함유시켜 형성하는 구리 전극 형성 공정과,

상기 구리 전극의 표면을 암모니아 가스를 함유하는 처리 가스에 노출하여 표면 처리를 실시하는 표면 처리 공정과,

화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를, 표면 처리 후의 상기 기관이 배치된 성막 분위기에 도입하여 플라즈마를 발생시켜, 상기 구리 전극 상에 질화 규소 박막을 형성하는 절연막 형성 공정을 갖는 전극 형성 방법.

**청구항 15**

제 14 항에 있어서,

상기 표면 처리 공정에 있어서, 상기 기관이 배치된 처리 분위기 중의, 상기 암모니아 가스의 분압을 60 Pa 이상으로 하는, 전극 형성 방법.

**청구항 16**

제 14 항에 있어서,

상기 표면 처리 공정에 있어서, 상기 구리 전극을 상기 암모니아 가스에 노출시키는 시간은 10 초 이상인, 전극 형성 방법.

**청구항 17**

제 14 항에 있어서,

상기 표면 처리 공정에 있어서, 상기 처리 분위기 중에 함유되는 규소 화합물 가스의 분압을 상기 암모니아 가스의 분압의 1/15 이하로 하는, 전극 형성 방법.

**청구항 18**

삭제

**명세서**

**기술분야**

본 발명은, 박막 트랜지스터를 제조하는 기술 분야에 관한 것으로서, 특히, 전극 표면에 질화 규소 박막을 형성하는 기술에 관한 것이다.

**배경기술**

최근에는, 트랜지스터의 고속화를 위해, 현상향의 알루미늄계 전극을, 저저항 금속의 전극으로 변경하고자 하는 요망이 있고, 저저항의 금속으로는 구리가 유망시되고 있다.

액정 표시 장치의 박막 트랜지스터에서는, 예를 들어, 게이트 전극은 유리 기관 표면에 밀착되고, 소스 전극이나 드레인 전극은 실리콘층과 밀착되어 배치되는데, 순구리의 박막은 유리 기관이나 실리콘에 대한 접착력이 약하여, 박리(剝離)되어 버린다는 문제가 있다.

한편, 산소를 함유하는 구리 박막은, 유리 기관이나 실리콘에 대해 접착력은 강하지만, 저항값이 크기 때문에, 산소 함유 구리 박막을 게이트 전극에 채용하는 장점이 적다.

특허 문헌 1 : 일본 공개특허공보 2002-353222호

**발명의 개시**

발명이 해결하고자 하는 과제

유리 기관이나 실리콘층과 밀착되는 하층 부분은 산소를 함유하는 구리층으로 구성시키고, 그 위에는, 산소를 함유하지 않는 구리층을 형성하고, 이 2 층 구조의 구리 박막에 의해 게이트 전극, 축적 용량 전극, 소스 전극, 또는 드레인 전극을 구성시키는 시도가 이루어지고 있다.

그러나, 구리 박막의 형성 직후의 상태에서는, 구리 박막은 유리 기관으로부터 박리되지 않는데, 박막 트랜지스터를 구성시키면, 구리 박막으로 구성되는 전극이 박리된다는 문제가 발생하고 있어 해결이 요망되고 있다.

- [0012] 과제를 해결하기 위한 수단
- [0013] 본 발명의 발명자들이 전극의 박리 상황을 조사한 결과, 2 층 구조의 구리 박막을 형성한 직후의 상태에서는, 구리 박막은 유리 기판이나 실리콘층으로부터 박리되지 않지만, 그 후, 구리 박막을 패터닝하여 형성된 전극의 표면에 질화 규소 박막을 형성하면, 전극이 유리 기판이나 실리콘층과의 계면에서 박리된다는 사실이 확인되었다.
- [0014] 질화 규소 박막은, 실란 가스에 질소 가스나 암모니아 가스 등의 질소 함유 가스를 첨가한 질화 규소막용 원료 가스를 진공조 내에 도입하고, 질화 규소막용 원료 가스의 플라즈마를 발생시키는 플라즈마 CVD 법에 의해 일반적으로 형성된다.
- [0015] 질화 규소막용 원료 가스 중의 성분 가스가 플라즈마로 분해되고, 성막 대상물 표면 상에서 반응하여, 질화 규소 박막이 형성된다. 이와 같은 공정에서, 원료 가스 중의 성분 가스가 박리에 영향을 미친다는 것을 생각할 수 있다.
- [0016] 그래서, 유리 기판 상에, 2 층 구조의 구리 박막을 형성한 시료편을 제조하여, 그 시료편을 진공조 내에 배치하고, 그 진공조에 질소 가스를 도입하여, 120 Pa 의 압력 분위기 중에서 시료편을 가열한 후,
- [0017] (1) 그대로 박리 시험을 실시하였다.
- [0018] (2) 질소 가스와 암모니아 가스의 혼합 가스 (120 Pa, N<sub>2</sub> : 500 sccm, NH<sub>3</sub> : 300 sccm) 에 노출시킨 후 박리 시험을 실시하였다.
- [0019] (3) 질소 가스와 실란 가스의 혼합 가스 (120 Pa, N<sub>2</sub> : 500 sccm, SiH<sub>4</sub> : 20 sccm) 에 노출시킨 후 박리 시험을 실시하였다.
- [0020] (4) 질소 가스와 암모니아 가스와 실란 가스의 혼합 가스 (120 Pa, N<sub>2</sub> : 500 sccm, NH<sub>3</sub> : 300 sccm, SiH<sub>4</sub> : 20 sccm) 에 노출시킨 후 박리 시험을 실시하였다.
- [0021] 상기 박리 시험 결과, 실란 가스를 함유하는 (3) 과 (4) 의 경우에, 박리가 발생하는 것으로 판명되었다.
- [0022] 실란 가스의 영향을 확인하기 위해, 유리 기판 표면에 구리를 주성분으로 하고, Mg 가 첨가된 구리 박막 (막두께 300 nm) 을 성막한 시료편을, 300 °C 로 가열하면서, 질소 가스와 실란 가스의 혼합 가스에 3 분간 노출시킨 후 그 구리 박막의 오제 (Auger) 분석을 실시하였다. 그 결과를 도 7 에 나타낸다.
- [0023] 도 7 의 세로축은 원자 밀도를, 가로축은 에칭 시간을 나타내고 있다. 도 7 에서 알 수 있는 바와 같이, 실란 가스 유래의 Si 이 구리 박막의 표면부터 유리 기판과의 계면까지 분포되어 있고, 실란 가스가 유리 기판의 계면까지 확산된다는 것을 알 수 있다.
- [0024] 구리 박막의 시트 저항은, 혼합 가스에 노출되기 전에는 0.0958 Ω/□ 인 것에 대해, 혼합 가스에 노출된 후에는 1.121 Ω/□ 로 상승되어 있고, 실란 가스가 확산됨으로써, 구리 박막의 저항값이 상승된다는 것을 알 수 있다.
- [0025] 게다가, 구리 박막의 유리 기판과 접촉하는 부분에 CuO 가 있는 경우에는 그 CuO 가 실란 가스의 수소에 의해 변성되기 때문에, 구리 박막이 유리 기판이나 실리콘층으로부터 박리되기 쉬워지는 것으로 생각할 수 있다.
- [0026] 그렇다면, 실란 가스의 영향이, 구리 박막과 유리 기판의 계면, 및/또는, 구리 박막과 실리콘층의 계면에까지 미치지 않도록 하면 되는 것으로 생각할 수 있다.
- [0027] 상기 지견에 기초하여 이루어진 본 발명은, 유리 기판에 밀착되어 배치된 게이트 전극과, 상기 게이트 전극의 표면에 배치되고, 질화 규소 박막으로 이루어지는 게이트 절연막과, 상기 게이트 절연막 상에 배치된 반도체층을 갖는 박막 트랜지스터를 제조하는 박막 트랜지스터 제조 방법으로서, 상기 유리 기판 표면에, 구리를 주성분으로 하고, 상기 게이트 전극을 구성하는 제 1 구리 박막을 형성하고, 상기 제 1 구리 박막의 표면이 노출되는 상기 유리 기판을 진공조 내에 배치된 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고, 상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 1 구리 박막의 표면을 상기 암모니아 가스에 노출시켜 표면 처리를 실시한 후, 상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 1 구리 박막의 표면에 상기 질화 규소 박막을 성장시키는 박막 트랜지스터 제조 방법이다.

- [0028] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 제 1 구리 박막 중 적어도 상기 유리 기판과 밀착되는 부분에 산소를 함유시키는 박막 트랜지스터 제조 방법이다.
- [0029] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 제 1 구리 박막의 표면을 상기 암모니아 가스에 10 초 이상 노출시켜 상기 표면 처리를 실시하는 박막 트랜지스터 제조 방법이다.
- [0030] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 진공조 내부의, 모노실란 가스의 분압을, 상기 암모니아 가스의 분압의 1/15 이하로 하여 상기 표면 처리를 실시하는 박막 트랜지스터 제조 방법이다.
- [0031] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 진공조 내부의 상기 암모니아 가스의 분압이 60 Pa 이상이 되도록 상기 처리 가스를 도입하여 상기 표면 처리를 실시하는 박막 트랜지스터 제조 방법이다.
- [0032] 본 발명은, 게이트 전극과, 상기 게이트 전극의 표면에 배치된 게이트 절연막과, 상기 게이트 절연막 상에 배치된 반도체층과, 상기 반도체층에 접촉하는 소스 전극과, 상기 반도체층에 접촉하는 드레인 전극과, 상기 드레인 전극과 상기 소스 전극에 접촉하고, 질화 규소막으로 이루어지는 절연막을 갖는 박막 트랜지스터를 제조하는 박막 트랜지스터 제조 방법으로서, 상기 반도체층의 표면에, 상기 소스 전극과 상기 드레인 전극을 구성하는 제 2 구리 박막을 형성하고, 상기 제 2 구리 박막의 표면이 노출되는 처리 대상물을, 진공조 내에 배치한 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고, 상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 2 구리 박막의 표면을 상기 암모니아 가스에 각각 노출시켜 표면 처리를 실시한 후, 상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 2 구리 박막의 표면에 상기 질화 규소 박막을 성장시키는 박막 트랜지스터 제조 방법이다.
- [0033] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 제 2 구리 박막 중 적어도 상기 반도체층에 밀착되는 부분에 산소를 함유시키는 박막 트랜지스터 제조 방법이다.
- [0034] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 제 2 구리 박막의 표면을 상기 암모니아 가스에 10 초 이상 노출시켜 상기 표면 처리를 실시하는 박막 트랜지스터 제조 방법이다.
- [0035] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 진공조 내부의, 모노실란 가스의 분압을, 상기 암모니아 가스의 분압의 1/15 이하로 하여 상기 표면 처리를 실시하는 박막 트랜지스터 제조 방법이다.
- [0036] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 진공조 내부의 상기 암모니아 가스의 분압이 60 Pa 이상이 되도록 상기 처리 가스를 도입하여 상기 표면 처리를 실시하는 박막 트랜지스터 제조 방법이다.
- [0037] 본 발명은 박막 트랜지스터 제조 방법으로서, 상기 반도체층은 제 1, 제 2 오믹콘택층을 갖고, 상기 소스 전극은 상기 제 1 오믹콘택층에 접촉하고, 상기 드레인 전극은 상기 제 2 오믹콘택층에 접촉하는 박막 트랜지스터 제조 방법이다.
- [0038] 본 발명은 유리 기판과, 상기 유리 기판 상에 배치된 박막 트랜지스터와, 상기 박막 트랜지스터의 반도체층에 접속된 투명 전극과, 상기 투명 전극 상에 배치된 대향 전극과, 상기 투명 전극과 상기 대향 전극 사이에 위치하는 액정을 갖는 액정 표시 소자를 제조하는 액정 표시 장치 제조 방법으로서, 상기 박막 트랜지스터는, 상기 유리 기판에 밀착되어 배치된 게이트 전극과, 상기 게이트 전극의 표면에 배치되고, 질화 규소 박막으로 이루어지는 게이트 절연막과, 상기 게이트 절연막 상에 배치된 상기 반도체층을 갖고, 상기 유리 기판 표면에, 구리를 주성분으로 하고, 상기 게이트 전극을 구성하는 제 1 구리 박막을 형성하고, 상기 제 1 구리 박막의 표면이 노출되는 상기 유리 기판을 진공조 내에 배치된 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고, 상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 1 구리 박막의 표면을 상기 암모니아 가스에 노출시켜 표면 처리를 실시한 후, 상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 1 구리 박막의 표면에 상기 질화 규소 박막을 성장시켜, 상기 박막 트랜지스터를 제조하는 액정 표시 장치 제조 방법이다.
- [0039] 본 발명은 유리 기판과, 상기 유리 기판 상에 배치된 박막 트랜지스터와, 상기 박막 트랜지스터의 반도체층에 접속된 투명 전극과, 상기 투명 전극 상에 배치된 대향 전극과, 상기 투명 전극과 상기 대향 전극 사이에 위치하는 액정을 갖는 액정 표시 소자를 제조하는 액정 표시 장치 제조 방법으로서, 상기 박막 트랜지스터는 게이트 전극과, 상기 게이트 전극의 표면에 배치된 게이트 절연막과, 상기 게이트 절연막 상에 배치된 반도체층과, 상기 반도체층에 접촉하는 소스 전극과, 상기 반도체층에 접촉하는 드레인 전극과, 상기 드레인 전극과 상기 소스

전극에 접촉하고, 질화 규소막으로 이루어지는 절연막을 갖고, 상기 반도체층의 표면에, 상기 소스 전극과 상기 드레인 전극을 구성하는 제 2 구리 박막을 형성하고, 상기 제 2 구리 박막의 표면이 노출되는 처리 대상물을, 진공조 내에 배치한 상태에서, 상기 진공조 내에 암모니아 가스를 함유하는 처리 가스를 도입하고, 상기 진공조 내부에서 플라즈마를 발생시키지 않고, 상기 제 2 구리 박막의 표면을 상기 암모니아 가스에 각각 노출시켜 표면 처리를 실시한 후, 상기 진공조 내에, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를 도입하고, 상기 원료 가스의 플라즈마를 형성하고, 상기 제 2 구리 박막의 표면에 상기 질화 규소 박막을 성장시켜 상기 박막 트랜지스터를 제조하는 액정 표시 장치 제조 방법이다.

[0040] 본 발명은, 기판의 유리, 실리콘, 혹은 실리콘 화합물의 표면 상에, 구리 혹은 구리 합금의 구리 전극을 형성하는 전극 형성 방법으로서, 상기 기판 상에 상기 구리 전극을 형성하는 구리 전극 형성 공정과, 상기 구리 전극의 표면을 암모니아 가스를 함유하는 처리 가스에 노출시켜 표면 처리를 실시하는 표면 처리 공정과, 화학 구조 중에 Si 와 H 를 함유하는 규소 화합물 가스와, 화학 구조 중에 질소를 함유하는 질소 함유 가스가 첨가된 원료 가스를, 표면 처리 후의 상기 기판이 배치된 성막 분위기에 도입하여 플라즈마를 발생시키고, 상기 구리 전극 상에 질화 규소 박막을 형성하는 절연막 형성 공정을 갖는 전극 형성 방법이다.

[0041] 본 발명은 전극 형성 방법으로서, 상기 표면 처리 공정에 있어서, 상기 기판이 배치된 처리 분위기 중의, 상기 암모니아 가스의 분압을 60 Pa 이상으로 하는 전극 형성 방법이다.

[0042] 본 발명은 전극 형성 방법으로서, 상기 표면 처리 공정에 있어서, 상기 구리 전극을 상기 암모니아 가스에 노출시키는 시간은 10 초 이상인 전극 형성 방법이다.

[0043] 본 발명은 전극 형성 방법으로서, 상기 표면 처리 공정에 있어서, 상기 처리 분위기 중에 함유되는 규소 화합물 가스의 분압을 상기 암모니아 가스의 분압의 1/15 이하로 하는 전극 형성 방법이다.

[0044] 본 발명은 전극 형성 방법으로서, 상기 구리 전극은, 적어도 상기 기판과 접촉하는 층에 있어서 산소를 함유하는 전극 형성 방법이다.

[0045] 또한, 본 발명에서 「구리를 주성분으로 한다」란, 구리 원소를 함유하는 것으로서, 특히, 구리 원소의 함유량이 50 질량% 이상인 경우를 나타낸다. 예를 들어, 순구리나, 구리 합금 등이 「구리를 주성분으로 한다」에 상당한다.

[0046] 본 발명의 박막 트랜지스터 제조 방법에서는, 플라즈마화되지 않은 암모니아 가스를 전극에 접촉시킴으로써, 전극의 표면을 개질하고, 실란 가스의 영향을 유리 기판이나 실리콘층과의 계면에 미치지 않도록 하고 있고, 그것에 의해, 구리를 주성분으로 하는 전극의 박리가 방지된다.

[0047] **발명의 효과**

[0048] 전극이 유리 기판이나 실리콘층으로부터 잘 박리되지 않는다. 전극의 시트 저항값이 상승되지 않는다. 질화 규소막이 전극으로부터 잘 박리되지 않는다.

[0049] **도면의 간단한 설명**

[0050] 도 1(a) ~ 도 1(e) 는 박막 트랜지스터를 제조하는 공정의 전반을 설명하는 단면도.

[0051] 도 2(a) ~ 도 2(d) 는 박막 트랜지스터를 제조하는 공정의 후반과, 그 후 공정을 설명하는 단면도.

[0052] 도 3 은 스퍼터링 장치의 단면도.

[0053] 도 4 는 플라즈마 CVD 장치의 단면도.

[0054] 도 5 는 제 1 구리 박막의 구조를 설명하기 위한 단면도.

[0055] 도 6 은 액정 표시 장치를 설명하는 단면도.

[0056] 도 7 은 오제 분석의 그래프.

[0057] **부호의 설명**

[0058] 4……액정 표시 장치

[0059] 11……유리 기판

- [0060] 13……제 1 구리 박막
- [0061] 15……게이트 전극
- [0062] 14……게이트 절연막
- [0063] 16……채널 반도체층
- [0064] 20……박막 트랜지스터
- [0065] 21……소스 전극
- [0066] 22……드레인 전극
- [0067] 23……제 2 구리 박막
- [0068] 25……제 1 오믹콘택트층
- [0069] 26……제 2 오믹콘택트층
- [0070] 29……반도체층
- [0071] **발명을 실시하기 위한 최선의 형태**
- [0072] 본 발명의 방법을 도면을 사용하여 설명한다.
- [0073] 도 3 의 부호 1 은 스퍼터링 장치로서, 스퍼터실 (2) 의 내부에 구리를 주성분으로 하는 타깃 (5) 이 배치되어 있다.
- [0074] 스퍼터실 (2) 에는 진공 배기계 (9) 와 가스 도입계 (8) 가 접속되어 있어, 진공 배기계 (9) 에 의해 스퍼터실 (2) 내부를 진공 배기하여, 진공 분위기를 형성해 놓고, 성막 대상인 유리 기판을 스퍼터실 (2) 내부에 반입한다. 동도 부호 11 은 스퍼터실 (2) 의 내부에 반입된 유리 기판을 나타내고 있다.
- [0075] 스퍼터실 (2) 은 접지 전위에 접속되어 있다. 가스 도입계 (8) 로부터 스퍼터링 가스 (여기서는 아르곤 등의 희가스) 와 산소 가스를 도입하고, 스퍼터 전원 (6) 으로부터 구리를 주성분으로 하는 타깃 (5) 에 전압을 인가하고, 스퍼터링 가스 와 산소 가스의 플라즈마를 생성하고, 구리를 주성분으로 하는 타깃 (5) 을 스퍼터링하여, 유리 기판 (11) 의 표면에 구리를 주성분으로 하고, 산소를 함유하는 박막으로 이루어지는 제 1 층을 형성한다.
- [0076] 이어서, 산소 가스의 도입을 정지하고, 진공 배기와, 스퍼터링 가스의 공급을 계속하면서, 스퍼터링 가스의 플라즈마에 의해 구리를 주성분으로 하는 타깃 (5) 을 스퍼터링하여, 구리를 주성분으로 하고, 산소를 함유하지 않는 제 2 층을 형성하면, 2 층 구조의 구리 박막이 얻어진다.
- [0077] 제 1 층과 제 2 층은, 동일한 타깃 (5) 을 스퍼터하여 형성해도 되고, 상이한 타깃을 스퍼터하여 형성해도 된다. 타깃 (5) 은 순구리의 타깃 외에, 구리를 주성분으로 하고, Mg 나 Ni 나 Zr 나 Ti 등의 첨가 금속이 1 종류 이상 첨가된 타깃을 사용할 수 있고, 제 1 층과 제 2 층의 어느 일방 또는 양방에, 1 종류 이상의 첨가 금속을 첨가할 수 있다.
- [0078] 도 1(a) 는, 유리 기판 (11) 표면에, 구리를 주성분으로 하는 2 층 구조의 구리 박막 (제 1 구리 박막 (13)) 이 형성된 상태를 나타내고 있다.
- [0079] 도 5 는 도 1(a) 의 확대 단면도이다. 산소를 함유하는 제 1 층 (32) 은 유리 기판 (11) 에 밀착되어 있고, 제 1 층 (32) 은 산소를 함유하지 않는 제 2 층 (33) 에 비해 유리 기판 (11) 에 대한 부착력이 강하기 때문에, 제 1 구리 박막 (13) 은 제 1 층 (32) 에 의해 유리 기판 (11) 에 강고하게 고정된다.
- [0080] 제 1 구리 박막 (13) 은 제 1 층 (32) 뿐만 아니라, 산소를 함유하지 않는 제 2 층 (33) 을 가지고 있고, 제 2 층 (33) 은 제 1 층 (32) 의 표면에 밀착 배치되어 있다. 제 2 층 (33) 은 제 1 층 (32) 에 비해 전기 저항이 낮기 때문에, 제 1 층 (32) 만으로 구리 박막을 구성한 경우에 비해, 2 층 구조의 제 1 구리 박막 (13) 은 전기 저항이 낮다.
- [0081] 다음으로, 제 1 구리 박막 (13) 을 사진 공정, 에칭 공정에 의해 패터닝하면, 도 1(b) 에 나타내는 바와 같이, 패터닝된 제 1 구리 박막 (13) 에 의해, 유리 기판 (11) 표면에 게이트 전극 (15) 과 축적 용량 전극 (12) 이 형성된다.

- [0082] 동도 부호 10 은, 유리 기판 (11) 상에 게이트 전극 (15) 과 축적 용량 전극 (12) 이 노출되는 처리 대상물을 나타내고 있다.
- [0083] 도 4 의 부호 30 은 처리 대상물 (10) 의 표면 처리와 질화막의 성막에 사용되는 플라즈마 CVD 장치를 나타내고 있다.
- [0084] 이 플라즈마 CVD 장치 (30) 는 CVD 실 (31) (진공조) 을 가지고 있고, CVD 실 (31) 의 내부의 천장에는 샤워 헤드 (34) 가 배치되어 있다.
- [0085] 샤워 헤드 (34) 는 가스 도입계 (38) 에 접속되어 있다. 가스 도입계 (38) 는, 암모니아 가스가 수용된 탱크와, 규소 화합물 가스 (모노실란이나 디실란 등의 실란 가스) 가 수용된 탱크와, 질소 가스가 수용된 탱크를 가지고 있다.
- [0086] 가스 도입계 (38) 에는 유량 제어 장치가 형성되어 있어, 암모니아 가스와, 실란 가스와, 질소 가스를 원하는 유량씩, 샤워 헤드 (34) 에 각각 공급할 수 있도록 되어 있다.
- [0087] 샤워 헤드 (34) 에는 도시 생략된 분출구가 복수 형성되어 있고, 분출구로부터 CVD 실 (31) 내부에, 암모니아 가스와, 실란 가스와, 질소 가스를 원하는 비율로 함유하는 가스가 공급된다.
- [0088] CVD 실 (31) 에는 진공 배기계 (39) 가 접속되어 있어, CVD 실 (31) 내부를 진공 배기하여, 진공 분위기를 형성해 놓고, 게이트 전극 (15) 과 축적 용량 전극 (12) 의 표면이 노출된 처리 대상물 (10) 을 CVD 실 (31) 의 내부에 반입한다.
- [0089] CVD 실 (31) 의 바닥벽에는, 샤워 헤드 (34) 와 대향하는 위치에 탑재대 (35) 가 배치되어 있다.
- [0090] 탑재대 (35) 에는 히터 (39) 가 형성되어 있고, 히터 (39) 에 미리 통전해 놓고, CVD 실 (31) 내부에 반입된 처리 대상물 (10) 을 탑재대 (35) 에 배치하고, CVD 실 (31) 내부에 불활성 가스를 도입하면서, 처리 대상물 (10) 을 가열한다.
- [0091] 불활성 가스는 특별히 한정되지 않지만, 질소 가스 ( $N_2$ ) 와 같이, 후술하는 원료 가스에 첨가되는 가스를 사용하면, 성막 공정에서 여분의 가스가 혼입되지 않는다.
- [0092] 처리 대상물 (10) 이 미리 결정된 처리 온도에 도달하면, 그 온도를 유지하면서, 불활성 가스의 도입을 정지하고, 불활성 가스를 배기한다.
- [0093] 탑재대 (35) 와 샤워 헤드 (34) 중 일방은 고주파 전원 (37) 에 접속되고, 타방은 접지 전위에 접속되어 있다. 여기서는 탑재대 (35) 가 고주파 전원 (37) 에 접속되고, 샤워 헤드 (34) 가 접지 전위에 접속되어 있다.
- [0094] 처리 대상물 (10) 을 소정 온도로 유지하면서, 진공 배기를 계속하고, 고주파 전원 (37) 을 오프로 한 상태에서, 암모니아 가스만, 또는 암모니아 가스에 실란 가스와 질소 가스의 어느 일방 또는 양방이 첨가된 처리 가스를 분출시켜, 처리 대상물 (10) 을 플라즈마화하지 않은 처리 가스에 노출시킨다.
- [0095] 게이트 전극 (15) 과 축적 용량 전극 (12) (및 제 1 구리 박막 (13) 이외의 부분) 은, 처리 대상물 (10) 표면에서 노출되어 있기 때문에, 이들 전극은 처리 가스 중의 암모니아 가스에 노출되어, 표면 처리된다.
- [0096] 처리 대상물 (10) 을 처리 가스에 10 초간 이상 노출시킨 후, CVD 실 (31) 의 진공 배기를 계속하면서, 암모니아 가스의 유량에 대한 실란 가스의 유량을 증가시켜, 실란 가스 분압과 암모니아 가스의 분압의 비를 표면 처리할 때보다 증가시킨다.
- [0097] CVD 실 (31) 의 내부 압력이 소정 압력으로 안정된 후, 고주파 전원 (37) 을 온으로 하고, 샤워 헤드 (34) 와 탑재대 (35) 사이에 고주파 전압을 인가하면, 처리 대상물 (10) 의 표면 상에서 원료 가스의 플라즈마가 형성되고, 도 1(c) 에 나타내는 바와 같이, 표면 처리가 된 게이트 전극 (15) 과 축적 용량 전극 (12) (및 제 1 구리 박막 (13) 이외의 부분) 의 표면에 질화 규소 박막 ( $SiN_x$ ) 으로 이루어지는 게이트 절연막 (14) 이 성장된다.
- [0098] 게이트 절연막 (14) 이 형성될 때에는, 제 1 구리 박막 (13) 은, 표면 처리할 때보다 다량의 실란 가스에 노출된다.
- [0099] 그러나, 제 1 구리 박막 (13) 이 암모니아 가스에 의한 표면 처리가 실시되어 있으므로, 실란 가스의 영향은 제 1 구리 박막 (13) 과 유리 기판 (11) 의 계면까지 도달하지 않고, 제 1 구리 박막 (13) 으로 구성된 게이트 전극 (15) 이나 축적 용량 전극 (12) 등의 전극은 유리 기판 (11) 으로부터 박리되지 않는다.

- [0100] 소정 막두께의 게이트 절연막 (14) 이 형성된 후, 전압 인가와 원료 가스의 도입을 정지하고, 플라스마를 소멸시켜, 원료 가스를 진공 배기한다.
- [0101] CVD 실 (31) 의 내부의 진공 배기를 계속하면서 채널용 원료 가스를 도입하고, 분출구로부터 CVD 실 (31) 내에 분출시킨다.
- [0102] CVD 실 (31) 이 소정 압력으로 안정되었을 때, 샤워 헤드 (34) 와 탑재대 (35) 사이에 고주파 전압을 인가하고, 처리 대상물 (10) 상에 채널용 원료 가스의 플라스마를 형성하면, 도 1(d) 에 나타내는 바와 같이, 게이트 절연막 (14) 의 표면 상에, 예를 들어 아모르퍼스 실리콘으로 이루어지는 채널 반도체층 (16) 이 형성된다.
- [0103] 소정 막두께의 채널 반도체층 (16) 이 형성된 후, 일단 전압 인가와 채널용 원료 가스의 도입을 정지하고, 채널용 원료 가스의 플라스마를 소멸시켜, CVD 실 (31) 내부의 채널용 원료 가스를 진공 배기에 의해 제거한다.
- [0104] 이어서, 오믹층을 형성하기 위해서 필요한 불순물 gas와 실란 gas (모노실란, 디실란 등) 를 함유하는 오믹층용 원료 가스를 샤워 헤드 (34) 에 도입하고, 분출구로부터 CVD 실 (31) 내에 분출시킨다.
- [0105] CVD 실 (31) 이 소정 압력으로 안정되었을 때, 샤워 헤드 (34) 와 탑재대 (35) 사이에 고주파 전압을 인가하고, 오믹층용 원료 가스의 플라스마를 형성 하면, 도 1(e) 에 나타내는 바와 같이, 채널 반도체층 (16) 의 표면에, 실리콘을 주성분으로 하고, 불순물을 함유하는 오믹층 (17) 이 형성된다.
- [0106] 소정 막두께의 오믹층 (17) 이 형성된 후, 전압 인가와 오믹층용 원료 가스의 도입을 정지하고, 플라스마를 소멸시켜, 오믹층용 원료 가스를 진공 배기한다.
- [0107] 이어서, 오믹층 (17) 이 형성된 처리 대상물 (10) 을 플라스마 CVD 장치 (30) 로부터 반출하여, 도 3 에 나타낸 바와 같은 스퍼터실 (2) 내에 반입하고, 제 1 구리 박막 (13) 의 성막과 동일한 공정으로, 구리를 주성분으로 하는 2 층 구조의 구리 박막 (제 2 구리 박막) 을 형성한다. 도 2(a) 는 오믹층 (17) 표면에 제 2 구리 박막 (23) 이 형성된 상태를 나타내고 있다.
- [0108] 제 2 구리 박막 (23) 은, 상기 서술한 제 1 구리 박막 (13) 과 동일하게, 산소를 함유하는 제 1 층과, 산소를 함유하지 않는 제 2 층으로 구성되어 있고, 제 1 층이 오믹층 (17) 에 밀착되어 있다.
- [0109] 산소를 함유하는 제 1 층은, 유리 기관 (11) 뿐만 아니라, 실리콘에 대한 밀착성도 높다. 상기 서술한 바와 같이, 오믹층 (17) 은 실리콘을 주성분으로 하기 때문에, 제 2 구리 박막 (23) 은 오믹층 (17) 에 대한 밀착성이 높다.
- [0110] 다음으로, 제 2 구리 박막 (23) 과, 오믹층 (17) 과, 채널 반도체층 (16) 을 사진 공정과 에칭 공정에 의해 패터닝하고, 도 2(b) 에 나타내는 바와 같이, 게이트 전극 (15) 의 바로 위와 양측 위치에서는 채널 반도체층 (16) 을 남기고, 오믹층 (17) 및 제 2 구리 박막 (23) 의 채널 반도체층 (16) 상에 위치하는 부분 중 게이트 전극 (15) 의 중앙 바로 위에 위치하는 부분은 제거하고, 게이트 전극 (15) 의 양측에 위치하는 부분을 남긴다.
- [0111] 도 2(b) 의 부호 25, 26 은, 오믹층 (17) 의 게이트 전극 (15) 의 양측 위치에 남은 부분으로 구성된 제 1, 제 2 오믹콘택트층을 각각 나타내고 있다. 제 1, 제 2 오믹콘택트층 (25, 26) 과, 채널 반도체층 (16) 으로 반도체층 (29) 이 구성된다.
- [0112] 도 2(b) 의 부호 21, 22 는 제 2 구리 박막 (23) 의 게이트 전극 (15) 의 양측 위치에 남은 부분으로 구성된 소스 전극과 드레인 전극을 나타내고 있다.
- [0113] 소스 전극 (21) 은 반도체층 (29) 중 제 1 오믹콘택트층 (25) 에 접촉되어 있다. 또, 드레인 전극 (22) 은 반도체층 (29) 중 제 2 오믹콘택트층 (26) 에 접촉되어 있다.
- [0114] 이 상태에서는, 처리 대상물 (10) 의 표면에 소스 전극 (21) 과 드레인 전극 (22) (및 제 2 구리 박막 (23) 이외의 부분) 이 노출되어 있고, 게이트 전극 (15) 이나 축적 용량 전극 (12) 의 표면 처리와 동일한 공정으로, 소스 전극 (21) 과 드레인 전극 (22) (및 제 2 구리 박막 (23) 이외의 부분) 을 암모니아 gas에 노출시켜 표면 처리를 실시한 후, 상기 게이트 절연막 (14) 의 성막과 동일한 공정에서, 소스 전극 (21) 과 드레인 전극 (22) 의 표면에 질화 규소막으로 이루어지는 층간 절연막 (24) 를 형성한다 (도 2(c)).
- [0115] 도 2(c) 의 부호 20 은 층간 절연막 (24) 이 형성된 상태의 박막 트랜지스터 (TFT) 를 나타내고 있다.
- [0116] 소스 전극 (21) 과 드레인 전극 (22) 이 층간 절연막 (24) 이 형성될 때에 실란 gas에 노출되는데, 미리 암모니아 gas에 의한 표면 처리가 실시되므로, 실란 gas의 영향은 소스 전극 (21) 과 오믹층 (17) 의 계면, 및 드

레인 전극 (22) 과 오믹층 (17) 의 계면까지 도달하지 않고, 소스 전극 (21) 과 드레인 전극 (22) 은 오믹층 (17) 으로부터 박리되지 않는다.

- [0117] 이 박막 트랜지스터 (20) 에서는, 제 1, 제 2 오믹콘택트층 (25, 26) 사이와, 소스 전극 (21) 과 드레인 전극 (22) 사이는, 게이트 전극 (15) 중앙의 바로 위에 위치하는 개구 (18) 에 의해 서로 분리되어 있고, 그 개구 (18) 에 층간 절연막 (24) 이 충전되어 있다.
- [0118] 채널 반도체층 (16) 은, 제 1, 제 2 오믹콘택트층 (25, 26) 과 동일한 도전형인데, 불순물 농도가 낮게 되어 있어, 게이트 전극 (15) 에 전압을 인가하면, 채널 반도체층 (16) 의 게이트 절연막 (14) 을 개재하여 게이트 전극 (15) 과 접촉하는 부분에 저저항인 축적층이 형성되고, 그 축적층을 개재하여 제 1, 제 2 오믹콘택트층 (25, 26) 이 전기적으로 접속된다.
- [0119] 또한, 채널 반도체층 (16) 은, 제 1, 제 2 오믹콘택트층 (25, 26) 과 반대되는 도전형이어도 되고, 이 경우, 게이트 전극 (15) 에 전압을 인가하면, 채널 반도체층 (16) 의 게이트 절연막 (14) 을 개재하여 게이트 전극 (15) 과 접촉하는 부분에, 제 1, 제 2 오믹콘택트층 (25, 26) 과 동일한 도전형의 반전층이 형성되고, 그 반전층에 의해 제 1, 제 2 오믹콘택트층 (25, 26) 이 전기적으로 접속된다.
- [0120] 도 2(d) 는, 층간 절연막 (24) 의 드레인 전극 (22) 또는 소스 전극 (21) (여기서는 드레인 전극 (22)) 상의 부분과, 축적 용량 전극 (12) 상의 부분에 창을 연 후, 패터닝된 투명 도전막을 층간 절연막 (24) 상에 배치한 상태를 나타내고 있다.
- [0121] 동도 부호 27 은 투명 도전막의 박막 트랜지스터 (20) 의 측방에 위치하는 부분으로 이루어지는 화소 전극을 나타내고, 동도 부호 28 은 투명 도전막의 박막 트랜지스터 (20) 상에 위치하고, 드레인 전극 (22) 과 접촉하는 부분으로 이루어지는 접속부를 나타내고 있다.
- [0122] 화소 전극 (27) 은 접속부 (28) 를 개재하여 드레인 전극 (22) 에 전기적으로 접속되어 있고, 제 1, 제 2 오믹콘택트층 (25, 26) 이 전기적으로 접속되면, 화소 전극 (27) 에 전류가 흐른다.
- [0123] 도 6 의 부호 4 는, 처리 대상물 (10) 의 화소 전극 (27) 상에 액정 (41) 을 배치하고, 유리 기판 (42) 의 표면 상에 대향 전극 (45) 이 형성된 패널 (40) 을, 액정 (41) 을 사이에 끼워 화소 전극 (27) 과 대향시킨 액정 표시 장치를 나타내고 있다.
- [0124] 이 액정 표시 장치 (4) 에서는, 화소 전극 (27) 과 대향 전극 (45) 사이에 인가되는 전압을 제어하여, 액정 (41) 의 광 투과율을 바꿀 수 있다.
- [0125] 이상은, 패터닝 후의 제 1, 제 2 구리 박막 (13, 23) (게이트 전극 (15) 이나, 소스, 드레인 전극 (21, 22)) 에 표면 처리와 질화 규소막을 성막하는 경우에 대해 설명했는데, 패터닝 전의 제 1, 제 2 구리 박막 (13, 23) 에, 패터닝 후의 제 1, 제 2 구리 박막 (13, 23) 의 경우와 동일한 조건으로, 표면 처리와 질화 규소막을 성막한 후, 제 1, 제 2 구리 박막 (13, 23) 을 질화 규소막과 함께 패터닝하고, 제 1 구리 박막 (13) 으로부터 게이트 전극 (15) 과 축적 용량 전극 (12) 을, 제 2 구리 박막 (23) 으로부터 소스 전극 (21) 과 드레인 전극 (22) 을 형성해도 된다.
- [0126] 표면 처리에 사용하는 처리 가스는, 암모니아 가스 단독으로 구성해도 되고 질화 규소막용 원료 가스에 비해, 실란 가스와 암모니아 가스의 비율 ( $\text{Si}_x\text{H}_{2x+2}/\text{NH}_3$ ) 이 작은 것이면, 처리 가스에 실란 가스와 질소 가스 ( $\text{N}_2$ ) 의 어느 일방 또는 양방을 첨가해도 된다.
- [0127] 실란 가스에는, 일반적으로, 모노실란 가스 ( $\text{SiH}_4$ ) 와, 디실란 가스 ( $\text{Si}_2\text{H}_6$ ) 의 어느 일방 또는 양방을 사용할 수 있다. 처리 가스와 표면 처리 가스에는 캐리어 가스를 첨가하여, 실란 가스와 암모니아 가스의 분압을 조정할 수 있다.
- [0128] 표면 처리 공정과 질화 규소막의 성막 공정, 및 다른 성막 공정 (반도체층 등) 은, 상이한 진공조 내부에서 실시해도 되는데, 동일한 진공조 (CVD 실 (31)) 내부에서 실시하면, 제조 공정이 간략화되는 데다, 불순물의 혼입도 적다.
- [0129] 제 1, 제 2 구리 박막 (13, 23) 은, 2 층 구조에 한정되지 않고, 구리를 주성분으로 하고, 산소를 함유하는 제 1 층, 또는 구리를 주성분으로 하고, 산소를 함유하지 않는 제 2 층 중 어느 일방의 층으로 구성된 단층 구조이어도 되는데, 유리 기판이나 실리콘층에 대한 밀착성이나, 전기 저항 등을 고려하면, 제 1 층 위에, 제 2 층을 적층한 적층 구조로 하는 것이 바람직하다.

[0130] 또, 제 2 층에 산소를 함유시킬 수도 있는데, 전극의 전기 저항을 고려하면, 그 산소 함유량은 유리 기판이나 실리콘층에 밀착되는 제 1 층보다 적게 하는 것이 바람직하다.

[0131] 실시예

[0132] <처리 가스의 종류>

[0133] 구리를 주성분으로 하고, Mg 가 첨가된 타깃 (5) 을 사용하여 산소를 함유하는 제 1 층 (막 두께 50 nm) 과, 산소를 함유하지 않는 제 2 층 (막 두께 300 nm) 을 기재한 순서로 적층하고, 도 5 에 나타낸 바와 같은 2 층 구조의 구리 박막 (13) 을 형성하여 시험 기판으로 하였다.

[0134] 처리 가스를 유량 1050 sccm 로 CVD 실 (31) 에 공급하고, 시험 기판을 30 초간 처리 가스에 노출시켰다. 실시된 처리 가스의 종류 및 방법은 하기의 표 1 과 같다.

[0135] 다음으로, 원료 가스로서 질소 가스 (유량 5200 sccm) 와, 암모니아 가스 (1050 sccm), SiH<sub>4</sub> 가스 (유량 350 sccm) 를 CVD 실 (31) 에 공급하여, 15 초간에 걸쳐 200 Pa 의 성막 분위기를 성막하고, 그 성막 분위기에서, 탑재대 (35) 에 2.8 kW 의 전력을 인가하고, 30 초간 원료 가스의 플라즈마를 발생시켜 막두께 300 nm 의 질화 규소막을 제조하였다.

[0136] 또한, 표면 처리와 질화막의 성막은, CVD 실 (31) 의 내부 압력 (전체 압력) 이 200 Pa, 시험 기판의 온도가 300 ℃ 인 조건으로 실시하였다.

[0137] 이것과는 별도로, 표면 처리를 실시하지 않고 질화 규소막을 제조하였다. 각 표면 처리 후, 질화 규소막이 형성된 시험기판과, 표면 처리를 실시하지 않고 질화 규소막이 형성된 시험 기판에 대해, 하기에 나타내는 「박리 시험」 을 실시하였다.

[0138] [박리 시험]

[0139] 질화 규소막과 구리 박막의 적층막에 나이프로 바둑판 눈금 형상의 절취선을 그려 적층막의 소편 (小片) 을 행렬 형상으로 형성하고, 그 표면에 접착 테이프를 접착하여, 박리하고, 접착 테이프에 달라 붙어 유리 기판으로부터 박리되었는지의 여부와 박리 장소를 조사하였다.

[0140] 25 개소의 소편이 모두 박리되지 않은 경우를 「○」, 질화 규소막만이 박리 되고, 구리 박막이 유리 기판 (11) 표면에 남은 것을 「△」, 질화 규소막과 함께 구리 박막도 박리된 것을 「×」로 하여 평가하였다.

[0141] 박리 시험 결과를, 처리 가스의 종류와 함께 하기 표 1 에 나타낸다.

**표 1**

표 1 : 처리 가스의 종류와 박리 시험

미처리	NH <sub>3</sub> 플라즈마 처리	H <sub>2</sub> 플라즈마 처리	NH <sub>3</sub> 가스 처리	N <sub>2</sub> 가스 처리
×	×	×	○	×

[0142]

[0143] 상기 표 1 의 「NH<sub>3</sub> 플라즈마」 와 「H<sub>2</sub> 플라즈마」 는, 탑재대 (35) 에 전압을 인가하고, 플라즈마화된 NH<sub>3</sub> 와 H<sub>2</sub> 에 시험 기판을 노출시킨 경우이다.

[0144] 상기 표 1 에서 명확한 바와 같이, 플라즈마화되지 않은 암모니아 가스를 처리 가스로서 사용하면, 구리 박막과 유리 기판, 및, 구리 박막과 질화 규소막 사이의 밀착성이 높아, 박리가 발생하지 않는다는 것을 알 수 있다.

[0145] 또한, 참고로서 2 층 구조의 구리 박막 (13) 이 형성된 상태의 시험 기판을, 어느 가스에도 노출시키지 않고 박리 시험을 실시한 결과, 박리 시험 결과는 「○」 이었다.

[0146] <SiH<sub>4</sub> 가스와 NH<sub>3</sub> 가스의 비>

[0147] 표면 처리 전의 시험 기판의 구리 박막의 시트 저항을 측정된 후, 상기 NH<sub>3</sub> 가스와 함께, SiH<sub>4</sub> 가스를 공급하여 표면 처리를 실시하였다. 표면 처리 후의 구리 박막에 대해, 시트 저항의 측정과, 상기 「박리 시험」 을 실시하였다.

- [0148] 또한, 표면 처리시의 NH<sub>3</sub> 가스의 유량, 처리 가스에 시험 기판을 노출시키는 시간, 시험 기판의 온도는 상기 「처리 가스의 종류」 일 때와 동일하게 하였다.
- [0149] 표면 처리 전의 시트 저항을 「처리전」, SiH<sub>4</sub> 와 NH<sub>3</sub> 에 노출된 후의 시트 저항을 「처리후」로 하고, 「박리 시험」결과와 함께 하기 표 2 에 기재한다.

**표 2**

표2 : SiH<sub>4</sub>/NH<sub>3</sub> 와 박리시험 및 시트 저항의 측정 결과

가스유량			박리시험	시트저항 (Ω/□)	
NH <sub>3</sub> (sccm)	SiH <sub>4</sub> (sccm)	유량비 SiH <sub>4</sub> /NH <sub>3</sub>		처리전	처리후
1050	210	1/5	×	0.0844	0.1646
1050	70	1/15	○	0.0910	0.0895
1050	35	1/30	○	0.0894	0.0811

- [0150]
- [0151] 상기 표 2 로부터 명확한 바와 같이, SiH<sub>4</sub> 가스의 유량과 NH<sub>3</sub> 가스의 유량의 비 (유량비) 가 1/5 일 때에는 박리가 발생하고, 게다가, 처리 후에는 시트 저항이 2 배 가까이 상승되었다.
- [0152] 이에 대해, SiH<sub>4</sub> 가스의 유량과 NH<sub>3</sub> 가스의 유량의 비가 1/15 이하일 때에는 박리가 발생하지 않고, 게다가, 처리 전과 처리 후에 시트 저항의 변화가 거의 없었다.
- [0153] CVD 실 (31) 내부의 가스의 분압은, CVD 실 (31) 에 공급되는 가스의 유량에 비례하기 때문에, CVD 실 (31) 내부에 SiH<sub>4</sub> 가스의 분압이 NH<sub>3</sub> 가스의 분압의 1/15이하인 분위기를 형성하여 표면 처리를 실시하면, 전극의 박리와 시트 저항의 상승이 방지된다.
- [0154] <표면 처리 시간>
- [0155] 표면 처리를 실시하기 전에, CVD 실 (31) 내부에, 질소 가스를 도입하여 150 Pa 의 질소 가스 분위기를 형성하고, 그 질소 가스 분위기에 시험 기판을 놓고, 시험 기판을 320 ℃ 로 가열하였다 (전 처리).
- [0156] 전 처리 후에, 시험 기판을 300 ℃ 로 하고, NH<sub>3</sub> 가스로 이루어지는 처리 가스의 도입 시간을 0 초간 (미처리), 5 초간, 10 초간, 20 초간, 30 초간으로 바꾸고 도입된 것 이외에는 상기 「처리 가스의 종류」의 경우와 동일한 조건으로 표면 처리를 실시하였다. 또한, 도입 시간이란, 처리 가스의 도입 개시 이후의 경과 시간인 것이다.
- [0157] 또한, CVD 실 (31) 내부의 압력 (전체 압력) 은, 도입 시간 5 초간에서는 최종 압력이 10 Pa 이고, 10 초간에서는 최종 압력이 60 Pa 이며, 20 초간에서는 최종 압력이 160 Pa 였다. 도입 시간이 30 초간인 경우에는 도입 개시부터 23 초 후에 200 Pa 에 이르고, 23 초 ~ 30 초간은 200 Pa 로 유지되었다.
- [0158] 표면 처리 후와, 표면 처리 전 (미처리) 의 시험 기판에, 상기 「처리 가스의 종류」 일 때와 동일한 성막 조건으로 질화 규소막을 제조하고, 5 종류의 시험편을 얻었다. 또한, 질화 규소막의 성막 공정에서는 NH<sub>3</sub> 가스 분압은 32 Pa 였다.
- [0159] 각 시험편에 대해 상기 「박리 시험」을 실시하였다. 그 결과를 하기 표 3 에 나타낸다.

**표 3**

표 3 : NH<sub>3</sub> 가스 처리 시간과 박리 시험의 결과

미처리	NH <sub>3</sub> 가스 도입 시간			
	5 초	10 초	20 초	30 초
×	△	○	○	○

- [0160]
- [0161] 「미처리」에서는 구리 박막 (13) 과 유리 기판 (11) 사이에서 박리가 발생하였다. 도입 시간 5 초에서는 구리 박막 (13) 과 유리 기판 (11) 사이에서 박리는 발생하지 않지만, 질화 규소막과 구리 박막 (13) 사이에서 박리가 발생하였다. 도입 시간이 10 초 이상이면, 구리 박막 (13) 과 유리 기판 (11) 사이와, 질화 규소막

과 구리 박막 (13) 사이 모두에서 박리가 발생하지 않았다.

[0162] 따라서, 본 발명에 의하면, 구리 박막 (13) 과 유리 기판 (11) 의 밀착성이 높아질 뿐만 아니라, 질화 규소막과 구리 박막의 밀착성도 높아진다는 것을 알 수 있다.

[0163] 도입 시간이 10 초 이상에서는, CVD 실 (31) 의 내부 압력이 60 Pa 이상이 된다. CVD 실 (31) 에는 NH<sub>3</sub> 가스만을 도입했기 때문에, CVD 실 (31) 내부의 전체 압력이 NH<sub>3</sub> 가스의 분압과 동등하다. 따라서, 박리 방지를 위해서는, CVD 실 (31) 내의 NH<sub>3</sub> 가스 분압이 60 Pa 이상 필요하다는 것을 알 수 있다.

[0164] 또한, 대형 기판을 처리하는 경우, 도입 시간이 짧으면 처리 가스가 대형 기판의 전체 표면에 널리 퍼지지 않고, 기판의 중심부에서 박리되는 경우가 있어, 도입 시간은 기판의 사이즈가 클수록 길게 할 필요가 있다. 도입 시간이 30 초 이상이면, 상정되는 범위의 크기인 대형 기판 (장변 2400 mm) 에서 박리가 발생하지 않았기 때문에, 도입 시간이 30 초 이상이면 기판의 크기에 관계없이 표면 처리가 균일하게 실시된다.

[0165] <처리 가스 중의 N<sub>2</sub>, SiH<sub>4</sub>, NH<sub>3</sub> 의 비율>

[0166] 시료 기판의 구리 박막의 시트 저항을 측정된 후, 처리 가스 중의 N<sub>2</sub>, SiH<sub>4</sub>, NH<sub>3</sub> 의 각 가스의 유량 비율을 하기 표 4 에 나타내는 바와 같이 바꾸고, 시료 기판을 300 °C 로 가열한 상태에서 3 분간 처리 가스에 노출시켜 표면 처리를 실시하였다.

**표 4**

표 4 : SiH<sub>4</sub> 와 N<sub>2</sub> 와 NH<sub>3</sub> 의 비율

가스유량 (sccm)			유량비 SiH <sub>4</sub> /NH <sub>3</sub>	표면상태	박리시험	시트저항 (Ω / □)	
N <sub>2</sub>	SiH <sub>4</sub>	NH <sub>3</sub>				표면처리전	표면처리후
500 (61%)	20 (2.4%)	300 (36.6%)	1/15	○	○	0.0891	0.0838
500 (60%)	40 (4.8%)	300 (35.7%)	2/15	×	×	0.0882	0.1297
500 (63%)	0 (0%)	300 (37.5%)	-	○	○	0.0887	0.0835
500 (96%)	20 (4.0%)	0 (0%)	-	×	×	0.0865	0.4320
800 (97.6%)	20 (2.4%)	0 (0%)	-	×	×	0.0899	0.7285
0 (0%)	20 (3.2%)	600 (96.8%)	1/30	○	○	0.0894	0.0811
0 (0%)	20 (6.3%)	300 (93.7%)	1/15	○	○	0.0910	0.0895
0 (0%)	20 (16.7%)	100 (83.3%)	1/5	×	×	0.0844	0.1646

\* 상기 표 중 괄호 내에 % 로 나타낸 값은 처리 가스 전체의 유량에 대한 각 가스의 유량의 비율이다.

[0167] 표면 처리 후의 시료 기판의 구리 박막의 표면을 관찰하고, 구리 박막 표면이 변색된 것을 「×」, 변색되지 않은 것을 「○」로 하여 평가하여, 상기 표 4 에 기재하였다. 또한, 표면 처리 후의 시료 기판에 대해, 상기 「박리 시험」과, 시트 저항을 측정하였다. 「박리 시험」결과와 시트 저항의 값 (표면 처리 전과 표면 처리 후) 을 상기 표 4 에 기재하였다.

[0169] 상기 표 4 에서 알 수 있는 바와 같이, 처리 가스에 NH<sub>3</sub> 가스가 첨가되어 있지 않은 경우에는 표면 상태와 박리 시험 결과가 나빠, 시트 저항의 상승량도 컸다.

[0170] 처리 가스에 NH<sub>3</sub> 가스가 첨가되어 있으면, 첨가되어 있지 않은 경우에 비해 시트 저항의 상승량은 작다. 특히, 처리 가스에 실란 가스가 첨가되어 있지 않은 경우 (실란 가스 유량이 제로) 와, SiH<sub>4</sub> 가스의 유량과 NH<sub>3</sub> 가스의 유량의 비가 1/15 이하인 경우에는 시트 저항의 상승량이 작을 뿐만 아니라, 표면 상태와 박리 시험 결과도 양호하였다.

[0171] 상기 표 2 와 상기 표 4 를 보면, SiH<sub>4</sub> 가스의 유량과 NH<sub>3</sub> 가스의 유량이 상이해도, SiH<sub>4</sub> 가스의 유량과 NH<sub>3</sub> 가

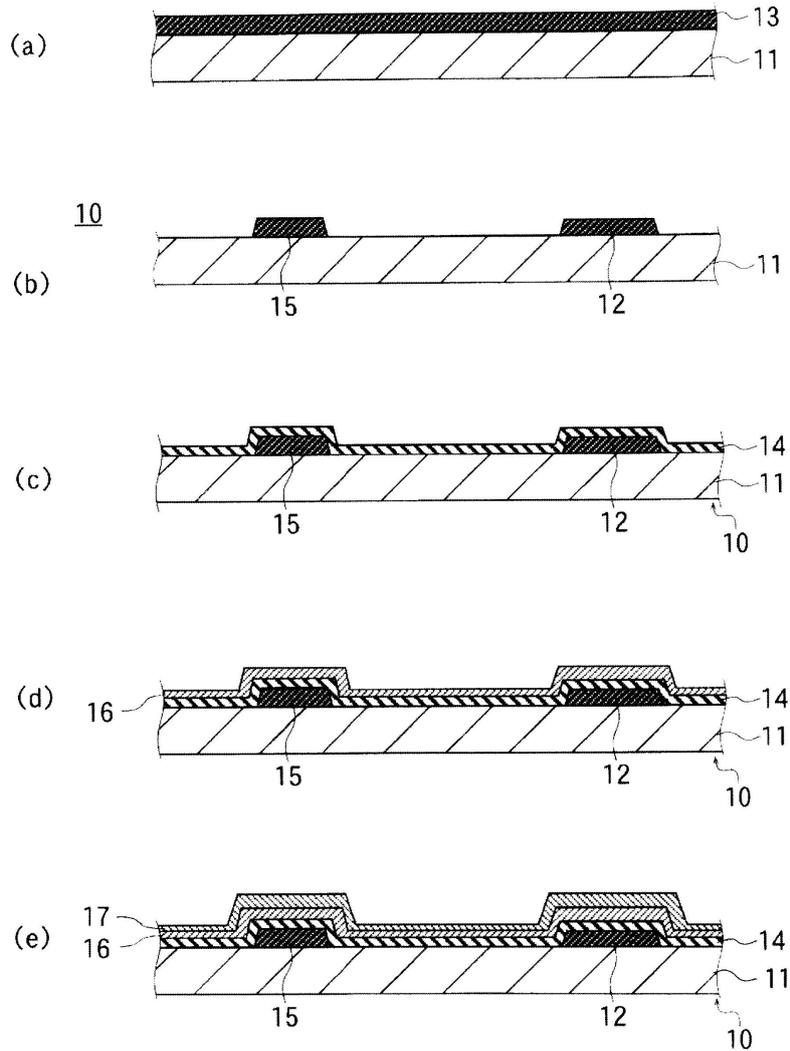
스의 유량의 비가 1/15 이하가 되는 경우에는 박리가 발생하지 않아, 시트 저항의 상승도 작다.

[0172]

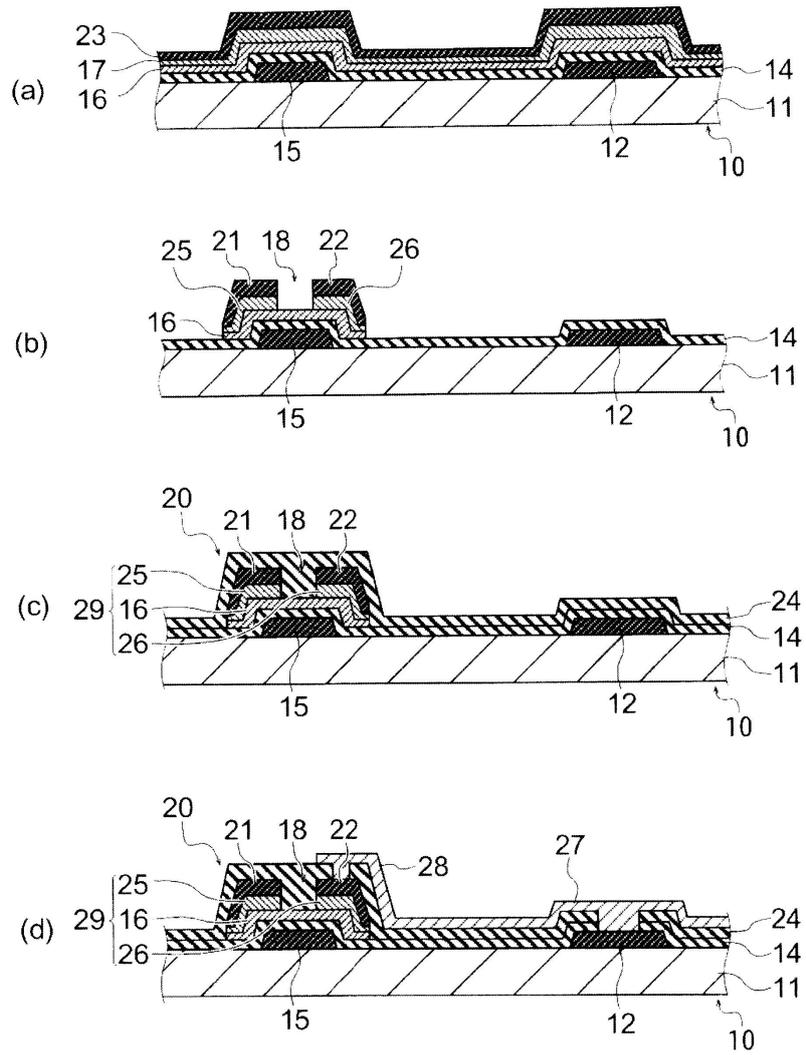
따라서, 유량의 대소에 관계없이 처리 가스에 실란 가스가 첨가되어 있지 않은 경우, 또는, SiH<sub>4</sub> 가스의 유량과 NH<sub>3</sub> 가스의 유량의 비가 1/15 이하, 즉, SiH<sub>4</sub> 가스의 분압과 NH<sub>3</sub> 가스의 분압의 비가 1/15 이하이면, 전극의 박리가 방지되어 전극의 저항값도 상승되지 않는다는 것을 알 수 있다.

도면

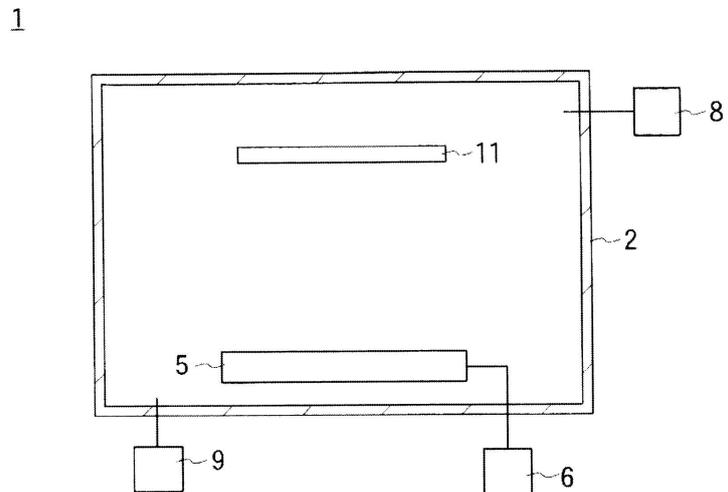
도면1



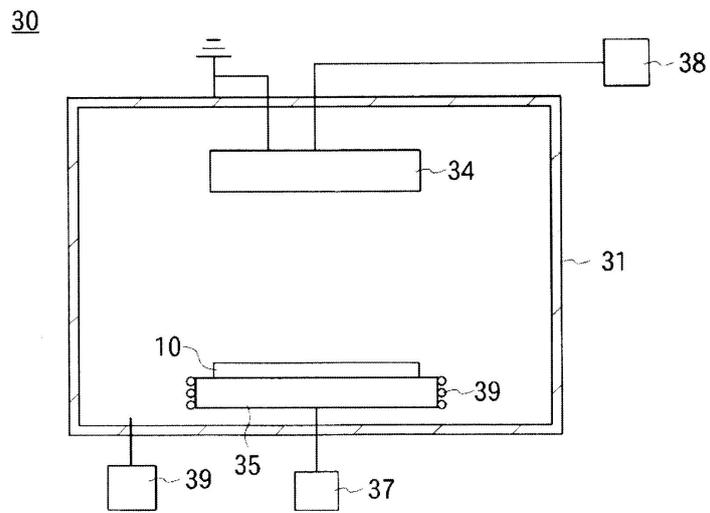
도면2



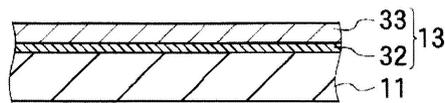
도면3



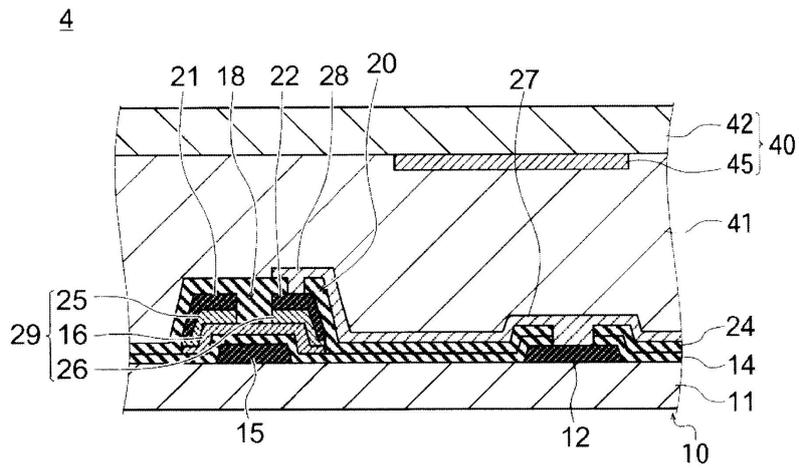
도면4



도면5



도면6



도면7

