



(21) 申請案號：102105765

(22) 申請日：中華民國 102 (2013) 年 02 月 19 日

(51) Int. Cl. : **H03K19/177 (2006.01)**

(30) 優先權：2012/03/05 法國 1 252 002

(71) 申請人：S O I T E C 公司 (法國) SOITEC (FR)

法國

(72) 發明人：費蘭特 理察 FERRANT, RICHARD (FR)

(74) 代理人：陳展俊；林聖富

申請實體審查：無 申請專利範圍項數：9 項 圖式數：10 共 46 頁

(54) 名稱

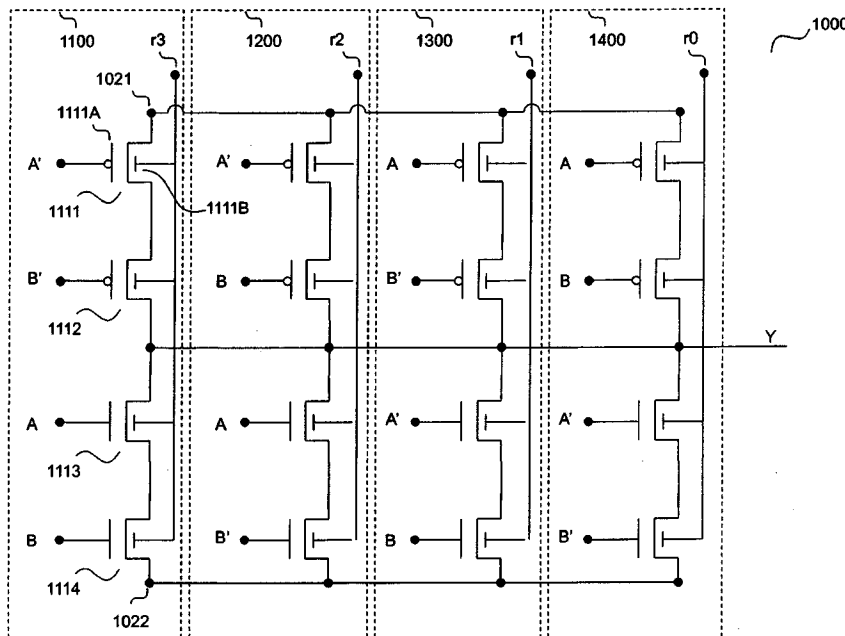
查找表

LOOK-UP TABLE

(57) 摘要

本發明涉及一種查找表(1000)，其包括：多個暫存器信號(r0 至 r3)；多個輸入信號(A、A'、B、B')；至少一個輸出信號(Y)；多個通閘(1111 至 1114)，其中該多個通閘中至少一第一通閘(1111)由多個輸入信號中至少一第一輸入信號(A')和多個暫存器信號中至少一第一暫存器信號(r3)所控制，使得暫存器信號(r3)在第一通閘操作上優先於輸入信號(A')。

圖 1



- A：輸入信號
- A'：輸入信號
- B：輸入信號
- B'：輸入信號
- r0~r3：暫存器信號
- Y：輸出信號
- 1000：查找表
- 1021：高電源電壓
- 1022：低電源電壓
- 1100~1400：區域
- 1111~1114：通閘
- 1111A：閘極
- 1111B：閘極

(21)申請案號：102105765

(22)申請日：中華民國 102 (2013) 年 02 月 19 日

(51)Int. Cl. : H03K19/177 (2006.01)

(30)優先權：2012/03/05 法國 1 252 002

(71)申請人：S O I T E C 公司 (法國) SOITEC (FR)
法國

(72)發明人：費蘭特 理察 FERRANT, RICHARD (FR)

(74)代理人：陳展俊；林聖富

申請實體審查：無 申請專利範圍項數：9 項 圖式數：10 共 46 頁

(54)名稱

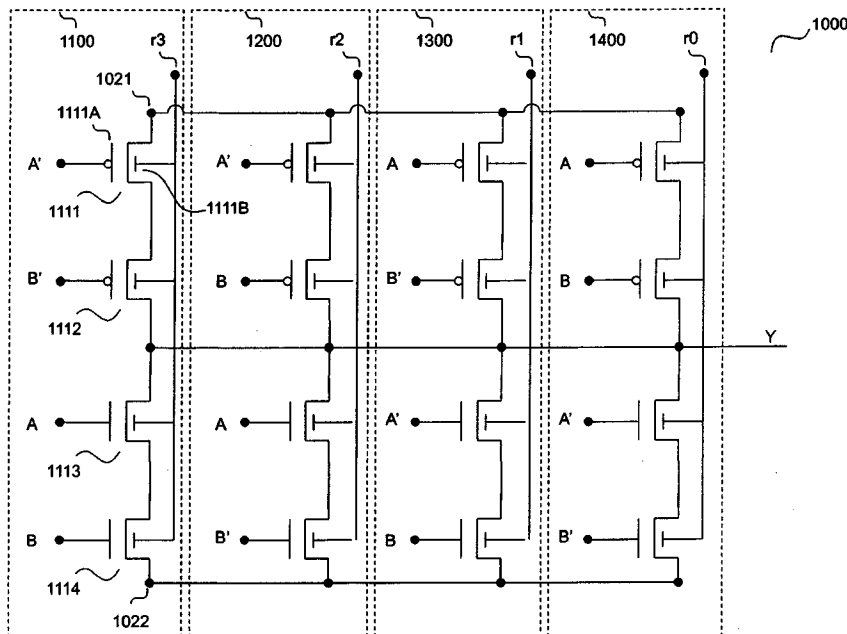
查找表

LOOK-UP TABLE

(57)摘要

本發明涉及一種查找表(1000)，其包括：多個暫存器信號(r0 至 r3)；多個輸入信號(A、A'、B、B')；至少一個輸出信號(Y)；多個通閘(1111 至 1114)，其中該多個通閘中至少一第一通閘(1111)由多個輸入信號中至少一第一輸入信號(A')和多個暫存器信號中至少一第一暫存器信號(r3)所控制，使得暫存器信號(r3)在第一通閘操作上優先於輸入信號(A')。

圖 1



A：輸入信號

A'：輸入信號

B：輸入信號

B'：輸入信號

r0~r3：暫存器信號

Y：輸出信號

1000：查找表

1021：高電源電壓

1022：低電源電壓

1100~1400：區域

1111~1114：通閘

1111A：閘極

1111B：閘極

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

查找表

LOOK-UP TABLE

【技術領域】

【0001】 本發明係涉及電子領域，特別是半導體領域。

【先前技術】

【0002】 在半導體電路內為實施功效，習慣上使用多數標準單元，即所謂的特殊應用積體電路(ASIC)。這種方法的優點是提供了一個緊密的解決方式，並且有快速的執行速度指令。然而，因為實現一個 ASIC 須開發一整組光蝕刻光罩，需要很高的投資。此外，一旦敲定後，ASIC 的形態和功能是不能改變的。

【發明內容】

【0003】 場可編程閘陣列(FPGA)為一個可替代與更靈活解決方案。在 FPGA 單元中，有多個暫存器和邏輯源。藉由暫存器和邏輯的設定，在任兩個或以上的 FPGA 單元間輸入端間可實施任意布林或順序的函數。

【0004】 特別地，一個 FPGA 單元通常包含一個或多個查找表，用於實現可編程閘邏輯功能。

【0005】 圖 9 為該示例性的查找表 9000。

【0006】 該查找表 9000 接收兩個輸入信號 A 和 B。該查找表還包含一多數個暫存器 9101 至 9104。根據分配至暫存器的邏輯值，該查找表 9000 可實現兩個輸入信號 A 和 B 的任何布林函數。

【0007】 爲了如此做，該查找表 9000 包含多數個通閘 9201 至 9206，其連接於多個暫存器 9101 至 9104 和輸出節點 OUT 之間。該多數個通閘 9201 至 9206 由輸入信號 A、B 和其反相信號 \bar{A} 、 \bar{B} 所控制。該輸入信號 A、B 的反相是由藉由連接至輸入信號 A、B 的反相器 9301、9302 而獲得。

【0008】 由於如此的結構，根據分配至暫存器 9101 至 9104 的值，可獲得任何輸入信號 A 和 B 的布林函數。

【0009】 例如，假設通閘 9201 至 9206 由單一個 NMOS 電晶體實施，如所示，當暫存器 9101 至 9104 分別設定爲 0、1、1、1 時，該函數是由輸入信號 A 和 B 對應 OR 函數在輸出節點 OUT 上產生。例如，如果輸入信號 A 設定爲 1 且輸入信號 B 設定爲 0 時，該通閘 9202、9205 和 9206 將導通。反之，這意味著，暫存器 9103 的輸出將被連接到節點 9402，而其本身連接到輸出節點 OUT。據此，輸出節點 OUT 將被設定爲 1，此爲輸入信號 A 和 B 分別設定爲 1 和 0 時對應“OR”功函的結果。

【0010】 在下文中，將描述查找表的潛在物理實施，將參照圖 10A 和 10B。

【0011】 圖 10A 顯示一個查找表的可能佈局 10000。圖

10B 顯示圖 10A 的放大部分。

【0012】 在圖 9 中，為便於表示，每一個通閘 9201 至 9206 是由單一 NMOS 電晶體實施。然而，在實際中，通常每個通閘是由 NMOS 與 PMOS 電晶體的互補式 CMOS 耦合來實施。因此，圖 10A 之佈局 10000 示出每個通閘是由一耦合電晶體 CMOS 實施的例子。而熟悉該領域技術者將能理解圖 9 之查找表實施，圖 9 之查找表和圖 10A 和查表基本上是等效的。

【0013】 特別是，在圖 10A 中可以看出：佈局 10000 包括三個區域 10100 至 10300。這三個區域 10100 至 10300 基本上是彼此相似的，它們中每個區域包含兩個 NMOS 電晶體 10130、10140 和兩個 PMOS 電晶體 10110、10120。此外，每一區域 10100 至 10300 的操作是依據兩個輸入信號 A 和 B 及其反相信號 \bar{A} 和 \bar{B} 、兩個暫存器的信號和一個輸出。

【0014】 在圖 10B 中可以看出，區域 10100 包括兩個 PMOS 電晶體 10110、10120 和兩個 NMOS 電晶體 10130、10140。電晶體 10110、10130 與通閘 9201 之 CMOS 實施有關，而電晶體 10120、10140 與通閘 9202 之 CMOS 實施有關。

【0015】 黑色正方形，如方形 10112，表示電晶體汲極或源極的連接。電晶體 10110 至 10140 的閘極分別為 10111 至 10141。在區域 10100 例子中，四個閘極 10111 至 10141 分別連接到輸入信號 A、B、 \bar{A} 和 \bar{B} 。其它區域 10200 和 10300 的閘極連接如圖 10A 所示。

【0016】 連接線 10150、10160 和 10170 的設置在為了電晶體 10110 至 10140 汲/源極與暫存器 9101 至 9104(圖 10A 和

10B 中未示出)中之一發出的暫存器信號相連接，及/或與查找表的內部節點，如節點 9401、9402 及/或輸出節點 OUT。

【0017】 在區域 10100 的例子中，連接線 10150 連接暫存器 9101 至電晶體 10110 及 10130 以做為通閘 9201；而連接線 10160 連接暫存器 9102 至電晶體 10120 及 10140 以做為通閘 9202。同時，連接線 10170 連接電晶體 10110 至 10140 與內部查找表節點 9401。

【0018】 區域 10200 的安排可實施通閘 9204 和 9205，而區域 10300 的安排可實施通閘 9203 和 9206。

【0019】 藉由佈局圖 10A，查找表 9000 和它的物理實施可以獲得到改善。

【0020】 特別是，藉由多數通閘 9201 至 9206 輸出節點 OUT 可直接連接到暫存器 9101 至 9104。因此，暫存器 9101 至 9104 有足夠高電流驅動能力是必要的，以驅動輸出節點 OUT 上的負載。反之，這意謂著這種結構不能用小的暫存器來實施，因為它們會缺乏適當的電流驅動能力。特別地，對於的這樣的結構，使用 Flash 技術小的 SRAM、DRAM 和小的暫存器通常都沒有足夠的能力。

【0021】 此外，從每個暫存器 9101 至 9104 到輸出節點 OUT 的信號必須在通閘 9201 至 9206 之間橫越幾個通閘。這增加了傳播延遲，因此影響了電路的操作頻率。

【0022】 此外，每經一通閘 9201 至 9206 會降低信號的強度。例如，在 NMOS 或 PMOS 通閘的例子中，電壓會被降低。更一般地，信號的強度減少是由於通閘的寄生導通(ON)電

阻。這延遲轉會使信號及/或敏感度有雜訊。因此，習慣在通閘 9201 至 9206 之間插入中繼器。然而，這又進一步增加了延遲，從而更減慢的電路的工作頻率。

【0023】 此外，圖 10A 為區域 10100 至 10300 的三角形佈局安排，當多個查找表 9000 被積體化成一單一電路時，這難以實現緊湊的和緻密的佈局。這將影響 FPGA 的成本以及可靠性，是因為一個不規則的佈局提供了更多的製造難度。

【0024】 雖然這可放置該三區域在一條直線上以解決此問題，然而這種解決方式並不理想，這是因為此結構將失去對稱性和速度，因為區域 10100 和 10200 中之一被放置進的地方遠離區域 10300。

【0025】 本發明主要用以解決上述之問題。

【0026】 特別地，本發明的一目的是在小的矽面積上實施具有快速操作頻率與低功率消耗的查找表。

【0027】 此方式可由本發明可達成。

【0028】 更特別地，本發明的查找表包含：多數個暫存器信號；多數個輸入信號；至少一個輸出信號；及多數個通閘。其中，該多數個通閘中至少一第一通閘由該多數個輸入信號中至少一第一輸入信號所控制，且由該多數個暫存器信號中至少一第一暫存器信號所控制，使得在第一通閘操作上暫存器信號優先於輸入信號。

【0029】 由於這樣的方法，所實現的查找表並非由暫存器信號直接驅動輸出節點，這使得能夠使用小的暫存器。

【0030】 在一些較佳實施例中，當該暫存器信號有一第一

邏輯值，且這與第一輸入信號的邏輯值無關，該第一通閘可建構為開路(open)狀態。

【0031】 當該暫存器信號有一第二邏輯值，此與該第一邏輯值相反，且該第一輸入信號為高邏輯值時，該第一通閘可建構為開路狀態。

【0032】 當該暫存器信號有一第二邏輯值，且該第一輸入信號有一第二高邏輯值時，該第一通閘可建構為閉路(close)狀態。

【0033】 由於這樣的方法，藉由暫存器信號優先於輸入信號，它是可能的控制選通閘的。

【0034】 在一些較佳實施例中，該多數個通閘更包含一第二通閘，且該第一通閘與第二通閘具有互補式特性。

【0035】 由於這樣的方法，分別藉由該第一通閘和第二互補式通閘，如一個高電壓信號和一個低電壓信號，它是可能將互補信號連接到輸出端。

【0036】 在一些較佳實施例中，該第一通閘可在一第一節點與輸出信號間被連接，且該第二通閘可在一第二節點與輸出信號間被連接；且該第一節點較該第二節點有高的電壓位準。

【0037】 由於這樣的方法，藉由該第一節點與該第二節點，它是可能驅動輸出節點，此設計可有高的電流驅動能力，這將允許輸出信號快速充電/放電。

【0038】 在一些較佳實施例中，該第一通閘包含具有一第一閘極與一第二閘極的一雙閘極電晶體；且輸入信號連接於

該第一閘極與第二閘極中之一；且暫存器信號連接於該第一閘極與第二閘極中之一。

【0039】 由於這樣的方法，所實施的通閘有緊密的結構。

【0040】 在一些較佳實施例中，該雙閘極電晶體可為具有一上側閘極(top gate)與下側閘極(bottom gate)之一 SOI 電晶體。且該第一閘極為上側閘極，且該第二閘極為下側閘極。

【0041】 由於這樣的方法，該查找表可用標準的 SOI 技術來實施。此外，選用下側閘極為第二閘極，該多數個通閘可分享共用該第二閘極。

【0042】 在一些較佳實施例中，該雙閘極電晶體可以是至少具有兩個獨立閘極的 FINFET。

【0043】 由於這樣的方法，該查找表可用一緊密的方法來實施，而不需用 SOI 電晶體。

【0044】 在一些較佳實施例中，該多數個通閘可區分成一些群；相同群的所有通閘可用同一暫存器信號控制；每一群有不相同的多數暫存器信號；且同一群中的每一通閘由不同的輸入信號控制；每一群是和所有輸入信號有關聯。

【0045】 由於這樣的方法，查找表的輸入信號可伸縮(scaled)到任何數量。

【0046】 此外，依據上述的實施例，本發明所涉及的 FPGA 包含至少一個查找表。

【0047】 由於這樣的方法，可實現緊密的 FPGA。此外，由於密集的佈局，成本可降低。另外，由於輸出信號是由節點電壓所驅動而非暫存器信號，可確保操作快速。此外，由

於可能實施常規的佈局，製造良率可獲得改善。

【0048】 此外，另一有關查找表架構的實施例包含：含有多數的暫存器的暫存器群，配置以產生暫存器信號；一可程式邏輯，包含多數的通閘，該通閘至少由暫存器信號所控制；該暫存器群與可程式邏輯形成一查找表，其中該通閘放置於單一方向。

【0049】 由於這樣的方法，可能實現緊密的查找表結構。

【0050】 在一相關的實施例中，每個通閘可放置的位置實質上與產生暫存器信號的暫存器對準，該暫存器信號控制該通閘。

【0051】 由於這樣的方法，在暫存器信號的連接中，有可能具有一簡單的路徑(routing)和一簡單的定時管理。

【0052】 在一相關的實施例中，暫存器可置放在可程式邏輯的單一側。

【0053】 由於這樣的方法，對於共同所有的暫存器，它是可以共享內連線，如電源內連線、解碼內連線等。

【0054】 在一相關的實施例中，暫存器可用交錯的方式置放在可程式邏輯的兩側。

【0055】 由於這樣的方法，它是能使暫存器的間距較通閘為大。

【0056】 在一相關的實施例中，該查找表架構更包含多數個暫存器群與多數個可程式邏輯，以形成多數個查找表。其中，該多數個查找表可彼此靠近，藉由至少一暫存器群使得任一可程式邏輯與相鄰的可程式邏輯分離。

【0057】 由於這樣的方法，該查找表之架構可伸縮(scaled)到容納任何數量的查找表，同時對於設定暫存器將有利地允許使用信號常規路徑。

【0058】 在一相關的實施例中，該查找表架構可以進一步包含至少有一標準單元塊，該標準單元塊包含多個標準單元，其中標準單元塊可沿著至少一查找表及/或至少一個暫存器群放置。

【0059】 由於這樣的方法，在該查找表架構之內可用緊密的方式使標準單元積體化。

【0060】 在一相關的實施例中，該查表架構可以進一步包括：一個解碼器單元，以從多數暫存器中選出一個或多個暫存器；一資料單元，在解碼器單元所選定的暫存器中設定一數值。

【0061】 由於這樣的方法，可達成查找表架構之程式化。

【0062】 在一相關的實施例中，查找表架構可以進一步包括：一第一金屬層，其被配置以實施可程式邏輯中內接點之連接，及/或暫存器群之解碼連接，及/或暫存器群之電源連接；一第二金屬層，其被配置來實現暫存器群之數據連接。

【0063】 由於這樣的方法，查找表架構只使用兩層金屬極可能程式化及操作。

【0064】 在一相關的實施例中，該多數通閘中至於一個包含具有一第一閘極與一第二閘極之雙閘極電晶體。

【0065】 由於這樣的方法，可能達成緊密之佈局。

【0066】 在一相關的實施例中，該雙閘電晶體可以是一具

有一頂側(top)閘極與一底側(bottom)閘極之 SOI 電晶體；該第一閘極可以是一頂側閘極；該第二閘極可以是一底側閘極。

【0067】 由於這樣的方法，該查找表可用 SOI 技術來實現。此外，當選定底側閘極為第二閘極時，在多個通閘間可共享共同第二閘極。

【0068】 在一相關的實施例中，該雙閘極電晶體可以是具有至少兩個獨立通閘之 FINFET。

【0069】 由於這樣的方法，它該查找表可能用一緊湊的方式實現，而採用 SOI 電晶體。

【0070】 在一相關的實施例中，本發明涉及的 FPGA 包括至少一依據前述任一實施例的查找表架構。

【0071】 由於這種方法的 FPGA 可以得到具有一緊密及/或常規的佈局。這允許有更簡單、更廉價的製造，以及節省積體化成本和 FPGA 尺寸擴展性，這是因查找表架構尺寸可由於任何的輸入數量而定。

【圖式簡單說明】

【0072】 藉由以下較佳實施例並參照附圖，本發明將被更詳細地描述。所描述的實施例僅是可能的架構，其中，個別的現象可能如上所描述，然而，可彼此獨立實施或可省略。附圖中相同的元件有相同的符號。在不同的附圖中，部分相同的元件描述可能被省略。在附圖中：

圖 1 係根據本發明實施例的查找表 1000 示意圖。

圖 2 係圖 1 中查找表 1000 的行為示意圖。

圖 3 係根據本發明實施例圖 1 中查找表 1000 的佈局示意圖 3000。

圖 4 係根據本發明進一步實施例的查找表 4000。

圖 5 係根據本發明實施例圖 4 中查找表 4000 的可能實施佈局示意圖 5000。

圖 6 係根據本發明的進一步實施例的查找表 6000 示意圖。

圖 7 係根據本發明另一實施例包含有多個查找表 6000 的電路 7000 示意圖。

圖 8 係根據本發明另一實施例包含有多個查找表 6000 的電路 8000 示意圖。

圖 9 係一示例性的查找表 9000。

圖 10A 係圖 9 查找表 9000 的可能佈局圖 10000。

圖 10B 係圖 10A 的放大部分。

【實施方式】

【0073】 在圖 1 中可以看出，根據本發明實施例的查找表 1000 概略圖，查找表 1000 接收兩個輸入信號 A 和 B 和它們分別的反相信號 A'和 B'，以及多數個暫存器信號 r_0 至 r_3 。基於給定該多數個暫存器信號 r_0 至 r_3 的值，查找表 1000 允許實現輸入信號 A 和 B 的任何布林函數，這將在下面描述。

【0074】 對於輸入信號 A、A'、B 和 B'可被輸入，或者一何輸入信號 A 和 B 可被輸入且藉由反相器可獲得反相信號，雖然在圖中未示出，熟悉本領域技術者將是清楚的。

【0075】 此外，雖然圖中未示出，暫存器信號可由查找表

9000 中多數個暫存器所提供。

【0076】 此外，查找表 1000 提供一個輸出信號 Y。基於暫存器信號 r0 至 r3 的值和輸入信號 A 與 B 的值，該輸出信號 Y 的值依賴於查找表 1000 的布林函數。這將描述如下：

該查找表 1000 包括一些通閘。特別是，該查找表 1000 為模組化的並包含四個區域 1100 至 1400，每個區域包括四個通閘 1111 至 1114。在下面中，將提供區域 1100 做為說明。而其餘區域 1200 至 1400 亦此類似的方式建構，除了輸入信號和暫存器信號連接外，如圖 1 所示。

【0077】 區域 1100 包含四個通閘 1111 至 1114。通閘 1111 與 1112 連接於高電源電壓 1021 和輸出節點 Y 之間。通閘 1113 與 1114 連接於低電源電壓 1022 和輸出節點 Y 之間。

【0078】 例如，高電源電壓 1021 可以是 FPGA 電路的供應電源，而低電源電壓 1022 可以是 FPGA 電路的接地點。無論如何，這只是一例子而已，本發明並不侷限於此。更普遍地，對於圖 1 中實施例的目的，節點 1021 比節點 1022 具有較高的電壓值，這是足夠的。

【0079】 通閘 1111 至 1114 中每一個由兩個信號控制。

【0080】 特別地，在本實施例中每一個通閘 1111 至 1114 由具有一第一閘極 1111A 與一第二閘極 1111B 之雙閘極電晶體來實施。無論如何，本發明並不侷限於此，且任何結構能實現通閘 1111 至 1114 的功能，可以不使用雙閘極電晶體，如下所述。

【0081】 圖 1 為一特別實施例，在 SOI 技術中雙閘極電晶

體做爲通閘 1111 至 1114。無論如何，本發明並不侷限於此，且雙閘極電晶體可用任何技術以形成多個獨立電晶體來實施，如 FINFETs。

【0082】 如圖 1 所示，由每個雙閘極電晶體的第一閘極 1111A 實施的通閘 1111 至 1114 與輸入信號 A、B 及反相 A'、B' 間之一相連接。另一方面，區域 1100 之所有的第二閘極 1111B 與暫存器信號 r3 連接。

【0083】 更特別地，做爲通閘 1111 的雙閘極 PMOS 電晶體，其第一閘極 1111A 與輸入信號 A' 連接，其第二閘極 1111A 與暫存器信號 r3 連接。做爲通閘 1112 的雙閘極 PMOS 電晶體，其第一閘極 1111A 與輸入信號 A' 連接，其第二閘極 1111A 與暫存器信號 r3 連接。做爲通閘 1113 的雙閘極 NMOS 電晶體，其第一閘極 1111A 與輸入信號 A 連接，其第二閘極 1111B 與暫存器信號 r3 連接。最後，做爲通閘 1114 的雙閘極 NMOS 電晶體，其第一閘極 1111A 與輸入信號 B 連接，其第二閘極 1111B 與暫存器信號 r3 連接。

【0084】 區域 1200 至 1400 的通閘連接和區域 1100 不相同，這是由於信號被輸入於每個通閘，如圖所示。一般情況下，在所有區域中，輸出節點 Y 被連接於通閘 1112 和 1113 之間。仍普遍地，低電壓節點 1022 在所有區域是共用的，且高電壓節點 1021 也是如此。此外，在區域 1200 至 1400 作爲通閘 1111 的雙閘極電晶體的第二閘極分別被連接到一單一暫存器信號 r2 至 r0 中。

【0085】 請參照 PMOS 雙閘極電晶體，現在將描述每個通

閘 1111 至 1114 的行爲，如當中的一個作爲通閘 1111 和 1112。而通閘由 NMOS 雙閘極電晶體，這將是熟悉本領域技術者所能實施的，如當中一個作爲通閘 1113 和 1114 有互補式的行爲。

【0086】 雙閘極 PMOS 電晶體實現通閘 1111 和 1112，他們的行爲主要由他們的第二閘極 1111 B 決定，此第二閘極 1111 B 連接到暫存器信號 r3，其次是由第一閘極 1111A 決定，此第一閘極 1111A 分別連接到輸入信號 A 和 B。

【0087】 更具體地說，作爲通閘 1111 或 1112 的 PMOS 雙閘極電晶體其第二閘極 1111B 連接到一個具有邏輯值 1 的高邏輯信號時，PMOS 電晶體將是開路的，亦即不導通，此與施加於第一閘極 1111 A 的值無關。另一方面，如果第一閘極 1111 A 被設置爲具有一個邏輯值 0 的低邏輯值，當該第二閘極 1111B 被設置爲具有一個邏輯值 0 的低邏輯值時，電晶體將被關閉，亦即導通。而如果第一閘極 1111 A 被設置爲具有一個邏輯值 1 的高邏輯值，電晶體將是開路的，亦即不導通。

【0088】 換句話說，當第二閘極 1111B 被設置爲具有邏輯值 1 的高邏輯信號時，電晶體總是開路的。而當第二閘極 1111B 的信號被設置爲低邏輯值 0 時，電晶體行爲就如同一標準的單閘 PMOS 電晶體。亦即，在通閘操作上，第二閘極 1111B 優先於第一閘極 1111A。

【0089】 雖然圖 1 的實施例示出該雙閘極電晶體 1111 至 1114 的前側閘極與背側閘極分別爲第一閘極 1111 A 和背側閘極 1111B，這爲熟悉本技術領域的技術者所能理解的，但本

發明並不侷限於此。可替代地，頂側閘極和背側閘極可分別為該第二閘極 1111B 與第一閘極 1111A。

【0090】 此外，儘管已經描述通閘 1111 至 1114 可由一雙閘極電晶體來實施，特別是 SOI 雙閘極電晶體或 FINFET，本發明並不侷限於此，且允許有上述行為之任何技術來實施。例如，由具有至少兩個獨立閘極來達成。更普遍地，此行為可由至少兩個輸入端的電子元件或電子電路以做用成通閘 1111 及/或 1112 來達成：

當兩個輸入端中的第一個輸入端為高邏輯值 1 時為開路狀態，此與第二個輸入端無關。

【0091】 假如第二個輸入端為高邏輯值 1，當兩個輸入端中的第一個輸入端為低邏輯值 0 時為開路狀態。

【0092】 假如第二個輸入端為低邏輯值 0，當兩個輸入端中的第一個輸入端為低邏輯值 0 時為閉路狀態。

【0093】 在一些方法中，此行為可被實現，圖 1 中示出的雙閘極 SOI 電晶體僅是一個示例，這為熟悉本技術領域的技術者所能理解的。

【0094】 這也將被理解的是，對於互補式通閘 1113 及/或 1114，一個互補式行為可被實施使該通閘為：

當兩個輸入端中的第一個輸入端為低邏輯值 0 時為開路狀態，此與第二個輸入端無關。

【0095】 假如第二個輸入端為低邏輯值 0，當兩個輸入端中的第一個輸入端為高邏輯值 1 時為開路狀態。

【0096】 假如第二個輸入端高邏輯值 1，當兩個輸入端中

的第一個輸入端為高邏輯值 1 時為閉路狀態。

【0097】 圖 2 為圖 1 中查找表 1000 的行為示意圖。

【0098】 特別是，在行 C1 至 C2 和列 R1 至 R4 的值示出了四種所有可能輸入信號 A 和 B 的組合。為易於表示，各個反相信號的值並未示出。列 R6 至 R9 和行 C3 至 C18 示出了暫存器信號 r0 至 r3 的所有可能組合。對於每一行 C3 至 C18，藉由設定暫存器信號 r0 至 r3 在相應的列中的值，R 5 為其布林函數。列 R1-R4 和行 C3-C18 中的值說明了輸出節點 Y 的值，此值源自於相同列下暫存器信號 r0-r3 與相同行下輸入信號 A 和 B 的各別組合。

【0099】 舉例而言，在行 C7 中設定暫存器信號 r0 至 r3 分別為 1、1、1 和 0，查找表 1000 的節點 Y 的輸出信號為 $Y = 0$ ，當 $A = 0$ 且 $B = 0$ 時； $Y = 0$ 時，當 $A = 0$ 且 $B = 1$ 時； $Y = 0$ ，當 $A = 1$ ， $B = 0$ 時； $Y = 1$ ， $A = 1$ 和 $B = 1$ 時。如列 R5 行 C7 所示，這對應於輸入信號 A 和 B 之間的“且(AND)”函數，這特定情況將進行描述。

【0100】在行 C7 中設定暫存器信號 r0 至 r3 分別為 1、1、1 和 0，做為區域 1200、1300 和 1400 中通閘 1111 和 1112 的 PMOS 電晶體管將是開路的，此與輸入信號 A 和 B 的值無關。如上所述，這是因為第二閘極 1111B 較第一閘極 1111A 具支配性。同樣地，作為區域 1100 中通閘 1113 和 1114 的 NMOS 電晶體管將是開路的，此與輸入信號 A 和 B 的值無關。

【0101】只有 A 和 B 當這兩個信號被設定為 1 時，區域 1100 中通閘 1111 和 1112 將導通。在同一時間，對於這樣的

組合，至少通閘 1113 和 1114 中之一是開路的，即非導通。特別地，在區域 1110 中，由於信號 r3 設定為 0，這兩個通閘都是開路的。在其餘區域中，至少有兩個通閘被連接到輸入信號 $A'=0$ 及/或 $B'=0$ ，因此，為開路。因此，由於輸出節點 Y 連接到高電壓電源 1021，輸出節點 Y 被設定為高邏輯值。

示意性地，其他的組合為

- $A = 0$ ， $B = 0$ 時，區域 1400 中通閘 1113 和 1114 皆將導通；
- $A = 0$ ， $B = 1$ 時，區域 1300 中通閘 1113 和 1114 皆將導通；
- $A = 1$ ， $B = 0$ 時，區域 1200 中通閘 1113 和 1114 皆將導通。

【0102】這意謂在這種情況下，由於輸出節點 Y 連接到低電壓電源 1020，輸出端 Y 將被設定為一個低邏輯值。

【0103】根據本實施例的查找表提供了幾個優點。

【0104】如圖 2 所示，查找表 1000 提供輸入信號 A 和 B 的所有布林函數，此與設定暫存器 r0 至 r3 上的信號值有關。

【0105】此外，查找表 1000 允許輸出節點 Y 由高電壓電源供應節點 1021 或低電壓電源供應節點所驅動。這允許信號 Y 可很快被驅動且有適當的電流能力。

【0106】這是更特別有利的，因為在輸出端 Y 的信號並非由暫存器信號 r0 至 r3 所驅動。另一方面，每個暫存器信號 r0 至 r3 中僅連接到一電容性負載，此包含雙閘極電晶體的第二閘極 1111B 以做為通閘 1111 至 1114。因此較小的暫存器可

被用來產生信號 r0 至 r3，特別是 DRAM / SRAM 暫存器及 / 或快閃存暫存器。由於數位電路的輸入通常是容性負載，這也是通閘 1111 至 1114 可由等效電路所實施的情形。

【0107】另外，查找表 1000 的定時可簡單地管理，因為任何的輸入信號 A 和 B 及其反相 A'和 B'具有相同的負載。這對每個暫存器信號 r0 至 r3 同樣是有效的。這與圖 9 的情況相反，其信號 A 較信號 B 有大的負載，進而使該電路的定時管理更複雜。

【0108】根據本發明的一個實施例，圖 3 為圖 1 中查找表 1000 的示意性佈局 3000。

【0109】佈局 3000 被分成區域 3100 至 3400，與圖 1 查找表 1000 中區域 1100 至 1400 分別有功能上相對應。在以下敘述中，詳細描述區域 3100。區域 3200 至 3400 在功能上是相似的，這將是熟悉本領域技術者所能理解的。

【0110】區域 3100 包含兩個 PMOS 電晶體，由左到右分別有第一閘極 1111A 信號 A'和 B'，這對應於圖 1 的通閘 1111 和 1112。類似地，區域 3100 包含兩個 NMOS 電晶體，由左到右分別有第一閘極 1111A 信號 A 和 B，這對應於圖 1 的通閘 1113 和 1114。

【0111】雖然圖中未示出，但是為了易於理解，第一閘極 1111 A 與連接線物理性連接提供相應的信號的。在該圖中為便於理解，只有臨近各個閘極的信號被表示。

【0112】此外，對應於高電壓節點供應電源 1021，區域 3100 具有高電壓連接 3121，與佈局 3000 的其餘地區 3200 至

3400 共享。同樣地，對應於低電壓節點供應電源 1022，區域 3100 具有低電壓連接 3122，與佈局 3000 的其餘地區 3200 至 3400 共享。

【0113】雖然未示出，但是連接 3121 與 3122 更可與佈局 3000 外的其他節點連接。

【0114】區域 3100 更包含一第二閘極 3115，此與圖 1 中區域 1100 內做為通閘 1111 至 1114 的電晶體第二閘極 1111B 有功能上對應。雖然圖 3 所示之第二閘極 3115 為一單一幾何元件，但本發明並不侷限於此。可替代地，或另外，只要能有效控制作為通閘 1111 至 1114 的雙閘極電晶體，該第二閘極 3115 的形狀可依需求而改變。

【0115】關於區域 3200 至 3400 的第二閘極 3215 至 3415 都有斧頭狀朝伸向區域 3100 至 3400 的上部。在某些情況下，這可能是有益的，因為它允許暫存器連接的放置及/或暫存器本身提供信號到該第二閘極 3215 至 3415 在一直線的排列上。然而，本發明不侷限於此，且暫存器可被連接到區域 3100 至 3400 底部及/或頂部上的第二閘極 3115 至 3415 上。在這方面，圖 5 中示出替代的交錯方法。

【0116】佈局 3000 更包含一連接 Y，此和圖 1 的輸出點 Y 對應。

【0117】在圖 3 中可以看出，經由區域 3100 至 3400 電晶體的較佳放置，它能夠使 Y 點與所有四個區域 3100 至 3400 的輸出連接，此僅在兩個點有物理連接點：P1 在區域 3100、3200 之間共享且 P2 在區域 3300、3400 之間共享。

【0118】雖然在本實施例中，由於重疊，連接 Y 需要一不同於低電壓連接 3122 的層，但本發明不限於此。可選地，或另外地，連接 Y 可由區域 3200 和 3300 中電晶體的第一閘極 1111 之間來實施，如圖 5 所示。

【0119】此外，經由電晶體的較佳放置，經由區域 3100 中 P3、區域 3400 中點 P5 與區域 3200 和 3300 之間點 P4 共享物理之連接，僅用此三個點可較佳地使高電壓連接 3121 和低電壓連接 3122 與所有四個區域相連接。

【0120】此外，佈局 3000 是佳的，因為所有的電晶體可以被放置在單一系列，可實現一個緊湊的和密集的設計。另外，該結構是高度長規，可提供在定時的製造和管理方面的優勢。

【0121】圖 4 示意性地示出根據本發明查找表 4000 的進一步的實施例。

【0122】具體地，圖 4 查找表 4000 是基於圖 1 的查找表 1000 的擴展，此是爲了三個輸入信號 A、B、C 和各自反相信號 A'、B'和 C'的操作。

【0123】類似查表 1000，查找表 4000 包含多個大致相似的區域 4100 至 4800。每個區域 4100 至 4800 包括：多個通閘 4111 至 4116，每個通閘 4111 至 4116 在它們的第一閘極 1111A 上在輸入信號 A、B、C 和各自的反相信號 A'、B'和 C'之間具有一個一個不同信號連接。同時，每個通閘 4111 至 4116 共同共享連接到一單一暫存器信號 r7。

【0124】在圖 1 和圖 4 中可以看出的，依據本發明具有盡可能多的輸入信號的一個實施例，可能夠實現一個查找表。

特別是，給定 N 個輸入信號，相應的查找表將有 2^n 暫存器信號 r_0 至 r_{n-1} 且每 2^n 區域中將有 $2N$ 個通閘。

【0125】這樣的結構是有利的，因為輸出 Y 總是由高電源電壓 1021 和低電源電壓 1022 所驅動，從而確保適當的驅動輸出節點，此無關於輸入信號的數目。

【0126】此外，即使具有高輸入信號數目，暫存器信號仍然只連接到一個容性負載，它允許使用具有小電流能力的暫存器，如上所詳述，即使有大量的輸入信號數目。

【0127】圖 5 為根據本發明的一個實施例的佈局 5000 示意性表示，此代表圖 4 查找表 4000 的一種可能實施。

【0128】佈局 5000 包括 8 個地區 5100 至 5800，彼此相似。類似圖 3 的佈局 3000，佈局 5000 包括所有地區 5100 至 5800 共同的一高電壓連接 3121 和一低電壓連接 3122。此外，單一信號連接 Y 作為圖 4 的輸出點 Y 。

【0129】此外，佈局 5000 包括 8 個第二閘極 5115 至 5815，分別連接到暫存器信號 r_7 至 r_0 。圖 3 的另一種替代方法，該第二閘極 5115 至 5815 被組織交錯放置。這可能是有用的，例如，如果該暫存器的寬度使得它們具有比的區域 5100 至 5800 大的間距。

【0130】雖然在上述實施例中的所有通閘 1111 至 1114 與 4111 至 4116 具有兩個輸入端已經被描述，但本發明不限於此。

【0131】舉例而言，請參照圖 1，通閘 1111 和 1113 可實現單一的輸入端只與輸入信號連接。例如，區域 1100 內通閘 1111 和 1113 中至少一個可以是一單閘極電晶體，其具有第一

閘極 1111A 分別與輸入信號 A'和 A 連接。在某些情況下，對暫存器信號提供一個較小的負載，以及簡化的佈局，這可能是佳的。在一般情況下，對於每個區域，如果至少通閘在每個電源節點和輸出節點之間串聯，本發明具有先前描述的行爲是可以實施的。

【0132】此外，另一種改變是使用圖 1 的二輸入端查找表 1000 兩次，三個輸入信號查找表 4000 是可以實施的。特別是，這提供的優點是：兩次二輸入端查找表 1000 的組合其通閘的數量是 32 個，而三輸入端查找表 4000 的通閘數量是 48 個。

【0133】在這兩種情況下，與圖 10A 的方式比較，極規律性的佈局可補償所需增加的電晶體數目。例如，在圖 10A 中塊(blocks)10100、10200 和 10300 之間的距離並不出現於圖 1 至 8 之實施例中。此外，在這兩種情況下，由於查找表由高電源電壓和低電源電壓供應電源，圖 1 至 8 實施例之電晶體比圖 9 轉移閘極(transfer gate)操作在較佳的範圍，使他們能夠合理性變小。此外，暫存器信號不提供電源給查找表的輸出。在正反器(flip-flops)和快閃暫存器的例子中，產生信號給暫存器的邏輯可減少相當大的面積，不須要感測放大器以將存儲值變換成供電的信號，這在矽片面積方面提供了一個相當大的助益。

【0134】圖 6 根據本發明實施例進一步的查表架構 6000 示意圖。

【0135】查找表架構 6000 包括一個可編程邏輯部 6100 和

暫存器組 6200、6300。特別是，可編程邏輯部 6100 是參照圖 1、圖 3、圖 4 和圖 5 中查找表 1000、3000、4000 和 5000 任一實施例來實施。同樣地，暫存器組 6200 及/或 6300 的對應的暫存器組，在圖中未示出，提供的暫存器信號如圖 1 和圖 3 中的 r0 至 r3 與圖 4 和圖 5 中的 r0 至 r7。

【0136】如在圖 1 和圖 3 至 5 所示，可能將通閘 1111 至 1114、4111 至 4116 放置在一個單一的方向上，特別是在彼此旁邊，儘管它們可能由額外導入的電晶體及/或其它電子元件所分離，如 ESD 保護電路。特別是，參照圖 1 和圖 3，PMOS 通閘被放置在單一系列的順序為：從區域 1100，通閘 1111、1112；從區域 1200，通閘 1112、1111；從區域 1300，通閘 1111、1112；從區域 1400，通閘 1112、1111。各自的互補式 NMOS 電晶體管也放置在單列上，依序：從區域 1100，通閘 1113、1114；從區域 1200，通閘 1113、1114；從區域 1300，通閘 1113、1114；從區域 1400，通閘 1113、1114。

【0137】當通閘的實施只用一 NMOS 技術，或只用一 PMOS 技術，所有的通閘可在單一系列上的單一方向實施。

【0138】當使用一個 CMOS 架構，兩列電晶體的出現可被功能性解釋為單列的互補式通閘。換句話說，對於通閘單列放置可有效地實施，每一耦合的 CMOS 通閘可視為一功能單元。例如，通閘 1111 和 1113 具有互補行為，可被認為是一個單一功能的通閘。

【0139】由於所有通閘放置在一單一方向上，它能夠用密集的方式有效地結合可編程部分 6100 和暫存器 6200、6300。

事實上，這樣的通閘置放允許暫存器被放置在靠近於通閘，從而避免了複雜的路由和空的矽片面積。

【0140】在下文中，可編程邏輯部分 6100 和暫存器組 6200 和 6300 之間的放置和連接將進行說明。

【0141】金屬 1 連接線，如連接線 6411，提供了可編程邏輯 6100 的內部連接 6501，如電源，亦即高電壓電源的節點 1021 及/或低電壓電源節點 1022，及/或輸入信號的內部互連，及/或連接到輸出節點 Y 等。

【0142】爲了方便說明，僅以連接 6501 說明。在圖 6 中其他示例性的連接同樣地用圓形點表示出，這將是那些熟悉本領域的技術者所能了解。此外，連接線的數目和位置，如線 6411 僅是示例性的表示，且其取決所需連接之物理性節點的位置和數量，及/或可編程邏輯 6100 和暫存器組 6200、6300 的大小。

【0143】可選擇地，或另外地，金屬 1 連接線，如連接線 6412，提供暫存器組 6200 及/或 6300 的解碼連接。例如，連接線 6412 可以被使用於解碼，亦即從暫存器組 6200 中選擇一個或多個暫存器。藉由選擇暫存器，例如，它可能在暫存器中儲存一個值，以建置查表架構 6000。

【0144】可選擇地，或另外地，金屬 1 連接線提供暫存器組 6200 及/或 6300 的電源連接。

【0145】可編程邏輯 6100 沿著暫存器組 6200 及/或 6300 的位置，在金屬 1 例子中有利地允許單一金屬層在可編程邏輯 6100 內和暫存器組 6200 及/或 6300 內實現連接。

【0146】此外，這樣的放置允許從暫存器組 6200 和 6300 到可編程邏輯 6100 之連接 6600，以簡易的路由傳輸暫存器信號。也就是說，由暫存器組 6200、6300 輸出的暫存器信號 r0 至 r3、r0 至 r7 可以連接到圖 1、圖 3 至 5 中的節點 r0 至 r3、r0 至 r7。連接 6600，可於金屬層 1 或 2，或多晶矽層，或多重金屬下的等效連接來實施。

【0147】特別是，以此方式置放暫存器實質對準各自的通閘是可能的。例如，請參照圖 5，以下是可能的：在第二閘極 5115 上放置具有暫存器發射信號 r7 之暫存器；在第二閘極 5215 上放置具有暫存器發射信號 r6 之暫存器；在第二閘極 5315 上放置具有暫存器發射信號 r5 之暫存器等等；這對暫存器信號提供了一個簡單的路由和一個可伸縮的設計。

【0148】圖 5 中的第二閘極 5115 至 5815 被路由使得暫存器以交錯的方式被放置，從而實現具有暫存器發射信號 r7、r5、r3 和 r1 之暫存器組 6200 及具有暫存器發射信號 r6、r4、r2 和 r0 之暫存器組 6300。無論如何，本發明並不侷限於此，且當在圖 3 中第二閘極 3115 至 3415 使用路由，暫存器皆可置放於在單一暫存器組中，如暫存器組 6200。

【0149】此外，交錯的方式並不限於可編程邏輯 6100 上方的一個暫存器，及可編程邏輯 6100 下方的一個暫存器等。任意組合皆可使用，例如，使用兩個上面暫存器和兩個下面暫存器，一個上面暫存器和兩個下面暫存器，等等。特別是，假如將暫存器設計成兩個群組，可較佳地在可編程邏輯 6100 上方放置兩個暫存器，下方放置兩個暫存器，上方放置兩個

暫存器，等等。

【0150】進一步的金屬層，金屬 2 做爲連接線使用，如連接線 6421，以對暫存器組 6200 及/或 6300 提供資料連接。例如，當一個或更多暫存器從暫存器組 6200、6300 中被選出時，可使用連接線 6422 以對暫存器設定一個給定的資料值，以建構查找表架構 6000。

【0151】由於上述的兩層金屬，可達成查找表架構的操作。更特別地，僅使用兩層金屬可能將暫存器程式化，可使查找表架構 6000 的行爲程式化，且提供查找表電源。

【0152】因此，連接線 6431 及/或 6441 可被用於可編程邏輯 6100 對臨近電路中其他節點的內連線內部節點。例如，它可用於作爲可編程邏輯 6100 之查找表 4000 輸入信號 A、B、C、A'、B'、C' 對包含有查找表架構 6000 輸入端的連接。可選擇地，或另外，它可用於作爲可編程邏輯 6100 之查找表 4000 輸出端對包含有查找表架構 6000 輸出端的連接。仍另選的是，或附加地，它可用於其他節點的連接，如另一查找表架構 6000 的節點。

【0153】由於連接線 6431 與金屬 2 中的連接線 6421 爲橫錯，連接線 6431 可用金屬 1 或任何金屬 2 以外的金屬來實施。對稱地，由於連接線 6431 與金屬 1 中的連接線 6411 爲橫錯，連接線 6431 可用金屬 2 或任何金屬 1 以外的金屬來實施。

【0154】查找表架構 6000 的這樣的安排是有利的，因爲它是常規的，從而簡化了路由、定時、寄生電容管理、製造、錯誤檢測、和尺度可縮性。

【0155】雖然本實施例中已經示出了兩個暫存器組 6200 和 6300，但本發明不侷限於此。特別是，本發明也可以用單一群或暫存器來實施，如只暫存器組 6200，如上所述。可選地，或另外地，可將一個或多個暫存器組放置於該暫存器組 6200 上方及/或暫存器組 6300 下方。例如，暫存器可用交錯的方式提供，但所有位於可編程邏輯 6100 的一側，使得暫存器組 6200 和 6300 的其中一個在另一個的上面。

【0156】此外，儘管所示實施例對於奇數金屬線為水平放置，偶數金屬線為垂直放置，但這僅是一個示例。可替代地或另外，金屬線的方向可以是相反，亦即對於奇數金屬線為垂直放置，偶數金屬線為水平放置。仍可另選的或附加地，所有的金屬線可以是水平或垂直。在一般情況下，任何金屬線可具有任意方向性，如水平、垂直、45 度等。

【0157】另外，雖然先前金屬層已經用金屬 1、金屬 2 等來描述，但這不限制本發明。更具體地，任何金屬層可以與其他金屬層交換，此為熟悉本領域之技術者所能了解。

【0158】圖 7 示意性示出根據本發明另一實施例包含有多個查找表 6000 的電路 7000。

【0159】更具體地，電路 7000 包含有多個可編程邏輯 6100，該可編程邏輯 6100 與該暫存器組 6200 及/或 6300 交錯。另外，電路 7000 包含一個解碼器單元 7100 和數據單元 7200。

【0160】解碼器單元 7100 經由多個連接 7110 連接到該多個暫存器組 6200、6300。類似連接線 6412，這些連接對於該

暫存器組 6200、6300 提供了解碼的連接。

【0161】經由多個連接 7210，該數據單元 7200 連接到到該多個暫存器組 6200、6300。類似連接線 6421，這些連接對於該暫存器組 6200、6300 提供了數據連接。

【0162】由於此方法，在緊湊外形內將能排置大量的查找表 6000，且僅使用兩個金屬層是很有潛力的。這允許其餘金屬層於多個可編程邏輯 6100 彼此之間互連接。以這種方式，比用單一個查表架構 6000 可以實現更複雜的布林函數。

【0163】此外，由於實施常規結構，路由和定時管理仍是簡單的。

【0164】雖然本實施例中已經示出一個序列的可編程邏輯 6100 由兩個暫存器組 6200 和 6300 交錯，但本發明並不限定於此。可選擇地，或另外地，電路 7000 可以包括多個可編程邏輯 6100，僅由暫存器群 6200、6300 中的一個交錯。

【0165】仍另選擇的是，或附加地，可編程邏輯和暫存器組的序列可以包含：一第一暫存器組，以對一第一可編程邏輯發出暫存器信號；一第一可編程邏輯；一第二可編程邏輯與一第二暫存器組，以對一第二可編程邏輯發出暫存器信號。特別是，這可能是有利的，如果例如，爲了對低電壓電源 1022 共用一個連接，第一和第二可編程邏輯以水平對稱的方式放置。暫存器群 6200、6300 用類似的方式放置，從而可以實現共享一個共同的電源連接。

【0166】圖 8 示意性地示出根據本發明另一實施例的電路 8000，其包括多個查找表 6000。

【0167】更具體地，由於存在一個標準單元塊 8100，電路 8000 和圖 7 中的電路 7000 是不同的。標準單元塊 8100 放置於兩個查找表 6000 之間，且經由任一金屬層與電路 8000 的任一查找表連接。有利地，由於金屬層 1 和 2 可以被用於查找表的路由，對於標準單元塊 8100 的內部路由，相同的金屬層可被保留的，而餘下的金屬層可以用於標準塊單元 8100 與任一查找表 6000，或與電路 8000 中任一節點內連接。

【0168】特別是，標準塊單元 8100 可使用歐洲申請專利 EP 2 333 833 A1 中所公開的技術來實現。這是佳的，因為該文獻所公開的標準單元，可用有規律的列形式。這種規律放置的標準單元塊 8100，除了規律放置查找表 6000 之外，提供了一個緊湊的而緻密的佈局。

【0169】此外，上述有規則排列允許電源節點規律放置，這將導致佈局表面電壓降有簡化的管理。

【0170】此外，由於標準單元塊 8100 與查找表 6000 可以交錯，邏輯功能接近查找表的相應可編程邏輯是能夠實現的。由於減少路由，導致運算速度增加和功率消耗降低。

【0171】雖然本實施例只示出一個標準單元塊 8100，但本發明不限於此。特別是，任何數量的標準單元塊 8100 可用任意數量的查找表 6000 設置。

【0172】雖然已經描述了幾個實施例，它們不能被認為獨立的。特別是，在本發明請求項範圍內，從不同的實施例中的特徵是可以被組合的。

【符號說明】

【0173】

- A、A'、B、B' 輸入信號
- r0~r3 暫存器信號
- Y 輸出信號
- 1000、4000、6000、9000 查找表
- 1021、3121 高電源電壓
- 1022、3122 低電源電壓
- 1100~1400、3100~3400、4100~4800、5100~5800、10100、10200、10300 區域
- 1111A、1111B、3115~3415、5115~5815、10111~10141 閘極
- 1111~1114、4111~4116、9201~9206 通閘
- 3000、5000、10000 佈局
- 6100 可編程邏輯部
- 6200、6300 暫存器組
- 6411、6412、6421、6431、6441、10150~10170 連接線
- 6501 內部連接
- 6600、7110、7210 連接
- 7000、8000 電路
- 7100 解碼器單元
- 7200 數據單元
- 8100 標準單元塊
- 9101~9104 暫存器
- 9301、9302 反相器
- 9401、9402 節點
- 10110、10120 PMOS 電晶體
- 10112 方形
- 10130、10140 NMOS 電晶體

發明摘要

※ 申請案號： 102105765

※ 申請日： 102.2.19

※IPC 分類：

H03k 19/177 (2006.01)

【發明名稱】(中文/英文)

查找表

LOOK-UP TABLE

【中文】

本發明涉及一種查找表(1000)，其包括：多個暫存器信號(r0 至 r3)；多個輸入信號(A、A'、B、B')；至少一個輸出信號(Y)；多個通閘(1111 至 1114)，其中該多個通閘中至少一第一通閘(1111)由多個輸入信號中至少一第一輸入信號(A')和多個暫存器信號中至少一第一暫存器信號(r3)所控制，使得暫存器信號(r3)在第一通閘操作上優先於輸入信號(A')。

【英文】

The present invention relates to a look-up table (1000) comprising a plurality of register signals (r0-r3); a plurality of inputs signals (A, A', B, B'); and at least one output signal (Y); and a plurality of pass-gates (1111-1114), wherein at least a first pass gate (1111), of the plurality of pass gates, is controlled by at least a first input signal (A'), of the plurality of input signals, and by at least a first register signal (r3), of the plurality of register signals, such that the register signal (r3) has priority over the input signal (A') on the operation of the first pass gate.

申請專利範圍

1. 一種查找表(1000)，包括：多數個暫存器信號(r0 至 r3)；多數個輸入信號(A、A'、B、B')；至少一個輸出信號(Y)；多數個通閘(1111 至 1114)，其中該多數個通閘中至少一第一通閘(1111)由多個輸入信號中至少一第一輸入信號(A')和由多數個暫存器信號中至少一第一暫存器信號(r3)所控制，使暫存器信號(r3)在第一通閘操作上優先於輸入信號(A')。
2. 如請求項 1 之查找表，其中該查找表的第一通閘(1111)配置為開路，當第一暫存器信號(r3)中具有一第一邏輯值時，此值和第一輸入信號(A')的邏輯值是無關的；該第一通閘(1111)配置為開路，當第一暫存器信號(r3)中具有一第二邏輯值時，此值和第一邏輯值相反，且該第一輸入信號(A')具有第一邏輯值；該第一通閘(1111)配置為閉路，當第一暫存器信號(r3)中具有一第二邏輯值時，且該第一輸入信號(A')具有第二邏輯值。
3. 如上述請求項任一項之查找表，其中該多數個通閘還包含：一第二通閘(1113)；該第一通閘(1111)和該第二通閘(1113)具有互補的行為。
4. 如請求項 3 之查找表，其中該第一閘極在第一節點(1021)和輸出信號(Y)之間連接，且該第二閘極在第二節點(1022)和輸出信號(Y)之間連接；第一節點(1021)較第二節點(1022)具有

較高的電壓。

5. 如上述請求項任一項之查找表，其中該第一通閘(1111)包括一個雙閘極電晶體，其具有一第一閘極(1111A)和一第二閘極(1111B)；及該輸入信號與第一閘極和第二閘極之中的一個連接，且該暫存器信號與第一閘極和第二閘極之中的另一個連接。

6. 如請求項 5 之查找表，其中該雙閘極電晶體為具有一頂側閘極與一底側閘極之 SOI 電晶體；該第一閘極為一頂側閘極；該第二閘極為一底側閘極。

7. 如請求項 5 之查找表，其中該雙閘極電晶體為具有至少兩個獨立閘極之 FINFET。

8. 如上述請求項任一項之查找表，其中該多數個通閘被劃分為組群；同一組群中的所有通閘由相同的暫存器信號所控制；每一組群在多數個暫存器信號具有一個不同的暫存器信號；同一組群中的每個通閘由一個不同的輸入信號控制；每一組群具有多個輸入信號。

9. 一種 FPGA，包含至少一個如上述請求項任一項所述的查找表。

圖式

圖 1

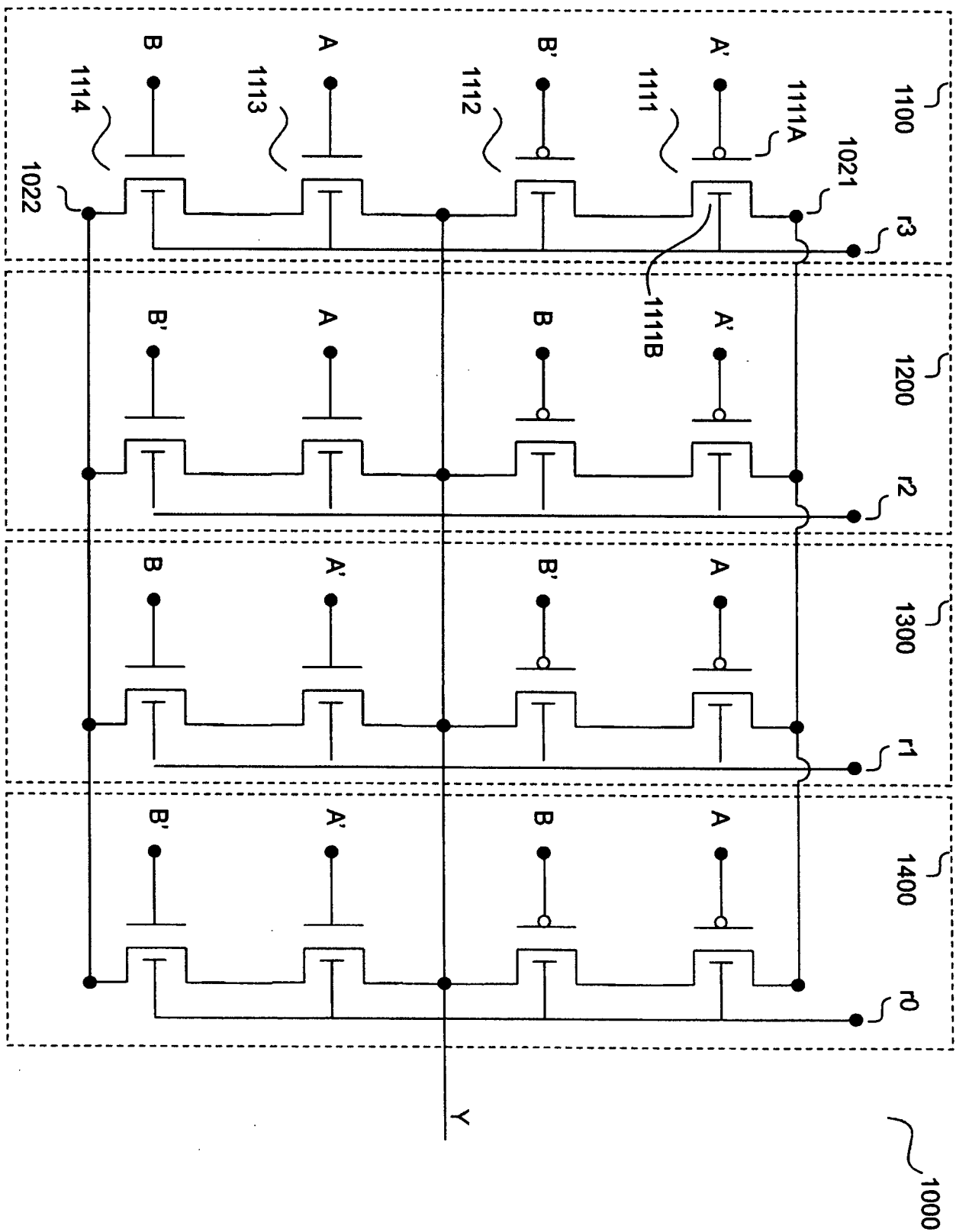
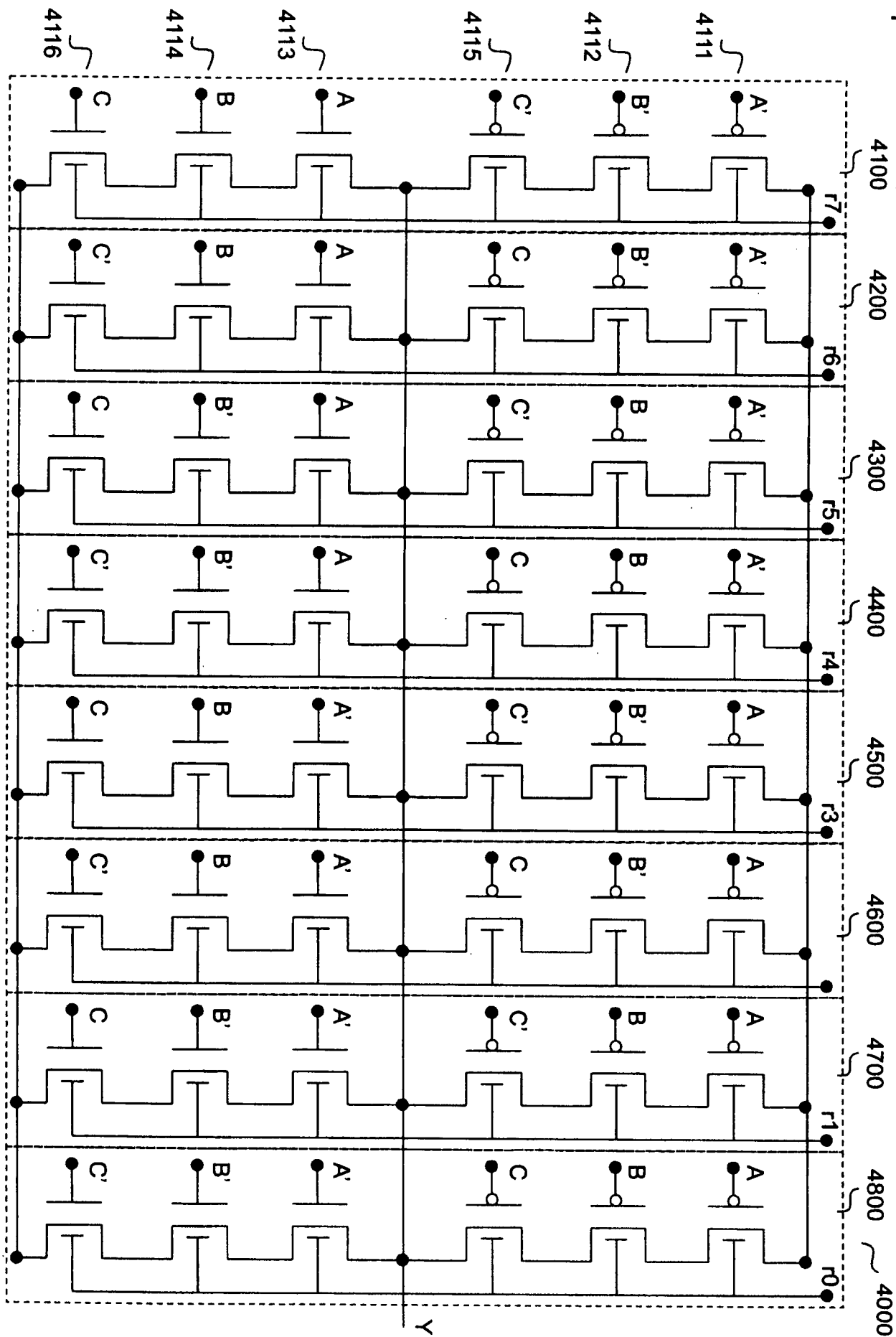


圖 4



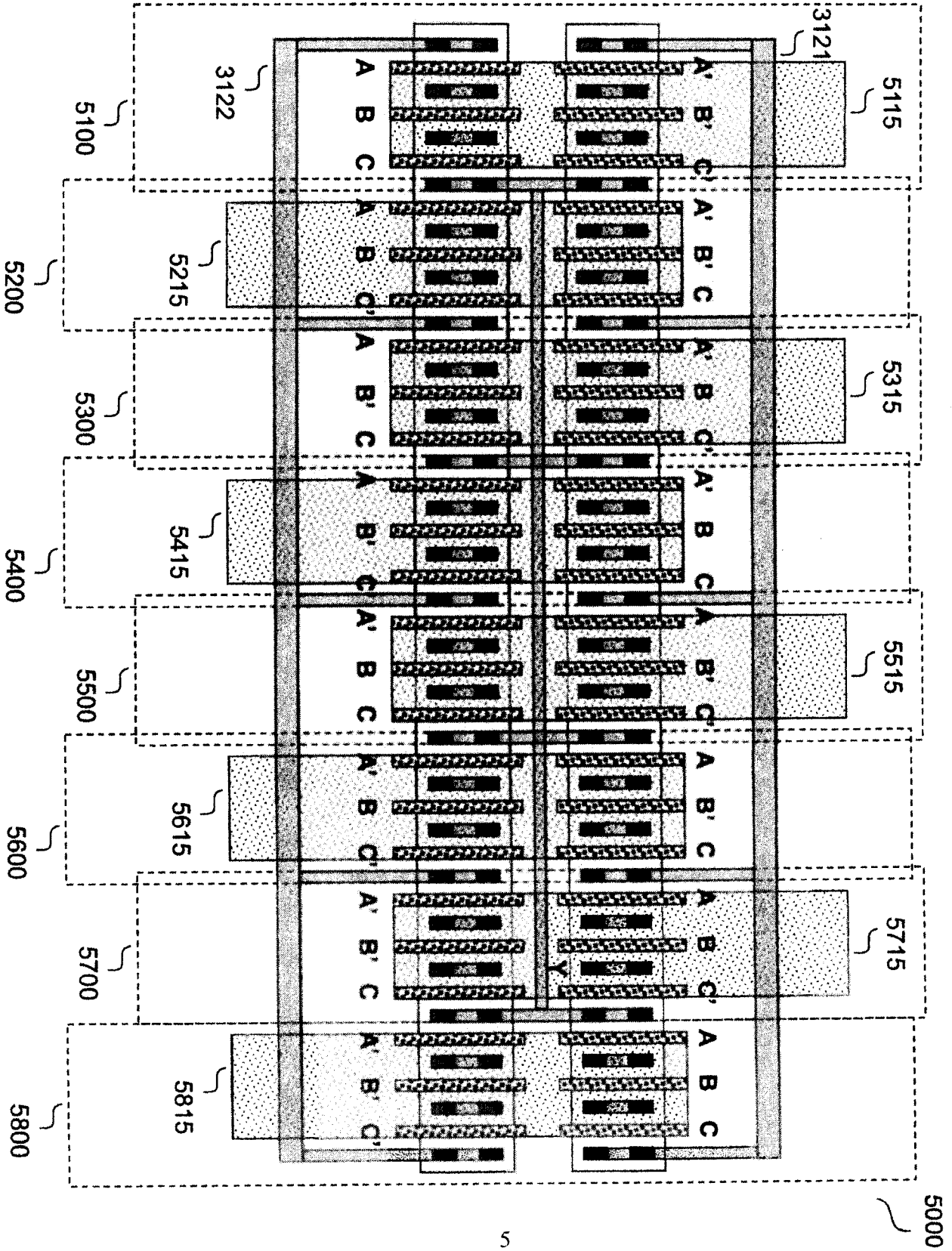


圖 6

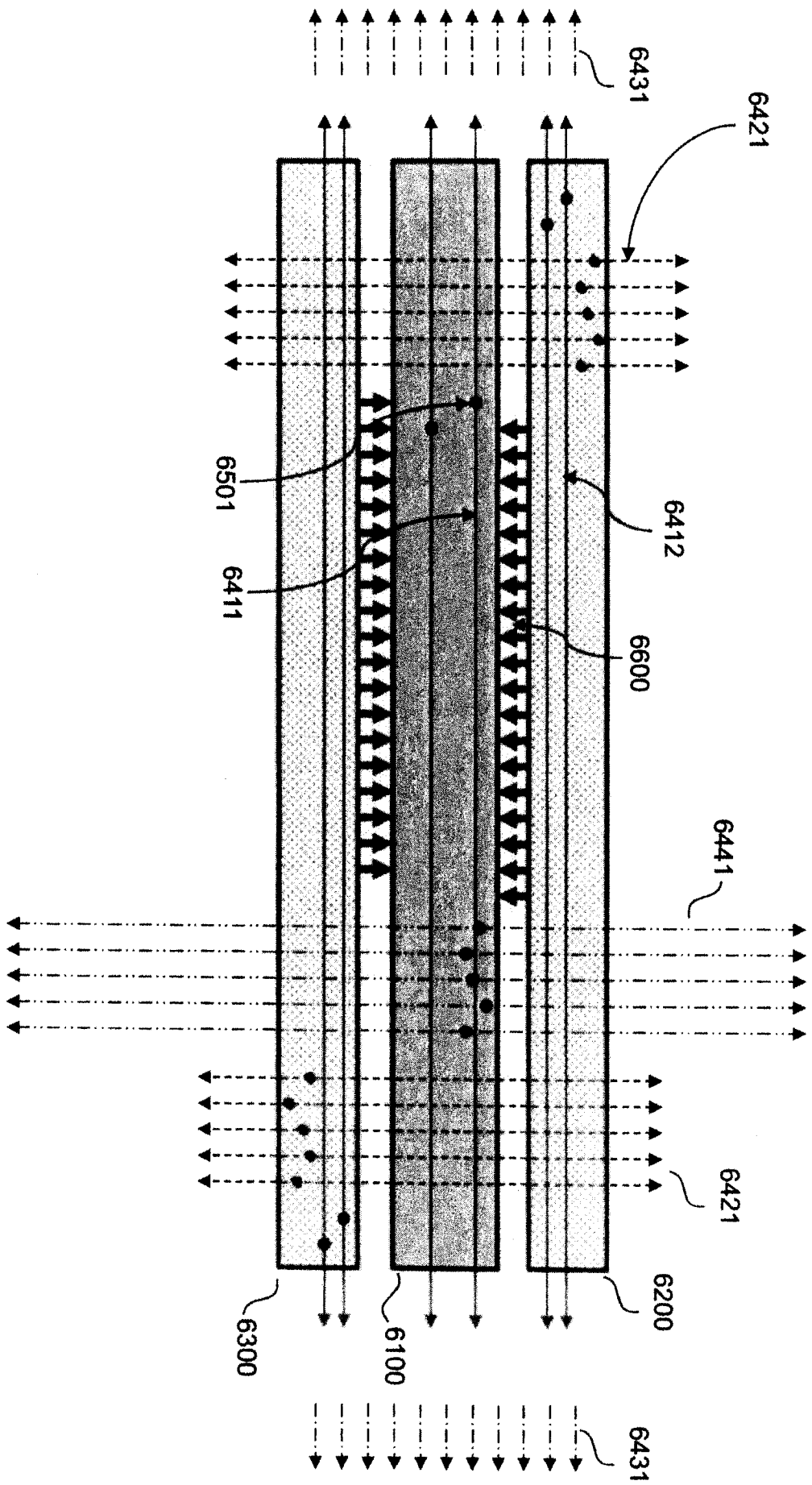
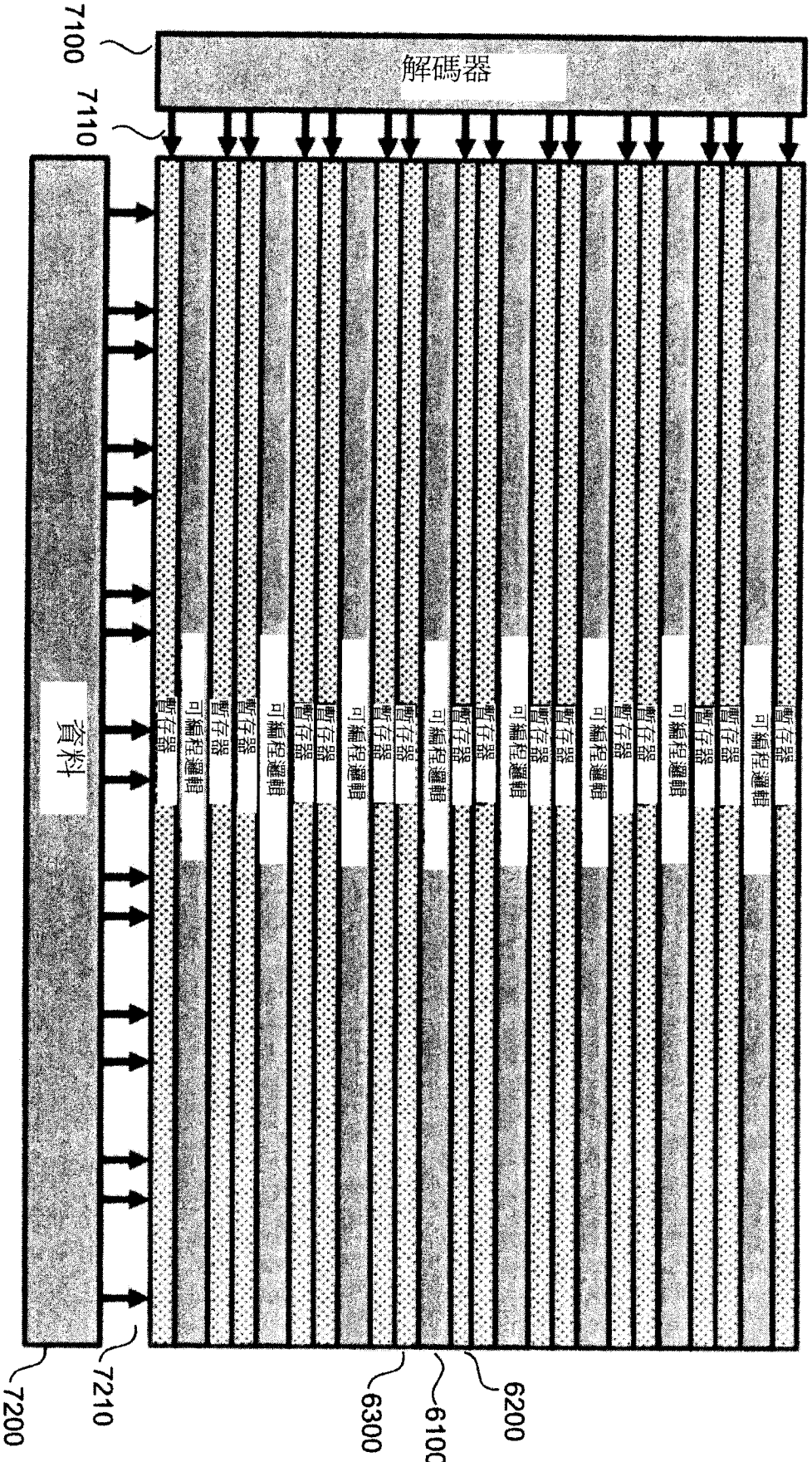


圖 7



7000

圖 9

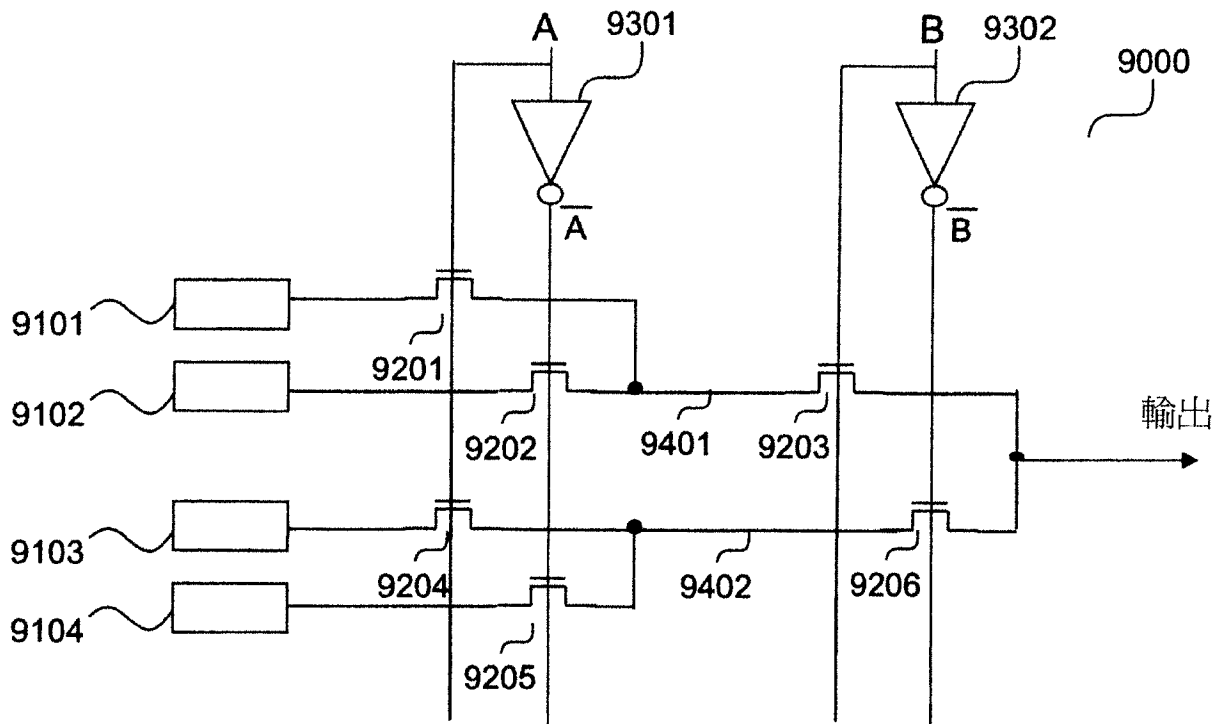
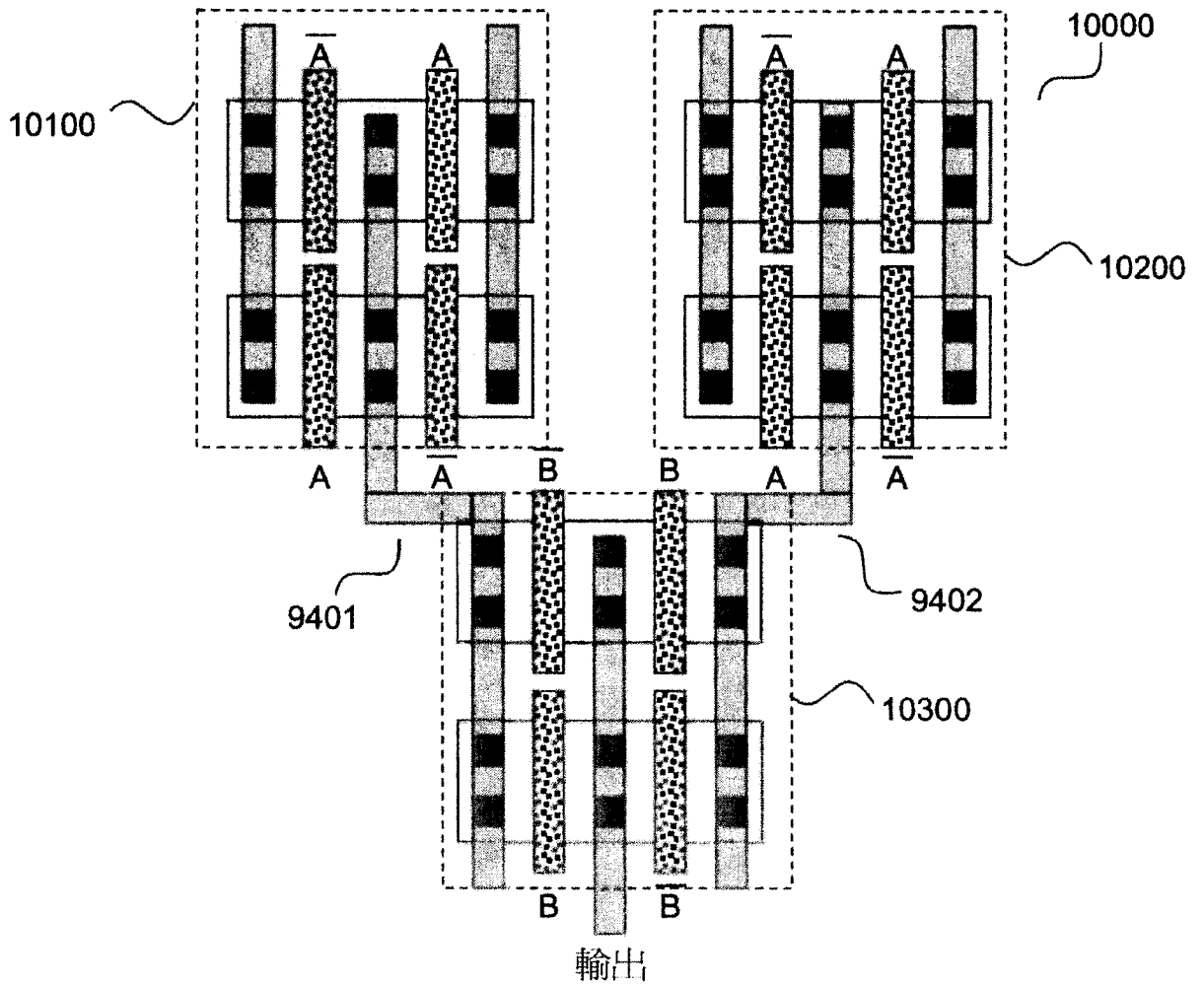


圖 10A



【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

A、A'、B、B' 輸入信號

r0~r3 暫存器信號

Y 輸出信號

1000 查找表

1021 高電源電壓

1022 低電源電壓

1100~1400 區域

1111A、1111B 閘極

1111~1114 通閘

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

【無】