

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-188070

(P2015-188070A)

(43) 公開日 平成27年10月29日(2015.10.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 E	3 K 1 0 7
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 1 3 Z	4 M 1 0 4
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 3 3
HO 1 L 21/336 (2006.01)	HO 1 L 27/08 1 O 2 H	5 F 0 4 8
HO 1 L 29/788 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3

審査請求 未請求 請求項の数 13 O L (全 71 頁) 最終頁に続く

(21) 出願番号 特願2015-41939 (P2015-41939)
 (22) 出願日 平成27年3月4日 (2015.3.4)
 (31) 優先権主張番号 特願2014-44473 (P2014-44473)
 (32) 優先日 平成26年3月7日 (2014.3.7)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2014-48727 (P2014-48727)
 (32) 優先日 平成26年3月12日 (2014.3.12)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 官入 秀和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 BB08 CC11 CC21
 CC35 EE04

最終頁に続く

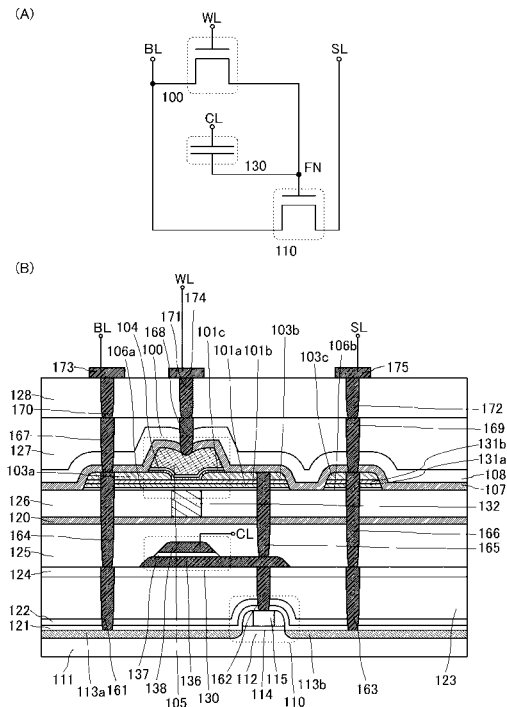
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 微細化・高密度化に適した半導体装置を提供すること。

【解決手段】 第1のトランジスタと、第1のトランジスタと互いに重なる第2のトランジスタと、第2のトランジスタと互いに重なる容量素子と、容量素子と電気的に接続する第1の配線と、を有し、第1の配線は、第2のトランジスタの電極と互いに重なる領域を有し、第1のトランジスタと、第2のトランジスタと、容量素子とは電気的に接続し、第1のトランジスタのチャンネルは、単結晶半導体を有し、第2のトランジスタのチャンネルは、酸化物半導体を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、
 前記第 1 のトランジスタと互いに重なる第 2 のトランジスタと、
 前記第 1 のトランジスタと互いに重なる第 1 の容量素子と、
 前記第 2 のトランジスタと互いに重なる第 2 の容量素子と、
 前記第 2 の容量素子と電氣的に接続する第 1 の配線と、を有し、
 前記第 1 の配線は、前記第 2 のトランジスタの電極と互いに重なる領域を有し、
 前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記第 1 の容量素子と、前記
 第 2 の容量素子とは電氣的に接続し、
 前記第 1 のトランジスタのチャンネルは、単結晶半導体を有し、
 前記第 2 のトランジスタのチャンネルは、酸化物半導体を有することを特徴とする半導体
 装置。

10

【請求項 2】

第 1 のトランジスタと、
 前記第 1 のトランジスタと互いに重なる第 2 のトランジスタと、
 前記第 1 のトランジスタと互いに重なる第 1 の容量素子と、
 前記第 2 のトランジスタと互いに重なる第 2 の容量素子と、
 前記第 2 の容量素子と電氣的に接続する第 1 の配線と、を有し、
 前記第 1 の配線は、前記第 2 のトランジスタの電極と互いに重なる領域を有し、
 前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記第 1 の容量素子と、前記
 第 2 の容量素子とは電氣的に接続し、
 前記第 1 のトランジスタのチャンネルは、単結晶半導体を有し、
 前記第 2 のトランジスタのチャンネルは、酸化物半導体を有し、
 前記第 1 の容量素子の一方の電極は、凸部を含み、
 前記第 1 の容量素子の他方の電極は、凹部を含むことを特徴とする半導体装置。

20

【請求項 3】

請求項 1 または請求項 2 において、
 前記第 1 の容量素子と電氣的に接続する第 2 の配線と、を有し、
 前記第 2 の配線は、前記第 1 のトランジスタの電極と互いに重なる領域を有することを
 特徴とする半導体装置。

30

【請求項 4】

請求項 3 において、
 前記第 2 の配線は、共通配線としての機能を有することを特徴とする半導体装置。

【請求項 5】

請求項 3 または請求項 4 において、
 前記第 2 の配線は、銅を含むことを特徴とする半導体装置。

【請求項 6】

第 1 のトランジスタと、
 前記第 1 のトランジスタと互いに重なる第 2 のトランジスタと、
 前記第 2 のトランジスタと互いに重なる容量素子と、
 前記容量素子と電氣的に接続する第 1 の配線と、を有し、
 前記第 1 の配線は、前記第 2 のトランジスタの電極と互いに重なる領域を有し、
 前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記容量素子とは電氣的に接
 続し、
 前記第 1 のトランジスタのチャンネルは、単結晶半導体を有し、
 前記第 2 のトランジスタのチャンネルは、酸化物半導体を有することを特徴とする半導体
 装置。

40

【請求項 7】

第 1 のトランジスタと、

50

前記第 1 のトランジスタと互いに重なる第 2 のトランジスタと、
前記第 2 のトランジスタと互いに重なる容量素子と、
前記容量素子と電氣的に接続する第 1 の配線と、を有し、
前記第 1 の配線は、前記第 2 のトランジスタの電極と互いに重なる領域を有し、
前記第 1 のトランジスタのチャンネルは、単結晶半導体を有し、
前記第 2 のトランジスタのチャンネルは、酸化物半導体を有し、
前記第 1 のトランジスタと、前記第 2 のトランジスタと、前記容量素子とは電氣的に接
続し、
前記容量素子の一方の電極は、凸部を含み、
前記容量素子の他方の電極は、凹部を含むことを特徴とする半導体装置。

10

【請求項 8】

請求項 6 または請求項 7 において、
前記容量素子は、
前記第 1 のトランジスタと前記第 2 のトランジスタの間に位置することを特徴とする半
導体装置。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一において、
前記容量素子は、
前記第 2 のトランジスタの上方に位置することを特徴とする半導体装置。

20

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一において、
前記第 2 のトランジスタの電極は、ゲート電極であることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一において、
前記第 1 の配線は、共通配線としての機能を有することを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一において、
前記第 1 のトランジスタと、前記第 2 のトランジスタとはプラグによって接続され、
前記プラグは、銅またはタングステンを含むことを特徴とする半導体装置。

30

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一において、
前記第 1 の配線は、銅を含むことを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、電界効果トランジスタを有する半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明
の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発
明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション
・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発
明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明
装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例とし
て挙げることができる。

40

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる
装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶
装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電
気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、
半導体装置を有している場合がある。

50

【背景技術】

【0004】

半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

【0006】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。例えば、Tri-GateトランジスタとCOB（capacitor over bitline）構造のMIMキャパシタが紹介されている（非特許文献1）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【非特許文献】

【0008】

【非特許文献1】R. Brain et al., "A 22nm High Performance Embedded DRAM SoC Technology Featuring Tri-gate Transistors and MIMCAP COB", 2013 SYMPOSIUM ON VLSI TECHNOLOGY 2-1

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様は、微細化・高密度化に適した半導体装置を提供することを課題の一とする。

【0010】

または、半導体装置に良好な電気特性を付与することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0012】

本発明の一態様は、第1のトランジスタと、第1のトランジスタと互いに重なる第2のトランジスタと、第1のトランジスタと互いに重なる第1の容量素子と、第2のトランジスタと互いに重なる第2の容量素子と、第2の容量素子と電氣的に接続する第1の配線と、を有し、第1の配線は、第2のトランジスタの電極と互いに重なる領域を有し、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子とは電氣的に接続し、第1のトランジスタのチャンネルは、単結晶半導体を有し、第2のトランジスタのチャンネルは、酸化物半導体を有することを特徴とする半導体装置である。

【0013】

10

20

30

40

50

また、本発明の他の一態様は、第1のトランジスタと、第1のトランジスタと互いに重なる第2のトランジスタと、第1のトランジスタと互いに重なる第1の容量素子と、第2のトランジスタと互いに重なる第2の容量素子と、第2の容量素子と電氣的に接続する第1の配線と、を有し、第1の配線は、第2のトランジスタの電極と互いに重なる領域を有し、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子とは電氣的に接続し、第1のトランジスタのチャンネルは、単結晶半導体を有し、第2のトランジスタのチャンネルは、酸化物半導体を有し、第1の容量素子の一方の電極は、凸部を含み、第1の容量素子の他方の電極は、凹部を含むことを特徴とする半導体装置である。

【0014】

また、上記構成において、第1の容量素子と電氣的に接続する第2の配線と、を有し、第2の配線は、第1のトランジスタの電極と互いに重なる領域を有する。

10

【0015】

また、上記構成において、第2の配線は、共通配線としての機能を有してもよい。

【0016】

また、上記構成において、第2の配線は、銅を含むことが好ましい。

【0017】

また、本発明の他の一態様は、第1のトランジスタと、第1のトランジスタと互いに重なる第2のトランジスタと、第2のトランジスタと互いに重なる容量素子と、容量素子と電氣的に接続する第1の配線と、を有し、第1の配線は、第2のトランジスタの電極と互いに重なる領域を有し、第1のトランジスタと、第2のトランジスタと、容量素子とは電氣的に接続し、第1のトランジスタのチャンネルは、単結晶半導体を有し、第2のトランジスタのチャンネルは、酸化物半導体を有することを特徴とする半導体装置である。

20

【0018】

また、本発明の他の一態様は、第1のトランジスタと、第1のトランジスタと互いに重なる第2のトランジスタと、第2のトランジスタと互いに重なる容量素子と、容量素子と電氣的に接続する第1の配線と、を有し、第1の配線は、第2のトランジスタの電極と互いに重なる領域を有し、第1のトランジスタのチャンネルは、単結晶半導体を有し、第2のトランジスタのチャンネルは、酸化物半導体を有し、第1のトランジスタと、第2のトランジスタと、容量素子とは電氣的に接続し、容量素子の一方の電極は、凸部を含み、容量素子の他方の電極は、凹部を含むことを特徴とする半導体装置である。

30

【0019】

また、上記構成において、容量素子は、第1のトランジスタと第2のトランジスタの間に位置する。

【0020】

また、上記構成において、容量素子は、第2のトランジスタの上方に位置する。

【0021】

また、上記構成において、第2のトランジスタの電極は、ゲート電極である。

【0022】

また、上記構成において、第1の配線は、共通配線としての機能を有することが好ましい。

40

【0023】

また、上記構成において、第1のトランジスタと、第2のトランジスタとはプラグによって接続され、プラグは、銅またはタングステンを含むことが好ましい。

【0024】

また、上記構成において、第1の配線は、銅を含むことが好ましい。

【発明の効果】

【0025】

本発明の一態様によれば、微細化・高密度化に適した半導体装置を提供することができる。

【0026】

50

または、半導体装置に良好な電気特性を付与することができる。または、信頼性の高い半導体装置を提供することができる。または、新規な構成の半導体装置等を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0027】

【図1】実施の形態に係る、半導体装置の回路図及び構成例。

【図2】実施の形態に係る、半導体装置を並べた上面図。

10

【図3】実施の形態に係る、半導体装置に含まれる積層構造を説明する図。

【図4】実施の形態に係る、半導体装置の構成例。

【図5】実施の形態に係る、バンド構造を説明する図。

【図6】実施の形態に係る、半導体装置の構成例。

【図7】実施の形態に係る、半導体装置の構成例。

【図8】実施の形態に係る、半導体装置の構成例。

【図9】実施の形態に係る、半導体装置の構成例。

【図10】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図11】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図12】実施の形態に係る、半導体装置の作製方法例を説明する図。

20

【図13】実施の形態に係る、半導体装置の構成例。

【図14】実施の形態に係る、半導体装置の構成例。

【図15】実施の形態に係る、半導体装置の構成例。

【図16】実施の形態に係る、半導体装置の回路図及び構成例。

【図17】実施の形態に係る、半導体装置を並べた上面図。

【図18】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図19】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図20】実施の形態に係る、半導体装置の構成例。

【図21】実施の形態に係る、半導体装置の構成例。

【図22】C A A C - O S の断面における C s 補正高分解能 T E M 像、および C A A C - O S の断面模式図。

30

【図23】C A A C - O S の平面における C s 補正高分解能 T E M 像。

【図24】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図。

【図25】C A A C - O S の電子回折パターンを示す図。

【図26】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。

【図27】実施の形態に係る、回路図。

【図28】図27の回路図の断面模式図の一例を説明する図。

【図29】図27の回路図の断面模式図の一例を説明する図。

【図30】実施の形態に係る、R F タグの構成例。

40

【図31】実施の形態に係る、C P U の構成例。

【図32】実施の形態に係る、記憶素子の回路図。

【図33】実施の形態に係る、表示装置の回路図。

【図34】実施の形態に係る、電子機器。

【図35】実施の形態に係る、R F デバイスの使用例。

【発明を実施するための形態】

【0028】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態

50

の記載内容に限定して解釈されるものではない。

【0029】

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0030】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0031】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0032】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0033】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0034】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0035】

(実施の形態1)

[積層構造の構成例]

以下では、本発明の一態様の半導体装置に適用することのできる積層構造の例について説明する。図3は、以下で示す積層構造10の断面概略図である。

【0036】

積層構造10は、第1のトランジスタを含む第1の層11、第1の絶縁膜21、第1の配線層31、バリア膜41、第2の配線層32、第2の絶縁膜22、及び第2のトランジスタを含む第2の層12が、順に積層された積層構造を有している。

【0037】

第1の層11に含まれる第1のトランジスタは、第1の半導体材料を含んで構成される。また、第2の層12に含まれる第2のトランジスタは、第2の半導体材料を含んで構成される。第1の半導体材料と第2の半導体材料は、同一の材料であってもよいが、異なる半導体材料とすることが好ましい。第1のトランジスタ及び第2のトランジスタは、それぞれ半導体膜、ゲート電極、ゲート絶縁膜、ソース電極及びドレイン電極(またはソース領域及びドレイン領域)を有する。

【0038】

例えば、第1の半導体材料、または第2の半導体材料として用いることのできる半導体としては、例えば、シリコンや炭化ケイ素、ゲルマニウム、ヒ化ガリウム、ガリウムヒ素リン、窒化ガリウム等の半導体材料、III-V族半導体材料の代表的な半導体材料として、B、Al、Ga、In、Tlから選択された一つ以上とN、P、As、Sbから選択された一つ以上を組み合わせた化合物半導体材料、II-VI族半導体材料の代表的な半

10

20

30

40

50

導体材料として、Mg、Zn、Cd、Hgから選択された一つ以上とO、S、Se、Teから選択された一つ以上を組み合わせた化合物半導体材料、有機半導体材料、または酸化物半導体材料などが挙げられる。

【0039】

ここでは、第1の半導体材料として単結晶シリコンを、第2の半導体材料として酸化物半導体を用いた場合について説明する。

【0040】

バリア膜41は、これよりも下層から水及び水素が上層に拡散することを抑制する機能を有する層である。なお、バリア膜41はこの上方に設けられる電極または配線と、下方に設けられる電極または配線とを電氣的に接続するための開口やプラグを有していてもよい。例えば、第1の配線層31に含まれる配線または電極と、第2の配線層32に含まれる配線または電極とを電氣的に接続するプラグを有する。

10

【0041】

第1の配線層31及び第2の配線層32に含まれる配線または電極に用いる材料としては、金属または合金材料のほか、導電性の金属窒化物を用いることができる。また、このような材料を含む層を単層で、若しくは2層以上積層して用いてもよい。

【0042】

第1の絶縁膜21は、第1の層11と第1の配線層31とを電氣的に絶縁する機能を有する。また、第1の絶縁膜21には、第1の層11に含まれる第1のトランジスタ、電極または配線と、第1の配線層31に含まれる電極または配線とを電氣的に接続するための開口やプラグを有していてもよい。

20

【0043】

第2の絶縁膜22は、第2の層12と第2の配線層32とを電氣的に絶縁する機能を有する。また、第2の絶縁膜22には、第2の層12に含まれる第2のトランジスタ、電極または配線と、第2の配線層32に含まれる電極または配線とを電氣的に接続するための開口やプラグを有していてもよい。

【0044】

また、第2の絶縁膜22は、酸化物を含むことが好ましい。特に加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。第2の半導体材料として酸化物半導体を用いた場合、第2の絶縁膜22から脱離した酸素が酸化物半導体に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、第2のトランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

30

【0045】

ここで、バリア膜41よりも下層では、水素や水などを出来る限り低減させておくことが好ましい。または、水素や水などの放出を出来る限り低減させておくことが好ましい。水素や水は酸化物半導体にとって電気特性の変動を引き起こす要因となりうる。また、バリア膜41を介して下層から上層へ拡散する水素や水は、バリア膜41により抑制することができるが、バリア膜41に設けられる開口やプラグ等を介して水素や水が上層に拡散してしまう場合がある。

40

【0046】

バリア膜41よりも下層に位置する各層に含まれる水素や水を低減させるため、または、水素や水の放出を低減させるため、バリア膜41を形成する前、またはバリア膜41にプラグを形成するための開口を形成した直後に、バリア膜41よりも下層に含まれる水素や水を除去するための加熱処理を施すことが好ましい。半導体装置を構成する導電膜などの耐熱性や、トランジスタの電気特性が劣化しない程度であれば、加熱処理の温度は高いほど好ましい。具体的には、例えば450 以上、好ましくは490 以上、より好ましくは530 以上の温度とすればよいが、650 以上で行ってもよい。不活性ガス雰囲気下または減圧雰囲気下で1時間以上、好ましくは5時間以上、より好ましくは10時間以上の加熱処理を行うことが好ましい。また、加熱処理の温度は第1の層11や第1の配

50

線層 3 1 に含まれる配線または電極の材料、及び第 1 の絶縁膜 2 1 に設けられるプラグの材料の耐熱性を考慮して決定すればよいが、例えば当該材料の耐熱性が低い場合には、550 以下、または 600 以下、または 650 以下、または 800 以下の温度で行えばよい。また、このような加熱処理は、少なくとも 1 回以上行えばよいが、複数回行うとより好ましい。

【0047】

バリア膜 4 1 より下層に設けられる絶縁膜は、昇温脱離ガス分光法分析 (TDS 分析ともよぶ) によって測定される、基板表面温度が 400 での水素分子 ($m/z = 2$) の脱離量が、300 での水素分子の脱離量の 130% 以下が好ましく、110% 以下であることがより好ましい。または、TDS 分析によって基板表面温度が 450 での水素分子の脱離量が、350 での水素分子の脱離量の 130% 以下が好ましく、110% 以下であることがより好ましい。

10

【0048】

また、バリア膜 4 1 自体に含まれる水や水素も低減されていることが好ましい。例えばバリア膜 4 1 として、TDS 分析によって基板表面温度が 20 から 600 の範囲における水素分子の脱離量が、 2×10^{15} 個/cm² 未満、好ましくは 1×10^{15} 個/cm² 未満、より好ましくは 5×10^{14} 個/cm² 未満である材料を用いることが好ましい。または、TDS 分析によって基板表面温度が 20 から 600 の範囲における水素分子 ($m/z = 18$) の脱離量が、 1×10^{16} 個/cm² 未満、好ましくは 5×10^{15} 個/cm² 未満、より好ましくは 2×10^{12} 個/cm² 未満である材料をバリア膜 4 1

20

【0049】

また、第 1 の層 1 1 に含まれる第 1 のトランジスタの半導体膜に単結晶シリコンを用いた場合には、当該加熱処理は、シリコンの不對結合手 (ダングリングボンドともいう) を水素によって終端化する処理 (水素化処理とも呼ぶ) を兼ねることができる。水素化処理により第 1 の層 1 1 及び第 1 の絶縁膜 2 1 に含まれる水素の一部が脱離して第 1 のトランジスタの半導体膜に拡散し、シリコン中のダングリングボンドを終端させることで、第 1 のトランジスタの信頼性および静特性を向上させることができる。

【0050】

バリア膜 4 1 に用いることのできる材料としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウムなどが挙げられる。特に、酸化アルミニウムは水や水素に対するバリア性に優れているため好ましい。

30

【0051】

バリア膜 4 1 は水や水素を透過しにくい材料の膜のほかに、他の絶縁材料を含む膜を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む膜、金属酸化物を含む膜などを積層させて用いてもよい。

【0052】

また、バリア膜 4 1 は、酸素を透過しにくい材料を用いることが好ましい。上述した材料は、水素、水に加え酸素に対してもバリア性に優れた材料である。このような材料を用いることで、第 2 の絶縁膜 2 2 を加熱した時に放出される酸素がバリア膜 4 1 よりも下層に拡散することを抑制することができる。その結果、第 2 の絶縁膜 2 2 から放出され、第 2 の層 1 2 中の第 2 のトランジスタの半導体膜に供給されうる酸素の量を増大させることができる。

40

【0053】

このように、バリア膜 4 1 よりも下層に位置する各層に含まれる水素や水の濃度を減少する、または水素や水を除去し、さらにバリア膜 4 1 により水素や水が第 2 の層へ拡散することを抑制する。また、バリア膜 4 1 は、水素や水の放出を抑制する。そのため、第 2 の絶縁膜 2 2 や、第 2 の層に含まれる第 2 のトランジスタを構成する各層における水素及び水の含有量を、極めて低いものとすることができる。例えば、第 2 の絶縁膜 2 2、第 2

50

のトランジスタの半導体膜、またはゲート絶縁膜に含まれる水素濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 未満、さらに好ましくは $3 \times 10^{17} \text{ cm}^{-3}$ 未満にまで低減することができる。

【0054】

本発明の一態様の半導体装置に、積層構造10を適用することにより、第1の層11に含まれる第1のトランジスタと、第2の層12に含まれる第2のトランジスタのいずれにおいても、高い信頼性を両立することが可能となり、極めて信頼性の高い半導体装置を実現できる。

【0055】

[構成例]

図1(A)は、本発明の一態様の半導体装置の回路図の一例である。図1(A)に示す半導体装置は、第1のトランジスタ110と、第2のトランジスタ100と、容量素子130と、配線SLと、配線BLと、配線WLと、配線CLとを有する。

【0056】

第1のトランジスタ110は、ソースまたはドレインの一方が配線BLと電氣的に接続し、他方が配線SLと電氣的に接続し、ゲートが第2のトランジスタ100のソースまたはドレインの一方及び容量素子130の一方の電極と電氣的に接続する。第2のトランジスタ100は、ソースまたはドレインの他方が配線BLと電氣的に接続し、ゲートが配線WLと電氣的に接続する。容量素子130は、他方の電極が配線CLと電氣的に接続する。なお、第1のトランジスタ110のゲートと、第2のトランジスタ100のソースまたはドレインの一方と、容量素子130の一方の電極の間のノードをノードFNと呼ぶ。

【0057】

図1(A)に示す半導体装置は、第2のトランジスタ100が導通状態(オン状態)の時に配線BLの電位に応じた電位をノードFNに与える。また、第2のトランジスタ100が非導通状態(オフ状態)のときに、ノードFNの電位を保持する機能を有する。すなわち、図1(A)に示す半導体装置は、記憶装置のメモリセルとしての機能を有する。なお、ノードFNと電氣的に接続する液晶素子や有機EL(Electroluminescence)素子などの表示素子を有する場合、図1(A)の半導体装置は表示装置の画素として機能させることもできる。

【0058】

第2のトランジスタ100の導通状態、非導通状態の選択は、配線WLに与える電位によって制御することができる。また、配線WLに与える電位によって第2のトランジスタ100のしきい値電圧を制御することができる。第2のトランジスタ100として、オフ電流の小さいトランジスタを用いることによって、非導通状態におけるノードFNの電位を長期間に渡って保持することができる。したがって、半導体装置のリフレッシュ頻度を低減することができるため、消費電力の小さい半導体装置を実現することができる。なお、オフ電流の小さいトランジスタの一例として、酸化物半導体を用いたトランジスタが挙げられる。

【0059】

なお、配線CLには基準電位や接地電位、または任意の固定電位などの定電位が与えられる。このとき、ノードFNの電位によって、第2のトランジスタ100の見かけ上のしきい値電圧が変動する。見かけ上のしきい値電圧の変動により、第1のトランジスタ110の導通状態、非導通状態が変化することを利用し、ノードFNに保持された電位の情報をデータとして読み出すことができる。

【0060】

本発明の一態様の半導体装置は、バリア膜よりも下層の水素濃度が十分に低減されている、もしくは、水素濃度の拡散・放出が抑制されているため、その結果、その上層の酸化物半導体を用いたトランジスタは、極めて低いオフ電流を実現することができる。

【0061】

図1(A)に示す半導体装置をマトリクス状に配置することで、記憶装置(メモリセル

10

20

30

40

50

アレイ)を構成することができる。

【0062】

図1(B)に、図1(A)で示した回路を実現可能な半導体装置の断面構成の一例を示す。また、図2(A)に図1(B)の半導体装置を並べた上面図を示す。なお、各半導体装置は、共通配線としての機能を有する配線CLを共有している。

【0063】

図2(A)に示すように第1のトランジスタ110の占有面積内に第2のトランジスタ100及び容量素子130が設けられている。また、半導体装置をマトリクス状に配置する際、図2(B)に示すように配線SL(低抵抗層113b)を隣の半導体装置と共有化してもよい。

【0064】

半導体装置は、図1(B)に示すように第1のトランジスタ110、第2のトランジスタ100、及び容量素子130を有する。第2のトランジスタ100は第1のトランジスタ110の上方に設けられ、第1のトランジスタ110と第2のトランジスタ100の間にはバリア膜120が設けられている。

【0065】

第1のトランジスタ110は、半導体基板111上に設けられ、半導体基板111の一部からなる半導体膜112、ゲート絶縁膜114、ゲート電極115、及びソース領域またはドレイン領域として機能する低抵抗層113a及び低抵抗層113bを有する。

【0066】

第1のトランジスタ110は、pチャネル型、nチャネル型のいずれでもよいが、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0067】

半導体膜112のチャンネルが形成される領域やその近傍の領域や、ソース領域またはドレイン領域となる低抵抗層113a及び低抵抗層113b等において、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、第1のトランジスタ110をHEMT(High Electron Mobility Transistor)としてもよい。

【0068】

低抵抗層113a及び低抵抗層113bは、半導体膜112に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0069】

ゲート電極115は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。しきい値電圧を調整するためにゲート電極を用いて仕事関数を調整することが好ましく、具体的にはゲート電極に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するためにゲート電極にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0070】

ここで、第1のトランジスタ110を含む構成が、積層構造10における第1の層11に対応する。

【0071】

ここで、第1のトランジスタ110に換えて図4に示すようなトランジスタ160を用いてもよい。図4の一点鎖線より左側にトランジスタ160のチャンネル長方向の断面を、

10

20

30

40

50

一点鎖線より右側にチャネル幅方向の断面を示す。図4に示すトランジスタ160はチャネルが形成される半導体膜112(半導体基板の一部)が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜114、ゲート電極115a及びゲート電極115bが設けられている。なお、ゲート電極115aは仕事関数を調整する材料を用いてもよい。このようなトランジスタ160は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁膜を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0072】

第1のトランジスタ110を覆って、絶縁膜121、絶縁膜122、絶縁膜123及び絶縁膜124が順に積層して設けられている。 10

【0073】

半導体膜112にシリコン系半導体材料を用いた場合、絶縁膜122は水素を含むことが好ましい。水素を含む絶縁膜122を第1のトランジスタ110上に設け、加熱処理を行うことで絶縁膜122中の水素により半導体膜112中のダングリングボンドが終端され、第1のトランジスタ110の信頼性を向上させることができる。

【0074】

絶縁膜123はその下層に設けられる第1のトランジスタ110などによって生じる段差を平坦化する平坦化膜として機能する。絶縁膜123の上面は、平坦性を高めるために化学機械研磨(CMP:Chemical Mechanical Polishing)法等を用いた平坦化処理により平坦化されていてもよい。 20

【0075】

絶縁膜124はバリア膜としての機能を有していてもよい。絶縁膜124は不要であれば設けなくてもよい。

【0076】

また、絶縁膜121、絶縁膜122、絶縁膜123、絶縁膜124には低抵抗層113a、低抵抗層113bと電氣的に接続するプラグ161、プラグ163等が埋め込まれ、第1のトランジスタ110のゲート電極115と電氣的に接続するプラグ162等が埋め込まれている。なお、本明細書等において、電極と、電極と電氣的に接続する配線とが一体物であってもよい。すなわち、配線の一部が電極として機能する場合や、電極の一部が配線として機能する場合もある。 30

【0077】

絶縁膜121、絶縁膜122、絶縁膜123、絶縁膜124を含む構成が、積層構造10における第1の絶縁膜21に相当する。

【0078】

絶縁膜124の上部及びプラグ162の上部には、容量素子130の一方の電極136が設けられている。電極136はプラグ162と電氣的に接続する。

【0079】

容量素子130の電極136上に絶縁膜137が設けられ、絶縁膜137上に容量素子130の他方の電極138が設けられている。なお、電極138は、配線CLと電氣的に接続されている。また、配線CLは、第2のトランジスタ100のゲート電極105と互いに重なる領域を有している。 40

【0080】

ここで、電極136、電極138及び配線CL等を含む構成が、積層構造10における第1の配線層31に相当する。

【0081】

各プラグ(プラグ161乃至プラグ163等)及び各電極(電極136、電極138等)等の材料としては、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、銅などの 50

低抵抗導電性材料で形成することが好ましい。

【0082】

また、配線CLの材料としては、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。上記のような材料を用いることで配線抵抗を低くすることができる。

【0083】

また、電極136、電極138及び配線CL等は、絶縁膜125に埋め込まれるように設けられ、絶縁膜125の上面は平坦化されていることが好ましい。

【0084】

バリア膜120は、絶縁膜125の上面を覆って設けられている。バリア膜120は、積層構造10におけるバリア膜41に相当する。バリア膜120の材料としては、上記バリア膜41についての記載を援用できる。

【0085】

また、バリア膜120は後述するプラグ164、プラグ165及びプラグ166が埋め込まれる開口を有している。

【0086】

バリア膜120上に、配線132が設けられている。配線132を含む構成が、積層構造10における第2の配線層32に相当する。

【0087】

配線132は、後述する第2のトランジスタ100のチャンネル形成領域に互いに重なって設けられ、第2のトランジスタ100の第2のゲート電極としての機能を有する。

【0088】

ここで、配線132等を構成する材料としては、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性を要する場合にはタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、導電性を考慮すると、低抵抗な金属材料または合金材料を用いることが好ましく、アルミニウム、クロム、銅、タンタル、チタンなどの金属材料、または当該金属材料を含む合金材料を単層で、または積層して用いてもよい。

【0089】

また、配線132等を構成する材料として、リン、ホウ素、炭素、窒素、または遷移金属元素などの主成分以外の元素を含む金属酸化物を用いることが好ましい。このような金属酸化物は、高い導電性を実現できる。例えば、In-Ga系酸化物、In-Zn系酸化物、In-M-Zn系酸化物（MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf）などの金属酸化物に、上述の元素を含ませて導電性を高めた材料を用いることができる。

【0090】

バリア膜120、配線132を覆って、絶縁膜126が設けられている。ここで絶縁膜126を含む領域が積層構造10における第2の絶縁膜22に相当する。

【0091】

絶縁膜126の上面は上述した平坦化処理によって平坦化されていることが好ましい。

【0092】

絶縁膜126は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。

【0093】

加熱により酸素を脱離する酸化物材料として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法（TDS：Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素

10

20

30

40

50

の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

【0094】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0095】

絶縁膜 126 の上部には、第 2 のトランジスタ 100 が設けられている。第 2 のトランジスタ 100 を含む構成が、積層構造 10 における第 2 の層 12 に相当する。

【0096】

第 2 のトランジスタ 100 は、絶縁膜 126 の上面に接する絶縁膜 106a と、絶縁膜 106a の上面に接する酸化物半導体膜 101a と、酸化物半導体膜 101a の上面に接する酸化物半導体膜 101b と、酸化物半導体膜 101b の上面に接し、酸化物半導体膜 101b と重なる領域で離間する電極 103a 及び電極 103b と、酸化物半導体膜 101b の上面、電極 103a の上面、及び電極 103b の上面に接する酸化物半導体膜 101c と、酸化物半導体膜 101c 上のゲート絶縁膜 104 と、ゲート絶縁膜 104 及び酸化物半導体膜 101c を介して酸化物半導体膜 101b と重なるゲート電極 105 とを有する。また、第 2 のトランジスタ 100 を覆って、絶縁膜 107、絶縁膜 108、及び絶縁膜 127 が設けられている。

【0097】

また、プラグ 161 及び電極 103a と電氣的に接続するプラグ 164 が絶縁膜 125、バリア膜 120、絶縁膜 126、絶縁膜 106a、酸化物半導体膜 101a、酸化物半導体膜 101b、及び電極 103a に埋め込まれるように設けられる。また、電極 136 及び電極 103b と電氣的に接続するプラグ 165 が絶縁膜 125、バリア膜 120、絶縁膜 126、絶縁膜 106a、酸化物半導体膜 101a、酸化物半導体膜 101b、及び電極 103b に埋め込まれるように設けられる。

【0098】

また、第 2 のトランジスタ 100 と同時に絶縁膜 106b、酸化物半導体膜 131a、酸化物半導体膜 131b 及び電極 103c が形成され、プラグ 163 及び電極 103c と電氣的に接続するプラグ 166 が絶縁膜 125、バリア膜 120、絶縁膜 126、絶縁膜 106b、酸化物半導体膜 131a、酸化物半導体膜 131b、及び電極 103c に埋め込まれるように設けられる。

【0099】

ここで、第 1 のトランジスタ 110 のゲート電極 115、容量素子 130 の電極 136、及び第 2 のトランジスタ 100 の電極 103b を含むノードが、図 1 (A) に示すノード FN に相当する。

【0100】

なお、電極 103a (及び/または、電極 103b) の、少なくとも一部 (または全部) は、酸化物半導体膜 101b (及び/または、酸化物半導体膜 101a) などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部 (または全部) に設けられている。

【0101】

または、電極 103a (及び/または、電極 103b) の、少なくとも一部 (または全部) は、酸化物半導体膜 101b (及び/または、酸化物半導体膜 101a) などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部 (または全部) と、接触している。または、電極 103a (及び/または、電極 103b) の、少なくとも一部 (または全部) は、酸化物半導体膜 101b (及び/または、酸化物半導体膜 101a)

10

20

30

40

50

などの半導体膜の少なくとも一部（または全部）と、接触している。

【0102】

または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部（または全部）と、電氣的に接続されている。または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の一部（または全部）と、電氣的に接続されている。

【0103】

または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部（または全部）に、近接して配置されている。または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の一部（または全部）に、近接して配置されている。

10

【0104】

または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部（または全部）の横側に配置されている。または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の一部（または全部）の横側に配置されている。

20

【0105】

または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部（または全部）の斜め上側に配置されている。または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の一部（または全部）の斜め上側に配置されている。

【0106】

または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の、表面、側面、上面、及び/または、下面の少なくとも一部（または全部）の上側に配置されている。または、電極103a（及び/または、電極103b）の、少なくとも一部（または全部）は、酸化物半導体膜101b（及び/または、酸化物半導体膜101a）などの半導体膜の一部（または全部）の上側に配置されている。

30

【0107】

例えば、上記酸化物半導体として、少なくとも少なくともインジウム（In）もしくは亜鉛（Zn）を含むことが好ましい。より好ましくは、In-M-Zn系酸化物（MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属）で表記される酸化物を含む。

40

【0108】

特に、半導体膜として、複数の結晶部を有し、当該結晶部はc軸が半導体膜の被形成面、または半導体膜の上面に対し垂直に配向し、且つ隣接する結晶部間には粒界を有さない酸化物半導体膜を用いることが好ましい。

【0109】

半導体膜としてこのような材料を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0110】

なお、半導体膜に適用可能な酸化物半導体の好ましい形態とその形成方法については、

50

後の実施の形態で詳細に説明する。

【0111】

本発明の一態様の半導体装置は、酸化物半導体膜と、該酸化物半導体膜と重なる絶縁膜との間に、酸化物半導体膜を構成する金属元素のうち、少なくとも一の金属元素を構成元素として含む第1の酸化物半導体膜を有することが好ましい。これにより、酸化物半導体膜と、該酸化物半導体膜と重なる絶縁膜との界面にトラップ準位が形成されることを抑制することができる。

【0112】

すなわち、本発明の一態様は、酸化物半導体膜の少なくともチャネル形成領域における上面及び底面が、酸化物半導体膜の界面準位形成防止のためのバリア膜として機能する酸化物膜に接する構成とすることが好ましい。このような構成とすることにより、酸化物半導体膜中及び界面においてキャリアの生成要因となる酸素欠損の生成及び不純物の混入を抑制することが可能となるため、酸化物半導体膜を高純度真性化することができる。高純度真性化とは、酸化物半導体膜を真性または実質的に真性にするをいう。よって、当該酸化物半導体膜を含むトランジスタの電気特性の変動を抑制し、信頼性の高い半導体装置を提供することが可能となる。

10

【0113】

なお、本明細書等において実質的に真性という場合、酸化物半導体膜のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満である。酸化物半導体膜を高純度真性化することで、トランジスタに安定した電気特性を付与することができる。

20

【0114】

酸化物半導体膜101aは、絶縁膜106aと酸化物半導体膜101bとの間に設けられている。

【0115】

酸化物半導体膜101cは、酸化物半導体膜101bとゲート絶縁膜104の間に設けられている。より具体的には、酸化物半導体膜101cは、その上面が電極103a及び電極103bの下面、及びゲート絶縁膜104の下面に接して設けられている。

【0116】

酸化物半導体膜101a及び酸化物半導体膜101cは、それぞれ酸化物半導体膜101bと同一の金属元素を一種以上含む酸化物を含む。

30

【0117】

なお、酸化物半導体膜101bと酸化物半導体膜101aの境界、及び酸化物半導体膜101bと酸化物半導体膜101cの境界は不明瞭である場合がある。

【0118】

例えば、酸化物半導体膜101a及び酸化物半導体膜101cは、In若しくはGaを含み、代表的には、In系酸化物、Ga系酸化物、In-Ga系酸化物、In-Zn系酸化物、In-M-Zn系酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)であり、且つ酸化物半導体膜101bよりも伝導帯の下端のエネルギーが真空準位に近い材料を用いる。代表的には、酸化物半導体膜101a及び酸化物半導体膜101cの伝導帯の下端のエネルギーと、酸化物半導体膜101bの伝導帯の下端のエネルギーとの差が、0.05 eV以上、0.07 eV以上、0.1 eV以上、または0.15 eV以上、且つ2 eV以下、1 eV以下、0.5 eV以下、または0.4 eV以下とすることが好ましい。

40

【0119】

酸化物半導体膜101bを挟むように設けられる酸化物半導体膜101a及び酸化物半導体膜101cに、酸化物半導体膜101bに比べてスタビライザとして機能するGaの含有量の多い酸化物を用いることにより、酸化物半導体膜101bからの酸素の放出を抑制することができる。

【0120】

50

酸化物半導体膜 101b として、例えば $In : Ga : Zn = 1 : 1 : 1$ または $3 : 1 : 2$ の原子数比の $In - Ga - Zn$ 系酸化物を用いた場合、酸化物半導体膜 101a または酸化物半導体膜 101c として、例えば $In : Ga : Zn = 1 : 3 : 2$ 、 $1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 6 : 4$ 、 $1 : 6 : 8$ 、 $1 : 6 : 10$ 、または $1 : 9 : 6$ などの原子数比の $In - Ga - Zn$ 系酸化物を用いることができる。なお、酸化物半導体膜 101a、酸化物半導体膜 101b 及び酸化物半導体膜 101c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。また、酸化物半導体膜 101a と酸化物半導体膜 101c は、組成の同じ材料を用いてもよいし、異なる組成の材料を用いてもよい。

【0121】

また、酸化物半導体膜 101b として $In - M - Zn$ 系酸化物を用いた場合、酸化物半導体膜 101b となる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比を $In : M : Zn = x_1 : y_1 : z_1$ としたときに、 x_1 / y_1 の値が $1/3$ 以上 6 以下、好ましくは 1 以上 6 以下であり、 z_1 / y_1 が $1/3$ 以上 6 以下、好ましくは 1 以上 6 以下の原子数比の酸化物を用いることが好ましい。なお、 z_1 / y_1 を 6 以下とすることで、後述する CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 1 : 1$ 、 $3 : 1 : 2$ などがある。

【0122】

また、酸化物半導体膜 101a、酸化物半導体膜 101c として $In - M - Zn$ 系酸化物を用いた場合、酸化物半導体膜 101a、酸化物半導体膜 101c となる酸化物半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比を $In : M : Zn = x_2 : y_2 : z_2$ としたときに、 $x_2 / y_2 < x_1 / y_1$ であり、 z_2 / y_2 の値が $1/3$ 以上 6 以下、好ましくは 1 以上 6 以下の原子数比の酸化物を用いることが好ましい。なお、 z_2 / y_2 を 6 以下とすることで、後述する CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 3 : 8$ などがある。

【0123】

また、酸化物半導体膜 101a 及び酸化物半導体膜 101c に、酸化物半導体膜 101b に比べて伝導帯の下端のエネルギーが真空準位に近い材料を用いることにより、酸化物半導体膜 101b に主としてチャネルが形成され、酸化物半導体膜 101b が主な電流経路となる。このように、チャネルが形成される酸化物半導体膜 101b を、同じ金属元素を含む酸化物半導体膜 101a 及び酸化物半導体膜 101c で挟持することにより、これらの界面準位の生成が抑制され、トランジスタの電気特性における信頼性が向上する。

【0124】

なお、これに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜 101a、酸化物半導体膜 101b 及び酸化物半導体膜 101c のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0125】

ここで、酸化物半導体膜 101a と酸化物半導体膜 101b との間には、酸化物半導体膜 101a と酸化物半導体膜 101b との混合領域を有する場合がある。また、酸化物半導体膜 101b と酸化物半導体膜 101c との間には、酸化物半導体膜 101b と酸化物半導体膜 101c との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、酸化物半導体膜 101a、酸化物半導体膜 101b 及び酸化物半導体膜 101c の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0126】

ここで、バンド構造について説明する。バンド構造は、理解を容易にするため絶縁膜 1

10

20

30

40

50

25、酸化物半導体膜101a、酸化物半導体膜101b、酸化物半導体膜101c及びゲート絶縁膜104の伝導帯下端のエネルギー(E_c)を示す。

【0127】

図5(A)、図5(B)に示すように、酸化物半導体膜101a、酸化物半導体膜101b、酸化物半導体膜101cにおいて、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体膜101a、酸化物半導体膜101b、酸化物半導体膜101cを構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体膜101a、酸化物半導体膜101b、酸化物半導体膜101cは組成が異なる層の積層体ではあるが、物性的に連続であるということもできる。

【0128】

主成分を共通として積層された酸化物半導体膜は、各層を単に積層するのではなく連続接合(ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造)が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された多層膜の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0129】

なお、図5(A)では、酸化物半導体膜101aと酸化物半導体膜101cの E_c が同様である場合について示したが、それぞれが異なってもよい。例えば、酸化物半導体膜101aよりも酸化物半導体膜101cの E_c が高いエネルギーを有する場合、バンド構造の一部は、図5(B)のように示される。

【0130】

図5(A)、図5(B)より、酸化物半導体膜101bがウェル(井戸)となり、第2のトランジスタ100において、チャンネルが酸化物半導体膜101bに形成されることがわかる。なお、酸化物半導体膜101a、酸化物半導体膜101b、酸化物半導体膜101cは伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸(U Shape Well)とも呼ぶことができる。また、このような構成で形成されたチャンネルを埋め込みチャンネルということもできる。

【0131】

なお、酸化物半導体膜101a及び酸化物半導体膜101cと、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体膜101a及び酸化物半導体膜101cがあることにより、酸化物半導体膜101bと当該トラップ準位とを遠ざけることができる。ただし、酸化物半導体膜101aまたは酸化物半導体膜101cの E_c と、酸化物半導体膜101bの E_c とのエネルギー差が小さい場合、酸化物半導体膜101bの電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0132】

したがって、トランジスタのしきい値電圧の変動を低減するには、酸化物半導体膜101a及び酸化物半導体膜101cの E_c と、酸化物半導体膜101bとの間にエネルギー差を設けることが必要となる。それぞれの当該エネルギー差は、0.1eV以上が好ましく、0.15eV以上がより好ましい。

【0133】

なお、酸化物半導体膜101a、酸化物半導体膜101b、酸化物半導体膜101cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。

【0134】

また、図5(B)に示すようなバンド構造において、酸化物半導体膜101cを設けず、酸化物半導体膜101bとゲート絶縁膜104の間にIn-Ga酸化物(たとえば、原子数比でIn:Ga=7:93)を設けてもよい。

10

20

30

40

50

【0135】

酸化物半導体膜101bは、酸化物半導体膜101a及び酸化物半導体膜101cよりも電子親和力の小さい酸化物を用いる。例えば、酸化物半導体膜101bとして、酸化物半導体膜101a及び酸化物半導体膜101cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0136】

ここで、酸化物半導体膜101bの厚さは、少なくとも酸化物半導体膜101aよりも厚く形成することが好ましい。酸化物半導体膜101bが厚いほど、トランジスタのオン電流を高めることができる。また、酸化物半導体膜101aは、酸化物半導体膜101bの界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、酸化物半導体膜101bの厚さは、酸化物半導体膜101aの厚さに対して、1倍よりも大きく、好ましくは2倍以上、より好ましくは4倍以上、より好ましくは6倍以上とすればよい。なお、トランジスタのオン電流を高める必要のない場合にはその限りではなく、酸化物半導体膜101aの厚さを酸化物半導体膜101bの厚さ以上としてもよい。

10

【0137】

また、酸化物半導体膜101cも酸化物半導体膜101aと同様に、酸化物半導体膜101bの界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、酸化物半導体膜101aと同等またはそれ以下の厚さとすればよい。酸化物半導体膜101cが厚いと、ゲート電極による電界が酸化物半導体膜101bに届きにくくなる恐れがあるため、酸化物半導体膜101cは薄く形成することが好ましい。例えば、酸化物半導体膜101bの厚さよりも薄くすればよい。なお、これに限られず、酸化物半導体膜101cの厚さはゲート絶縁膜104の耐圧を考慮して、トランジスタを駆動させる電圧に応じて適宜設定すればよい。

20

【0138】

ここで、例えば、酸化物半導体膜101bが、構成元素の異なる絶縁膜（例えば酸化シリコン膜を含む絶縁膜など）と接する場合、これらの界面に界面準位が形成され、該界面準位はチャンネルを形成することがある。このような場合、しきい値電圧の異なる第2のトランジスタが出現し、トランジスタの見かけ上のしきい値電圧が変動することがある。しかしながら、本構成のトランジスタにおいては、酸化物半導体膜101bを構成する金属元素を一種以上含んで酸化物半導体膜101aを有しているため、酸化物半導体膜101aと酸化物半導体膜101bとの界面に界面準位を形成しにくくなる。よって酸化物半導体膜101aを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

30

【0139】

また、ゲート絶縁膜104と酸化物半導体膜101bとの界面にチャンネルが形成される場合、該界面で界面散乱がおり、トランジスタの電界効果移動度が低下する場合がある。しかしながら、本構成のトランジスタにおいては、酸化物半導体膜101bを構成する金属元素を一種以上含んで酸化物半導体膜101cを有しているため、酸化物半導体膜101bと酸化物半導体膜101cとの界面ではキャリアの散乱が起りにくく、トランジスタの電界効果移動度を高くすることができる。

40

【0140】

電極103a及び電極103bは、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0141】

電極103a及び電極103bは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造

50

、タングステン膜上にアルミニウム膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0142】

ゲート絶縁膜104は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba, Sr) TiO_3 (BST)などのいわゆるhigh-k材料を含む絶縁膜を単層または積層で用いることができる。またはこれらの絶縁膜に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁膜を窒化処理してもよい。上記の絶縁膜に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

10

【0143】

また、ゲート絶縁膜104として、絶縁膜126と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。

20

【0144】

なお、特定の材料をゲート絶縁膜に用いると、特定の条件でゲート絶縁膜に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁膜の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度(半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、125 以上450 以下、代表的には150 以上300 以下)の下で、ゲート電極の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体膜からゲート電極に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位に捕獲される。

30

【0145】

このように電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。また、電子を捕獲せしめる処理は、トランジスタの作製過程におこなえばよい。

【0146】

例えば、トランジスタのソース電極あるいはドレイン電極に接続する配線の形成後、あるいは、前工程(ウェハー処理)の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。いずれの場合にも、その後125 以上の温度に1時間以上さらされないことが好ましい。

40

【0147】

ゲート電極105は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を

50

形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0148】

また、ゲート電極105は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0149】

また、プラグ164と電氣的に接続するプラグ167が絶縁膜127、絶縁膜107、絶縁膜108に埋め込まれるように設けられる。また、ゲート電極105と電氣的に接続するプラグ168が絶縁膜127、絶縁膜107、絶縁膜108に埋め込まれるように設けられる。また、プラグ166と電氣的に接続するプラグ169が絶縁膜127、絶縁膜107、絶縁膜108に埋め込まれるように設けられる。

【0150】

また、ゲート電極105とゲート絶縁膜104の間に、In-Ga-Zn系酸窒化物半導体膜、In-Sn系酸窒化物半導体膜、In-Ga系酸窒化物半導体膜、In-Zn系酸窒化物半導体膜、Sn系酸窒化物半導体膜、In系酸窒化物半導体膜、金属窒化膜(InN、ZnN等)等を設けてもよい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸窒化物半導体膜を用いる場合、少なくとも酸化物半導体膜101bより高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体膜を用いる。

【0151】

絶縁膜107は、バリア膜120と同様、水や水素が拡散しにくい材料を用いることが好ましい。また、特に、絶縁膜107として酸素を透過しにくい材料を用いることが好ましい。

【0152】

酸素を透過しにくい材料を含む絶縁膜107で酸化物半導体膜101bを覆うことで、酸化物半導体膜101bから絶縁膜107よりも上方に酸素が放出されることを抑制することができる。さらに、絶縁膜126から脱離した酸素を絶縁膜107よりも下側に閉じ込めることができるため、酸化物半導体膜101bに供給しうる酸素の量を増大させることができる。

【0153】

また、水や水素を透過しにくい絶縁膜107により、外部から酸化物半導体にとっての不純物である水や水素が混入することを抑制でき、第2のトランジスタ100の電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0154】

なお、絶縁膜107よりも下側に、絶縁膜126と同様の、加熱により酸素が脱離する絶縁膜を設け、ゲート絶縁膜104を介して酸化物半導体膜101bの上側からも酸素を供給する構成としてもよい。

【0155】

ここで、第2のトランジスタ100に適用可能なトランジスタの構成例について示す。図6(A)は以下で例示するトランジスタの上面概略図であり、図6(B)、図6(C)はそれぞれ、図6(A)中の切断線A1-A2、B1-B2で切断したときの断面概略図である。なお、図6(B)はトランジスタのチャンネル長方向の断面に相当し、図6(C)はトランジスタのチャンネル幅方向の断面に相当する。

【0156】

10

20

30

40

50

図6(C)に示すように、トランジスタのチャンネル幅方向の断面において、ゲート電極が酸化物半導体膜101bの上面及び側面に面して設けられることで、酸化物半導体膜101bの上面近傍だけでなく側面近傍にまでチャンネルが形成され、実効的なチャンネル幅が増大し、オン状態における電流(オン電流)を高めることができる。特に、酸化物半導体膜101bの幅が極めて小さい(例えば50nm以下、好ましくは30nm以下、より好ましくは20nm以下)場合には、酸化物半導体膜101bの内部にまでチャンネルが形成される領域が広がるため、微細化するほどオン電流に対する寄与が高まる。

【0157】

なお、図7(A)、図7(B)、図7(C)に示すように、ゲート電極105の幅を狭くしてもよい。その場合、例えば、電極103a及び電極103bや、ゲート電極105などをマスクとして、酸化物半導体膜101bなどに、アルゴン、水素、リン、ボロンなどの不純物を導入することができる。その結果、酸化物半導体膜101bなどにおいて、低抵抗領域109a、低抵抗領域109bを設けることができる。なお、低抵抗領域109a、低抵抗領域109bは、必ずしも、設けなくてもよい。なお、図6だけでなく、他の図面においても、ゲート電極105の幅を狭くすることができる。

10

【0158】

図8(A)、図8(B)に示すトランジスタは、図6で例示したトランジスタと比較して、酸化物半導体膜101cが電極103a及び電極103bの下面に接して設けられている点で主に相違している。

20

【0159】

このような構成とすることで、酸化物半導体膜101a、酸化物半導体膜101b及び酸化物半導体膜101cを構成するそれぞれの膜の成膜時において、大気に触れさせることなく連続的に成膜することができるため、各々の界面欠陥を低減することができる。

【0160】

また、上記では、酸化物半導体膜101bに接して酸化物半導体膜101a及び酸化物半導体膜101cを設ける構成を説明したが、酸化物半導体膜101aまたは酸化物半導体膜101cの一方、またはその両方を設けない構成としてもよい。

【0161】

なお、図8においても、図6と同様に、ゲート電極105の幅を狭くすることができる。その場合の例を、図9(A)、図9(B)に示す。なお、図6、図8だけでなく、他の図面においても、ゲート電極105の幅を狭くすることができる。

30

【0162】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【0163】

チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースまたはドレインの幅をいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0164】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示され

50

るチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0165】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

10

【0166】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースまたはドレインの幅である見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0167】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0168】

以上が第2のトランジスタ100についての説明である。

【0169】

第2のトランジスタ100を覆う絶縁膜127は、その下層の凹凸形状を被覆する平坦化膜として機能する。また、絶縁膜108は、絶縁膜127を成膜する際の保護膜としての機能を有していてもよい。絶縁膜108は不要であれば設けなくてもよい。

30

【0170】

また、プラグ170は絶縁膜128に埋め込まれるように設けられ、プラグ167と電氣的に接続している。また、プラグ171は絶縁膜128に埋め込まれるように設けられ、プラグ168と電氣的に接続している。また、プラグ172は絶縁膜128に埋め込まれるように設けられ、プラグ169と電氣的に接続している。

【0171】

また、電極173はプラグ170及び配線BLと電氣的に接続し、電極174はプラグ171及び配線WLと電氣的に接続し、電極175はプラグ172及び配線SLと電氣的に接続している。

40

【0172】

本発明の一態様の半導体装置は、第1のトランジスタ110と、第1のトランジスタの上方に位置する第2のトランジスタ100とを有するため、これらを積層して設けることにより素子の占有面積を縮小することができる。さらに容量素子130は、第2のトランジスタ100の下方位置するため、これらを積層して設けることにより素子の占有面積を縮小することができる。また、配線CLは第2のトランジスタ100のゲート電極105と互いに重なる領域を有するため、さらに素子の占有面積を縮小することができる。さらに、第1のトランジスタ110と第2のトランジスタ100との間に設けられたバリア膜

50

120により、これよりも下層に存在する水や水素等の不純物が第2のトランジスタ100側に拡散することを抑制できる。

【0173】

以上が構成例についての説明である。

【0174】

[作製方法例]

以下では、上記構成例で示した半導体装置の作製方法の一例について、図10乃至図12を用いて説明する。

【0175】

まず、半導体基板111を準備する。半導体基板111としては、例えば、単結晶シリコン基板(p型の半導体基板、またはn型の半導体基板を含む)、炭化シリコンや窒化ガリウムからなる化合物半導体基板などを用いることができる。また、半導体基板111として、SOI基板を用いてもよい。以下では、半導体基板111として単結晶シリコンを用いた場合について説明する。

10

【0176】

続いて、半導体基板111に素子分離層(図示せず)を形成する。素子分離層はLOCOS(Local Oxidation of Silicon)法またはSTI(Shallow Trench Isolation)法を用いて形成すればよい。

【0177】

同一基板上にp型のトランジスタとn型のトランジスタを形成する場合、半導体基板111の一部にnウェルまたはpウェルを形成してもよい。例えば、n型の半導体基板111にp型の導電性を付与するホウ素などの不純物元素を添加してpウェルを形成し、同一基板上にn型のトランジスタとp型のトランジスタを形成してもよい。

20

【0178】

続いて、半導体基板111上にゲート絶縁膜114となる絶縁膜を形成する。例えば、表面窒化処理後に酸化処理を行い、シリコンと窒化シリコン界面を酸化して酸化窒化シリコン膜を形成してもよい。例えばNH₃雰囲気中で700にて熱窒化シリコン膜を表面に形成後に酸素ラジカル酸化を行うことで酸化窒化シリコン膜が得られる。

【0179】

当該絶縁膜は、スパッタリング法、CVD(CheMical Vapor Deposition)法(熱CVD法、MOCVD(Metal Organic CVD)法、PECVD(Plasma Enhanced CVD)法を含む)、MBE(Molecular Beam Epitaxy)法、ALD(Atomic Layer Deposition)法、またはPLD(Pulsed Laser Deposition)法等で成膜することにより形成してもよい。

30

【0180】

続いて、ゲート電極115となる導電膜を成膜する。導電膜としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。また、ゲート電極115の仕事関数を制御する金属膜を設けてもよい。

40

【0181】

導電膜は、スパッタリング法、蒸着法、CVD法(熱CVD法、MOCVD法、PECVD法を含む)などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0182】

続いて、当該導電膜上にリソグラフィ法を用いてレジストマスクを形成し、当該導電

50

膜の不要な部分を除去する。その後、レジストマスクを除去することにより、ゲート電極 115 を形成することができる。

【0183】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、リソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、リソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

10

【0184】

レジストマスクの形成に用いる光は、例えば i 線（波長 365 nm）、g 線（波長 436 nm）、h 線（波長 405 nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線や KrF レーザ光、または ArF レーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV: Extreme Ultra-violet）や X 線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X 線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

20

【0185】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピコート法などにより、その下層の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えば BARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

30

【0186】

ゲート電極 115 の形成後、ゲート電極 115 の側面を覆うサイドウォールを形成してもよい。サイドウォールは、ゲート電極 115 の厚さよりも厚い絶縁膜を成膜した後に、異方性エッチングを施し、ゲート電極 115 の側面部分のみ当該絶縁膜を残存させることにより形成できる。

【0187】

サイドウォールの形成時にゲート絶縁膜 114 となる絶縁膜も同時にエッチングされることにより、ゲート電極 115 及びサイドウォールの下部にゲート絶縁膜 114 が形成される。または、ゲート電極 115 を形成した後にゲート電極 115 またはゲート電極 115 を加工するためのレジストマスクをエッチングマスクとして当該絶縁膜をエッチングすることによりゲート絶縁膜 114 を形成してもよい。または、当該絶縁膜に対してエッチングによる加工を行わずに、そのままゲート絶縁膜 114 として用いることもできる。

40

【0188】

続いて、半導体基板 111 のゲート電極 115（及びサイドウォール）が設けられていない領域にリンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を添加する。この段階における断面概略図が図 10（A）に相当する。

【0189】

続いて、絶縁膜 121 を形成した後、上述した導電性を付与する元素の活性化のための第 1 の加熱処理を行う。

【0190】

50

絶縁膜 1 2 1 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜 1 2 1 はスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0191】

第1の加熱処理は、希ガスや窒素ガスなどの不活性ガス雰囲気下、または減圧雰囲気下にて、例えば、400 以上でかつ基板の歪み点未満で行うことができる。

10

【0192】

この段階で第1のトランジスタ 1 1 0 が形成される。

【0193】

続いて、絶縁膜 1 2 2 及び絶縁膜 1 2 3 を形成する。

【0194】

絶縁膜 1 2 2 は、絶縁膜 1 2 1 に用いることのできる材料のほか、酸素と水素を含む窒化シリコン(SiNOH)を用いると、加熱によって脱離する水素の量を多くすることができるため好ましい。また、絶縁膜 1 2 3 は、絶縁膜 1 2 1 に用いることのできる材料のほか、TEOS(Tetra-Ethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いることが好ましい。

20

【0195】

絶縁膜 1 2 2 及び絶縁膜 1 2 3 は、例えば、スパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0196】

続いて絶縁膜 1 2 3 の上面をCMP法等を用いて平坦化する。

30

【0197】

その後、半導体膜 1 1 2 中のダングリングボンドを絶縁膜 1 2 2 から脱離する水素によって終端するための第2の加熱処理を行う。

【0198】

第2の加熱処理は、上記積層構造 1 0 の説明で例示した条件で行うことができる。

【0199】

続いて、絶縁膜 1 2 3 上に絶縁膜 1 2 4 を形成する。

【0200】

続いて、絶縁膜 1 2 1、絶縁膜 1 2 2、絶縁膜 1 2 3 及び絶縁膜 1 2 4 に低抵抗層 1 1 3 a、低抵抗層 1 1 3 b 及びゲート電極 1 1 5 等に達する開口を形成する。その後、開口を埋めるように導電膜を形成し、絶縁膜 1 2 4 の上面が露出するように該導電膜に平坦化処理を施すことにより、プラグ 1 6 1、プラグ 1 6 2、プラグ 1 6 3 等を形成する。導電膜の形成は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。この段階における断面概略図が図 1 0 (B) に相当する。

40

【0201】

続いて、絶縁膜 1 2 4 上に導電膜を成膜する。その後上記と同様の方法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、容量素子の一方の電極となる電極 1 3 6 を形成する。

【0202】

50

続いて、先ほどと同様にレジストマスクを用いて、電極 136 上に絶縁膜 137、電極 138 を形成する。なお、電極 138 は後に形成される第 2 のトランジスタ 100 のゲート電極 105 と互いに重なるようにすることが好ましい。

【0203】

また、電極 138 は、配線 CL と電氣的に接続される。配線 CL は、図 2 に示すように第 2 のトランジスタ 100 のゲート電極 105 と互いに重なる領域を有するようにすることで素子の占有面積を縮小することができる。

【0204】

この段階で容量素子 130 が形成される（図 10 (C) 参照）。

【0205】

続いて、容量素子 130 を覆う絶縁膜を成膜し、各配線の上面が露出するように平坦化処理を施すことにより、絶縁膜 125 を形成する。絶縁膜 125 となる絶縁膜は、絶縁膜 121 等と同様の材料及び方法により形成することができる。

【0206】

絶縁膜 125 を形成した後、第 3 の加熱処理を行うことが好ましい。第 3 の加熱処理により、各層に含まれる水や水素を脱離させることにより、水や水素の含有量を低減することができる。後述するバリア膜 120 を形成する直前に第 3 の加熱処理を施し、バリア膜 120 よりも下層に含まれる水素や水を徹底的に除去した後に、バリア膜 120 を形成することで、後の工程でバリア膜 120 よりも下層側に水や水素が再度拡散・放出してしまうことを抑制することができる。

【0207】

第 3 の加熱処理は、積層構造 10 の説明で例示した条件で行うことができる。

【0208】

続いて、絶縁膜 125 上にバリア膜 120 を形成する（図 10 (D) 参照）。

【0209】

バリア膜 120 は、例えばスパッタリング法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法等を含む）、MBE 法、ALD 法または PLD 法などを用いて形成することができる。特に、当該絶縁膜を CVD 法、好ましくはプラズマ CVD 法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法あるいは ALD 法が好ましい。

【0210】

バリア膜 120 を形成した後に、バリア膜 120 に含まれる水や水素を低減あるいは脱離ガスを抑制するための加熱処理を行ってもよい。

【0211】

続いて、バリア膜 120 上に、導電膜を形成した後、上記と同様の方法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、配線 132 を形成することができる。

【0212】

続いて、絶縁膜 126 となる絶縁膜を成膜する。絶縁膜 126 となる絶縁膜は、例えばスパッタリング法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法等を含む）、MBE 法、ALD 法または PLD 法などを用いて形成することができる。特に、当該絶縁膜を CVD 法、好ましくはプラズマ CVD 法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法あるいは ALD 法が好ましい。

【0213】

絶縁膜 126 となる絶縁膜に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁膜 125 の成膜を行えばよい。または、成膜後の絶縁膜 126 となる絶縁膜に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0214】

10

20

30

40

50

例えば、成膜後の絶縁膜 1 2 6 となる絶縁膜に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【 0 2 1 5 】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよく、例えば、二酸化炭素と水素とアルゴンの混合ガスを用いることができる。

【 0 2 1 6 】

また、絶縁膜 1 2 6 となる絶縁膜を形成した後、その上面の平坦性を高めるために C M P 法等を用いた平坦化処理を行って絶縁膜 1 2 6 を形成する（図 1 1 (A) 参照）。

【 0 2 1 7 】

また、バリア膜 1 2 0 上に絶縁膜 1 2 6 となる絶縁膜を成膜し、該絶縁膜上にレジストマスクを形成し、絶縁膜 1 2 6 となる絶縁膜の不要な部分をエッチングにより除去し、絶縁膜 1 2 6 を形成した後、導電膜を成膜し、該導電膜上にレジストマスクを形成し、該導電膜の不要な部分をエッチングにより除去し、配線 1 3 2 を形成してもよい。

【 0 2 1 8 】

続いて、絶縁膜 1 0 6 a となる絶縁膜、酸化物半導体膜 1 0 1 a となる酸化物半導体膜と、酸化物半導体膜 1 0 1 b となる酸化物半導体膜を順に成膜する。当該酸化物半導体膜は、大気に触れさせることなく連続して成膜することが好ましい。

【 0 2 1 9 】

酸化物半導体膜 1 0 1 b となる酸化物半導体膜を成膜後、第 4 の加熱処理を行うことが好ましい。加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 p p m 以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 p p m 以上含む雰囲気で行ってもよい。加熱処理は、酸化物半導体膜 1 0 1 b となる酸化物半導体膜を成膜した直後に行ってもよいし、酸化物半導体膜 1 0 1 b となる酸化物半導体膜を加工して島状の酸化物半導体膜 1 0 1 b を形成した後に行ってもよい。加熱処理により、絶縁膜 1 2 6 や絶縁膜 1 0 6 a となる絶縁膜から酸化物半導体膜に酸素が供給され、半導体膜中の酸素欠損を低減することができる。

【 0 2 2 0 】

その後、酸化物半導体膜 1 0 1 b となる酸化物半導体膜上にハードマスクとなる導電膜及び上記と同様の方法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後、導電膜をマスクとして絶縁膜 1 0 6 a となる絶縁膜及び酸化物半導体膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、島状の導電膜 1 0 3、絶縁膜 1 0 6 a、島状の酸化物半導体膜 1 0 1 a と島状の酸化物半導体膜 1 0 1 b の積層構造を形成することができる（図 1 1 (B) 参照）。

【 0 2 2 1 】

また、同時に電極 1 0 3 c、絶縁膜 1 0 6 b、島状の酸化物半導体膜 1 3 1 a と島状の酸化物半導体膜 1 3 1 b の積層構造を形成することができる。

【 0 2 2 2 】

導電膜の形成は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【 0 2 2 3 】

続いて、導電膜 1 0 3 上に上記と同様の方法によりレジストマスクを形成し、導電膜 1

10

20

30

40

50

03の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、電極103a及び電極103bを形成することができる。

【0224】

続いて、絶縁膜126、電極103a及び電極103b上に上記と同様の方法によりレジストマスクを形成し、該マスクを用いて、酸化物半導体膜101b、酸化物半導体膜101a、絶縁膜106a、絶縁膜126、バリア膜120及び絶縁膜125に、プラグ161及び電極136に達する開口を形成する。また、同時に電極103cに上記と同様の方法によりレジストマスクを形成し、該マスクを用いて、酸化物半導体膜131b、酸化物半導体膜131a、絶縁膜106b、絶縁膜126、バリア膜120及び絶縁膜125に、プラグ163に達する開口を形成する。

10

【0225】

続いて、導電膜を成膜し、該導電膜を加工することにより、プラグ164、プラグ165及びプラグ166を形成する(図11(C)参照)。

【0226】

続いて、酸化物半導体膜101c、ゲート絶縁膜104及びゲート電極105を形成する(図12(A)参照)。

【0227】

この段階で第2のトランジスタ100が形成される。

【0228】

続いて、絶縁膜107を形成する。絶縁膜107は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

20

【0229】

絶縁膜107の成膜後、第5の加熱処理を行うことが好ましい。加熱処理により、絶縁膜126等から酸化物半導体膜101bに対して酸素を供給し、酸化物半導体膜101b中の酸素欠損を低減することができる。また、このとき、絶縁膜126から脱離した酸素は、バリア膜120及び絶縁膜107によってブロックされ、バリア膜120よりも下層及び絶縁膜107よりも上層には拡散しないため、当該酸素を効果的に閉じ込めることができる。そのため酸化物半導体膜101bに供給しうる酸素の量を増大させることができ、酸化物半導体膜101b中の酸素欠損を効果的に低減することができる。

30

【0230】

続いて、絶縁膜108及び絶縁膜127を順に形成する(図12(B)参照)。絶縁膜108及び絶縁膜127は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法、APCVD(Atmospheric Pressure CVD)法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、絶縁膜108をDCスパッタ法によって成膜すると、バリア性の高い膜を生産性良く厚く成膜できるため好ましい。また、ALD法によって成膜すると、イオンダメージを減らし、被覆性を良好なものとするため好ましい。また絶縁膜127として有機樹脂などの有機絶縁材料を用いる場合には、スピンコート法などの塗布法を用いて形成してもよい。また、絶縁膜127を形成した後にその上面に対して平坦化処理を行うことが好ましい。また、熱処理を行い流動化させて平坦化しても良い。また、平坦性をより良好なものとするために、絶縁膜127を形成した後にCVD法を用いて絶縁膜を積層した後にその上面に対して平坦化処理を行うことが好ましい。

40

【0231】

続いて、上記と同様の方法により、絶縁膜126、絶縁膜108、絶縁膜107に開口を設け、プラグ164に達するプラグ167、ゲート電極105に達するプラグ168、プラグ166に達するプラグ169を形成する。

50

【0232】

続いて、絶縁膜128を形成する。なお、絶縁膜128は絶縁膜127を援用することができる。

【0233】

続いて、上記と同様の方法により、絶縁膜128に開口を設け、プラグ167に達するプラグ170、プラグ168に達するプラグ171、プラグ169に達するプラグ172を形成する。

【0234】

続いて、プラグ170と電氣的に接続する電極173と、プラグ171と電氣的に接続する電極174と、プラグ172と電氣的に接続する電極175を形成する。

【0235】

さらに、電極173は配線BLと電氣的に接続され、電極174は配線WLと電氣的に接続され、電極175は配線SLと電氣的に接続される(図1(B)参照)。なお、配線BL、配線WL、配線SLの材料は配線CLを援用することができる。

【0236】

以上の工程により、本発明の一態様の半導体装置を作製することができる。

【0237】

<変形例1>

また、本実施の形態の変形例として、図13(A)に示すように容量素子の位置を第2のトランジスタ100より上方に設けてもよい。具体的には、配線BL、配線WL、配線SL、絶縁膜128上に絶縁膜151を形成する。その後、絶縁膜151、絶縁膜128、絶縁膜127、絶縁膜108及び絶縁膜107に開口を設けてプラグ165と電氣的に接続するプラグ153を形成する。その後、プラグ153と電氣的に接続する電極154、電極154上の絶縁膜155、絶縁膜155上の電極156を形成し、容量素子150を形成する。その後、容量素子150を覆う絶縁膜152を形成する。なお、電極156は、配線CL1と電氣的に接続し、ゲート電極105と互いに重なる領域を有している。

【0238】

また、図13(B)に示すように第2のトランジスタ100のゲート電極105の上下に容量素子130及び容量素子150を設ける構成としてもよい。

【0239】

<変形例2>

また、本実施の形態の変形例として、図14に示すような構成にしてもよい。図1との違いは、容量素子130の形状である。具体的には、以下で説明する。

【0240】

絶縁膜124上に容量素子130の一方の電極136の一部となる電極136aを形成する。その後、電極136aを覆う絶縁膜119を形成し、絶縁膜119上にレジストマスクを形成し、該マスクを用いて絶縁膜119に開口を設け、該開口に電極136aと電氣的に接続する電極136bを形成する。その後、絶縁膜125となる絶縁膜を成膜し、平坦化処理を行ったのち、レジストマスクを用いて電極136b及び絶縁膜119が露出するように開口を設ける絶縁膜125を形成する。絶縁膜125となる絶縁膜は、絶縁膜128等を援用することができる。

【0241】

その後、絶縁膜125、電極136b及び絶縁膜119上に絶縁膜137を形成し、絶縁膜125の開口を埋めるように電極138を形成する。その後、絶縁膜118、絶縁膜117及び絶縁膜116を形成する。なお、電極138は、配線CLと電氣的に接続し、ゲート電極105と互いに重なる領域を有している。

【0242】

その後、絶縁膜118、絶縁膜117、絶縁膜116、絶縁膜137、絶縁膜125及び絶縁膜119に開口を設け、プラグ157、プラグ158及びプラグ159を設ける。

なお、プラグ 157 は、プラグ 161 及びプラグ 164 と電氣的に接続し、プラグ 158 は、電極 136 及びプラグ 165 と電氣的に接続し、プラグ 159 は、プラグ 163 及びプラグ 166 と電氣的に接続する。

【0243】

< 変形例 3 >

また、本実施の形態の変形例として、図 15 に示すように、図 14 の構成に加えて第 2 のトランジスタ 100 のゲート電極 105 の上方に図 13 で示した容量素子 150 を設けてもよい。

【0244】

なお、容量素子を複数設ける場合、容量素子は 1 種類に限られず、例えば図 1 に示す容量素子や図 14 に示す容量素子を適宜組み合わせることができる。

【0245】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0246】

(実施の形態 2)

本実施の形態では、実施の形態 1 とは異なる半導体装置について説明する。

【0247】

[構成例]

図 16 (A) は、本発明の一態様の半導体装置の回路図の一例である。図 16 (A) に示す半導体装置は、第 1 のトランジスタ 110 と、第 2 のトランジスタ 100 と、容量素子 130 と、容量素子 150 と、配線 SL と、配線 BL と、配線 WL と、配線 CL2 と、配線 CL3 とを有する。

【0248】

第 1 のトランジスタ 110 は、ソースまたはドレインの一方が配線 BL と電氣的に接続し、他方が配線 SL と電氣的に接続し、ゲートが第 2 のトランジスタ 100 のソースまたはドレインの一方、容量素子 130 の一方の電極、及び容量素子 150 の一方の電極と電氣的に接続する。第 2 のトランジスタ 100 は、ソースまたはドレインの他方が配線 BL と電氣的に接続し、ゲートが配線 WL と電氣的に接続する。容量素子 130 は、他方の電極が配線 CL2 と電氣的に接続する。容量素子 150 は、他方の電極が配線 CL3 と電氣的に接続する。なお、第 1 のトランジスタ 110 のゲートと、第 2 のトランジスタ 100 のソースまたはドレインの一方と、容量素子 130 の一方の電極と、容量素子 150 の一方の電極との間のノードをノード FN と呼ぶ。

【0249】

図 16 (B) に、図 16 (A) で示した回路を実現可能な半導体装置の断面構成の一例を示す。また、図 17 (A) に図 16 (B) の半導体装置を並べた上面図を示す。なお、各半導体装置は、共通配線としての機能を有する配線 CL2、配線 CL3 を共有している。

【0250】

図 17 に示すように第 1 のトランジスタ 110 の占有面積内に第 2 のトランジスタ 100、容量素子 130 及び容量素子 150 が設けられている。

【0251】

半導体装置は、図 16 (B) に示すように第 1 のトランジスタ 110、第 2 のトランジスタ 100、容量素子 130 及び容量素子 150 を有する。第 2 のトランジスタ 100 は第 1 のトランジスタ 110 の上方に設けられ、第 1 のトランジスタ 110 と第 2 のトランジスタ 100 の間にはバリア膜 120 が設けられている。

【0252】

第 1 のトランジスタ 110 や容量素子 130 などのバリア膜 120 より下側の構成は、実施の形態 1 の説明を援用することができる。

【0253】

10

20

30

40

50

また、バリア膜 120 は後述するプラグ 164、プラグ 166 及び容量素子 150 が埋め込まれる開口を有している。

【0254】

バリア膜 120 上に、配線 132 が設けられている。配線 132 を含む構成が、積層構造 10 における第 2 の配線層 32 に相当する。

【0255】

配線 132 は、後述する第 2 のトランジスタ 100 のチャネル形成領域に互いに重なって設けられ、第 2 のトランジスタ 100 の第 2 のゲート電極としての機能を有する。

【0256】

バリア膜 120、配線 132 を覆って、絶縁膜 126 が設けられている。ここで絶縁膜 126 を含む領域が積層構造 10 における第 2 の絶縁膜 22 に相当する。

【0257】

絶縁膜 126 の上面は上述した平坦化処理によって平坦化されていることが好ましい。

【0258】

絶縁膜 126 は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。

【0259】

絶縁膜 126 の上部には、第 2 のトランジスタ 100 が設けられている。第 2 のトランジスタ 100 を含む構成が、積層構造 10 における第 2 の層 12 に相当する。

【0260】

第 2 のトランジスタ 100 は、絶縁膜 126 の上面に接する絶縁膜 106a と、絶縁膜 106a の上面に接する酸化物半導体膜 101a と、酸化物半導体膜 101a の上面に接する酸化物半導体膜 101b と、酸化物半導体膜 101b の上面に接し、酸化物半導体膜 101b と重なる領域で離間する電極 103a 及び電極 103b と、酸化物半導体膜 101b の上面、電極 103a の上面、及び電極 103b の上面に接する酸化物半導体膜 101c と、酸化物半導体膜 101c 上のゲート絶縁膜 104 と、ゲート絶縁膜 104 及び酸化物半導体膜 101c を介して酸化物半導体膜 101b と重なるゲート電極 105 とを有する。また、第 2 のトランジスタ 100 を覆って、絶縁膜 107、絶縁膜 108、絶縁膜 127、及び絶縁膜 129 が設けられている。

【0261】

また、プラグ 161 及び電極 103a と電氣的に接続するプラグ 164 が絶縁膜 125、バリア膜 120、絶縁膜 126、絶縁膜 106a、酸化物半導体膜 101a、酸化物半導体膜 101b、及び電極 103a に埋め込まれるように設けられる。また、電極 136 及び電極 103b と電氣的に接続する容量素子 150 の電極 181 が絶縁膜 125、バリア膜 120、絶縁膜 126、絶縁膜 106a、酸化物半導体膜 101a、酸化物半導体膜 101b、電極 103b、絶縁膜 107、絶縁膜 108、絶縁膜 127、及び絶縁膜 129 に埋め込まれるように設けられる。

【0262】

また、第 2 のトランジスタ 100 と同時に絶縁膜 106b、酸化物半導体膜 131a、酸化物半導体膜 131b 及び電極 103c が形成され、プラグ 163 及び電極 103c と電氣的に接続するプラグ 166 が絶縁膜 125、バリア膜 120、絶縁膜 126、絶縁膜 106b、酸化物半導体膜 131a、酸化物半導体膜 131b、及び電極 103c に埋め込まれるように設けられる。

【0263】

ここで、第 1 のトランジスタ 110 のゲート電極 115、容量素子 130 の電極 136、容量素子 150 の電極 181、及び第 2 のトランジスタ 100 の電極 103b を含むノードが、図 16 (A) に示すノード FN に相当する。

【0264】

なお、第 2 のトランジスタ 100 は、実施の形態 1 の説明を援用することができる。

【0265】

10

20

30

40

50

第2のトランジスタ100を覆う絶縁膜127、絶縁膜129は、その下層の凹凸形状を被覆する平坦化膜として機能する。また、絶縁膜108は、絶縁膜127を成膜する際の保護膜としての機能を有していてもよい。絶縁膜108及び絶縁膜129は不要であれば設けなくてもよい。

【0266】

また、プラグ170は絶縁膜128に埋め込まれるように設けられ、プラグ167と電氣的に接続している。また、プラグ171は絶縁膜128に埋め込まれるように設けられ、プラグ168と電氣的に接続している。また、プラグ172は絶縁膜128に埋め込まれるように設けられ、プラグ169と電氣的に接続している。また、プラグ176は絶縁膜128に埋め込まれるように設けられ、容量素子150の電極183と電氣的に接続している。

10

【0267】

また、電極173はプラグ170及び配線BLと電氣的に接続し、電極174はプラグ171及び配線WLと電氣的に接続し、電極175はプラグ172及び配線SLと電氣的に接続し、電極177はプラグ176及び配線CL3と電氣的に接続している。

【0268】

本発明の一態様の半導体装置は、第1のトランジスタ110と、第1のトランジスタの上方に位置する第2のトランジスタ100とを有するため、これらを積層して設けることにより素子の占有面積を縮小することができる。さらに容量素子130は、第2のトランジスタ100の下方に位置するため、これらを積層して設けることにより素子の占有面積を縮小することができる。さらに容量素子150は、第1のトランジスタ110の上方に位置するため、これらを積層して設けることにより素子の占有面積を縮小することができる。また、配線CL2は第2のトランジスタ100のゲート電極105と互いに重なる領域を有するため、さらに素子の占有面積を縮小することができる。また、配線CL3は第1のトランジスタ110のゲート電極115と互いに重なる領域を有するため、さらに素子の占有面積を縮小することができる。さらに、第1のトランジスタ110と第2のトランジスタ100との間に設けられたバリア膜120により、これよりも下層に存在する水や水素等の不純物が第2のトランジスタ100側に拡散することを抑制できる。

20

【0269】

以上が構成例についての説明である。

30

【0270】

[作製方法例]

以下では、上記構成例で示した半導体装置の作製方法の一例について、図10乃至図12、図18乃至図19を用いて説明する。

【0271】

実施の形態1の[作製方法例]の図10乃至図12(A)を援用して第2のトランジスタ100のゲート絶縁膜104及びゲート電極105を形成する(図18(A)参照)。

【0272】

この段階で第2のトランジスタ100が形成される。

【0273】

続いて、絶縁膜107を形成する。絶縁膜107の成膜後、加熱処理を行うことが好ましい。加熱処理により、絶縁膜126等から酸化物半導体膜101bに対して酸素を供給し、酸化物半導体膜101b中の酸素欠損を低減することができる。また、このとき、絶縁膜126から脱離した酸素は、バリア膜120及び絶縁膜107によってブロックされ、バリア膜120よりも下層及び絶縁膜107よりも上層には拡散しないため、当該酸素を効果的に閉じ込めることができる。そのため酸化物半導体膜101bに供給しうる酸素の量を増大させることができ、酸化物半導体膜101b中の酸素欠損を効果的に低減することができる。

40

【0274】

続いて、絶縁膜108、絶縁膜127及び絶縁膜129を順に形成する(図18(B))

50

参照)。絶縁膜108、絶縁膜127及び絶縁膜129は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法、APCVD(Atmospheric Pressure CVD)法)等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、絶縁膜108をDCスパッタ法によって成膜すると、バリア性の高い膜を生産性良く厚く成膜できるため好ましい。また、ALD法によって成膜すると、イオンダメージを減らし、被覆性を良好なものとするため好ましい。また、絶縁膜127として有機樹脂などの有機絶縁材料を用いる場合には、スピコート法などの塗布法を用いて形成してもよい。また、絶縁膜127を形成した後にその上面に対して平坦化処理を行うことが好ましい。また、熱処理を行い流動化させて平坦化しても良い。また、平坦性をより良好なものとするために、絶縁膜127を形成した後にCVD法を用いて絶縁膜を積層した後にその上面に対して平坦化処理を行うことが好ましい。

10

【0275】

続いて、上記と同様の方法により、絶縁膜129、絶縁膜127、絶縁膜108、絶縁膜107に開口を設け、プラグ164に達するプラグ167、ゲート電極105に達するプラグ168、プラグ166に達するプラグ169、プラグ165に達するプラグ176を形成する。

【0276】

続いて、プラグ176及びプラグ165がエッチングされるようにレジストマスクを設け、プラグ176及びプラグ165をエッチングして開口179を形成する(図19(A)参照)。

20

【0277】

続いて、開口179に容量素子150の電極181を形成し、電極181上に絶縁膜182を形成し、絶縁膜182上に電極183を形成する(図19(B)参照)。なお、容量素子150の材料は、容量素子130の説明を援用することができる。

【0278】

続いて、絶縁膜128を形成する。なお、絶縁膜128は絶縁膜127を援用することができる。

【0279】

続いて、上記と同様の方法により、絶縁膜128に開口を設け、プラグ167に達するプラグ170、プラグ168に達するプラグ171、プラグ169に達するプラグ172、電極183に達するプラグ176を形成する。

30

【0280】

続いて、プラグ170と電氣的に接続する電極173と、プラグ171と電氣的に接続する電極174と、プラグ172と電氣的に接続する電極175、プラグ176と電氣的に接続する電極177を形成する。

【0281】

さらに、電極173は配線BLと電氣的に接続され、電極174は配線WLと電氣的に接続され、電極175は配線SLと電氣的に接続され、電極177は配線CL3と電氣的に接続される(図16(B)参照)。なお、配線BL、配線WL、配線SL、配線CL3の材料は実施の形態1の配線CLの説明を援用することができる。

40

【0282】

以上の工程により、本発明の一態様の半導体装置を作製することができる。

【0283】

<変形例4>

また、本実施の形態の変形例として、図20(A)に示すように容量素子130の位置を第2のトランジスタ100より上方に設けてもよい。具体的には、配線BL、配線WL、配線SL、絶縁膜128上に絶縁膜151を形成する。その後、絶縁膜151に開口を設けてプラグ176と電氣的に接続するプラグ178を形成する。その後、プラグ178と電氣的に接続する容量素子130を形成する。その後に、容量素子130を覆う絶縁膜

50

152を形成する。なお、容量素子130は、配線CL2と電氣的に接続し、ゲート電極105と互いに重なる領域を有している。

【0284】

また、図20(B)に示すように第2のトランジスタ100のゲート電極105の上下に容量素子130及び容量素子190を設ける構成としてもよい。なお、図20(B)に示すように容量素子150を形成するための開口を図20(A)より深くしてよいし、図21に示すように容量素子150を形成するための開口を図20(A)より浅くしてよい。

【0285】

なお、本実施の形態では、容量素子130や容量素子190の形状は平行平板型であったが、これに限られない。

10

【0286】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0287】

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置の半導体膜に好適に用いることのできる酸化物半導体について説明する。

【0288】

酸化物半導体は、エネルギーギャップが3.0eV以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流(オフ電流)を、従来のシリコンを用いたトランジスタと比較して極めて低いものとする事ができる。

20

【0289】

適用可能な酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、スカンジウム(Sc)、イットリウム(Y)、ランタノイド(例えば、セリウム(Ce)、ネオジム(Nd)、ガドリニウム(Gd))から選ばれた一種、または複数種が含まれていることが好ましい。

30

【0290】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

40

【0291】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外

50

の金属元素が入っていてもよい。

【0292】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0293】

例えば、 $In:Ga:Zn = 1:1:1$ 、 $In:Ga:Zn = 1:3:2$ 、 $In:Ga:Zn = 1:3:4$ 、 $In:Ga:Zn = 1:3:6$ 、 $In:Ga:Zn = 3:1:2$ あるいは $In:Ga:Zn = 2:1:3$ の原子数比の $In-Ga-Zn$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

10

【0294】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、または水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0295】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理(脱水素化処理)によって増加した酸素欠陥を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

20

【0296】

このように、酸化物半導体膜は、脱水化処理(脱水素化処理)により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、 i 型(真性)化または i 型に限りなく近く実質的に i 型(真性)である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく(ゼロに近く)、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

30

【0297】

また、このように、 i 型または実質的に i 型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温(25 程度)にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 以下、または85 にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、 n チャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも1V以上、2V以上または3V以上小さければ、トランジスタはオフ状態となる。

40

【0298】

< 酸化物半導体の構造 >

以下では、酸化物半導体の構造について説明する。

【0299】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物

50

半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

【0300】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

【0301】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

10

【0302】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ポイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

【0303】

<CAAC-OS>

20

まずは、CAAC-OSについて説明する。

【0304】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

【0305】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0306】

以下では、TEMによって観察したCAAC-OSについて説明する。図22(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

40

【0307】

図22(A)の領域(1)を拡大したCs補正高分解能TEM像を図22(B)に示す。図22(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0308】

図22(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図22(C)は、特徴的な原子配列を、補助線で示したものである。図22(B)および図22(C)より、ペレット一つの大きさは1nm以上のものや3nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる

50

。また、CAAC-OSを、CAN(C- Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0309】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図22(D)参照。)。図22(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図22(D)に示す領域5161に相当する。

【0310】

また、図23(A)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図23(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図23(B)、図23(C)および図23(D)に示す。図23(B)、図23(C)および図23(D)より、ペレットは、金属原子が三角形、四角形または六角形に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

10

【0311】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図24(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

20

【0312】

なお、CAAC-OSのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OSは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0313】

一方、CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-OSの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図24(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図24(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

30

【0314】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図25(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図25(B)に示す。図25(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図25(B)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図25(B)における第2リング

40

50

は(110)面などに起因すると考えられる。

【0315】

上述したように、CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-Osは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

【0316】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

10

【0317】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0318】

不純物および酸素欠損の少ないCAAC-Osは、キャリア密度の低い酸化物半導体である。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

20

【0319】

<nc-Os>

次に、nc-Osについて説明する。

【0320】

nc-Osは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

30

【0321】

nc-Osは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-Osに対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-Osに対し、ペレットよりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-Osに対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-Osに対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

40

【0322】

このように、ペレット(ナノ結晶)間では結晶方位が規則性を有さないことから、nc

50

- OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0323】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0324】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0325】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0326】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0327】

電子照射を行う試料として、a-like OS(試料Aと表記する。)、nc-OS(試料Bと表記する。)およびCAAC-OS(試料Cと表記する。)を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0328】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0329】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0330】

図26は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図26より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図26中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図26中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0331】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとん

10

20

30

40

50

ど見られないことがわかる。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0332】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0333】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の密度は 6.357 g/cm^3 となる。よって、例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、*a-like OS*の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、*nc-OS*の密度および*CAAC-OS*の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

10

【0334】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

20

【0335】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有する積層膜であってもよい。

【0336】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0337】

(実施の形態4)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

30

【0338】

[回路構成例]

実施の形態1に示した構成において、トランジスタや配線、電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0339】

[CMOS回路]

図27(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。なお、図中、第2の半導体材料が適用されたトランジスタには「OS」の記号を付して示している。

40

【0340】

[アナログスイッチ]

また、図27(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0341】

50

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、且つ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図27(C)に示す。

【0342】

図27(C)に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、及び容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で例示したトランジスタを用いることができる。

【0343】

トランジスタ3300は、酸化物半導体を有する半導体膜にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0344】

図27(C)において、第1の配線3001はトランジスタ3200のソース電極と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電氣的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電氣的に接続されている。そして、トランジスタ3200のゲート電極、及びトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

【0345】

図27(C)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0346】

情報の書き込み及び保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、及び容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される（保持）。

【0347】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

【0348】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位を

10

20

30

40

50

いうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

【0349】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

【0350】

なお、ここでは図27(A)の回路図の断面模式図及び、図27(C)の配線3001と配線3003が共通化されている構成(図1(A)の回路図)の断面模式図を図28に示す。なお、点線より左側に図27(A)の断面模式図を、点線より右側に図1(A)の回路図の断面模式図を示す。

【0351】

図よりトランジスタ3200と、トランジスタ3200の上方に位置するトランジスタ3300とを有するため、これらを積層して設けることにより素子の占有面積を縮小することができる。さらに容量素子3400は、トランジスタ3300の下方位置するため、これらを積層して設けることにより素子の占有面積を縮小することができる。また、配線3005トランジスタ3300のゲート電極と互いに重なる領域を有するため、さらに素子の占有面積を縮小することができる。

【0352】

また、図29のようにトランジスタ3300とトランジスタ2100を別工程で作製する構成にしてもよい。

【0353】

図27(D)に示す半導体装置は、トランジスタ3200を設けていない点で主に図27(C)と相違している。この場合も上記と同様の動作により情報の書き込み及び保持動作が可能である。

【0354】

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の第1の端子の電位(あるいは容量素子3400に蓄積された電荷)によって、異なる値をとる。

【0355】

例えば、容量素子3400の第1の端子の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を C_B 、電荷が再分配される前の第3の配線3003の電位を V_{B0} とすると、電荷が再分配された後の第3の配線3003の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子3400の第1の端子の電位が V_1 と $V_0 (V_1 > V_0)$ の2状態をとるとすると、電位 V_1 を保持している場合の第3の配線3003の電位($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$)は、電位 V_0 を保持している場合の第3の配線3003の電位($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)よりも高くなることがわかる。

【0356】

10

20

30

40

50

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0357】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用されたトランジスタを用い、トランジスタ3300として第2の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0358】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0359】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0360】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0361】

（実施の形態5）

本実施の形態では、上記実施の形態で例示したトランジスタ、または記憶装置を含むRFタグについて、図30を用いて説明する。

【0362】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

30

【0363】

RFタグの構成について図30を用いて説明する。図30は、RFタグの構成例を示すブロック図である。

【0364】

図30に示すようにRFタグ800は、通信器801（質問器、リーダ/ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。また、RFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体を用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

40

50

【 0 3 6 5 】

次に各回路の構成について説明する。アンテナ 8 0 4 は、通信器 8 0 1 に接続されたアンテナ 8 0 2 との間で無線信号 8 0 3 の送受信を行うためのものである。また、整流回路 8 0 5 は、アンテナ 8 0 4 で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波 2 倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路 8 0 5 の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【 0 3 6 6 】

定電圧回路 8 0 6 は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路 8 0 6 は、内部にリセット信号生成回路を有してもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路 8 0 9 のリセット信号を生成するための回路である。

【 0 3 6 7 】

復調回路 8 0 7 は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路 8 0 8 は、アンテナ 8 0 4 より出力するデータに応じて変調をおこなうための回路である。

【 0 3 6 8 】

論理回路 8 0 9 は復調信号を解析し、処理を行うための回路である。記憶回路 8 1 0 は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM 8 1 1 は、固有番号 (I D) などを格納し、処理に応じて出力を行うための回路である。

【 0 3 6 9 】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【 0 3 7 0 】

ここで、先の実施の形態で説明した記憶回路を、記憶回路 8 1 0 に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RF タグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力 (電圧) が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【 0 3 7 1 】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM 8 1 1 に適用することもできる。その場合には、生産者が ROM 8 1 1 にデータを書き込むためのコマンドを別途用意し、ユーザーが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製した RF タグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【 0 3 7 2 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【 0 3 7 3 】

(実施の形態 6)

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含む CPU について説明する。

【 0 3 7 4 】

図 3 1 は、先の実施の形態で説明したトランジスタを少なくとも一部に用いた CPU の

10

20

30

40

50

一例の構成を示すブロック図である。

【0375】

図31に示すCPUは、基板1190上に、ALU1191 (ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198 (Bus I/F)、書き換え可能なROM1199、及びROMインターフェース1189 (ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図31に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図31に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

10

【0376】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

20

【0377】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0378】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

30

【0379】

図31に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0380】

図31に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

40

【0381】

図32は、レジスタ1196として用いることのできる記憶素子の回路図の一例である

50

。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【0382】

ここで、回路1202には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートには接地電位(0V)、またはトランジスタ1209がオフする電位がされ続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0383】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213のオン状態またはオフ状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214のオン状態またはオフ状態)が選択される。

【0384】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、及びトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線(例えばGND線)に電氣的に接続され、他方は、スイッチ1203の第1の端子(トランジスタ1213のソースとドレインの一方)と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)はスイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と電氣的に接続される。スイッチ1204の第2の端子(トランジスタ1214のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)と、スイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1207の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子1208の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1208の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。

【0385】

なお、容量素子1207及び容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0386】

トランジスタ1209の第1ゲート(第1のゲート電極)には、制御信号WEが入力される。スイッチ1203及びスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0387】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図32では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

10

【0388】

なお、図32では、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206及び回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合には、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

20

【0389】

また、図32において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体膜で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体膜で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

30

【0390】

図32における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0391】

本発明の一態様のける半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

40

【0392】

また、酸化物半導体膜にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体膜にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

【0393】

また、スイッチ1203及びスイッチ1204を設けることによって、プリチャージ動

50

作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0394】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（オン状態、またはオフ状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0395】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0396】

本実施の形態では、記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP（Digital Signal Processor）、カスタムLSI、PLD（Programmable Logic Device）等のLSI、RF（Radio Frequency）デバイスにも応用可能である。

【0397】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0398】

（実施の形態7）

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【0399】

[構成例]

図33（A）は、本発明の一態様の表示パネルの上面図であり、図33（B）は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図33（C）は、本発明の一態様の表示パネルの画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0400】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャンネル型とすることが容易なので、駆動回路のうち、nチャンネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0401】

アクティブマトリクス型表示装置のブロック図の一例を図33（A）に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、及び第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC（Flexible Printed Circuit）等の接続部を介して、タイミング制御回路（コントローラ、制御ICともいう）に接続されている。

10

20

30

40

50

【 0 4 0 2 】

図 3 3 (A) では、第 1 の走査線駆動回路 7 0 2、第 2 の走査線駆動回路 7 0 3、信号線駆動回路 7 0 4 は、画素部 7 0 1 と同じ基板 7 0 0 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 7 0 0 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 7 0 0 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

【 0 4 0 3 】

〔液晶パネル〕

また、画素の回路構成の一例を図 3 3 (B) に示す。ここでは、V A 型液晶表示パネルの画素に適用することができる画素回路を示す。

10

【 0 4 0 4 】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

【 0 4 0 5 】

トランジスタ 7 1 6 のゲート配線 7 1 2 と、トランジスタ 7 1 7 のゲート配線 7 1 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極またはドレイン電極 7 1 4 は、トランジスタ 7 1 6 とトランジスタ 7 1 7 で共通に用いられている。トランジスタ 7 1 6 とトランジスタ 7 1 7 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

20

【 0 4 0 6 】

また、トランジスタ 7 1 6 には、第 1 の画素電極が電氣的に接続され、トランジスタ 7 1 7 には、第 2 の画素電極が電氣的に接続される。第 1 の画素電極と第 2 の画素電極とは、それぞれ分離されている。なお、第 1 の画素電極及び第 2 の画素電極の形状としては、特に限定は無く、例えば V 字状とすればよい。

【 0 4 0 7 】

トランジスタ 7 1 6 のゲート電極はゲート配線 7 1 2 と接続され、トランジスタ 7 1 7 のゲート電極はゲート配線 7 1 3 と接続されている。ゲート配線 7 1 2 とゲート配線 7 1 3 に異なるゲート信号を与えてトランジスタ 7 1 6 とトランジスタ 7 1 7 の動作タイミングを異ならせ、液晶の配向を制御できる。

30

【 0 4 0 8 】

また、容量配線 7 1 0 と、誘電体として機能するゲート絶縁膜と、第 1 の画素電極または第 2 の画素電極と電氣的に接続する容量電極とで保持容量を形成してもよい。

【 0 4 0 9 】

マルチドメイン構造は、一画素に第 1 の液晶素子 7 1 8 と第 2 の液晶素子 7 1 9 を備える。第 1 の液晶素子 7 1 8 は第 1 の画素電極と対向電極とその間の液晶層とで構成され、第 2 の液晶素子 7 1 9 は第 2 の画素電極と対向電極とその間の液晶層とで構成される。

40

【 0 4 1 0 】

なお、図 3 3 (B) に示す画素回路は、これに限定されない。例えば、図 3 3 (B) に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【 0 4 1 1 】

〔有機 E L パネル〕

画素の回路構成の他の一例を図 3 3 (C) に示す。ここでは、有機 E L 素子を用いた表示パネルの画素構造を示す。

【 0 4 1 2 】

有機 E L 素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が

50

、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0413】

図33(C)は、適用可能な画素回路の一例を示す図である。ここではnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャンネル型のトランジスタのチャンネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0414】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0415】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極が走査線726に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線725に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ722のゲート電極に接続されている。駆動用トランジスタ722は、ゲート電極が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

【0416】

スイッチング用トランジスタ721及び駆動用トランジスタ722は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0417】

発光素子724の第2電極(共通電極728)の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0418】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャンネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0419】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。

【0420】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させ

10

20

30

40

50

るために、電源線 7 2 7 の電位を、駆動用トランジスタ 7 2 2 のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子 7 2 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【 0 4 2 1 】

なお、画素回路の構成は、図 3 3 (C) に示す画素構成に限定されない。例えば、図 3 3 (C) に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

【 0 4 2 2 】

図 3 3 で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第 1 の電極）、高電位側にドレイン電極（第 2 の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第 1 のゲート電極の電位を制御し、第 2 のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

10

【 0 4 2 3 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 4 2 4 】

（実施の形態 8）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD : Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 3 4 に示す。

20

【 0 4 2 5 】

図 3 4 (A) は携帯型ゲーム機であり、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロフォン 9 0 5、スピーカー 9 0 6、操作キー 9 0 7、スタイラス 9 0 8 等を有する。なお、図 3 1 (A) に示した携帯型ゲーム機は、2つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

30

【 0 4 2 6 】

図 3 4 (B) は携帯データ端末であり、第 1 筐体 9 1 1、第 2 筐体 9 1 2、第 1 表示部 9 1 3、第 2 表示部 9 1 4、接続部 9 1 5、操作キー 9 1 6 等を有する。第 1 表示部 9 1 3 は第 1 筐体 9 1 1 に設けられており、第 2 表示部 9 1 4 は第 2 筐体 9 1 2 に設けられている。そして、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 とは、接続部 9 1 5 により接続されており、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 の間の角度は、接続部 9 1 5 により変更が可能である。第 1 表示部 9 1 3 における映像を、接続部 9 1 5 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 9 1 3 及び第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

40

【 0 4 2 7 】

図 3 4 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

50

【0428】

図34(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0429】

図34(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944及びレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。

10

【0430】

図34(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0431】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0432】

(実施の形態9)

本実施の形態では、本発明の一態様に係るRFデバイスの使用例について図35を用いながら説明する。RFデバイスの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図35(A)参照)、記録媒体(DVDやビデオテープ等、図35(B)参照)、包装用容器類(包装紙やボトル等、図35(C)参照)、乗り物類(自転車等、図35(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図35(E)、図35(F)参照)等に設けて使用することができる。

20

【0433】

本発明の一態様に係るRFデバイス4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFデバイス4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFデバイス4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFデバイスを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFデバイスを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

30

40

【0434】

以上のように、本発明の一態様に係わるRFデバイスを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くすることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0435】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

50

【符号の説明】

【0436】

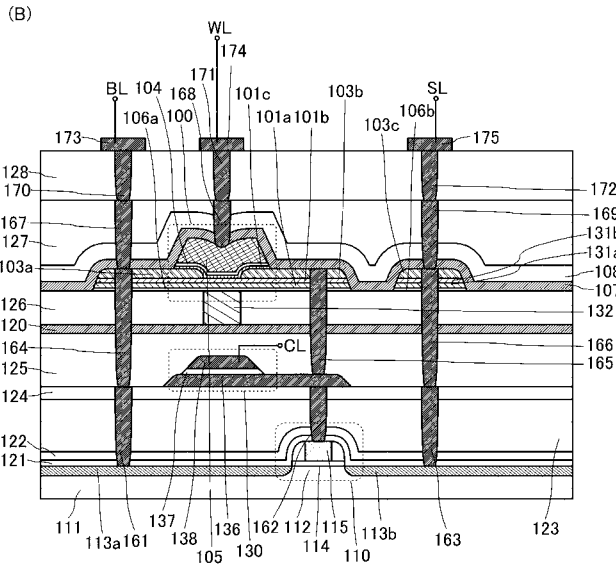
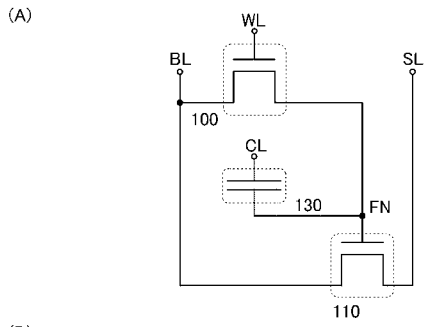
1 0	積層構造	
1 1	第 1 の層	
1 2	第 2 の層	
2 1	第 1 の絶縁膜	
2 2	第 2 の絶縁膜	
3 1	第 1 の配線層	
3 2	第 2 の配線層	
4 1	バリア膜	10
1 0 0	第 2 のトランジスタ	
1 0 1 a	酸化物半導体膜	
1 0 1 b	酸化物半導体膜	
1 0 1 c	酸化物半導体膜	
1 0 3	導電膜	
1 0 3 a	電極	
1 0 3 b	電極	
1 0 3 c	電極	
1 0 4	ゲート絶縁膜	
1 0 5	ゲート電極	20
1 0 6 a	絶縁膜	
1 0 6 b	絶縁膜	
1 0 7	絶縁膜	
1 0 8	絶縁膜	
1 0 9 a	低抵抗領域	
1 0 9 b	低抵抗領域	
1 1 0	第 1 のトランジスタ	
1 1 1	半導体基板	
1 1 2	半導体膜	
1 1 3 a	低抵抗層	30
1 1 3 b	低抵抗層	
1 1 4	ゲート絶縁膜	
1 1 5	ゲート電極	
1 1 5 a	ゲート電極	
1 1 5 b	ゲート電極	
1 1 6	絶縁膜	
1 1 7	絶縁膜	
1 1 8	絶縁膜	
1 1 9	絶縁膜	
1 2 0	バリア膜	40
1 2 1	絶縁膜	
1 2 2	絶縁膜	
1 2 3	絶縁膜	
1 2 4	絶縁膜	
1 2 5	絶縁膜	
1 2 6	絶縁膜	
1 2 7	絶縁膜	
1 2 8	絶縁膜	
1 2 9	絶縁膜	
1 3 0	容量素子	50

1 3 1 a	酸化物半導体膜	
1 3 1 b	酸化物半導体膜	
1 3 2	配線	
1 3 6	電極	
1 3 6 a	電極	
1 3 6 b	電極	
1 3 7	絶縁膜	
1 3 8	電極	
1 5 0	容量素子	
1 5 1	絶縁膜	10
1 5 2	絶縁膜	
1 5 3	プラグ	
1 5 4	電極	
1 5 5	絶縁膜	
1 5 6	電極	
1 5 7	プラグ	
1 5 8	プラグ	
1 5 9	プラグ	
1 6 0	トランジスタ	
1 6 1	プラグ	20
1 6 2	プラグ	
1 6 3	プラグ	
1 6 4	プラグ	
1 6 5	プラグ	
1 6 6	プラグ	
1 6 7	プラグ	
1 6 8	プラグ	
1 6 9	プラグ	
1 7 0	プラグ	
1 7 1	プラグ	30
1 7 2	プラグ	
1 7 3	電極	
1 7 4	電極	
1 7 5	電極	
1 7 6	プラグ	
1 7 7	電極	
1 7 8	プラグ	
1 8 1	電極	
1 8 2	絶縁膜	
1 8 3	電極	40
1 9 0	容量素子	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	ドレイン電極	50

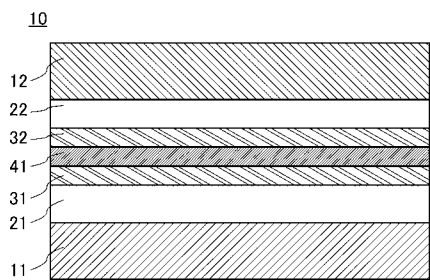
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	10
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	20
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	30
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	40
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	50

9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	10
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	20
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	30
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	40
4 0 0 0	RFデバイス	
5 1 2 0	基板	

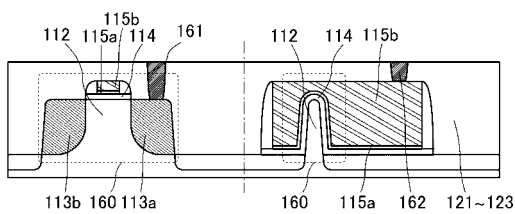
【 図 1 】



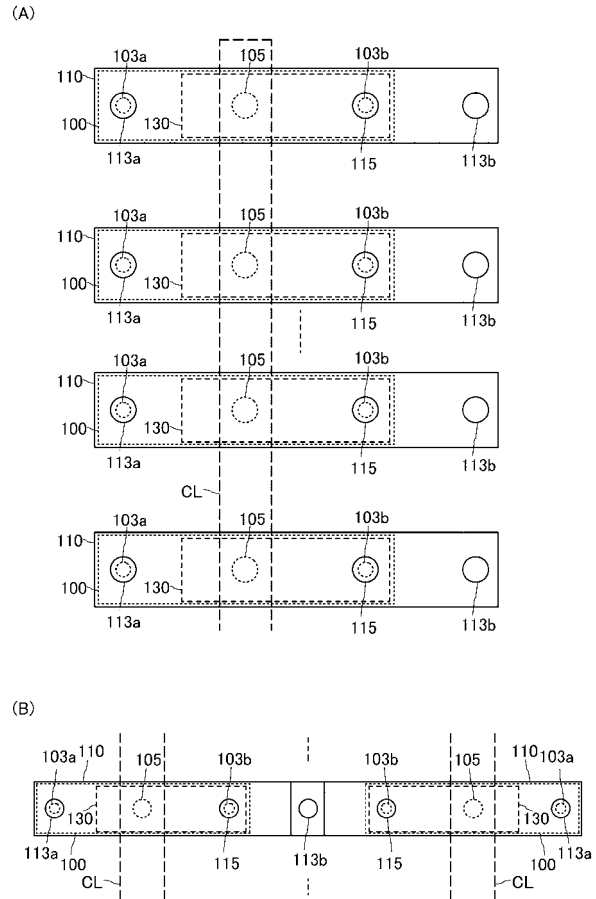
【 図 3 】



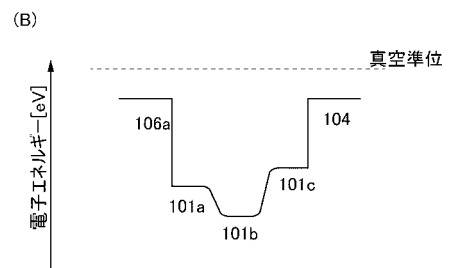
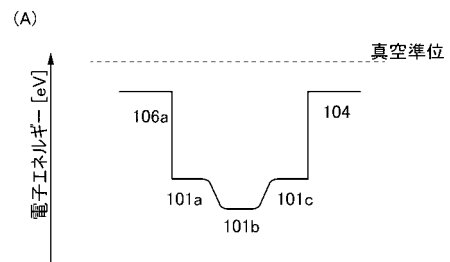
【 図 4 】



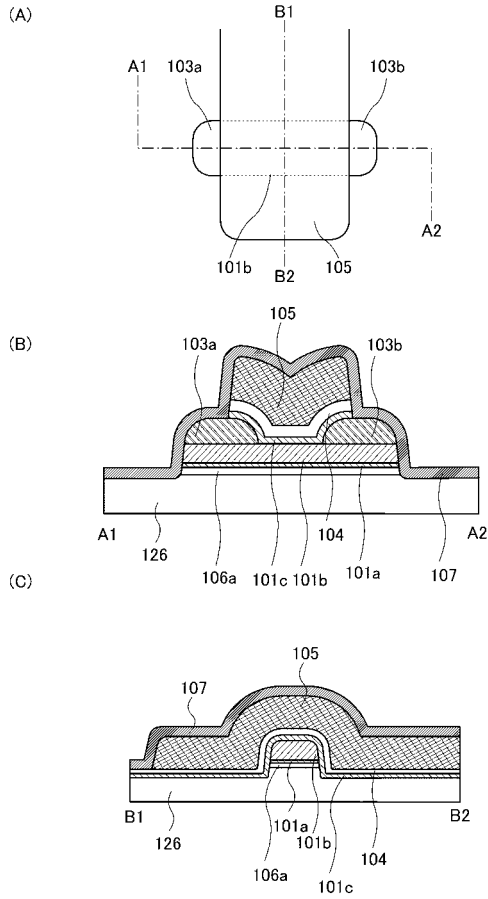
【 図 2 】



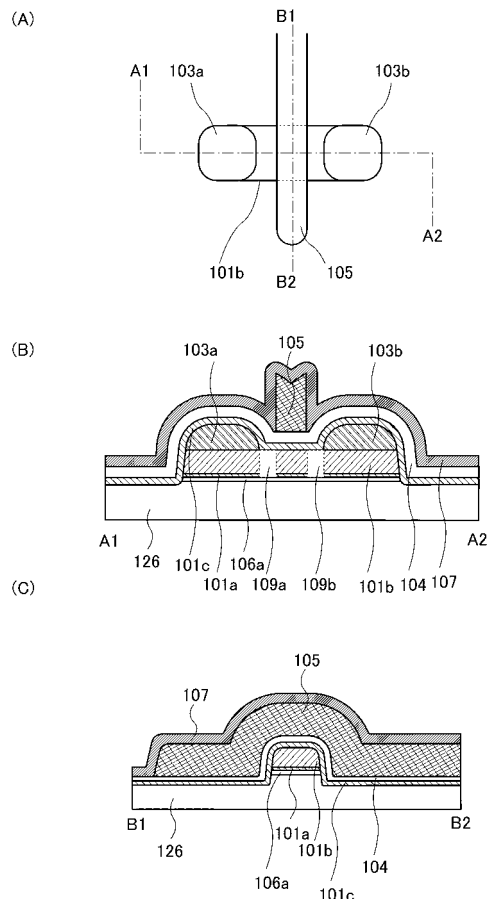
【 図 5 】



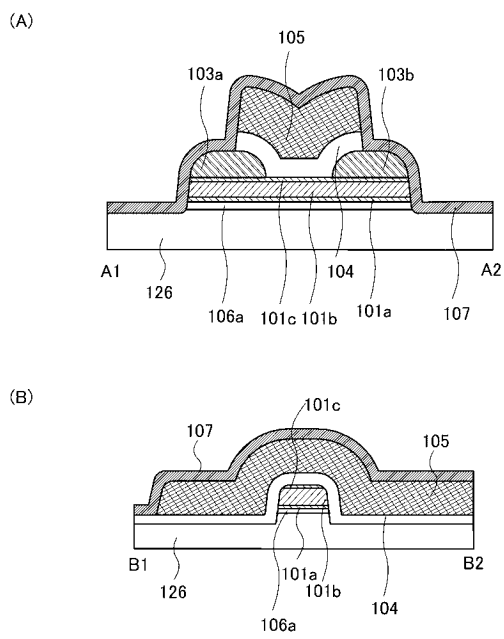
【 図 6 】



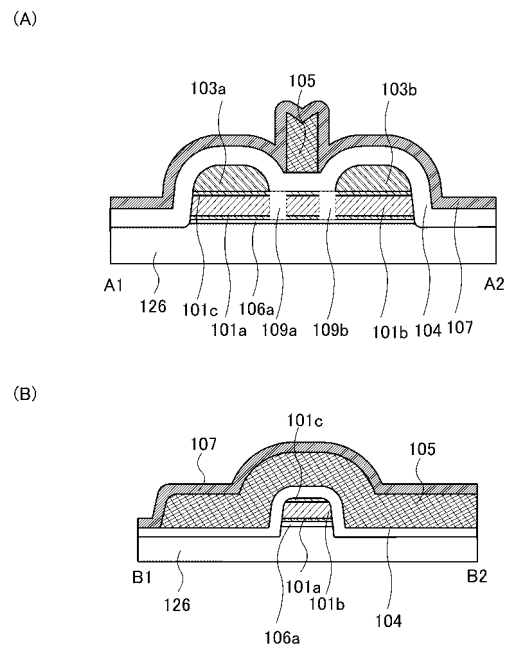
【 図 7 】



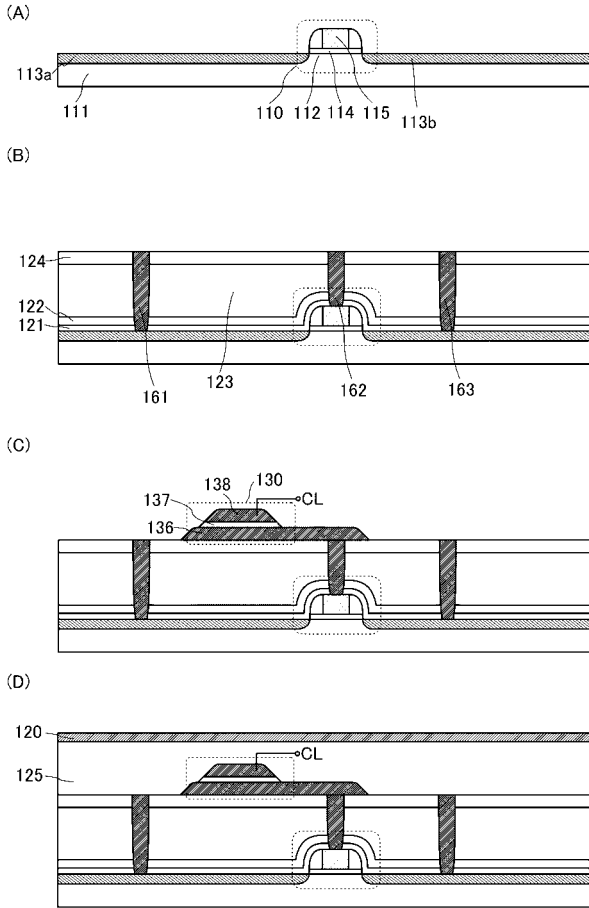
【 図 8 】



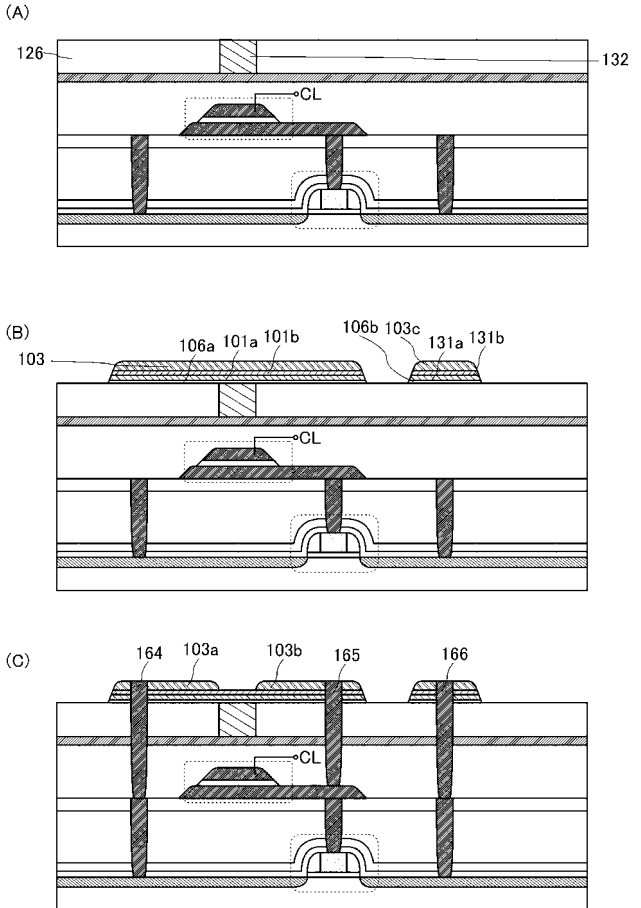
【 図 9 】



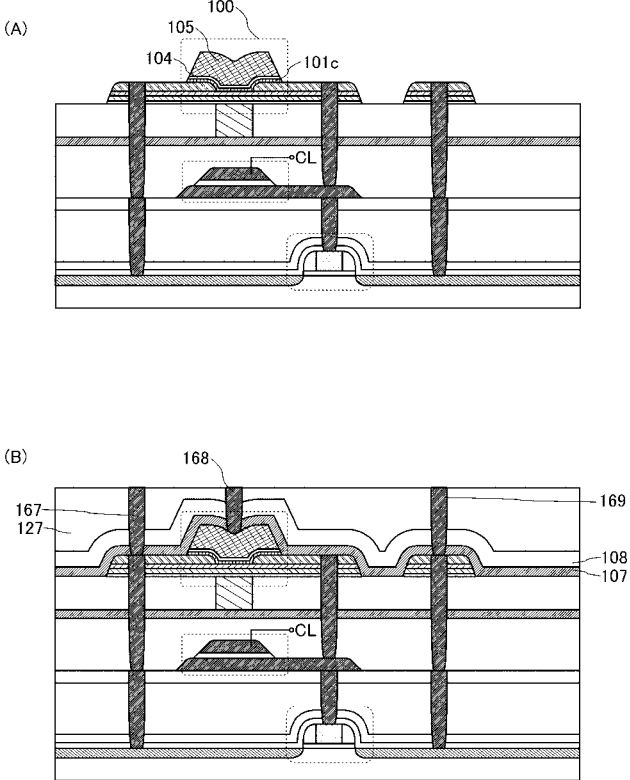
【図 10】



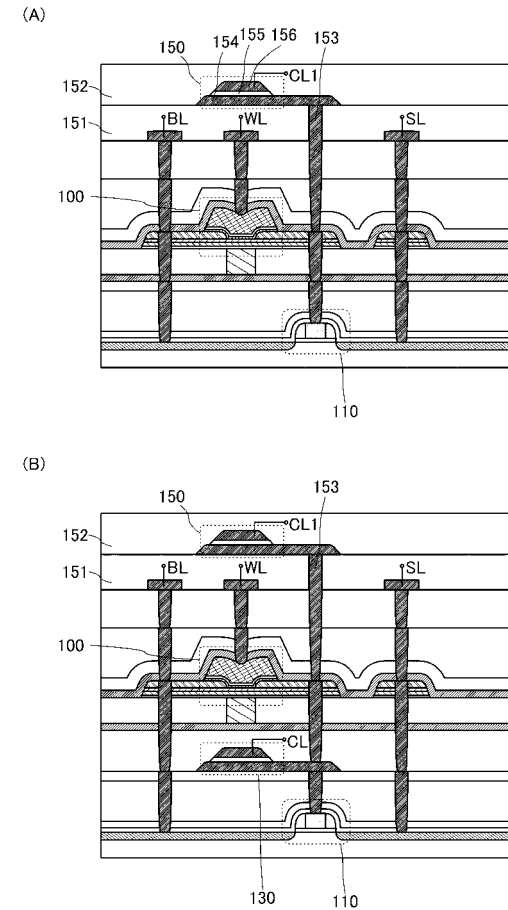
【図 11】



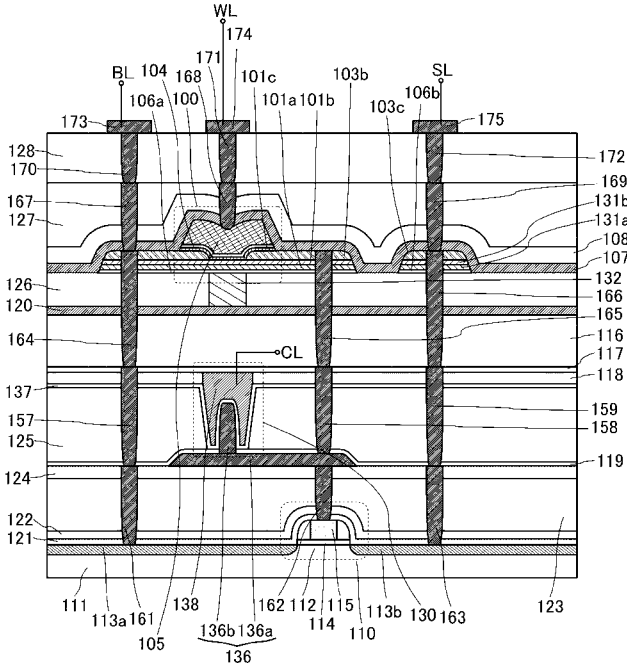
【図 12】



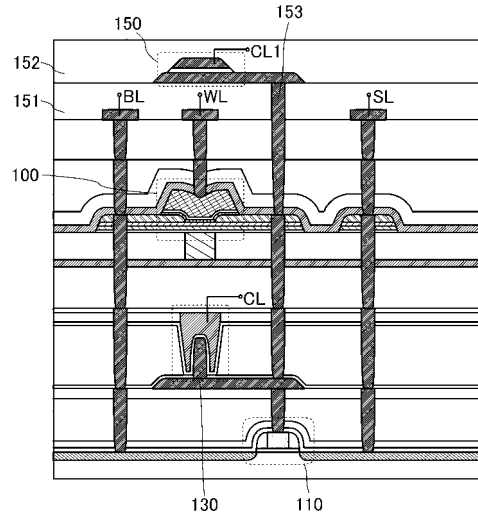
【図 13】



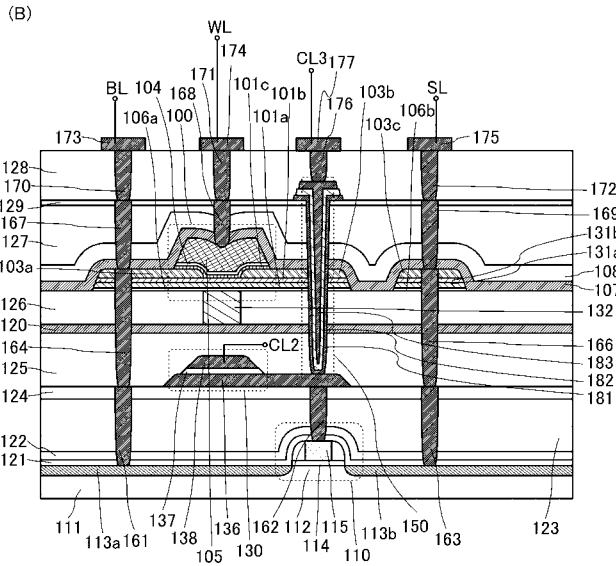
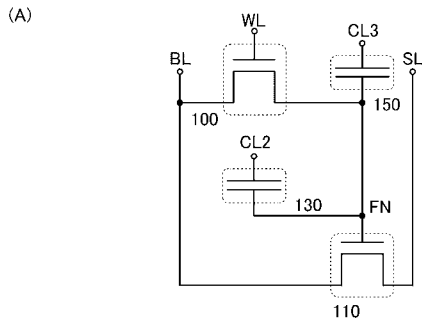
【 図 1 4 】



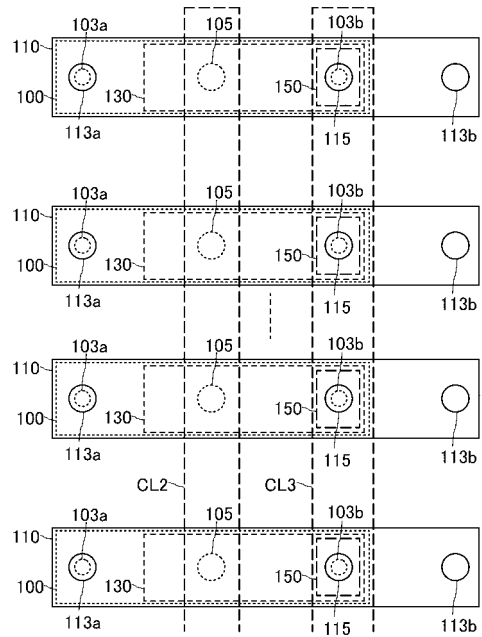
【 図 1 5 】



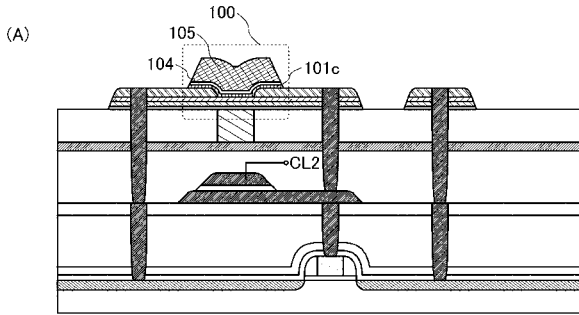
【 図 1 6 】



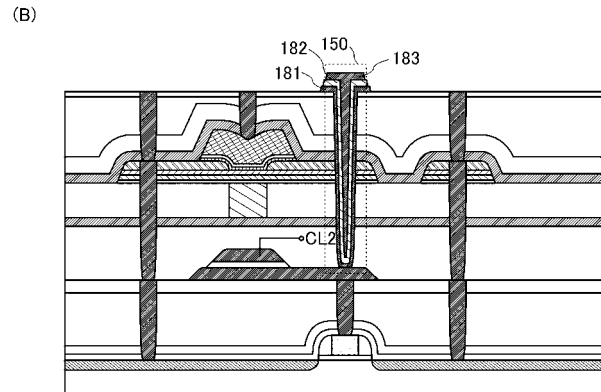
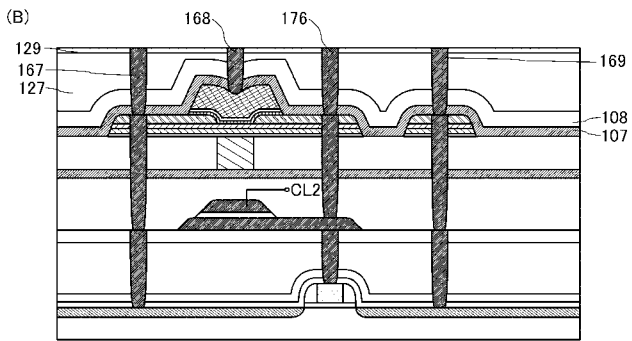
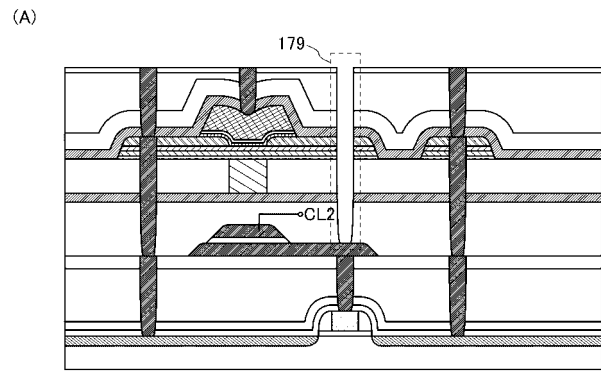
【 図 1 7 】



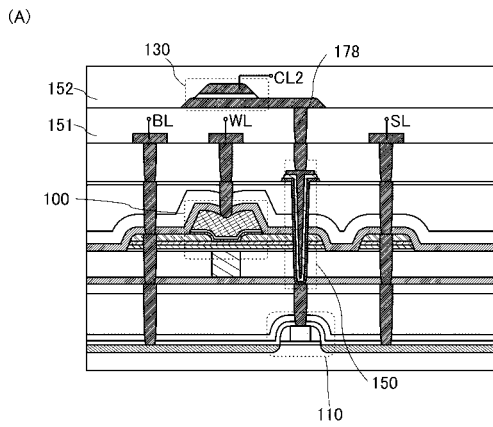
【 図 1 8 】



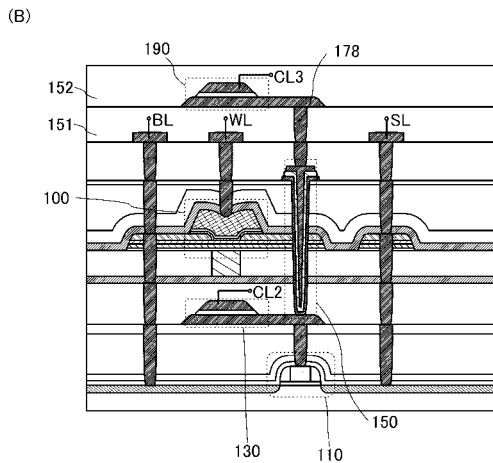
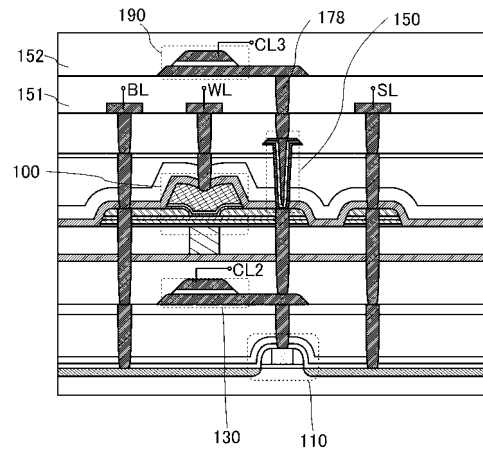
【 図 1 9 】



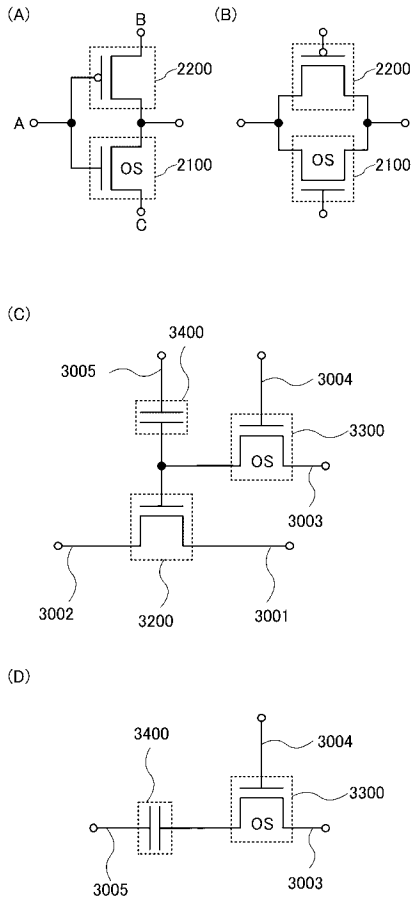
【 図 2 0 】



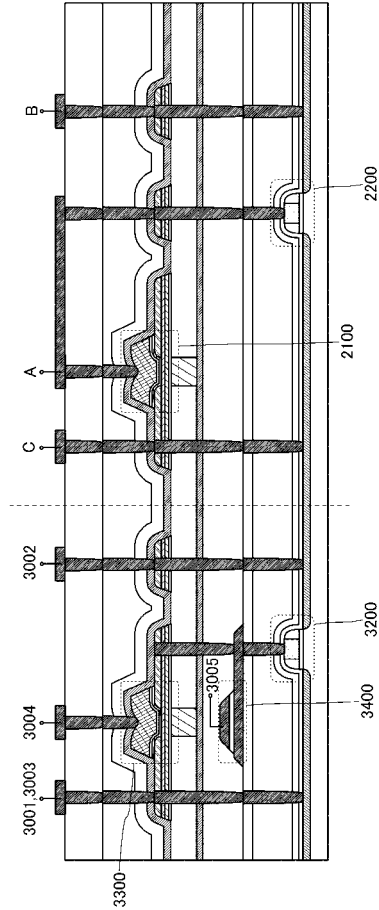
【 図 2 1 】



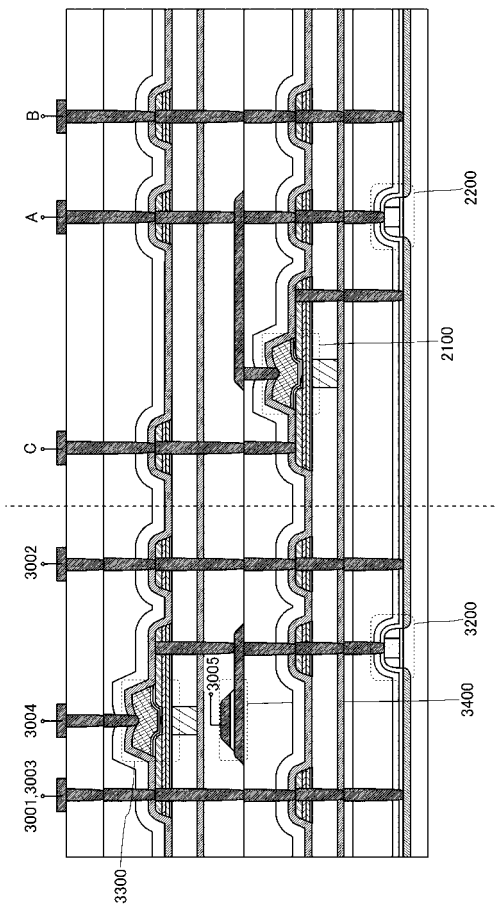
【 図 2 7 】



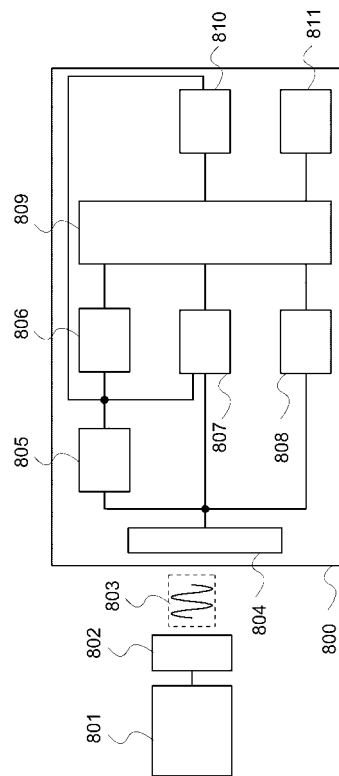
【 図 2 8 】



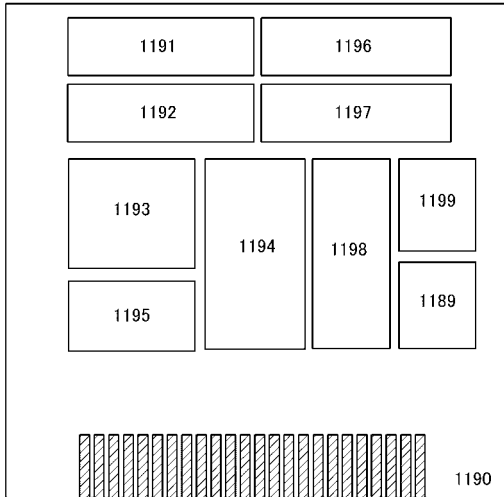
【 図 2 9 】



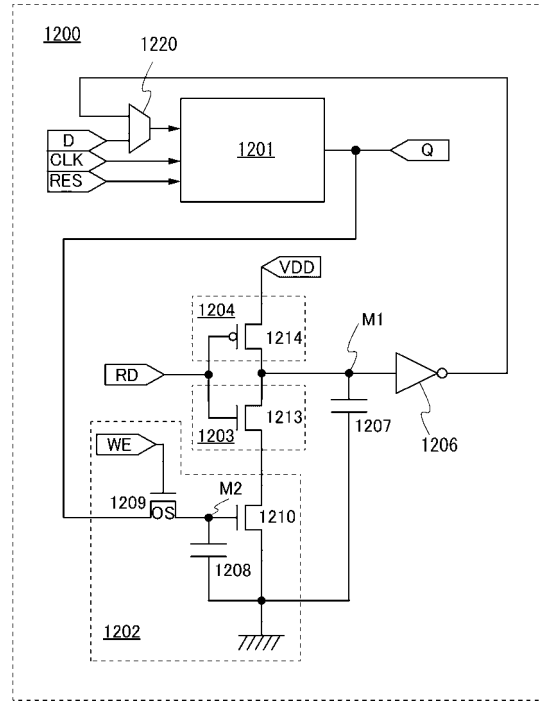
【 図 3 0 】



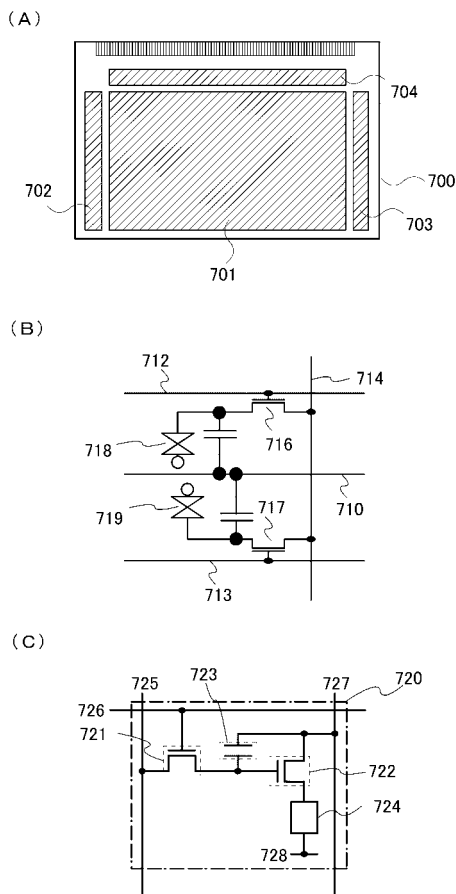
【 図 3 1 】



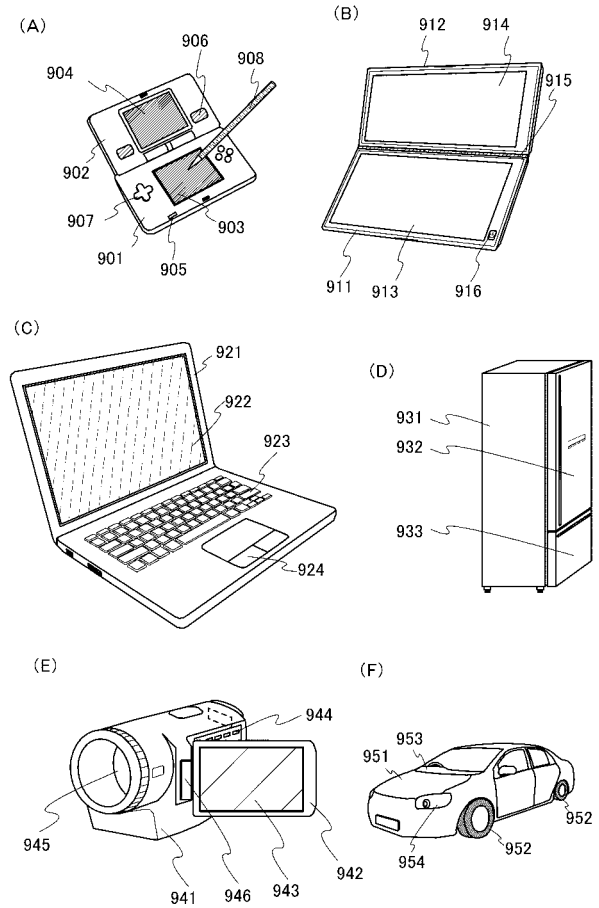
【 図 3 2 】



【 図 3 3 】

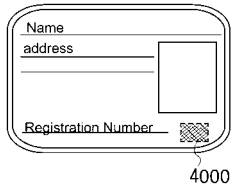


【 図 3 4 】

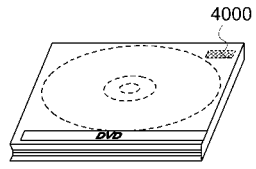


【 図 3 5 】

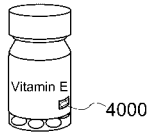
(A)



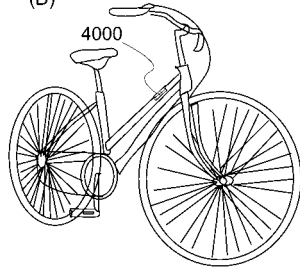
(B)



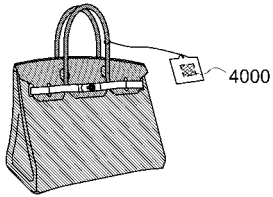
(C)



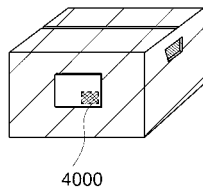
(D)



(E)

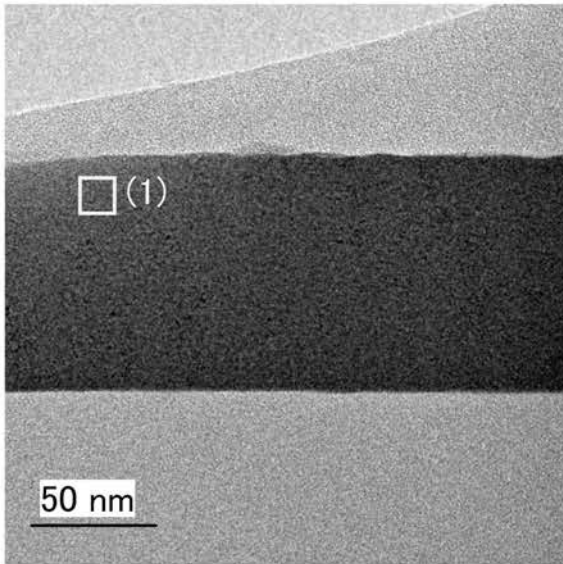


(F)

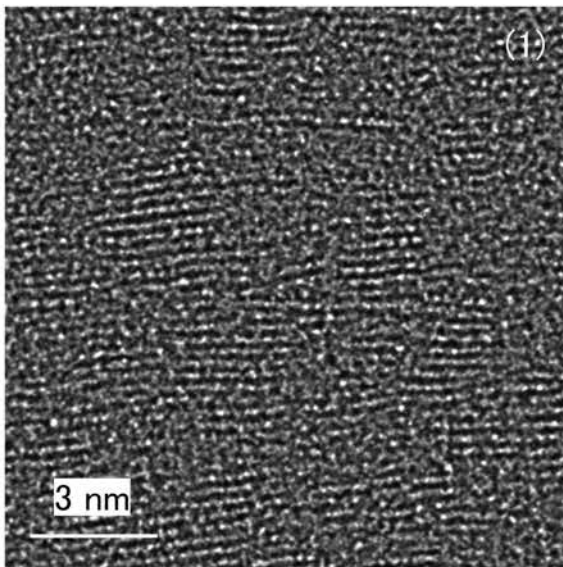


【図 2 2】

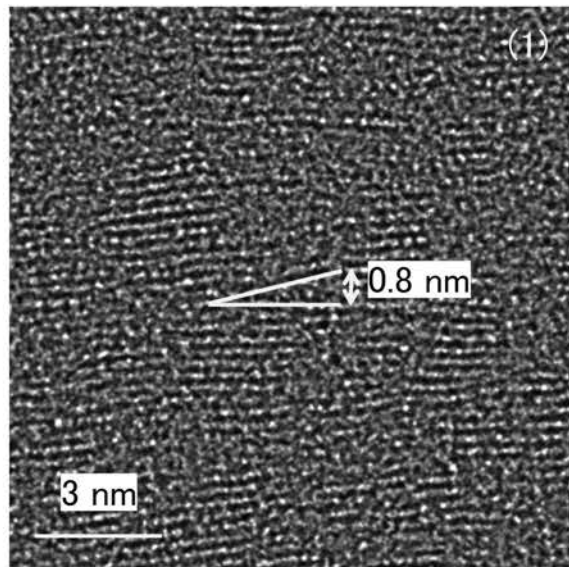
(A)



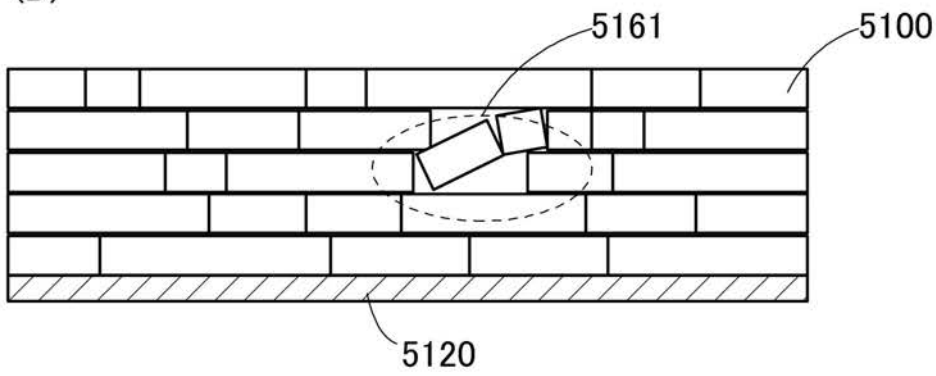
(B)



(C)

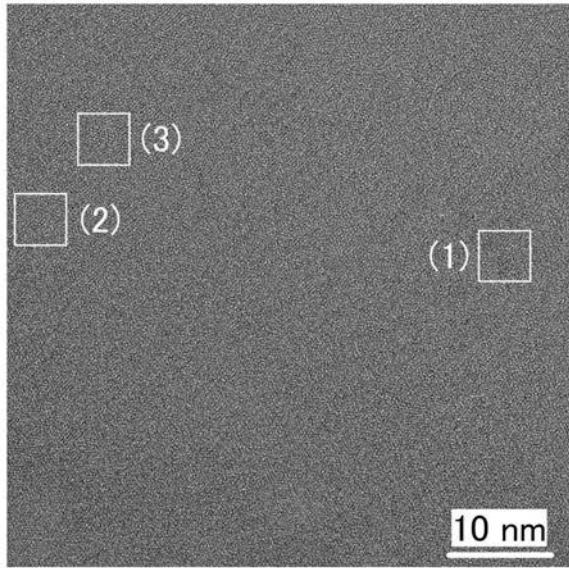


(D)

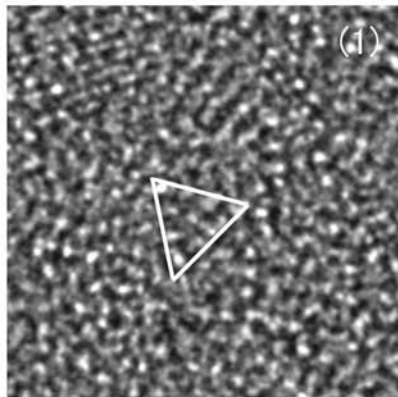


【 図 2 3 】

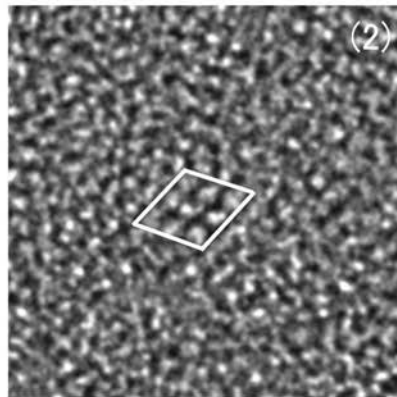
(A)



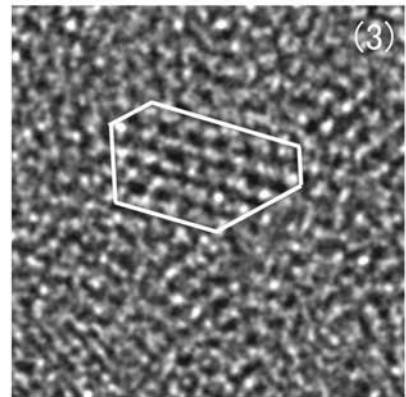
(B)



(C)

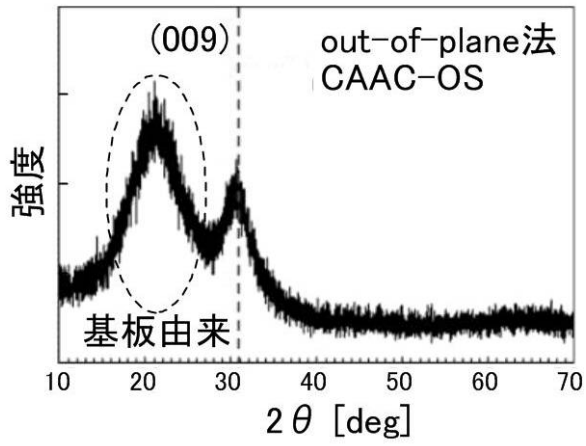


(D)

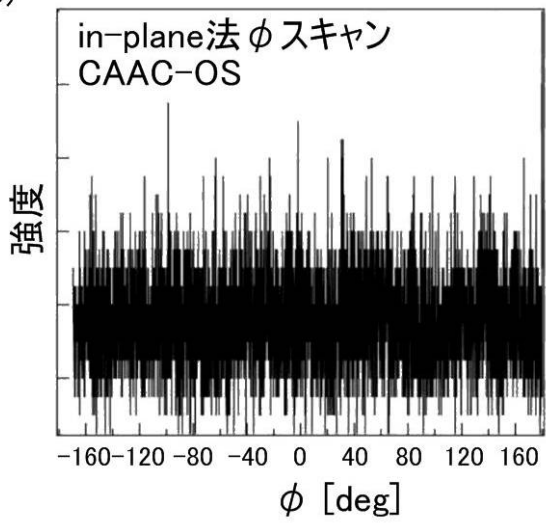


【 図 2 4 】

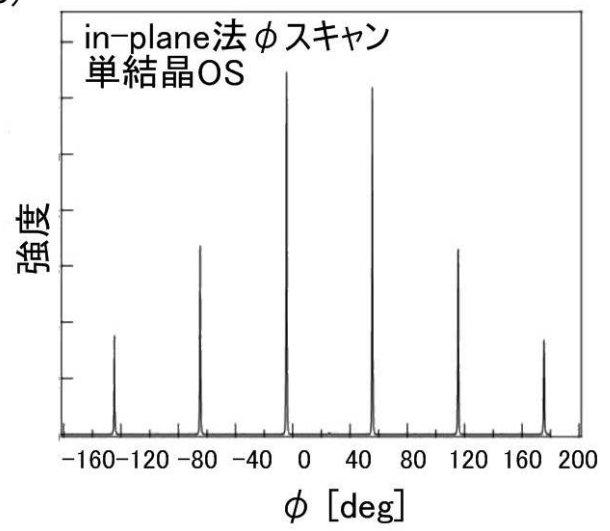
(A)



(B)

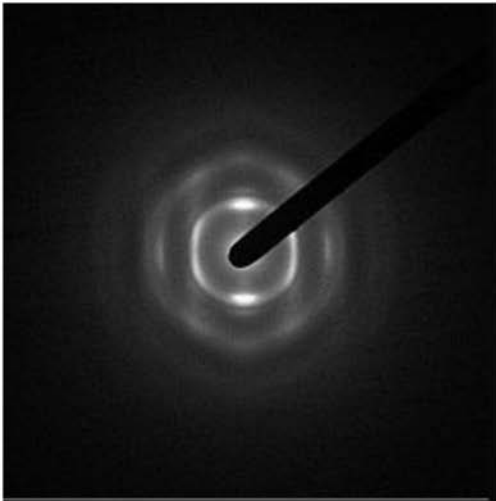


(C)



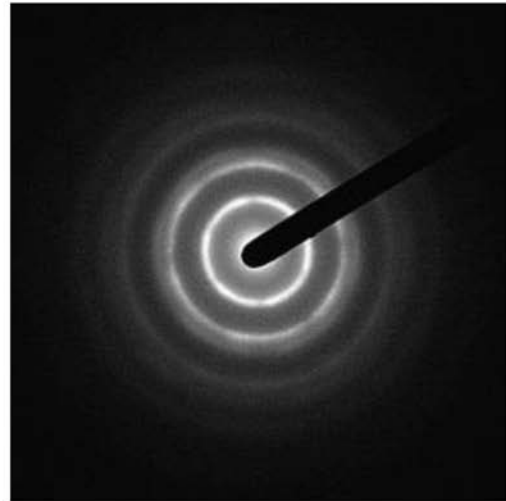
【図 2 5】

(A)



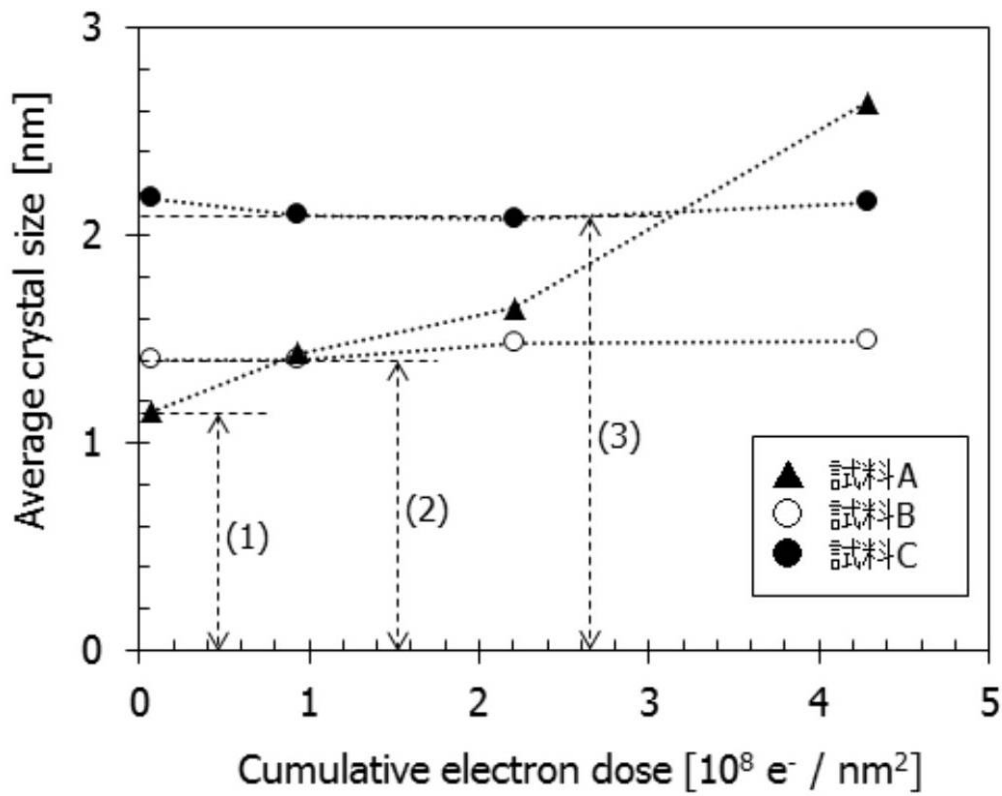
試料面に平行な方向
から電子線を入射

(B)



試料面に垂直な方向
から電子線を入射

【図 2 6】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/792 (2006.01)	H 0 1 L 27/10 3 2 1	5 F 1 0 1
H 0 1 L 21/8242 (2006.01)	H 0 1 L 27/10 4 3 4	5 F 1 1 0
H 0 1 L 27/108 (2006.01)	H 0 1 L 21/28 3 0 1 B	5 M 0 2 4
H 0 1 L 21/8247 (2006.01)	H 0 1 L 29/50 M	
H 0 1 L 27/115 (2006.01)	H 0 1 L 29/58 G	
H 0 1 L 21/28 (2006.01)	H 0 1 L 21/90 B	
H 0 1 L 29/417 (2006.01)	H 0 1 L 21/90 D	
H 0 1 L 29/423 (2006.01)	H 0 1 L 29/50 J	
H 0 1 L 29/49 (2006.01)	H 0 1 L 27/10 4 4 1	
H 0 1 L 21/768 (2006.01)	H 0 5 B 33/14 A	
H 0 1 L 23/522 (2006.01)	G 1 1 C 11/34 3 5 2 B	
H 0 1 L 27/105 (2006.01)		
H 0 1 L 51/50 (2006.01)		
G 1 1 C 11/405 (2006.01)		

Fターム(参考)	4M104	AA01	AA02	AA03	AA04	AA05	AA07	AA08	AA09	AA10	BB01
		BB02	BB03	BB04	BB05	BB08	BB13	BB14	BB16	BB17	BB18
		BB21	BB30	BB31	BB32	BB33	BB36	BB39	BB40	CC01	CC05
		DD03	DD04	DD15	DD16	DD17	DD18	DD34	DD35	DD37	DD43
		DD62	DD63	DD71	DD91	FF03	FF04	FF06	FF11	FF17	FF18
		FF21	FF26	FF27	FF29	FF31	GG04	GG09	GG10	GG12	GG14
		GG16	HH04	HH09	HH10	HH12	HH13	HH14			
5F033	GG00	GG01	GG02	GG03	HH01	HH04	HH07	HH08	HH09	HH11	
		HH14	HH17	HH18	HH19	HH20	HH21	HH25	HH32	HH33	HH34
		HH35	HH38	JJ11	JJ19	KK01	KK04	KK07	KK08	KK09	KK11
		KK14	KK17	KK18	KK19	KK20	KK21	KK25	KK32	KK33	KK34
		KK35	KK38	LL04	MM13	MM21	NN08	NN16	NN38	PP06	PP11
		PP12	PP15	PP19	PP20	QQ01	QQ04	QQ07	QQ08	QQ09	QQ10
		QQ16	QQ26	QQ27	QQ37	QQ48	QQ58	QQ60	QQ61	QQ63	QQ65
		QQ73	QQ74	QQ76	QQ78	QQ84	QQ90	QQ98	RR01	RR03	RR04
		RR05	RR06	RR07	RR08	RR12	RR20	RR21	SS00	SS02	SS04
		SS08	SS11	SS15	SS25	SS27	TT02	TT04	TT08	VV15	VV16
		XX01	XX02	XX03	XX14	XX19	XX28				
5F048	AB01	AC01	AC10	BA01	BA14	BA16	BA19	BA20	BB04	BB09	
		BB10	BB11	BB14	BD06	BF12	BF15	BF16	BG12	BG13	CB01
		CB02	CB03	CB04	CB10						
5F083	AD02	AD03	AD14	AD24	AD69	EP17	EP22	EP49	EP75	GA01	
		GA05	GA06	GA09	GA10	GA15	GA21	GA25	GA27	HA02	HA06
		HA08	JA02	JA05	JA06	JA12	JA19	JA35	JA36	JA37	JA39
		JA40	JA42	JA44	JA53	JA58	MA06	MA16	MA17	MA18	MA19
		MA20	NA01	PR01	PR07	PR09	PR12	PR15	PR18	PR22	PR29
		PR33	PR36	PR40	ZA13	ZA14	ZA20	ZA23			
5F101	BA17	BA42	BB02	BB17	BD10	BD13	BD30	BD33	BD35	BD37	
		BD39	BD40	BE02	BE05	BF01	BF02	BF03	BF08	BF09	BG08
		BG09	BH05	BH09	BH16	BH17	BH19	BH26			
5F110	AA01	AA06	AA07	AA08	BB01	BB05	CC05	DD01	DD05	DD12	
		DD13	DD15	DD17	DD21	DD24	EE01	EE02	EE03	EE04	EE05

EE06	EE07	EE08	EE09	EE11	EE14	EE15	EE30	EE38	FF01
FF02	FF03	FF04	FF05	FF09	GG01	GG06	GG16	GG17	GG19
GG22	GG29	GG34	GG35	GG58	HK01	HK02	HK03	HK04	HK06
HK21	HK22	HL14	HM17	HM19	NN02	NN03	NN05	NN22	NN23
NN28	NN33	NN34	NN35	NN40	NN71	NN72	NN74	NN77	NN78
PP10	PP13	PP35	QQ09	QQ19					
5M024	AA06	CC01							