



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I447911 B

(45) 公告日：中華民國 103 (2014) 年 08 月 01 日

(21) 申請案號：098123033

(22) 申請日：中華民國 98 (2009) 年 07 月 08 日

(51) Int. Cl. : **H01L29/78 (2006.01)**

(30) 優先權：2008/07/10 美國 12/170,599

(71) 申請人：包爾福集成公司 (美國) POWER INTEGRATIONS, INC. (US)  
美國(72) 發明人：史瑞丹 大衛 C SHERIDAN, DAVID C. (US)；芮庭諾爾 安卓亞 RITENOUR,  
ANDREW (US)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US 6917054B2

US 2007/0187715A1

審查人員：彭大慶

申請專利範圍項數：18 項 圖式數：8 共 0 頁

(54) 名稱

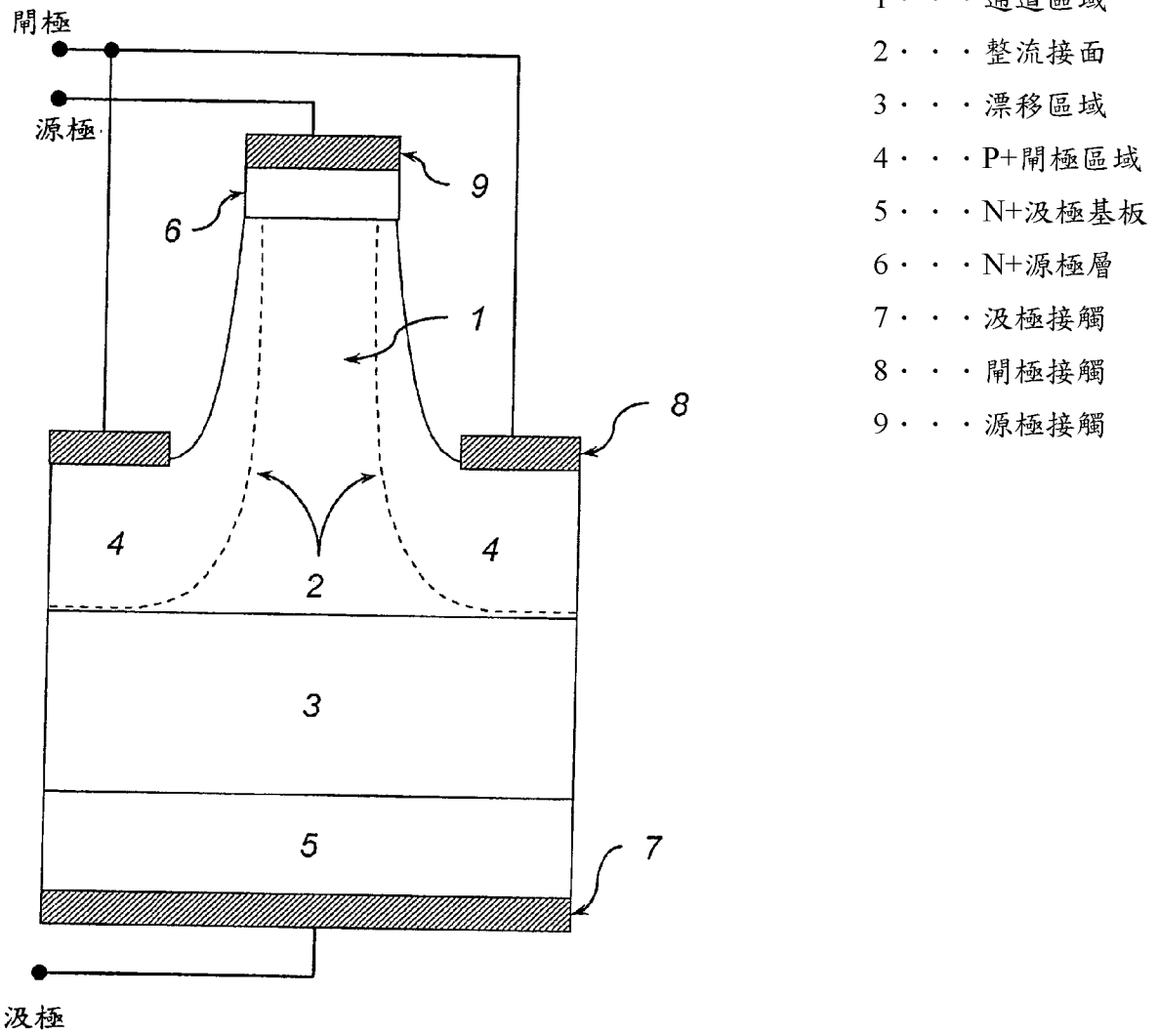
具有增強傳導之非貫穿半導體通道的半導體裝置及製造方法

SEMICONDUCTOR DEVICES WITH NON-PUNCH-THROUGH SEMICONDUCTOR CHANNELS  
HAVING ENHANCED CONDUCTION AND METHODS OF MAKING

(57) 摘要

本發明說明半導體裝置，其中該裝置中的電流被侷限在整流接面(例如 p-n 接面或金屬半導體接面)之間。該裝置提供非貫穿特性與增強的電流導通能力。該等裝置可以是電力半導體裝置，像是接面場效電晶體(JFET)、靜態感應電晶體(SIT)、接面場效閘流電晶體或 JFET 電流限制器。該等裝置可以被製作在像是碳化矽(SiC)的寬能隙半導體中。根據某些實施例，該裝置可以是常關型 (normally-off) SiC 垂直接面場效電晶體。本發明也說明了製造該等裝置的方法與包含該等裝置的電路。

Semiconductor devices are described wherein current flow in the device is confined between the rectifying junctions (e.g., p-n junctions or metal- semiconductor junctions). The device provides non-punch-through behavior and enhanced current conduction capability. The devices can be power semiconductor devices as such as Junction Field-Effect Transistors (JFETs), Static Induction Transistors (SITs), Junction Field Effect Thyristors, or JFET current limiters. The devices can be made in wide bandgap semiconductors such as silicon carbide (SiC). According to some embodiments, the device can be a normally-off SiC vertical junction field effect transistor. Methods of making the devices and circuits comprising the devices are also described.



- 1 . . . 通道區域
- 2 . . . 整流界面
- 3 . . . 漂移區域
- 4 . . . P+閘極區域
- 5 . . . N+汲極基板
- 6 . . . N+源極層
- 7 . . . 汲極接觸
- 8 . . . 閘極接觸
- 9 . . . 源極接觸

圖1

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98123033

※申請日：98.7.8

※IPC 分類：H01L 29/18

(2006.01)

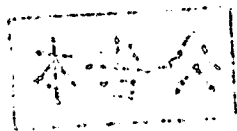
一、發明名稱：(中文/英文)

具有增強傳導之非貫穿半導體通道的半導體裝置及製造方法

SEMICONDUCTOR DEVICES WITH  
NON-PUNCH-THROUGH SEMICONDUCTOR  
CHANNELS HAVING ENHANCED CONDUCTION  
AND METHODS OF MAKING

二、中文發明摘要：

本發明說明半導體裝置，其中該裝置中的電流被侷限在整流接面（例如 p-n 接面或金屬半導體接面）之間。該裝置提供非貫穿特性與增強的電流導通能力。該等裝置可以是電力半導體裝置，像是接面場效電晶體（JFET）、靜態感應電晶體（SIT）、接面場效閘流電晶體或 JFET 電流限制器。該等裝置可以被製作在像是碳化矽（SiC）的寬能隙半導體中。根據某些實施例，該裝置可以是常關型（normally-off）SiC 垂直接面場效電晶體。本發明也說明了製造該等裝置的方法與包含該等裝置的電路。



### 三、英文發明摘要：

Semiconductor devices are described wherein current flow in the device is confined between the rectifying junctions (e.g., p-n junctions or metal-semiconductor junctions). The device provides non-punch-through behavior and enhanced current conduction capability. The devices can be power semiconductor devices as such as Junction Field-Effect Transistors (JFETs), Static Induction Transistors (SITs), Junction Field Effect Thyristors, or JFET current limiters. The devices can be made in wide bandgap semiconductors such as silicon carbide (SiC). According to some embodiments, the device can be a normally-off SiC vertical junction field effect transistor. Methods of making the devices and circuits comprising the devices are also described.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

1	通道區域
2	整流接面
3	漂移區域
4	P+ 閘極區域
5	N+ 汲極基板
6	N+ 源極層
7	汲極接觸
8	閘極接觸
9	源極接觸

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本申請案一般係關於半導體裝置與製造該等裝置的方法。

### 【先前技術】

在使用於電力開關應用的接面場效裝置中，通常會非常希望不只減低通道電阻，也提供類似 MOSFET 的開關特性。特別的是，當通道被施加至閘極的臨界電壓夾止 (pinched off) 時，會希望該裝置可以阻斷最大電壓或額定電壓。這樣的裝置特性需要無限高的電壓阻斷增益  $\beta$ 。在接面場效裝置中，低通道電阻與高電壓阻斷增益典型地被視為互相競爭的裝置特性。舉例來說，在短通道 JFET 或 SIT，總裝置電阻的通道部分很小而且電流飽和遠比在長通道 JFET 構造中更不顯著。然而，電壓阻斷增益也很小，而且臨界電壓與需要阻斷最大汲極電壓之閘極偏壓之間的差異也非常顯著，在某些情況下到達幾十伏特 (例如 Merrett 等人的 [1])。另一方面，在可以提供高電壓阻斷增益的長通道加強模式 JFET 中，電流太早飽和，所以無法全面性地利用在線性區域之相當低的開通狀態通道電阻 (例如 Zhao 等人的 [2] 與 Sannuti 等人的 [3])。這個問題在電力 SiC VJFET 中特別顯著。結果常關型開關裝置的發展減少了。

從而，仍然存在著對於具有低開通狀態通道電阻與高電壓阻斷增益之場效電晶體半導體裝置的需要。

參考文獻

- [1] J.N. Merrett, I. Sankin, V. Bonderenko, C.E. Smith, D. Kajfez 與 J.R.B. Casady, 「自對準 L 帶 4H-SiC 靜態感應電晶體的 RF 與 DC 特性化」, *材料科學論壇* 第 527-529 卷 (2006 年), 第 1223 頁到第 1226 頁。
- [2] J .H. Zhao, K. Tone, X. Li, P. Alexandrov, L. Fursin 與 M. Weiner, 「3.6 毫歐姆 x 平方公分, 1726 伏特 4H-SiC 常關型溝槽與佈植垂直 JFET 與電路應用」, *IEE Proc.-電路裝置系統.*, 第 151 卷, 第 3 號, 2004 年 6 月。
- [3] P. Sannuti, X. Li, F. Yan, K. Sheng , J.H. Zhao, 「在 4H - SiC 側向接面場效電晶體中的通道電子移動力」, *固態電子學* 49 (2005) 1900 - 1904
- [4] W. Shockley, “一種單載子「場效」電晶體,” *IRE 的會議錄* 第 40 卷, 第 11 刊, 1952 年 11 月, 第 1365 頁到第 1376 頁
- [5] I. Sankin, “在電力碳化矽裝置中的邊緣終止與 RESURF 科技,” 博士論文, 密西西比州大學, 2006; AAT 3213969, 第 110 頁
- [6] M. Nagata, T. Masuhara, N. Hashimoto, H. Masuda, “一種短通道、免於貫穿崩潰的 MOS 電晶體,” *國際電子裝置會議*, 1971 年第 17 卷, 1971 第 2 頁到第 3 頁
- [7] Legacy CACE User ' s Guide AixRecipe; Recipe Language for AIXTRON systems, Copyright 1994-2004, AIXTRON AG, Kaskertstrasse 15-17 D-52072 Aachen,

Germany.

【發明內容】

本發明提供一種半導體裝置，該裝置包含：

第一導電型態半導體材料基板層；

在基板層上的第一導電型態半導體材料第一層；

在第一層上的第一導電型態半導體材料隆起區域，該隆起區域包含上表面與第一及第二斜邊壁；

在隆起區域之第一與第二邊壁上與鄰接於隆起區域之第一層之上表面上的第二導電型態(不同於第一導電型態)半導體材料；及

在隆起區域之上表面上的第一導電型態之半導體材料第三層；

其中該隆起區域包含鄰接於第三層具有第一平均摻質濃度的第一部分與在第一部分與第一層之間具有第二平均摻質濃度的第二部分，其中該第一平均摻質濃度比該第二平均摻質濃度低，而且其中該第二平均摻質濃度比第一層的平均摻質濃度高。

本發明也提供一種包含一或多個如上面所提出之半導體裝置的電路。

本發明也提供一種製造半導體裝置的方法，該方法包含：

選擇性蝕穿第一導電型態半導體材料第三層，其中該第三層是位在第一導電型態半導體材料第二層上，而且其



中該第二層是位在第一導電型態半導體材料第一層上，而且其中該第一層是位在第一導電型態半導體材料基板層上，其中選擇性蝕穿第三層包含選擇性蝕入下面的第二層以形成第一導電型態半導體材料隆起區域，該第一導電型態半導體材料隆起區域具有包含半導體材料第三層的上表面與包含半導體材料第二層的斜邊壁；

選擇性佈植摻雜物進入在隆起區域之邊壁上的半導體材料第二層以在隆起區域的邊壁上與鄰接於隆起區域之第一層的上表面上形成第二導電型態(不同於第一導電型態)半導體材料區域；

其中該第二層包含鄰接於第三層具有第一平均摻質濃度的第一部分與在第一部分與第一層之間具有第二平均摻質濃度的第二部分，其中該第一平均摻質濃度低於第二平均摻質濃度，而且其中該第二平均摻質濃度高於該第一層的平均摻質濃度。

本發明也提供一種半導體裝置，包含：

第一導電型態半導體材料基板層；

在基板層上的第一導電型態半導體材料第一層，該第一層具有相對於該基板層的表面；

在第一層表面上的第一導電型態半導體材料隆起區域，該隆起區域包含上表面與第一及第二邊壁；

在隆起區域之第一與第二邊壁上與鄰接於隆起區域之第一層之上表面上的第二導電型態(不同於第一導電型態)半導體材料；及

在隆起區域之上表面上的第一導電型態半導體材料第三層；

其中該隆起區域具有  $5 \times 10^{16}$  個 / 立方公分到  $1 \times 10^{18}$  個 / 立方公分的摻質濃度；

其中在隆起區域上表面與第一層表面之間的距離是 0.1 微米到 2 微米；及

其中在平行於隆起區域上表面方向之隆起區域之第一邊壁與第二邊壁之間的最小距離是 0.1 微米到 0.5 微米。

本發明也提供一種包含一或多個如上面所提出之半導體裝置的電路。

本教示的這些特點與其他特點將在這裡提出。

### 【實施方式】

為達解釋本說明書的目的，除非特別提及或是在「及 / 或」的用法明顯不適合的地方，否則，本文中「或」的用法具有「及 / 或」的意義。除非特別提及或是在「一或多個」的用法明顯不適合的地方，否則，本文中「一(a)」的用法具有「一或多個」的意義。「包括 (comprise、comprises、comprising)」以及「包含 (include、includes、including)」的用法可互換使用而且不具有限制的用意。再者，在一或多個實施例的說明使用到「包括」用詞的地方，熟習本技術的人士便會瞭解，於某些特定的實例中，可能會使用「基本上由...所組成」及 / 或「由...所組成」的語言來替代說明該或該等實施例。還應該瞭解的係，於某些實

施例中，步驟的順序或是用於實施特定動作的順序並不重要，只要本教示內容仍保持可運作即可。再者，於某些實施例中，可能會同時進行二或多個步驟或動作。

高通道電阻與低電壓阻斷增益在過去被當作分開的問題處理。通道電阻是一個施加至通道終端與整流接面之偏壓的非線性函數。在通道電阻幾乎是常數的通道 I-V 特性圖中可以有條件地辨別出兩個區域：線性區域與飽和區域。在線性區域中，通道電阻與通道長度成正比而與摻質濃度與電流流動通過的橫截面成反比。在飽和區域中，該通道電阻大幅度地成長，使得這個區域很少用於大部分的電力開關應用中。

在接面場效電晶體中的電流飽和機制被揭露在 Shockey[4]中。這個效應如同以下說明般被揭露。當施加至 JFET 構造的汲極-源極偏壓在固定的閘極-源極偏壓下增加，沿著電流之通道的電位降導致通道裡的空乏區往汲極方向加寬。因此在通道裡的電流路徑往汲極方向變得更窄，因而導致電流飽和。因為載子漂移速度在高電場下的飽和，後來在 Shockey 中揭露的機制似乎更為嚴峻。根據歐姆定律，當通道電阻往汲極方向增加時，該電場也增加，而導致載子移動力的降級，導致了通道電阻進一步的增加與汲極電流更快速的飽和。

好幾個解決早期電流飽和的方法已經被提出。舉例來說，美國專利第 2984752 號揭露一個通道構造，該通道構造利用在合金 p-n 接面之間的不均勻間隔減少電流飽和效

應。接面之間的距離往具有更高偏壓的終端方向線性增加，導致可以在通道由合併的空間電荷區域夾止之前經由通道驅動更高的電流。但是揭露在美國專利第 2984752 號中的裝置構造因為合金接面而極度難以製造。

揭露在美國專利第 2984752 號中的裝置也不適用於高電壓的應用，因為它在通道與汲極之間不具有電壓阻斷層（也就是漂移區域）。藉由選擇下列方程式中提出的摻質  $N_{dr}$  與厚度  $t_{dr}$ ，因為指定的崩潰電壓  $V_b$  與最小的平坦接面電場  $E_{IDMAX}$ ，漂移區域的電阻可以被最小化：

$$t_{dr} = \frac{3}{2} \cdot \frac{V_b}{E_{IDMAX}} \quad (1)$$

$$N_{dr} = \frac{4}{9} \cdot \frac{\epsilon_0 \cdot \epsilon_r \cdot E_{IDMAX}^2}{q \cdot V_b}$$

在美國專利第 4403396 中揭露一個具有由電漿蝕刻形成且由佈植整流接面侷限之垂直通道構造的裝置。

在美國專利第 5747831 號中揭露一個具有漂移區域且其中使用在接面之間的非均勻間隔來改良飽和電流的垂直 SiC JFET。雖然這個裝置可以比揭露在美國專利第 2984752 號中的構造來得更容易製造，但是揭露在美國專利第 5747831 號中的垂直 SiC JFET 並不適用於表現出如以下解釋的類似 MOSFET 開關特性（也就是無限高的阻斷增益）的高電壓裝置。

無限高的阻斷增益由下列方程式表示：

$$\beta = \frac{dV_{DS}}{dV_{GS}} \rightarrow -\infty \text{ at } V_{GS} < V_{th}$$

在源極 ( $y=0$ ) 與汲極 ( $y=L$ ) 入口之間的電流所進入的長度  $L$

的假設性通道由可以被視為對稱於通道軸的整流接面 (例如 p-n 接面) 所侷限。假如沿著通道軸的摻質濃度由  $N(y)$  定義，而  $a(y)$  代表在整流接面之間的一半距離，夾止電壓可以沿著通道軸被定義如下：

$$V_p(y) = \frac{q}{\epsilon} N(y) \frac{a(y)^2}{2}, y \in [0, L] \quad (2)$$

下列的非貫穿 (NPT) 狀態 (其中  $V_{bi}(y)$  是內建電位，而  $E_m$  代表當施加最大汲極電壓 ( $V_{DS}=V_b$ ) 時發生在通道汲極入口的最大電場) 可以接著沿著通道軸設定成：

$$V_{punch-through}(y) - V_{th} + V_{bi}(y) \geq V_p(y), y \in [0, L] \quad (3)$$

$$E_{punch-through} = \frac{q}{\epsilon} \int_0^L N(y) dy > E_m \quad (4)$$

在裝置構造具有使用方程式 (1) 之最低電阻、指定崩潰電壓 ( $V_b$ ) 與最大可允許平坦接面電場  $E_{IDMAX}$  之最佳化漂移區域的狀況下，狀態 (3)-(4) 可以被重寫為下列這組限制：

$$\begin{cases} \frac{1}{t_{dr}} \int_0^L \int_0^y N(\xi) d\xi dy + \int_0^L N(y) dy > \frac{\epsilon}{q} E_{IDMAX} \\ a(y) < \sqrt{2 \int_0^y \int_0^\lambda \frac{N(\xi)}{N(y)} d\xi d\lambda + \frac{2\epsilon}{qN(y)} (V_{bi}(y) - V_{th})}, y \in [0, L] \end{cases} \quad (5)$$

對於均勻通道摻質濃度的狀況，這組限制 (5) 可以簡化如下：

$$\begin{cases} L > t_{dr} \left( \sqrt{\left(1 + \frac{3N_{dr}}{N_{ch}}\right) - 1} \right) \\ a(y) < \sqrt{y^2 + \frac{2\varepsilon}{qN_{ch}}(V_{bi} - V_{th})}, y \in [0, L] \end{cases} \quad (6)$$

因為揭露在美國專利第 5747831 號的垂直 SiC JFET 具有具有相同摻質濃度的漂移區域與通道 ( $N_{dr}=N_{ch}$ )，假如滿足了(6)的這些狀態，這個構造中的通道長度會超過漂移區域厚度 ( $L > t_{dr}$ )。這對於需要很厚之低摻質漂移區域的高電壓裝置來說是不實際的。

在美國專利第 5945701 號中揭露在通道層中具有比漂移區域更高摻質濃度的垂直 SiC 靜態感應電晶體 (SIT) 構造。

在美國專利第 4364072 號中揭露一種其通道由從具有「非常低」之雜質濃度之層的源極分離開來的具有「低」雜質濃度之層組成的靜態感應電晶體 (SIT) 構造。

美國專利申請案公開號第 2007/0187715 A1 號揭露可以提供非貫穿效能之均勻摻質通道構造的裝置。但是揭露在美國專利公開案第 2007/0187715 A1 號中的構造也具有如下列討論中所解釋的一定限制。

來自方程式(1)中具有最佳化參數之漂流區域的特定電阻可以被推導如下：

$$R_{drift\_opt} = \frac{27}{8} \cdot \frac{V_b^2}{\varepsilon_0 \cdot \varepsilon_r \cdot \mu \cdot E_{1DMAX}^3} \quad (7)$$

如同(7)中所示，對於一個給定的阻斷需求，漂移區域的特定電阻反比於最大一維電場 ( $E_{1DMAX}$ ) 的三次方。在

4H-SiC 中，在適當終止的陡峭接面中允許的最大電場可以超過 2.4 百萬伏特／公分（Sankin 等人[5]）。因此有強烈的動機在電力裝置中使用 SiC 以減低開通狀態的損耗。但是當在具有均勻摻質非貫穿通道的接面場效裝置中使用 SiC 時，該通道劑量  $D_{ch}=N_{ch}L$  應該被選定為比具有低臨界電場的半導體還要高。為了最小化通道電阻，傾向於藉由增加摻質而非長度以增加通道劑量。但是對於一個給定的臨界電壓來說，通道摻質越高，整流接面之間的距離就越小。因此反而需要更高成本的微影術技術，尤其是在需要正值的臨界電壓時。在佈植 p-n 接面的狀況下，縮小通道厚度將導致側面佈植輪廓在通道軸上合併，造成總通道摻質減少，而且也會因為從邊壁側向行進的佈植損壞而降低電子的移動能力。這些效應會導致通道電阻增加與通道電流的早期飽和。確實，揭露在美國專利申請案公開號第 2007/0187715 A1 號中之裝置的 I-V 特性顯示了非常小的飽和電壓（在  $V_{GS}$  等於 2.5 伏特時  $V_{SAT}<1$ ）。因此在閘極至源極的偏壓不應該超過所控制 p-n 接面的內建電位的狀況下，會難以將美國專利申請案公開號第 2007/0187715 A1 號揭露的裝置操作在單載子模式下。

在美國專利第 7187021 號中揭露在通道區域與漂移區域中具有不同摻質層級的裝置。

在 Nataga 等人的 [6] 中揭露具有由增強與空乏區域組成之「非均勻閘極區域」的 MOS 電晶體構造。

所說明的半導體裝置裡的電流流動會侷限在整流接面

之間一般被指稱為通道的區域。舉例來說，該整流接面可以是 p-n 接面及 / 或金屬-半導體接面。這種半導體組構提供了非貫穿特性與增強的電流導通能力。該等裝置可以是電力半導體裝置，像是接面場效電晶體 (JFET)、靜態感應電晶體 (SIT)、接面場效閘流電晶體、JFET 電流限制器等。該等裝置可以用像是碳化矽 (SiC) 的寬能隙半導體製作。根據某些實施例，該裝置可以是常關型 (normally-off) SiC 垂直接面場效電晶體 (也就是 VJFET)。

根據某些實施例，說明了提供非貫穿效能 (例如滿足方程式 (5) 的狀態) 之具有通道構造的裝置。特別的是，一旦該通道由施加至閘極的臨界電壓夾止，該裝置可以阻斷如以下方程式表示的最大電壓：

$$\beta = \frac{dV_{DS}}{dV_{GS}} \rightarrow -\infty \text{ at } V_{GS} < V_{th}.$$

該裝置的通道構造也可以提供大幅度降低的電阻並減少或消除早期電流飽和的問題。該裝置可以藉由消除找到在裝置電阻的通道與漂移元件之間損益的必要性來全面地利用在非貫穿場效裝置中寬能隙半導體的崩潰強度。

根據某些實施例，該裝置具有非均勻摻質的垂直通道構造，如此一來位在源極附近的通道之一部分具有比該通道之下面的部分更低的平均摻質濃度。該通道之相對短低摻質部分 (或是「V<sub>TH</sub>-控制通道」) 可以以相等於所需臨界電壓的閘極偏壓來夾止而不用增加顯著的成分至總裝置電阻。該通道的高摻質下面部分 (或是「場終止通道」) 的摻質



濃度可以被選在高到足以提供非貫穿效能 {例如滿足狀態 (4)} 的位準。

因為在高摻質「場終止通道」之整流接面間的距離大於或等於「VTH 控制通道」整流接面間的距離，它的電阻甚至可以更小。

應該了解的是，該裝置之「VTH 控制通道」和「場終止通道」之間的分隔是有條件的。通道摻質濃度  $N(y)$  與整流接面之間的距離  $a(y)$  可以滿足狀態 (5)，但是定義在方程式 (2) 中最終的夾止電壓  $V_p(y)$  可以是階梯式成長函數或嚴格成長函數。

圖 1 顯示具有非均勻摻質非貫穿通道的例示性 4H-SiC VJFET 構造的概略性橫截面圖。例示性通道摻質輪廓顯示於圖 2 中。在這些圖中，元件符號 1、2、3 分別代表通道區域、整流接面與漂移區域。在圖 1 中的元件符號 4、5、6 分別對應於 P+ 閘極區域、N+ 汲極基板與 N+ 源極層。圖 2 中的元件符號 101、102、103、104 代表在通道與漂移區域中的例示性摻質輪廓。圖 2 中的拉丁元件符號 I 和 II 視條件分別定義通道具有長度  $L_1$  的「VTH 控制」部分和具有長度  $L_2$  的「場終止」部分。

顯示於圖 2 中的摻質輪廓僅僅是例示性的。更進一步來說，沿著通道的摻質分佈可以被最佳化以在最小化開通狀態之通道電阻與電流飽和效應的同時提供在截止期間的最高電壓增益。舉例來說，摻質輪廓可以由更高次的多項式或另一個分析函數定義。

如同上面所討論的，在這裡說明的裝置具有顯著降低電阻的非貫穿通道，可以由增加通道摻質濃度、並維持在整流接面之間的充分距離來達成該電阻的顯著降低。這可以在造成更顯著場增強的通道入口導致更顯著的接面特性，最後會降低施加至閘極－漂流接面的最大允許一維電場。更進一步來說，當試著藉由減少溝槽寬度來增加通道填充密度時，閘極接面「圓柱」的半徑可以減少以導致進一步的場增強。

為了抑制在整流接面的電場增強，也提供具有位在介於高摻質「場終止通道」與低摻雜漂流區域間之通道汲極入口處的相對薄半導體層的裝置。圖 3A 與圖 3B 分別顯示具有漸層式與階梯式抑制層或是「場平滑通道」之非均勻摻質 NPT 通道中的例示性摻質輪廓。在圖 3A 與圖 3B 中的元件符號 201-204 與 301-304 概略性地代表在漸層式(圖 3A)與階梯式(圖 3B)摻質「場終止通道」中之通道與漂移區域的例示性摻質輪廓。在這些圖中的拉丁元件符號 I、II、III 視條件分別定義具有長度  $L_1$  之「VTH-控制」部分、具有長度  $L_2$  之「場終止」部分與具有長度  $L_3$  之「場平滑」部分。如同在先前實施例中所述，通道之「場平滑」部分的摻質濃度可以由更高次的多項式或另一個分析函數定義。

根據某些實施例，提供如上面說明具有非均勻摻質通道的裝置，其中侷限電流流動的整流接面被電氣耦合或獨立偏壓，或其中該整流接面至少其中之一被電氣耦合至其中一個通道入口。

如上面所述的非均勻摻質通道可以被用來控制在具有垂直通道構造之場效半導體裝置中的電流流動，這些裝置包括但不限於：接面場效電晶體（JFET）、靜態感應電晶體（SIT）、接面場效閘流電晶體與 JFET 電流限制器。

舉例來說，上面所說明的非均勻摻質通道可以被用來控制在常關型 SiC 垂直接面場效閘流電晶體（VJFET）中的電流流動。

在通道之「VTH-控制」部分中沿著電流流動路徑計算的平均摻質濃度範圍可以從  $1 \times 10^{16}$  個／立方公分到  $1 \times 10^{17}$  個／立方公分。

在通道之「VTH-控制」部分中整流接面之間的平均距離可以被選定以提供所欲臨界電壓，而且該平均距離的範圍可以從 0.3 微米到 1.7 微米。

沿著電流流動路徑測量之通道之「VTH-控制」部分的長度可以從 0.25 微米變動至 1 微米。

在通道之「場終止」部分的平均摻質濃度可以從  $3 \times 10^{16}$  個／立方公分到  $3 \times 10^{17}$  個／立方公分。

沿著電流流動路徑測量之通道之「場終止」部分的長度可以從 0.5 微米變動至 3 微米。

沿著電流流動路徑測量之通道之選擇性「場平滑」部分的長度可以從 0.25 微米變動至 0.75 微米。

在通道之選擇性「場平滑」部分中沿著電流流動路徑計算的平均摻質濃度可以從  $1 \times 10^{16}$  個／立方公分到  $1 \times 10^{17}$  個／立方公分。

根據某些實施例，該裝置具有帶有比 2.4 百萬伏特 / 公分還大之貫穿電場(也就是施加至該通道時導致非貫穿特性的最小電場)的通道。舉例來說，該裝置可以表現出在施加電場為 2.4 百萬伏特 / 公分或更少時的非貫穿特性。

具有非均勻摻質通道之裝置可以是由寬能隙半導體(例如具有  $E_G$  大於 2 電子伏特的半導體材料)形成的常關型接面場效電晶體(JFET)，並且具有由已佈植 p-n 接面或再成長 p-n 接面或由整流夏基接觸所侷限的垂直通道構造。該非均勻摻質通道也可以用在其他具有垂直通道構造之寬能隙半導體的設計與製作上。這一類裝置的例子包括但不限於：接面場效電晶體(JFET)、靜態感應電晶體(SIT)、接面場效閘流電晶體與 JFET 電流限制器。

更進一步來說，該裝置可以是具有垂直通道構造的任何半導體裝置，其中該電流流動被整流接面所侷限。這一類裝置的例子包括但不限於：接面場效電晶體與閘流電晶體，其中該電流流動經由串聯連接至垂直通道的側向通道產生；金屬氧化物半導體場效電晶體(MOSFET)，其中電流流動經由串聯連接至由 p-n 接面所侷限之垂直通道的 MOS 通道產生；及接面阻障夏基(JBS)二極體，其中該電流流動經由 p-n 接面所侷限之通道產生。

如同上述所提及的，半導體裝置可以用像是 SiC 的寬能隙半導體材料製成。該 SiC 可以是 4H-SiC。但是也可以使用其他 SiC 的多型態(例如 6H-SiC、3C-SiC 或 15R-SiC)或其他像是第三族氮化合物半導體(例如氮化鎵 GaN)的寬

能隙半導體材料。

在這裡說明的非均勻摻質通道構造可以提供具有用於給定電壓下之最小電阻的非貫穿特性。該通道區域中的非均勻摻質濃度可以使用磊晶成長來達成。舉例來說，藉由使用允許指定氣體流作為時間之分析函數的磊晶反應爐(例如，參見參考[7])。或者，在通道區域中的非均勻摻質濃度可以經由多劑量離子佈植達成。

雖然當代商業磊晶反應爐允許指定氣體流作為時間的分析函數(例如，參見參考[7])以定義非均勻摻質濃度，最終的摻質輪廓還是可能與預期的不同。因為併入已成長的「場終止」與「VTH-控制」層的所需摻質濃度可能在磊晶執行時隨著時間減少，所謂的記憶體效應可以造成除了分析式指定摻質濃度之外的非故意摻質。該「記憶體效應」可能在磊晶成長的早期階段由磊晶反應爐內部表面吸收的摻雜物種類所造成。該效應可以藉由增加修正項至定義該氣體流的分析公式來補償。

在使用離子佈植形成非均勻摻質輪廓的狀況下，這一類的輪廓將經歷對應於佈植能量濃度峰值之間的「谷值」，該佈植計畫(也就是能量與劑量)可以被精心設計。

可以使用零度離子佈植來形成整流接面。使用零度離子佈植可以顯著地減少側向行進至通道的佈植破壞數量並顯著地降低電流飽和效應(比 $V_{GS}=2.5$ 伏特時之飽和電流密度的數量級還高)。根據某些實施例，可以在垂直基板加減2度以內的角度實行離子佈植。根據某些實施例，可以在垂

直基板加減 1 度以內的角度實行離子佈植。

圖 4 為顯示具有均勻摻質濃度為  $5 \times 10^{16}$  與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 1500 伏特 4H-SiC VJFET 之互相交錯的量測與模擬的 I-V 特性圖。

圖 5A 為顯示具有均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 裝置的模擬 I-V 特性圖。圖 5B 為顯示具有均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 之總電阻成分的圓餅圖。

圖 6A 為顯示具有非均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 的模擬 I-V 特性圖。圖 6B 為顯示具有非均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 裝置之總電阻成分的圓餅圖。

使用  $E_{IDMAX}$  等於 2.3 百萬伏特 / 公分與  $V_b$  等於 800 伏特來分別計算在兩個裝置中的漂移參數。

也可以藉由增加通道摻質來最大化常關型 JFET 的飽和電流，一邊縮放裝置的幾何維度以降低通道電阻，一邊維持高電壓阻斷增益。雖然可以使用均勻的通道摻質，但是非均勻的通道摻質可以提供如前所述額外的效能上的改進。

特別的是，本發明的發明人發現增加具有均勻通道摻質之裝置中的通道摻質，同時按比例減少在整流接面 ( $w_d$ ) 之間的距離至  $Nd^{-0.5}$  將會造成恆定的臨界電壓。相同地，根

據方程式(6)，通道的非貫穿狀態將會滿足減少的通道長度 ( $L$ )。汲極飽和電流 ( $I_D$ ) 可以由下列方程式表示：

$$I_D \propto \frac{(V_g - V_t)^2}{w_d \cdot L}$$

具有位於  $5 \times 10^{16}$  個 / 立方公分之均勻通道摻質層級與適當按比例縮放之維度 ( $w_d$  與  $L$ ) 的裝置將會展現改良式飽和電流。

可以用  $5 \times 10^{16}$  個 / 立方公分到  $1 \times 10^{18}$  個 / 立方公分的通道摻質濃度、100 奈米到 0.5 微米的整流接面之間的距離與 100 奈米到 2 微米的通道長度實現在垂直 JFET 的改良式飽和電流 (也就是增強狀態)。

具有均勻通道摻質之例示性 1200 伏特裝置的特性在下列表格中提出，其中的  $w_d$  與  $L$  就同圖 7 中所定義的一樣。在圖 7 中，元件符號 1、2 與 3 分別代表通道區域、整流區域與漂移區域。在圖 7 中的元件符號 4、5 與 6 分別對應於閘極區域、基板與源極層。

通道摻質 (個 / 立方公分)	$w_d$ (微米)	$L$ (微米)
$5 \times 10^{16}$	0.40	1.79
$1 \times 10^{17}$	0.28	0.93
$1 \times 10^{18}$	0.12	0.10

在圖 1 與圖 6 中說明的該等裝置中，基板(5)可以具有 100 到 500 微米的厚度與  $1 \times 10^{19}$  個 / 立方公分到  $5 \times 10^{19}$  個

／立方公分的摻質濃度，漂移層(3)可以具有 5 微米到 15 微米的厚度與  $4 \times 10^{15}$  個／立方公分到  $2 \times 10^{16}$  個／立方公分的摻質濃度，閘極區域(4)可以具有 0.1 微米到 1 微米的厚度與  $5 \times 10^{18}$  個／立方公分到  $1 \times 10^{20}$  個／立方公分的摻質濃度，而源極層(6)可以具有 0.1 微米到 1 微米的厚度與  $1 \times 10^{19}$  個／立方公分到  $1 \times 10^{20}$  個／立方公分的摻質濃度。但是該等厚度與摻質濃度僅僅是例示性的，也可以使用其他厚度與摻質濃度來提供具有給定使用用途應用之所欲特性的裝置。

進一步來說，該等裝置也可以包含在基板與漂移層之間具有與基板與漂移層相同之導電型態之半導體材料的選擇性場終止層／緩衝層。該場終止層／緩衝層（假如存在的話）可以具有 0.1 微米到 1.0 微米的厚度與  $5 \times 10^{17}$  個／立方公分到  $5 \times 10^{18}$  個／立方公分的摻質濃度。

該基板、選擇性場終止層／緩衝層、漂移層、通道與源極層可以是 n-型半導體材料，而該閘極可以是 p-型半導體材料。或者該基板、選擇性場終止層／緩衝層、漂移層、通道與源極層可以是 p-型半導體材料，而該閘極可以是 n-型半導體材料。

在這裡說明的該等裝置可以包含複數個隆起區域。該複數個隆起區域可以是加長的，而且可以用像是手指的間隔關係配置。在這個組構中，在隆起區域表面上的源極層因此形成了源極指狀區域與位在鄰接源極指狀區域之間溝槽中的閘極指狀區域。該源極指狀區域與閘極指狀區域在



形狀上可以大約是矩形。該源極指狀區域可以在其中一端連結在一起。

當先前的說明書教示了本發明的原則，因為提供了用於說明目的的例子，藉由閱讀本發明的揭露內容，習於此技術者將可了解可以進行各種形式與細節上的改變而不偏離本發明的真正範疇。

### 【圖式簡單說明】

習於此技術者將了解到以上說明的圖式僅僅是為了說明目的之用。這些圖式並不意圖以任何方式限制本發明的教示。

圖 1 為具有減低電阻之非貫穿(NPT)通道之 SiC VJFET 構造的概略橫截面圖。

圖 2 為在非均勻摻質非貫穿(NPT)通道的各種例示性摻質輪廓的概略圖。

圖 3A 為在具有漸層式摻質場抑制層之非均勻摻質之非貫穿(NPT)通道的各種例示性摻質輪廓的概略圖。

圖 3B 為在具有階梯式摻質場抑制層之非均勻摻質之非貫穿(NPT)通道的各種例示性摻質輪廓的概略圖。

圖 4 為顯示具有均勻摻質濃度為  $5 \times 10^{16}$  個／立方公分與使用零度離子佈植形成之整流接面之 1 平方公釐的常關型 1500 伏特 4H-SiC VJFET 裝置之互相交錯的量測與模擬的 I-V 特性圖。

圖 5A 為顯示具有均勻通道摻質與使用零度離子佈植形

成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 裝置之模擬 I-V 特性圖。

圖 5B 為顯示具有均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 裝置之總電阻成分的圓餅圖。

圖 6A 為顯示具有非均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 裝置之模擬 I-V 特性圖。

圖 6B 為顯示具有非均勻通道摻質與使用零度離子佈植形成之整流接面之 1 平方公釐常關型 800 伏特 SiC VJFET 裝置之總電阻成分的圓餅圖。

圖 7 為具有減低電阻之非貫穿(NPT)通道之 SiC VJFET 構造的概略橫截面圖，其中該通道具有均勻摻質濃度。

#### 【主要元件符號說明】

- |   |         |
|---|---------|
| 1 | 通道區域    |
| 2 | 整流接面    |
| 3 | 漂移區域    |
| 4 | P+ 閘極區域 |
| 5 | N+ 汲極基板 |
| 6 | N+ 源極層  |
| 7 | 汲極接觸    |
| 8 | 閘極接觸    |
| 9 | 源極接觸    |

- 101-104 通道與漂移區域的例示性摻質輪廓
- 201-204 在漸層式摻質「場平滑型通道」的狀況下  
通道與漂移區域的例示性摻質輪廓
- 301-304 在階梯式摻質「場平滑型通道」的狀況下  
通道與漂移區域的例示性摻質輪廓
- I 具有 L1 之通道長度的 VTH 控制部分
- II 具有 L2 之通道長度的場終止部分
- III 具有 L3 之通道長度的場平滑部分
- L1 VTH 控制部分的通道長度
- L2 場終止部分的通道長度
- L3 場平滑部分的通道長度

## 七、申請專利範圍：

1. 一種半導體裝置，包含：

第一導電型態基板；

在基板上方的第一導電型態半導體漂移層，該半導體漂移層具有遠離該基板的表面；

在半導體漂移層上方的第一導電型態半導體隆起通道區域，該隆起通道區域具有上表面及第一與第二邊壁；

在隆起通道區域之第一與第二邊壁上方與鄰接於隆起通道區域之半導體漂移層之上表面上方的第二導電型態(不同於第一導電型態)閘極區域；及

在隆起通道區域之上表面上方的第一導電型態源極層；

其中該隆起通道區域具有  $5 \times 10^{16}$  個 / 立方公分到  $1 \times 10^{18}$  個 / 立方公分的均勻通道摻質濃度；

其中隆起通道區域上表面與半導體漂移層表面係以 0.1 微米到 2 微米的距離分開；及

其中隆起通道區域之第一邊壁與第二邊壁係以平行於隆起通道區域上表面方向 0.1 微米到 0.5 微米之最小距離分開。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體漂移層具有 5 微米到 15 微米的厚度與  $4 \times 10^{15}$  個 / 立方公分到  $2 \times 10^{16}$  個 / 立方公分的摻質濃度。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中該基板具有 100 微米到 500 微米的厚度與  $1 \times 10^{19}$  個 / 立方公分

到  $5 \times 10^{19}$  個 / 立方公分的摻質濃度。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中該源極層具有 0.1 微米到 1.0 微米的厚度與  $1 \times 10^{19}$  個 / 立方公分到  $1 \times 10^{20}$  個 / 立方公分的摻質濃度。

5. 如申請專利範圍第 1 項所述之半導體裝置，其中該閘極區域具有  $5 \times 10^{18}$  個 / 立方公分到  $1 \times 10^{20}$  個 / 立方公分的摻質濃度。

6. 如申請專利範圍第 1 項所述之半導體裝置，進一步包含在該基板與該半導體漂移層之間的第一導電型態第四層。

7. 如申請專利範圍第 6 項所述之半導體裝置，其中該第四層具有 0.1 微米到 1.0 微米的厚度與  $5 \times 10^{17}$  個 / 立方公分到  $5 \times 10^{18}$  個 / 立方公分的摻質濃度。

8. 如申請專利範圍第 1 項所述之半導體裝置，其中該裝置包含複數個隆起通道區域，其中該複數個隆起通道區域是加長的，而且以像是手指的間隔關係配置。

9. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一導電型態半導體材料是 n 型半導體材料，及其中該第二導電型態半導體材料是 p 型半導體材料。

10. 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體裝置是由寬能隙半導體材料所形成。

11. 如申請專利範圍第 10 項所述之半導體裝置，其中該半導體材料是 SiC。

12. 如申請專利範圍第 1 項所述之半導體裝置，其中該

裝置是接面場效電晶體 (JFET)、靜態感應電晶體 (SIT)、接面場效閘流電晶體或 JFET 電流限制器。

13. 如申請專利範圍第 1 項所述之半導體裝置，其中介於隆起通道區域之第一邊壁與第二邊壁而平行於隆起通道區域上表面方向之最小距離即介於 JFET 之整流接面間之距離。

14. 如申請專利範圍第 1 項所述之半導體裝置，進一步包含：

與閘極區域接觸之一或更多閘極接觸；

與源極層接觸的源極接觸；及

與基板接觸的汲極接觸。

15. 一種包含申請專利範圍第 14 項所述之半導體裝置的電路。

16. 如申請專利範圍第 15 項所述之電路，其中該一或更多閘極接觸包含經電氣耦合之第一與第二閘極接觸。

17. 一種包含第一與第二如申請專利範圍第 14 項所述之半導體裝置的電路，其中該第一裝置的源極接觸電氣耦合至該第二裝置的閘極接觸。

18. 如申請專利範圍第 15 項所述之電路，其中：

該電路是積體電路；並且

如下列任一者

a) 該隆起通道區域具有  $5 \times 10^{16}$  個 / 立方公分的均勻摻質濃度，並且介於隆起通道區域之第一邊壁與第二邊壁而平行於隆起通道區域上表面方向之最小距離為 0.4 微米，或

b) 該隆起通道區域具有高於  $5 \times 10^{16}$  個 / 立方公分的均勻摻質濃度，並且介於隆起通道區域之第一邊壁與第二邊壁而平行於隆起通道區域上表面方向之最小距離按  $N_d^{-0.5}$  比例減小。

## 八、圖式：

(如次頁)

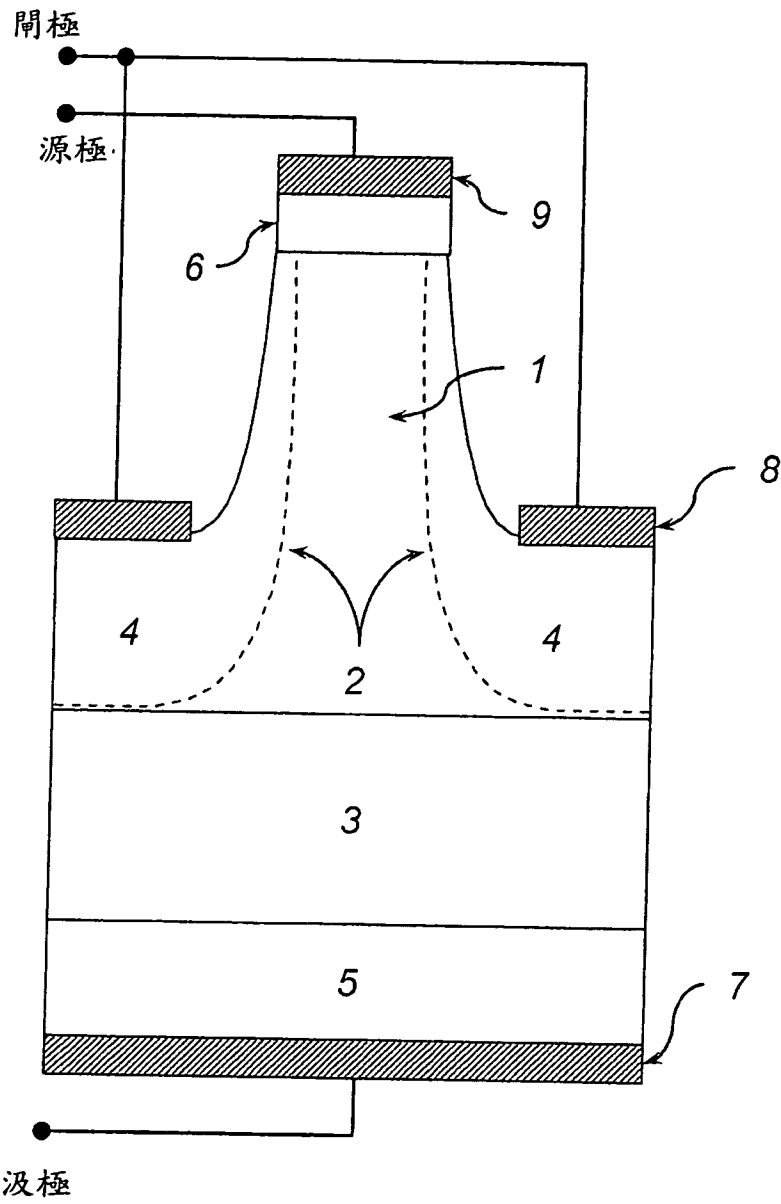


圖1



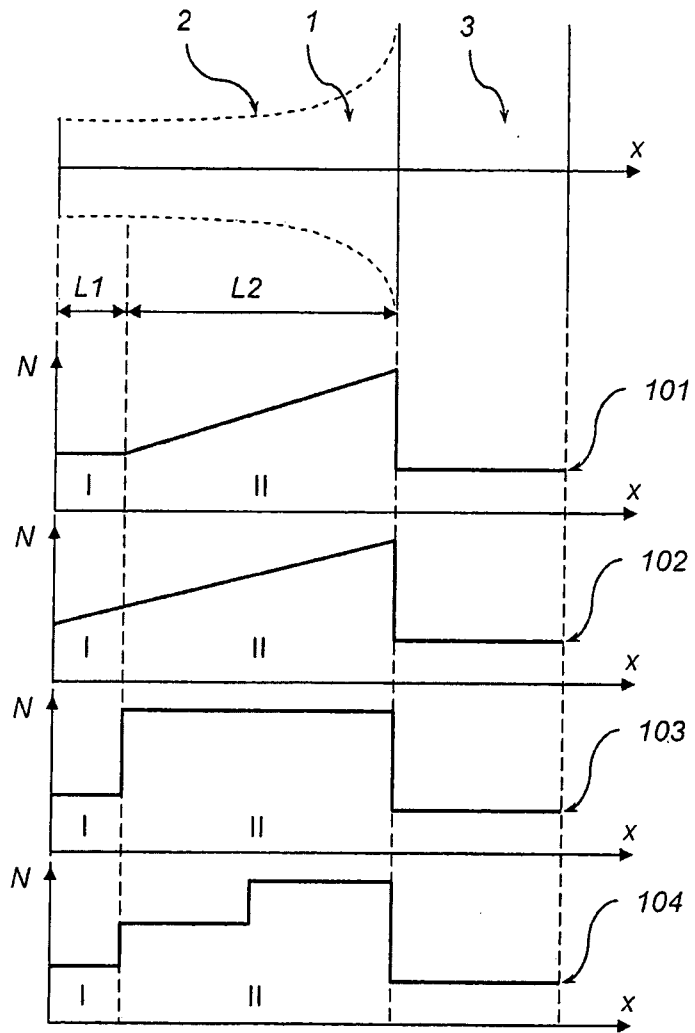


圖2

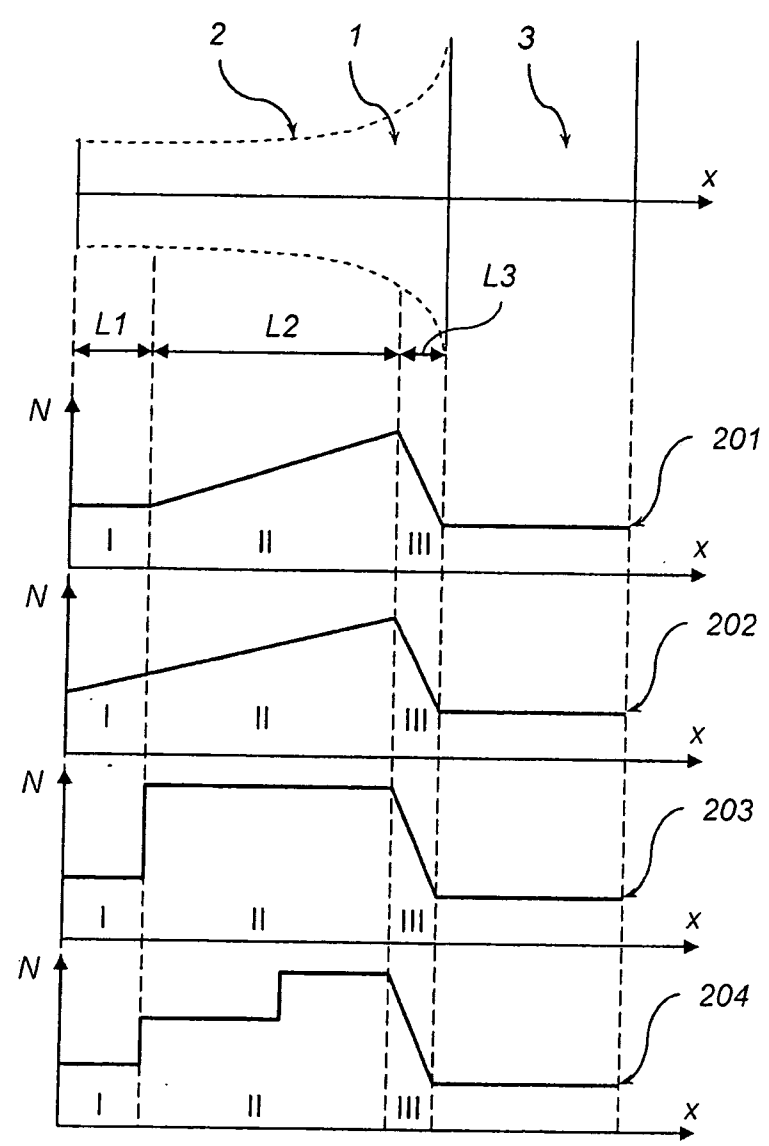


圖3A

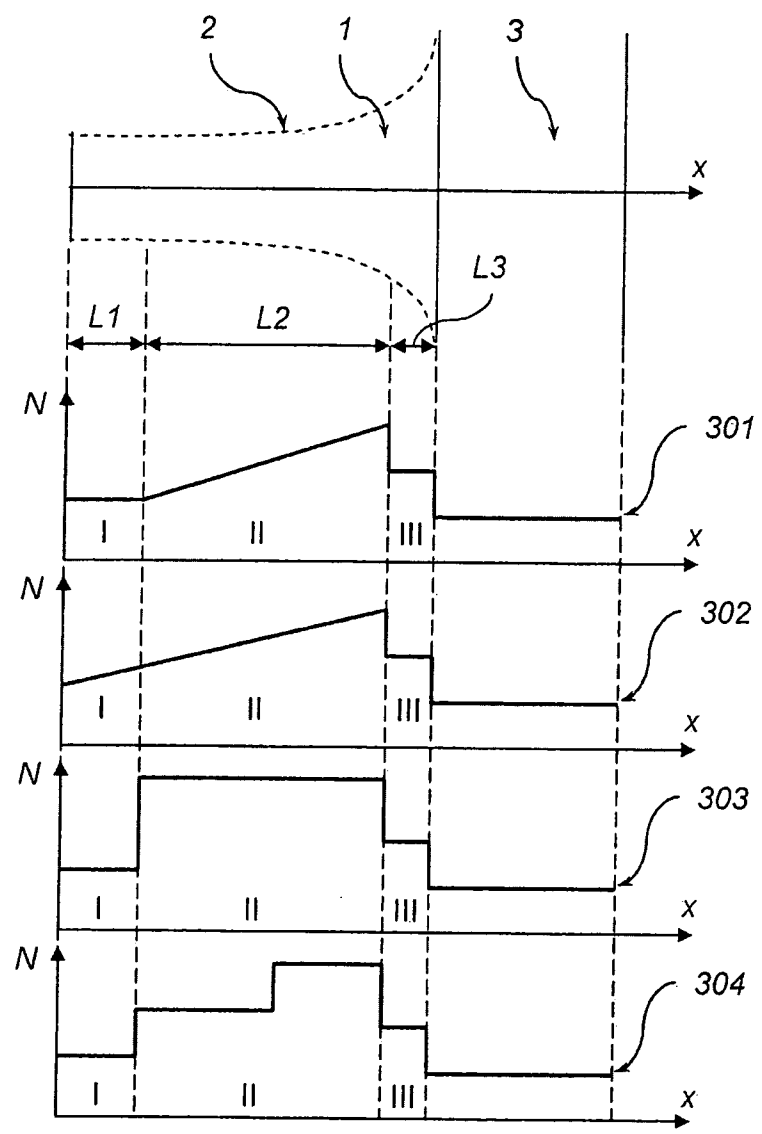


圖 3B

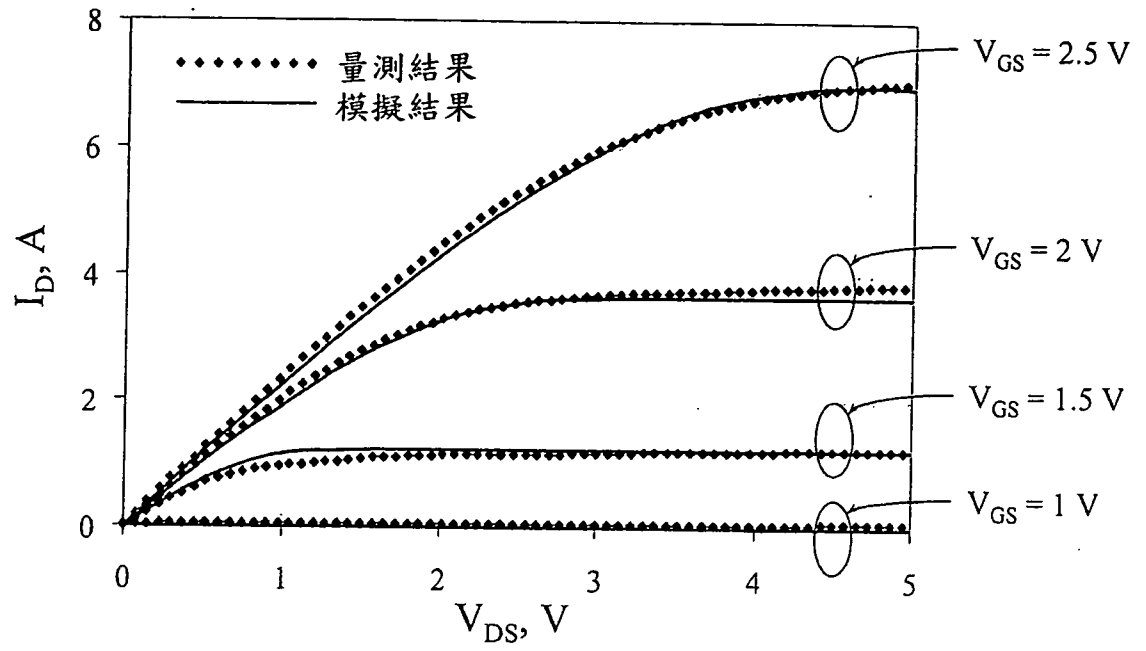
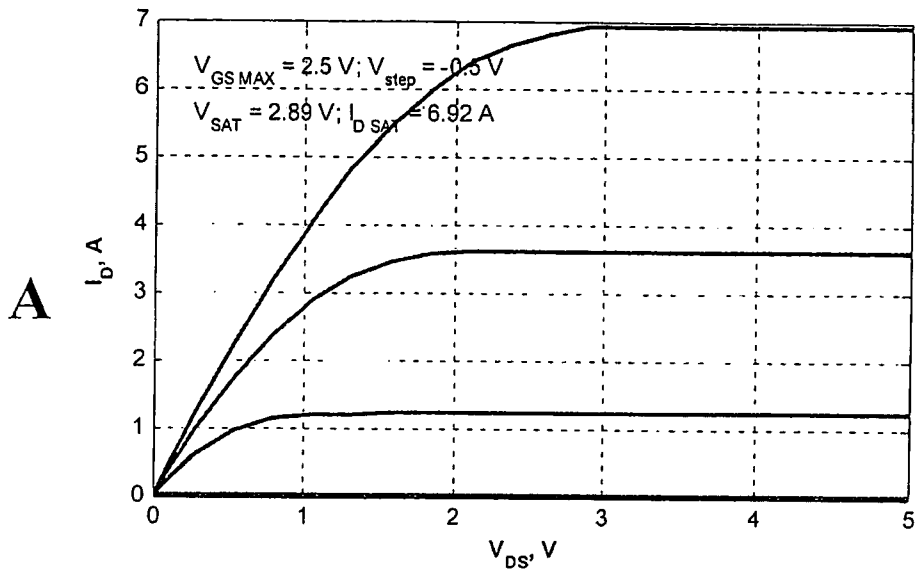


圖4



在  $V_{GS} = 2.5$  伏特;  $V_{DS} = 0.2$  伏特時的總電阻成分，以百分比表示：

$(R_{ON} = 229\ m\Omega; R_{ON}\ A_{MESA} = 2.29\ m\Omega\cdot cm^2)$

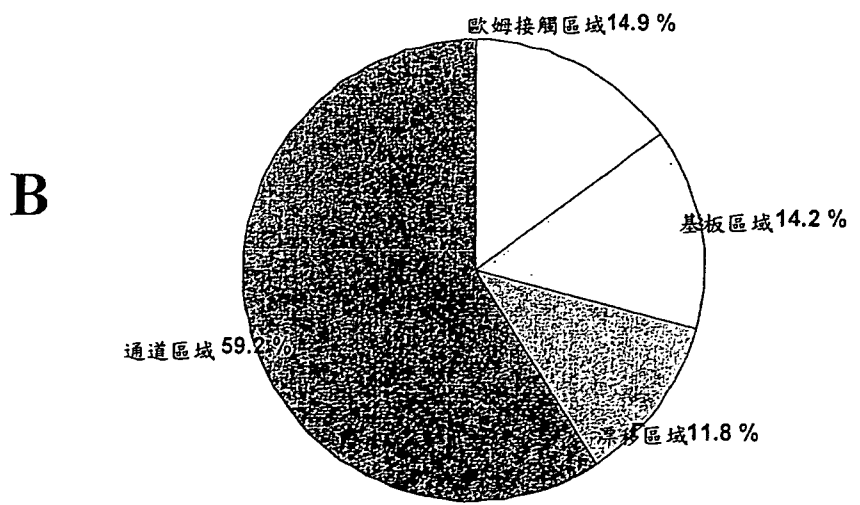
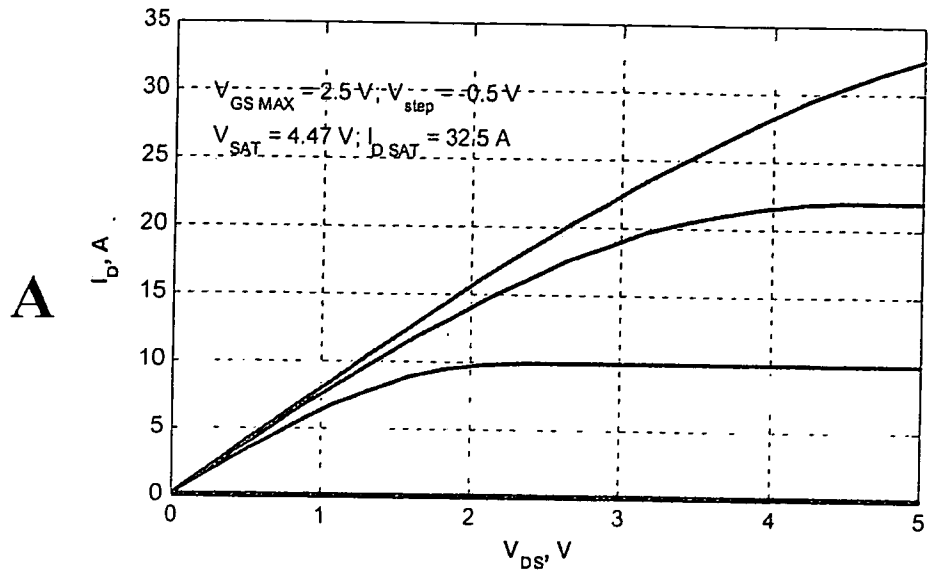


圖5



在  $V_{GS} = 2.5$  伏特;  $V_{DS} = 0.2$  伏特時的總電阻成分，以百分比表示：  
 ( $R_{ON} = 122\ m\Omega; R_{ON} \cdot A_{MESA} = 1.22\ m\Omega \cdot cm^2$ )

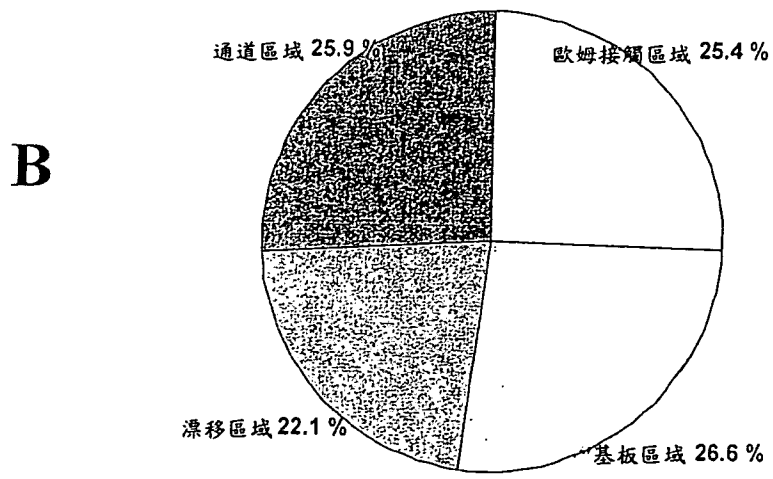


圖6

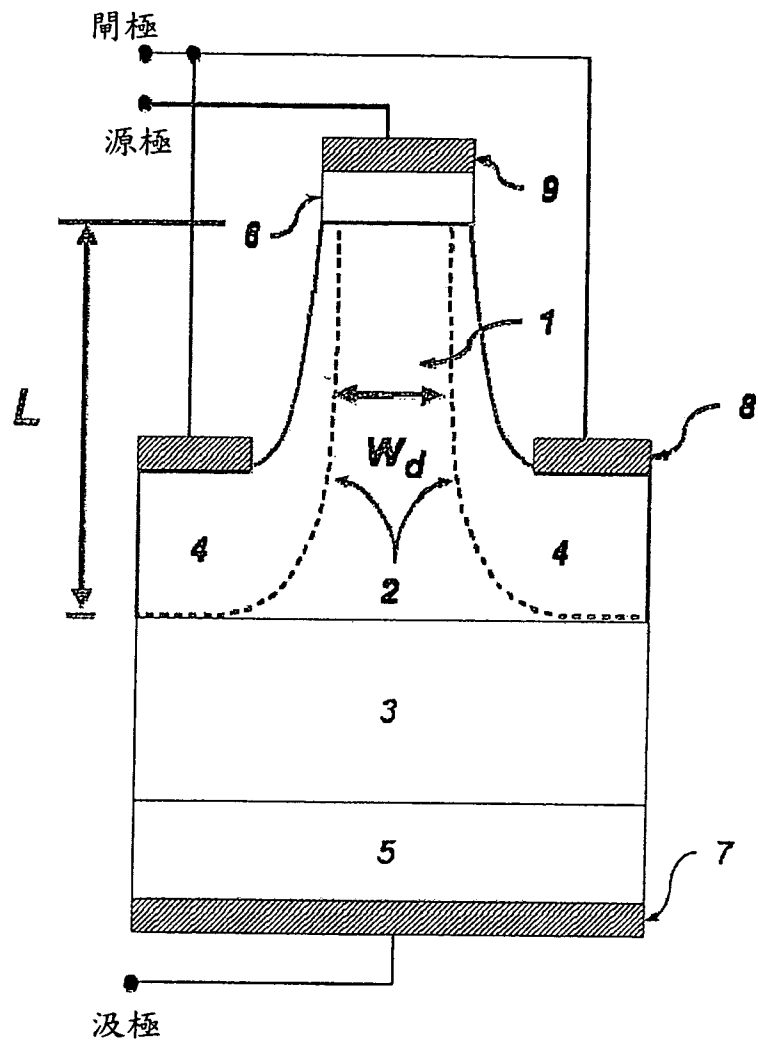


圖7