



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월06일
(11) 등록번호 10-2418077
(24) 등록일자 2022년07월04일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) H03L 7/089 (2006.01)
H03L 7/091 (2006.01) H03L 7/24 (2006.01)
(52) CPC특허분류
H03L 7/0995 (2013.01)
H03L 7/0891 (2013.01)
(21) 출원번호 10-2021-0000832
(22) 출원일자 2021년01월05일
심사청구일자 2021년01월05일
(56) 선행기술조사문헌
US08841948 B1
US20190115925 A1

(73) 특허권자
중앙대학교 산학협력단
서울특별시 동작구 흑석로 84 (흑석동)
(72) 발명자
백광현
서울특별시 강남구 압구정로 321, 1동 308호(압구정동, 한양아파트)
윤동현
경기도 고양시 덕양구 솔밭1길 40, 401호(원흥동)
(74) 대리인
송인호, 최관락

전체 청구항 수 : 총 7 항

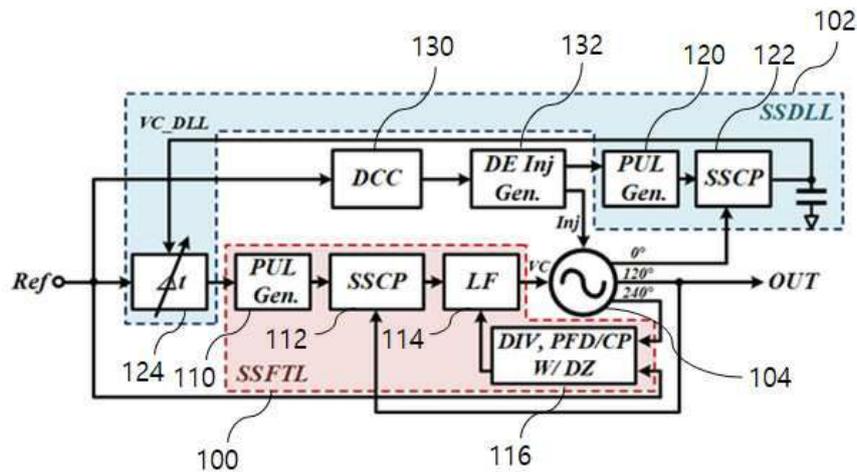
심사관 : 남기영

(54) 발명의 명칭 서브샘플링 기반 FTL과 DLL을 적용한 주입-고정 위상고정루프

(57) 요약

본 발명은 서브샘플링 기반 FTL과 DLL을 적용한 주입-고정 위상고정루프를 개시한다. 본 발명에 따르면, 전압제어발진기; 상기 전압제어발진기에 주입 펄스를 공급하는 듀얼 에지 주입 펄스 발생기; 제1 서브샘플링 전하펌프 및 데드존을 갖는 분주기-PFD/CP(phase frequency detector/charge pump)를 포함하며 상기 전압제어발진기에서 출력된 신호를 레퍼런스 신호 및 주입 펄스로 샘플링하는 서브샘플링 기반 주파수추적루프; 및 제2 서브샘플링 전하펌프를 포함하며 상기 전압제어발진기에 제어 전압을 입력하는 서브샘플링 기반 지연고정루프를 포함하는 주입-고정 위상고정루프가 제공된다.

대표도 - 도1



- (52) CPC특허분류
H03L 7/091 (2013.01)
H03L 7/24 (2013.01)

최윤식

서울특별시 서초구 양재대로11길 19, LG전자 서초 R&D 캠퍼스(양재동)

- (72) 발명자

성기호

인천광역시 연수구 능허대로446번길 12, 206동 902호(동춘동, 서해그랑블 포레스트)

이 발명을 지원한 국가연구개발사업

| | |
|-------------|--------------------------------------|
| 과제고유번호 | 1711116080 |
| 과제번호 | 10080622 |
| 부처명 | 과학기술정보통신부 |
| 과제관리(전문)기관명 | 한국산업기술평가관리원 |
| 연구사업명 | 전자정보디바이스산업원천기술개발(R&D) |
| 연구과제명 | 고속 응답/고속 스위칭 DC-DC Converter 설계 기술개발 |
| 기 여 율 | 1/1 |
| 과제수행기관명 | 서강대학교 산학협력단 |
| 연구기간 | 2020.01.01 ~ 2020.12.31 |

명세서

청구범위

청구항 1

주입-고정 위상고정루프로서,

전압제어발진기;

상기 전압제어발진기에 주입 펄스를 공급하는 듀얼 에지 주입 펄스 발생기;

제1 서브샘플링 전하펌프 및 데드존을 갖는 분주기-PFD/CP(phase frequency detector/charge pump)를 포함하며 상기 전압제어발진기에서 출력된 신호를 레퍼런스 신호 및 주입 펄스로 샘플링하는 서브샘플링 기반 주파수추적 루프; 및

제2 서브샘플링 전하펌프를 포함하며 상기 전압제어발진기에 제어 전압을 입력하는 서브샘플링 기반 지연고정루프를 포함하는 주입-고정 위상고정루프.

청구항 2

제1항에 있어서,

상기 전압제어발진기는, 복수의 지연 셀 및 샘플러를 포함하고,

상기 복수의 지연 셀 각각은 하나의 샘플러와 2개의 지연 셀을 구동시키는 주입-고정 위상고정루프.

청구항 3

제2항에 있어서,

상기 전압제어발진기는, 상기 복수의 샘플러 각각과 반대 위상으로 동작하는 복수의 더미 샘플러를 포함하는 주입-고정 위상고정루프.

청구항 4

제3항에 있어서,

상기 서브샘플링 기반 주파수추적루프 및 상기 서브샘플링 기반 지연고정루프는 상기 전압제어발진기의 샘플러에 포함되는 샘플링 커패시터를 분리하는 아이솔레이션 버퍼를 포함하는 주입-고정 위상고정루프.

청구항 5

제4항에 있어서,

상기 제1 서브샘플링 전하펌프의 입력 커패시턴스는 상기 복수의 지연 셀의 커패시턴스의 두 배를 갖는 주입-고정 위상고정루프.

청구항 6

제1항에 있어서,

상기 듀얼 에지 주입 펄스 발생기는 상기 레퍼런스 신호의 상승 및 하강 에지에서 상기 주입 펄스를 생성하고,

상기 듀얼 에지 주입 펄스 발생기의 전단에 배치되어 듀티 오류를 방지하는 듀티 보정 회로를 더 포함하는 주입-고정 위상고정루프.

청구항 7

주입-고정 위상고정루프로서,

복수의 지연 셀, 복수의 샘플러 및 복수의 더미 샘플러를 포함하는 전압제어발진기;

상기 전압제어발진기에 주입 펄스를 공급하는 듀얼 에지 주입 펄스 발생기;

제1 서브샘플링 전하펌프 및 데드존을 갖는 분주기-PFD/CP(phase frequency detector/charge pump)를 포함하며 상기 전압제어발진기에서 출력된 신호를 레퍼런스 신호 및 주입 펄스로 샘플링하는 서브샘플링 기반 주파수추적 루프; 및

제2 서브샘플링 전하펌프를 포함하며 상기 전압제어발진기에 제어 전압을 입력하는 서브샘플링 기반 지연고정루프를 포함하되,

상기 복수의 지연 셀 각각은 하나의 샘플러와 2개의 지연 셀을 구동시키고, 상기 복수의 더미 샘플러는 상기 복수의 샘플러와 반대 위상으로 동작하는 주입-고정 위상고정루프.

발명의 설명

기술 분야

[0001] 본 발명은 서브샘플링 기반 FTL과 DLL을 적용한 주입-고정 위상고정루프에 관한 것으로서, 보다 상세하게는, Injection-locked PLL(ILPLL) 구조에 서브샘플링을 기반으로 동작하는 FTL(frequency tracking loop)과 DLL(delay-locked loop)를 적용한 회로에 관한 것이다.

배경 기술

[0002] 마이크로프로세서나 무선통신 시스템과 같은 대부분의 SoC에는 여러 개의 주파수 합성기가 사용된다. PLL(Phase Locked Loop)은 저전력으로 쉽게 구현이 가능하고 넓은 주파수 범위를 갖는 특성 덕분에 가장 일반적으로 사용되고 있는 주파수 합성기이다. 하지만 일반적으로 우수한 노이즈 성능을 위해서는 큰 전력 소모나 면적을 요구하기 때문에 이를 해결하기 위한 많은 연구가 진행되고 있다.

[0003] Sub-sampling PLL (SSPLL)과 Injection-locked PLL (ILPLL)은 최근 가장 많이 연구되고 있는 구조이다.

[0004] 먼저 SSPLL은 기존의 위상 주파수 검출기/전하 펌프(phase frequency detector/charge pump, PFD/CP)를 갖는 PLL과는 달리 피드백 루프에 주파수를 N으로 나누어 주는 분배기 없이 주파수를 합성할 수 있다.

[0005] 위상 주파수 검출기/전하 펌프에서는 전하 펌프의 노이즈가 주파수 분배기 때문에 N²배 증폭되어 in-band 노이즈에 dominant한 성분이 되지만 SSPLL은 주파수 분배기를 사용하지 않기 때문에 우수한 in-band 노이즈 성능을 얻을 수 있다. 하지만 out-band 노이즈는 개선시킬 수 없다는 한계점이 존재하기 때문에 우수한 노이즈 특성을 위해서는 매우 큰 면적을 필요로 하는 인덕터 기반 발진기(inductor-based oscillator)를 사용할 수밖에 없다.

[0006] ILPLL은 시스템에서 가장 저잡음 특성을 갖고 있는 기준 신호를 통해 주기적으로 전압제어발진기(voltage-controlled oscillator, VCO)의 누적된 지터(jitter)를 초기화하여 전압제어발진기의 노이즈를 감쇄시킨다. 따라서 ILPLL을 사용하면 작은 면적만을 사용하는 링 발진기(ring oscillator)를 사용하더라도 우수한 노이즈 성능을 얻을 수 있게 된다.

[0007] 하지만 ILPLL은 주입(injection) 펄스와 전압제어발진기의 주파수/위상 차이가 굉장히 작을 경우에만 우수한 노이즈 특성을 갖고 주파수/위상 차이가 있는 경우에는 오히려 노이즈 성능을 저해시킬 수 있기 때문에 소자의 부정합 등의 환경 변화에 매우 민감하다는 문제점이 있다.

[0008] ILPLL의 우수한 노이즈 특성을 이용하기 위해 전압제어발진기와 주입 펄스 간의 주파수/위상 차이를 해결하기 위한 많은 연구가 진행되고 있다. 주파수를 일치시키기 위해 PFD/CP PLL이 포함된 주파수추적루프(frequency tracking loop, FTL)이 일반적으로 사용되지만 피드백 루프에 존재하는 주파수 분배기 때문에 in-band 노이즈 성능을 제한하게 된다. 추가적으로 위상을 보상하기 위해 bang-bang phase detector와 같은 FTL과 다른 구조의 기술이 사용되기 때문에 회로의 복잡도와 전력 소모가 증가한다는 문제점이 발생한다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 대한민국공개특허공보 제10-2015-0089770호

발명의 내용

해결하려는 과제

[0010] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 우수한 in-band noise 특성과 외부 환경 변화에 둔감한 서브샘플링 기반 FTL과 DLL을 적용한 주입-고정 위상고정루프를 제안하고자 한다.

과제의 해결 수단

[0011] 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르면, 전압제어발진기; 상기 전압제어발진기에 주입 펄스를 공급하는 듀얼 에지 주입 펄스 발생기; 제1 서브샘플링 전하펌프 및 데드존을 갖는 분주기-PFD/CP(phase frequency detector/charge pump)를 포함하며 상기 전압제어발진기에서 출력된 신호를 레퍼런스 신호 및 주입 펄스로 샘플링하는 서브샘플링 기반 주파수추적루프; 및 제2 서브샘플링 전하펌프를 포함하며 상기 전압제어발진기에 제어 전압을 입력하는 서브샘플링 기반 지연고정루프를 포함하는 주입-고정 위상고정루프가 제공된다.

[0012] 상기 전압제어발진기는, 복수의 지연 셀 및 샘플러를 포함하고, 상기 복수의 지연 셀 각각은 하나의 샘플러와 2개의 지연 셀을 구동시킨다.

[0013] 상기 전압제어발진기는, 상기 복수의 샘플러 각각과 반대 위상으로 동작하는 복수의 더미 샘플러를 포함한다.

[0014] 상기 서브샘플링 기반 주파수추적루프 및 상기 서브샘플링 기반 지연고정루프는 상기 전압제어발진기의 샘플러에 포함되는 샘플링 커패시터를 분리하는 아이솔레이션 버퍼를 포함한다.

[0015] 상기 제1 서브샘플링 전하펌프의 입력 커패시턴스는 상기 복수의 지연 셀의 커패시턴스의 두 배를 갖는다.

[0016] 상기 듀얼 에지 주입 펄스 발생기는 상기 레퍼런스 신호의 상승 및 하강 에지에서 상기 주입 펄스를 생성하고, 상기 듀얼 에지 주입 펄스 발생기의 전단에 배치되어 듀티 오류를 방지하는 듀티 보정 회로를 더 포함한다.

[0017] 주입-고정 위상고정루프로써, 복수의 지연 셀, 복수의 샘플러 및 복수의 더미 샘플러를 포함하는 전압제어발진기; 상기 전압제어발진기에 주입 펄스를 공급하는 듀얼 에지 주입 펄스 발생기; 제1 서브샘플링 전하펌프 및 데드존을 갖는 분주기-PFD/CP(phase frequency detector/charge pump)를 포함하며 상기 전압제어발진기에서 출력된 신호를 레퍼런스 신호 및 주입 펄스로 샘플링하는 서브샘플링 기반 주파수추적루프; 및 제2 서브샘플링 전하펌프를 포함하며 상기 전압제어발진기에 제어 전압을 입력하는 서브샘플링 기반 지연고정루프를 포함하되, 상기 복수의 지연 셀 각각은 하나의 샘플러와 2개의 지연 셀을 구동시키고, 상기 복수의 더미 샘플러는 상기 복수의 샘플러와 반대 위상으로 동작하는 주입-고정 위상고정루프가 제공된다.

발명의 효과

[0018] 본 발명에 따르면, 서브샘플링 기반 주파수추적루프 및 지연고정루프를 통해 우수한 in-band noise 특성을 구현할 수 있는 장점이 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 바람직한 일 실시예에 따른 주입-고정 위상고정루프의 블록 다이어그램을 도시한 도면이다.

도 2는 본 발명의 일 실시예에 따른 전압제어발진기의 구성을 도시한 도면이다.

도 3의 본 실시예에 따른 전압제어발진기의 타이밍 다이어그램을 도시한 도면이다.

도 4는 본 실시예에 따른 듀티 보정 회로 및 듀얼 에지 주입 펄스 발생기의 구성을 도시한 도면이다.

도 5는 본 실시예에 따른 ILPLL의 선형 위상 도메인 모델을 도시한 도면이다.

도 6 내지 도 7은 본 실시예에 따른 ILPLL의 시뮬레이션 및 측정 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다.

- [0021] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0023] 도 1은 본 발명의 바람직한 일 실시예에 따른 주입-고정 위상고정루프의 블록 다이어그램을 도시한 도면이다.
- [0024] 도 1에 도시된 바와 같이, 본 실시예에 따른 주입-고정 위상고정루프(Injection-locked PLL, 이하 'ILPLL'라 함)은 2개의 루프인 서브샘플링 기반 주파수추적루프(Sub-sampling-based Frequency Tracking Loop, 100, 이하 'SSFTL'이라 함) 및 서브샘플링 기반 지연고정루프(Sub-sampling-based Delay Locked Loop, 102, 이하, 'SSDLL'이라 함)를 포함할 수 있다.
- [0025] SSFTL(100)은 제1 펄스 생성부(110), 제1 서브샘플링 전하펌프(Sub-sampling charge pump, 112, 이하 '제1 SSCP'라 함), 루프필터(Loop Filter, LF, 114) 및 분주기-PFD/CP(116)를 포함할 수 있다.
- [0026] 본 실시예에 따르면, SSFTL(100)의 제1 SSCP(112)에서 전압제어발진기의 출력 신호를 레퍼런스 신호로 샘플링하기 때문에 기존 PFD/CP와 달리 주파수 분주기를 필요로 하지 않고, 제1 SSCP(112)의 노이즈가 N^2 배가 되지 않는다.
- [0027] 하지만 이때 제1 SSCP(112)의 입력인 전압제어발진기(104)의 출력이 정현파이기 때문에 입출력 특징이 선형적이지 않고 이로 인해 주파수 캡처 범위(frequency capture range)가 좁아진다.
- [0028] SSFTL(100)의 좁은 주파수 캡처 범위(Frequency capture range) 극복을 위해 데드존(Dead Zone, DZ)을 갖는 분주기-PFD/CP(116)가 포함되고, 이는 주파수가 고정된 이후 비활성화된다.
- [0029] 또한, SSDLL(102)는 펄스 생성부(120), 제2 서브샘플링 전하펌프(SSCP, 122) 및 가변 지연 셀(124)을 포함할 수 있다.
- [0030] 제1 및 제2 펄스 발생기(110/120)는 SSFTL(100) 및 SSDLL(102)의 계인을 조정한다.
- [0031] 가변 지연 셀(124)은 SSDLL(102)의 제2 서브샘플링 전하펌프(122)에 의해 제어되며, SSFTL(100)의 위상을 조정한다.
- [0032] 전압제어발진기(104)의 서로 다른 위상을 갖는 세 개의 출력이 SSFTL(100) 및 SSDLL(102)에 입력된다.
- [0033] 본 발명에서는 SSFTL(100)을 ILPLL에 적용해 in-band 노이즈가 증폭되는 문제점을 해결하고, 또한 위상 차이를 해결하기 위해 SSDLL(102)을 적용한다.
- [0034] 하지만 서브샘플링 기술을 이용한다면 버퍼, 샘플링 스위치 및 샘플링 커패시터로 이루어진 샘플러의 지연으로 인해 정확한 위상 정보를 얻을 수 없다.
- [0035] 이에, 본 발명에서는 더미 샘플러를 포함하는 3-스테이지 링 전압제어발진기를 제공한다.
- [0036] 도 2는 본 발명의 일 실시예에 따른 전압제어발진기의 구성을 도시한 도면이다.
- [0037] 도 2를 참조하면, 본 실시예에 따른 전압제어발진기(104)에서 가변 커패시터(varactor)를 샘플링 커패시터로 사용하고 샘플링 스위치를 전압제어발진기(104) 내부에도 배치한다.
- [0038] 추가적으로 모든 지연 셀(delay cell)이 1개의 샘플러와 2개의 지연 셀을 구동하도록 하여 정확한 위상 정보를 얻을 수 있도록 한다. 그리고 샘플러와 반대 위상으로 동작하는 더미 샘플러(Dummy Sampler)를 추가해 기생 성분으로 인해 전압제어발진기의 주파수가 변조(modulation)되는 것을 방지한다.
- [0039] in-band 노이즈를 완화하고 위상 오프셋을 보정하기 위해 전압제어발진기(104)의 출력은 레퍼런스(Ref) 및 주입 펄스(Inj)에 의해 샘플링된다.
- [0040] 샘플링 커패시터가 전압제어발진기(104)에 주기적으로 연결되면 지연 셀(Delay Cell)의 부하 커패시턴스가 변경된다.
- [0041] 전압제어발진기(104)의 출력 주파수(f_{vco})는 단위 지연 셀의 지연 함수이므로 f_{vco} 는 레퍼런스 및 주입 펄스에 의해 변조된다.
- [0042] 아이솔레이션 버퍼(Isolation Buffer)는 전압제어발진기(104)에서 샘플링 커패시터를 분리하는데 사용된다. 샘플링 커패시터는 아이솔레이션 버퍼에 관계없이 지연 셀의 입출력 기생 커플링으로 인해 f_{vco} 에 여전히 영향을

미치기 때문에 레퍼런스 및 주입 펄스와 반대 동작을 하는 더미 샘플러도 전압제어발진기(104)의 각 스테이지에 통합된다. 아이솔레이션 버퍼를 사용하면 샘플링 커패시터의 주기적 연결을 효과적으로 방지할 수 있지만 아이솔레이션 버퍼의 지연으로 인해 정확한 위상을 얻을 수 없다.

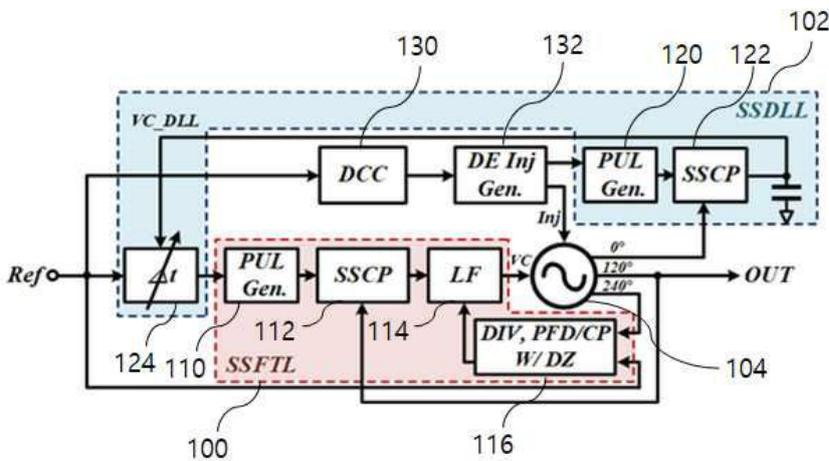
- [0043] 전압제어발진기(104)에서 가변 커패시터는 일반적으로 제어 전압 VC에 따라 달라지는 주파수를 구현하는데 사용된다. 샘플링 커패시터는 동일한 VC를 공유하는 가변 커패시터로 사용되며 샘플링 스위치는 아이솔레이션 버퍼 및 지연 셀의 지연을 일치시키기 위해 전압제어발진기(104)에 배치된다.
- [0044] 상기한 바와 같이, 모든 지연 셀은 하나의 샘플러와 두 개의 지연 셀을 구동하기 때문에 제1 SSCP(112)의 입력 커패시턴스는 지연 셀의 커패시턴스의 두 배로 설계되어야 한다. 지연 셀의 부하를 최소화하기 위해 PMOS 샘플링 스위치만 사용하므로 전압 범위가 제한된 전류 모드 로직도 사용된다. 도 3의 타이밍 다이어그램에 따르면 VCO_P와 VCO_N은 레퍼런스 및 주입 펄스에 의해 샘플링되고 위상차는 VCO_{PS}와 VCO_{NS} 사이의 전압 차로 변환된다. 그 후 제1 SSCP(112)는 PUL_{FLL} 및 PUL_{DLL}에 따라 VC 및 VC_{DLL}을 충전 또는 방전한다. 안정화 시간을 보장하고 SSCP를 트랙 모드에서 분리하기 위해 t_{set} 및 t_{margin}도 추가된다.
- [0045] 본 실시예에 따른 ILPLL은 듀티 보정 회로(Duty Compensation Circuit, DCC, 130) 및 듀얼 에지 주입 펄스 발생기(DE Inj Gen. 132)를 포함한다.
- [0046] 듀얼 에지 주입 펄스 발생기(132)는 레퍼런스의 상승 및 하강 에지에서 짧은 주입 펄스(Inj)를 생성한다.
- [0047] 듀얼 에지 주입에 듀티 오류가 있으면 상승과 하강 사이의 위상 오차로 인해 추가 스퍼 및 노이즈 성능이 저하된다. 이러한 듀티 오류를 방지하기 위해 듀얼 에지 주입 펄스 발생기(132)의 전단에는 듀티 보정 회로(130)가 제공된다.
- [0048] 주입 펄스는 전압제어발진기(104)의 누적 지터를 초기화하고, 주입 펄스와 전압제어발진기(104) 출력 사이의 위상차를 샘플링한다.
- [0049] 도 4는 본 실시예에 따른 듀티 보정 회로 및 듀얼 에지 주입 펄스 발생기의 구성을 도시한 도면이다.
- [0050] 도 4a에 도시된 바와 같이, PVT 변동과 Ref의 공통 모드 전압으로 인한 듀티 사이클 오류로 인해 추가 지터 및 스퍼가 발생하는 것을 방지하기 위해 6 비트 듀티 보정 회로가 사용될 수 있다.
- [0051] 여기서, 듀티 보정 회로(130)는 자체 바이어스 인버터와 전류 소스로 구성될 수 있다.
- [0052] 듀티 보정 회로(130)의 입력 커플링 커패시터는 Ref의 공통 모드 전압의 영향을 받지 않는다. 풀업/다운 전류 소스를 조정함으로써 듀티 사이클은 6 비트 오프 칩 신호로 제어된다.
- [0053] 듀티 보정 회로(130)는 상승 및 하강 시 짧은 펄스를 생성하기 위해 XOR 게이트가 일반적으로 사용된다. 그러나 XOR의 출력 경로는 두 입력의 조합에 따라 달라지므로 성능도 저하될 수 있다.
- [0054] 이에, 도 4b와 같이 멀티플렉서 기반의 주입 펄스 발생기가 사용될 수 있다.
- [0055] 도 4b를 참조하면, 단일 중단 Ref는 차동 신호로 변환된다. 그 후 NAND는 상승/하강 시 짧은 펄스를 생성한다. Inj의 펄스 폭은 NAND 앞의 인버터 지연에 의해 결정된다. NAND의 출력은 전송 게이트에 의해 선택된다. 두 개의 다른 경로에서 지연 불일치는 듀티 보정 회로(130)에 의해 보정될 수 있다.
- [0056] 도 5는 본 실시예에 따른 ILPLL의 선형 위상 도메인 모델을 도시한 도면이다.
- [0057] 앞서 언급한 것처럼 피드백 루프에 주파수 분배기가 존재하지 않는다. in-band 노이즈에 가장 큰 영향을 미치는 CP 노이즈인 $i_{CP,m1}$ 의 전달함수(transfer function)을 살펴보면 기존의 ILPLL보다 우수한 노이즈 성능을 나타내는 것을 알 수 있다. 또한 SSDLL(102)의 대역폭이 상대적으로 느리게 설계되었기 때문에 SSDLL(102)에 제2 서브 샘플링 전하펌프(122)가 추가되었음에도 불구하고 추가된 노이즈인 $i_{CP,m2}$ 가 출력에 영향을 미치지 않는다는 것을 알 수 있다.
- [0058] 본 실시예에 따른 ILPLL 구조의 우수성을 검증하기 위해 65nm CMOS 공정을 사용해 3.2 GHz로 동작하는 시제품을 제작하였다.
- [0059] 도 6 내지 도 7은 본 실시예에 따른 ILPLL의 시뮬레이션 및 측정 결과를 도시한 도면이다.

[0060] 도 6 내지 도 7을 참조하면, PFD/CP FTL을 사용한 기준 ILPLL 대비 10 kHz offset에서 8.6 dB의 phase noise 성능 개선효과를 보였고 rms jitter는 242 fs에서 178 fs로 26.4 % 개선되었다. 추가로 SSDLL의 성능을 검증하기 위하여 총 20개의 시제를 측정하였다. SSDLL이 활성화 된 경우 평균 rms jitter는 186.1 fs로 SSDLL이 비활성화 되었을 때의 225.2 fs 보다 17.4% 개선된 성능을 보여 SSDLL이 성공적으로 위상 차이를 보상해주고 있음을 확인하였다.

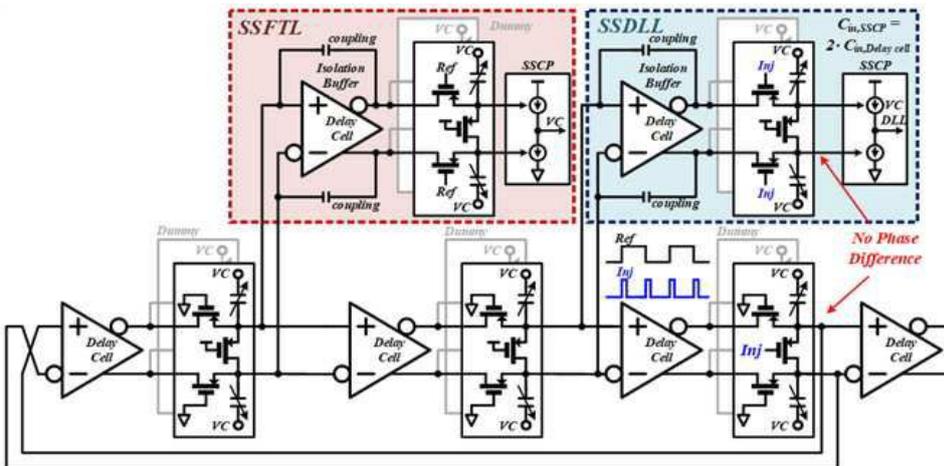
[0061] 상기한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

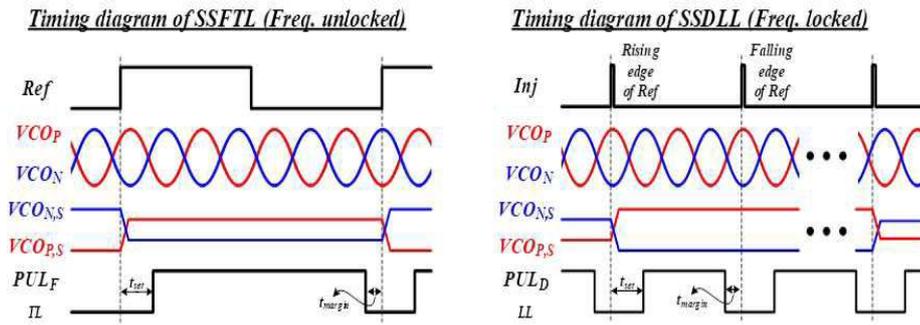
도면1



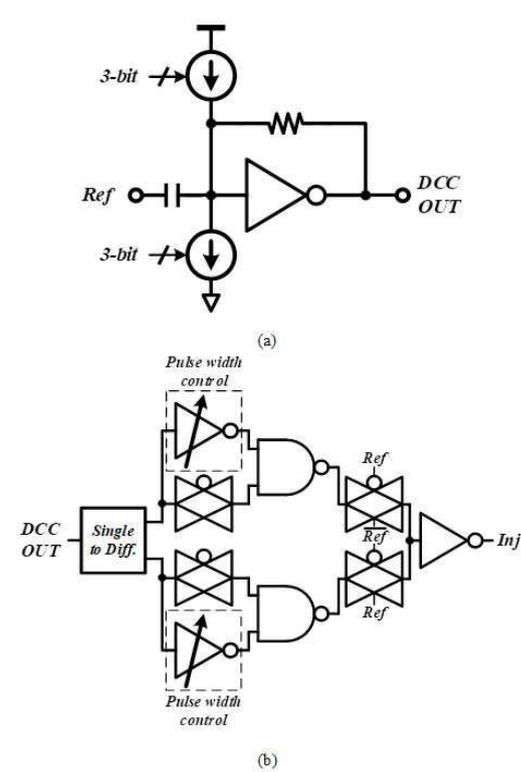
도면2



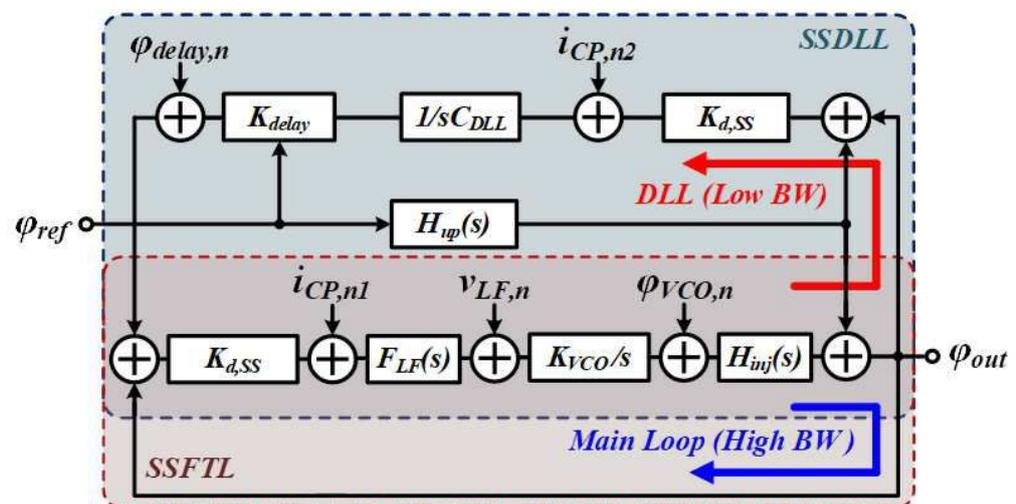
도면3



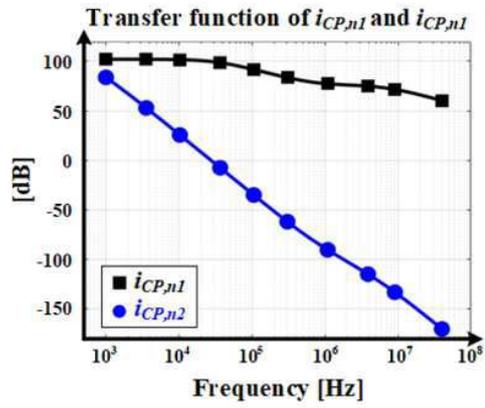
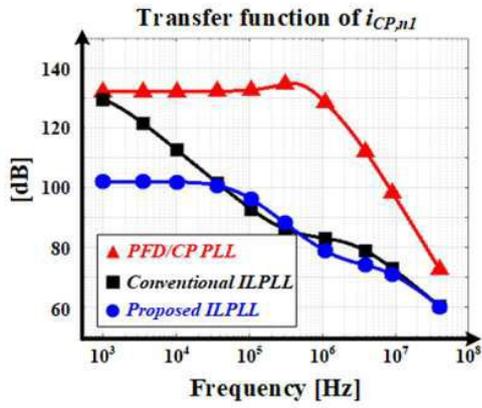
도면4



도면5



도면6



도면7

