

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年2月2日(02.02.2023)



(10) 国際公開番号

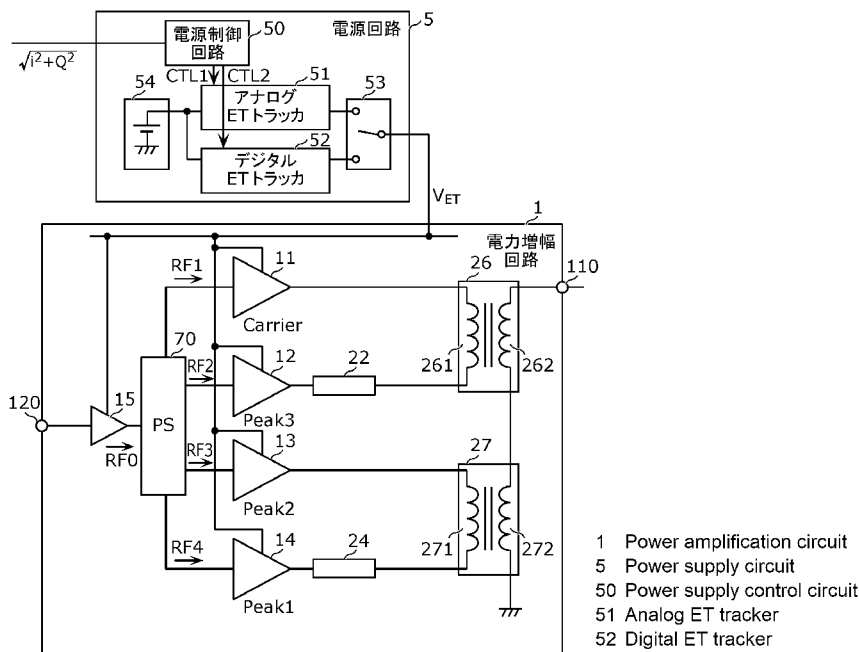
WO 2023/007996 A1

- (51) 国際特許分類:
H03F 1/02 (2006.01) H03F 3/26 (2006.01)
H03F 3/24 (2006.01)
- (21) 国際出願番号: PCT/JP2022/024895
- (22) 国際出願日: 2022年6月22日(22.06.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-124361 2021年7月29日(29.07.2021) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 田原 健二(TAHARA, Kenji); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 滝本 健介(TAKIMOTO, Kensuke); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 山本 佳依(YAMAMOTO, Kae); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 10 号 タナカ・イトーピア新大阪ビル 6 階新居国際特許事務所内 Osaka (JP).

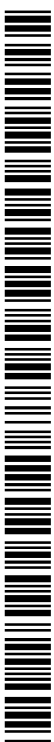
(54) Title: POWER AMPLIFICATION CIRCUIT AND COMMUNICATION APPARATUS

(54) 発明の名称: 電力増幅回路および通信装置

[図2]



(57) Abstract: A power amplification circuit (1) comprises: a carrier amplifier (11) and peak amplifiers (12 to 14); an input-side coil (261) and an output-side coil (262); an input-side coil (271) and an output-side coil (272); an output terminal (110) to which one end of the output-side coil (262) is connected; and 1/4 wavelength transmission lines (22 and 24). The carrier amplifier (11) is connected to one end of the input-side coil (261). The peak amplifier (12) is connected to one end of the 1/4 wavelength transmission line (22). The peak amplifier (13) is connected to one end of the input-side coil



WO 2023/007996 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(271). The peak amplifier (14) is connected to one end of the 1/4 wavelength transmission line (24). The other end of the 1/4 wavelength transmission line (22) is connected to the other end of the input-side coil (261). The other end of the 1/4 wavelength transmission line (24) is connected to the other end of the input-side coil (271). One end of the output-side coil (272) is connected to the other end of the output-side coil (262).

(57) 要約 : 電力増幅回路 (1) は、キャリアアンプ (11) およびピークアンプ (12~14) と、入力側コイル (261) および出力側コイル (262) と、入力側コイル (271) および出力側コイル (272) と、出力側コイル (262) の一端が接続された出力端子 (110) と、1/4波長伝送線路 (22および24) と、を備え、キャリアアンプ (11) は入力側コイル (261) の一端に接続され、ピークアンプ (12) は1/4波長伝送線路 (22) の一端に接続され、ピークアンプ (13) は入力側コイル (271) の一端に接続され、ピークアンプ (14) は1/4波長伝送線路 (24) の一端に接続され、1/4波長伝送線路 (22) の他端は、入力側コイル (261) の他端に接続され、1/4波長伝送線路 (24) の他端は入力側コイル (271) の他端に接続され、出力側コイル (272) の一端は出力側コイル (262) の他端に接続されている。

明 細 書

発明の名称：電力増幅回路および通信装置

技術分野

[0001] 本発明は、電力増幅回路および通信装置に関する。

背景技術

[0002] 特許文献1には、入力信号の電力レベルが第1レベル以上の領域において入力信号から分配された第1信号を増幅して第2信号を出力する第1アンプ（キャリアアンプ）と、第2信号が入力される第1トランスと、入力信号の電力レベルが第1レベルより高い第2レベル以上の領域において入力信号から分配された第3信号を増幅して第4信号を出力する第2アンプ（ピークアンプ）と、第4信号が入力される第2トランスと、を備える電力増幅回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-137566号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載された電力増幅回路の電源電圧にデジタルETを適用した場合、キャリアアンプおよびピークアンプがオン状態である高出力領域から、キャリアアンプのみがオン状態である低出力領域までの電力差であるバックオフ量を、大きく確保できない場合がある。

[0005] そこで、本発明は、大きなバックオフ量が確保された小型の電力増幅回路および通信装置を提供する。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明の一態様に係る電力増幅回路は、第1増幅素子、第2増幅素子、第3増幅素子および第4増幅素子と、第1入力側コイルおよび第1出力側コイルを有する第1トランスと、第2入力側コイル

および第2出力側コイルを有する第2トランスと、第1出力側コイルの一端が接続された信号出力端子と、第1移相回路および第2移相回路と、を備え、第1増幅素子の出力端子は、第1入力側コイルの一端に接続され、第2増幅素子の出力端子は、第1移相回路の一端に接続され、第3増幅素子の出力端子は、第2入力側コイルの一端に接続され、第4増幅素子の出力端子は、第2移相回路の一端に接続され、第1移相回路の他端は、第1入力側コイルの他端に接続され、第2移相回路の他端は、第2入力側コイルの他端に接続され、第2出力側コイルの一端は第1出力側コイルの他端に接続されており、第2出力側コイルの他端はグラウンドに接続されている。

[0007] また、本発明の一態様に係る電力増幅回路は、第1増幅素子、第2増幅素子および第3増幅素子と、第1入力側コイルおよび第1出力側コイルを有する第1トランスと、第2入力側コイルおよび第2出力側コイルを有する第2トランスと、第1出力側コイルの一端が接続された信号出力端子と、移相回路と、を備え、第1増幅素子の出力端子は、第1入力側コイルの一端に接続され、第2増幅素子の出力端子は、第2入力側コイルの一端に接続され、第3増幅素子の出力端子は、移相回路の一端に接続され、移相回路の他端は、第2入力側コイルの他端に接続され、第1入力側コイルの他端はグラウンドに接続され、第2出力側コイルの一端は第1出力側コイルの他端に接続されており、第2出力側コイルの他端はグラウンドに接続されている。

[0008] また、本発明の一態様に係る電力増幅回路は、第1増幅素子、第2増幅素子および第3増幅素子と、第1入力側コイルおよび第1出力側コイルを有する第1トランスと、第2入力側コイルおよび第2出力側コイルを有する第2トランスと、第1出力側コイルの一端が接続された信号出力端子と、移相回路と、を備え、第1増幅素子の出力端子は、第1入力側コイルの一端に接続され、第2増幅素子の出力端子は、移相回路の一端に接続され、第3増幅素子の出力端子は、第2入力側コイルの一端に接続され、移相回路の他端は、第1入力側コイルの他端に接続され、第2入力側コイルの他端はグラウンドに接続され、第2出力側コイルの一端は第1出力側コイルの他端に接続されて

おり、第2出力側コイルの他端はグラウンドに接続されている。

発明の効果

[0009] 本発明によれば、大きなバックオフ量が確保された小型の電力増幅回路および通信装置を提供することができる。

図面の簡単な説明

[0010] [図1]図1は、実施の形態に係る電力増幅回路および通信装置の回路構成図である。

[図2]図2は、実施の形態に係る電力増幅回路および電源回路の回路ブロック図である。

[図3A]図3Aは、実施の形態に係る電力増幅回路の第1の信号入力時（状態A）の回路状態図である。

[図3B]図3Bは、実施の形態に係る電力増幅回路の第2の信号入力時（状態B）の回路状態図である。

[図3C]図3Cは、実施の形態に係る電力増幅回路の第3の信号入力時（状態C）の回路状態図である。

[図3D]図3Dは、実施の形態に係る電力増幅回路の第4の信号入力時（状態D）の回路状態図である。

[図4]図4は、実施の形態に係る電力増幅回路の出力電力と効率との関係を示すグラフである。

[図5A]図5Aは、デジタルETモードにおける電源電圧の推移の一例を示すグラフである。

[図5B]図5Bは、アナログETモードにおける電源電圧の推移の一例を示すグラフである。

[図6]図6は、実施の形態および従来の電力増幅回路にデジタルETを適用した場合の出力電力と効率との関係を示すグラフである。

[図7A]図7Aは、実施の形態の変形例1に係る電力増幅回路の回路ブロック図である。

[図7B]図7Bは、実施の形態の変形例2に係る電力増幅回路の回路ブロック

図である。

[図8]図8は、実施例に係る高周波モジュールの平面図および断面図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。

[0012] なお、各図は、本発明を示すために適宜強調、省略、または比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、および比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡素化される場合がある。

[0013] 以下の各図において、 x 軸および y 軸は、モジュール基板の主面と平行な平面上で互いに直交する軸である。具体的には、平面視においてモジュール基板が矩形状を有する場合、 x 軸は、モジュール基板の第1辺に平行であり、 y 軸は、モジュール基板の第1辺と直交する第2辺に平行である。また、 z 軸は、モジュール基板の主面に垂直な軸であり、その正方向は上方向を示し、その負方向は下方向を示す。

[0014] 本発明の回路構成において、「接続される」とは、接続端子および／または配線導体で直接接続される場合だけでなく、他の回路素子を介して電氣的に接続される場合も含む。「AおよびBの間に接続される」とは、AおよびBの間でAおよびBの両方に接続されることを意味し、AおよびBを結ぶ経路に直列接続されることに加えて、当該経路とグラウンドとの間に並列接続（シャント接続）されることを含む。

[0015] 本発明の部品配置において、「平面視」とは、 z 軸正側から x y 平面に物体を正投影して見ることを意味する。

[0016] また、本開示において、「CがAの第1方向とBの第2方向との交差部分

に配置されている」とは、平面視において、A内の任意の点から第1方向に伸びる直線とB内の任意の点から第2方向に伸びる直線との交点がCに含まれることを意味する。また、「平行」および「垂直」などの要素間の関係性を示す用語、および、「矩形」などの要素の形状を示す用語は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数%程度の誤差をも含むことを意味する。また、「第1方向と第2方向とが同じである」とは、第1方向の方向ベクトルと第2方向の方向ベクトルとのなす角度が厳密に0度であることに限らず、当該2つの方向ベクトルのなす角度が -10 度以上かつ $+10$ 度以下であることを含むものと定義される。

[0017] また、本開示において、「信号経路」とは、高周波信号が伝搬する配線、当該配線に直接接続された電極、および当該配線または当該電極に直接接続された端子等で構成された伝送線路であることを意味する。

[0018] (実施の形態)

[1 電力増幅回路1および通信装置7の回路構成]

本実施の形態に係る電力増幅回路1および通信装置7の回路構成について、図1および図2を参照しながら説明する。図1は、本実施の形態に係る電力増幅回路1および通信装置7の回路構成図である。図2は、実施の形態に係る電力増幅回路1および電源回路5の回路ブロック図である。

[0019] [1.1 通信装置7の回路構成]

まず、通信装置7の回路構成について説明する。図1に示すように、本実施の形態に係る通信装置7は、高周波モジュール6と、アンテナ2と、RFIC (Radio Frequency Integrated Circuit) 3と、BBIC (Baseband Integrated Circuit) 4と、電源回路5と、を備える。

[0020] 高周波モジュール6は、電力増幅回路1と、PA制御回路10と、低雑音増幅器30と、デュプレクサ61および62と、ダイプレクサ60と、整合回路41および42と、スイッチ71、72および73と、を備える。高周波モジュール6は、アンテナ2とRFIC3との間で高周波信号を伝送する。電力増幅回路1の構成については図2を用いて後述する。

- [0021] アンテナ 2 は、高周波モジュール 6 のアンテナ接続端子 100 に接続され、高周波モジュール 6 から出力された高周波信号を送信し、また、外部から高周波信号を受信して高周波モジュール 6 へ出力する。
- [0022] RFIC3 は、高周波信号を処理する信号処理回路の一例である。具体的には、RFIC3 は、高周波モジュール 6 の受信経路を介して入力された高周波受信信号を、ダウンコンバート等により信号処理し、当該信号処理して生成された受信信号を BBIC4 へ出力する。さらに、RFIC3 は、BBIC4 から入力された送信信号をアップコンバート等により信号処理し、当該信号処理して生成された高周波送信信号を、高周波モジュール 6 の送信経路に出力する。また、RFIC3 は、高周波モジュール 6 を制御する制御部を有する。なお、RFIC3 の制御部としての機能の一部または全部は、RFIC3 の外部に実装されてもよく、例えば、BBIC4 または高周波モジュール 6 に実装されてもよい。
- [0023] BBIC4 は、高周波モジュール 6 が伝送する高周波信号よりも低周波の中間周波数帯域を用いて信号処理するベースバンド信号処理回路である。BBIC4 で処理される信号としては、例えば、画像表示のための画像信号、および／または、スピーカを介した通話のために音声信号が用いられる。
- [0024] 電源回路 5 は、電力増幅回路 1 に電源電圧 V_{ET} を供給する。電源回路 5 の構成については図 2 を用いて後述する。
- [0025] なお、図 1 に表された通信装置 7 の回路構成は、例示であり、これに限定されない。例えば、通信装置 7 は、アンテナ 2 および／または BBIC4 を備えなくてもよい。また例えば、通信装置 7 は、複数のアンテナを備えてもよい。
- [0026] [1. 2 高周波モジュール 6 の回路構成]
次に、高周波モジュール 6 の回路構成について説明する。
- [0027] 電力増幅回路 1 は、高周波送信信号が入力される入力端子 120 と、高周波送信信号（以下、送信信号と記す）を出力する出力端子 110 と、を有する。

- [0028] PA制御回路10は、制御回路の一例であり、RFIC3からの制御信号を、制御端子130を経由して受けることにより、電力増幅回路1へ供給されるバイアス電流の大きさおよび供給タイミングを制御する。
- [0029] スイッチ71は、アンテナ接続端子100とデュプレクサ61および62との間に接続される。スイッチ71は、端子71a、71bおよび71cを有する。端子71aは、ダイプレクサ60を介してアンテナ接続端子100に接続される。端子71bはデュプレクサ61に接続され、端子71cはデュプレクサ62に接続される。
- [0030] この接続構成において、スイッチ71は、例えばRFIC3からの制御信号に基づいて、端子71aを端子71bおよび71cのいずれかに接続することができる。つまり、スイッチ71は、アンテナ接続端子100の接続をデュプレクサ61および62の間で切り替えることができる。スイッチ71は、例えばSPDT (Single-Pole Double-Throw) 型のスイッチ回路で構成される。
- [0031] スイッチ72は、送信フィルタ61Tおよび62Tと電力増幅回路1との間に接続される。スイッチ72は、端子72a、72bおよび72cを有する。端子72aは、出力端子110に接続される。端子72bは送信フィルタ61Tに接続され、端子72cは送信フィルタ62Tに接続される。
- [0032] この接続構成において、スイッチ72は、例えばRFIC3からの制御信号に基づいて、端子72aを端子72bおよび72cのいずれかに接続することができる。つまり、スイッチ72は、電力増幅回路1の接続を送信フィルタ61Tおよび62Tの間で切り替えることができる。スイッチ72は、例えばSPDT型のスイッチ回路で構成される。
- [0033] スイッチ73は、受信フィルタ61Rおよび62Rと低雑音増幅器30との間に接続される。スイッチ73は、端子73a、73bおよび73cを有する。端子73aは、低雑音増幅器30に接続される。端子73bは受信フィルタ61Rに接続され、端子73cは受信フィルタ62Rに接続される。
- [0034] この接続構成において、スイッチ73は、例えばRFIC3からの制御信

号に基づいて、端子73aを端子73bおよび73cのいずれかに接続することができる。つまり、スイッチ73は、低雑音増幅器30の接続を受信フィルタ61Rおよび62Rの間で切り替えることができる。スイッチ73は、例えばSPDT型のスイッチ回路で構成される。

[0035] デュプレクサ61は、バンドAを含む通過帯域を有する。デュプレクサ61は、送信フィルタ61Tおよび受信フィルタ61Rを有し、バンドAにおける周波数分割複信（FDD：Frequency Division Duplex）を可能にする。

[0036] 送信フィルタ61T（A-Tx）は、電力増幅回路1とアンテナ接続端子100との間に接続されている。具体的には、送信フィルタ61Tの一端は、スイッチ72を介して出力端子110に接続される。一方、送信フィルタ61Tの他端は、スイッチ71およびダイプレクサ60を介してアンテナ接続端子100に接続される。送信フィルタ61Tは、バンドAのアップリンク動作バンド（uplink operating band）を含む通過帯域を有する。これにより、送信フィルタ61Tは、電力増幅回路1で増幅された送信信号のうち、バンドAの送信信号を通過させることができる。

[0037] 受信フィルタ61R（A-Rx）は、低雑音増幅器30とアンテナ接続端子100との間に接続されている。具体的には、受信フィルタ61Rの一端は、スイッチ71およびダイプレクサ60を介してアンテナ接続端子100に接続される。一方、受信フィルタ61Rの他端は、スイッチ73を介して低雑音増幅器30に接続される。受信フィルタ61Rは、バンドAのダウンリンク動作バンド（downlink operating band）を含む通過帯域を有する。これにより、受信フィルタ61Rは、アンテナ2で受信された受信信号のうち、バンドAの受信信号を通過させることができる。

[0038] デュプレクサ62は、バンドBを含む通過帯域を有する。デュプレクサ62は、送信フィルタ62Tおよび受信フィルタ62Rを有し、バンドBにおけるFDDを可能にする。

[0039] 送信フィルタ62T（B-Tx）は、電力増幅回路1とアンテナ接続端子100との間に接続されている。具体的には、送信フィルタ62Tの一端は

、スイッチ72を介して出力端子110に接続される。一方、送信フィルタ62Tの他端は、スイッチ71およびダイプレクサ60を介してアンテナ接続端子100に接続される。送信フィルタ62Tは、バンドBのアップリンク動作バンドを含む通過帯域を有する。これにより、送信フィルタ62Tは、電力増幅回路1で増幅された送信信号のうち、バンドBの送信信号を通過させることができる。

[0040] 受信フィルタ62R (B-Rx) は、低雑音増幅器30とアンテナ接続端子100との間に接続されている。具体的には、受信フィルタ62Rの一端は、スイッチ71およびダイプレクサ60を介してアンテナ接続端子100に接続される。一方、受信フィルタ62Rの他端は、スイッチ73を介して低雑音増幅器30に接続される。受信フィルタ62Rは、バンドBのダウンリンク動作バンドを含む通過帯域を有する。これにより、受信フィルタ62Rは、アンテナ2で受信された受信信号のうち、バンドBの受信信号を通過させることができる。

[0041] なお、バンドAおよびBは、無線アクセス技術 (RAT: Radio Access Technology) を用いて構築される通信システムのための周波数バンドである。バンドAおよびBは、標準化団体など (例えば3GPP (登録商標) (3rd Generation Partnership Project) およびIEEE (Institute of Electrical and Electronics Engineers) 等) によって予め定義される。通信システムの例としては、5G NR (5th Generation New Radio) システム、LTE (Long Term Evolution) システムおよびWLAN (Wireless Local Area Network) システム等を挙げることができる。

[0042] ダイプレクサ60は、ハイパスフィルタ60Hおよびローパスフィルタ60Lを有する。ハイパスフィルタ60Hの一方の端子およびローパスフィルタ60Lの一方の端子は、アンテナ接続端子100に接続されている。ローパスフィルタ60Lの他方の端子は、端子71aに接続されている。ローパスフィルタ60Lは、バンドAおよびバンドBを内包する第1周波数帯域群を含む通過帯域を有するフィルタである。ハイパスフィルタ60Hは、第1

周波数帯域群よりも高周波側に位置する第2周波数帯域群を含む通過帯域を有するフィルタである。なお、ハイパスフィルタ60Hの他方の端子が端子71aに接続され、ローパスフィルタ60Lの他方の端子が他の回路素子に接続されていてもよい。また、ダイプレクサ60はなくてもよい。

[0043] 整合回路41は、電力増幅回路1とスイッチ72との間に接続され、電力増幅回路1の出カインピーダンスと送信フィルタ61Tおよび62Tの入カインピーダンスとのインピーダンス整合をとる。整合回路41は、例えばインダクタおよびキャパシタの少なくとも一方で構成されている。

[0044] 整合回路42は、低雑音増幅器30とスイッチ73との間に接続され、低雑音増幅器30の入カインピーダンスと受信フィルタ61Rおよび62Rの出カインピーダンスとのインピーダンス整合をとる。整合回路42は、例えばインダクタおよびキャパシタの少なくとも一方で構成されている。

[0045] なお、整合回路41および42はなくてもよい。また、アンテナ接続端子100とデュプレクサ61との間、および、アンテナ接続端子100とデュプレクサ62との間に、整合回路が配置されていてもよい。

[0046] なお、図1に表された高周波モジュール6は、例示であり、これに限定されない。例えば、高周波モジュール6は、デュプレクサ62を備えなくてもよく、スイッチ71～73を備えなくてもよい。さらに、高周波モジュール6は、受信経路を備えなくてもよく、低雑音増幅器30および受信フィルタ61Rを備えなくてもよい。また例えば、高周波モジュール6は、バンドAおよびBと異なるバンドCに対応するフィルタおよび電力増幅回路を備えてもよい。

[0047] [1.3 電力増幅回路1および電源回路5の回路構成]

次に、電力増幅回路1および電源回路5の回路構成について説明する。図2に示すように、電力増幅回路1は、入力端子120および出力端子110と、キャリアアンプ11と、ピークアンプ12、13および14と、プリアンプ15と、移相回路70と、1/4波長伝送線路22および24と、トランス26および27と、を備える。

- [0048] 入力端子120は、RFIC3から出力された高周波信号を受ける端子である。出力端子110は、信号出力端子の一例であり、高周波信号を出力する端子である。
- [0049] プリアンプ15は、入力端子120から入力されたバンドAおよび／またはバンドBの高周波信号を増幅する。
- [0050] 移相回路70は、プリアンプ15から出力された信号RF0を分配し、当該分配された信号RF1、RF2、RF3およびRF4を、それぞれ、キャリアアンプ11およびピークアンプ12～14に出力する。移相回路70は、その際、信号RF1～RF4の位相を調整する。例えば、移相回路70は、信号RF1をRF0に対して+90度シフトさせ（90度進ませ）、信号RF2をRF0に対して0度シフトさせ（移相させず）、信号RF3をRF0に対して+90度シフトさせ（90度進ませ）、信号RF4をRF0に対して0度シフトさせる（移相させない）。
- [0051] なお、プリアンプ15および移相回路70の構成は、上記構成に限られない。例えば、プリアンプ15は、キャリアアンプ11およびピークアンプ12～14のそれぞれの前段に配置されていてもよい。この場合、移相回路70は、各プリアンプの前段、または、キャリアアンプ11およびピークアンプ12～14のそれぞれの前段に配置されていてもよい。また、電力増幅回路1は、プリアンプ15および移相回路70を備えなくてもよい。
- [0052] キャリアアンプ11およびピークアンプ12～14のそれぞれは、増幅トランジスタを有する。上記増幅トランジスタは、例えば、ヘテロ接合バイポーラトランジスタ（HBT：Heterojunction Bipolar Transistor）等のバイポーラトランジスタ、または、MOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）等の電界効果トランジスタである。
- [0053] キャリアアンプ11は、第1増幅素子の一例であり、信号RF1の全ての電力レベルに対して増幅動作可能なA級（またはAB級）増幅回路であり、特に、低出力領域および中出力領域において高効率な増幅動作が可能である。なお、本発明に係る第1増幅素子は、A級（またはAB級）増幅回路であ

ればよく、キャリアアンプに限定されない。

[0054] ピークアンプ12、13および14は、それぞれ、第2増幅素子、第3増幅素子および第4増幅素子の一例であり、例えば、信号RF2、RF3およびRF4の電力レベルが高い領域で増幅動作可能なC級増幅回路である。ピークアンプ12~14が有する増幅トランジスタには、キャリアアンプ11が有する増幅トランジスタに印加されるバイアス電圧よりも低いバイアス電圧が印加されているため、信号RF2、RF3およびRF4の電力レベルが高くなるほど、出力インピーダンスが低くなる。これにより、ピークアンプ12~14は、高出力領域において低歪の増幅動作が可能である。なお、本発明に係る第2増幅素子、第3増幅素子および第4増幅素子は、C級増幅回路であればよく、ピークアンプに限定されない。

[0055] トランス26は、第1トランス（トランスフォーマ）の一例であり、入力側コイル261（第1入力側コイル）および出力側コイル262（第1出力側コイル）を有する。

[0056] トランス27は、第2トランス（トランスフォーマ）の一例であり、入力側コイル271（第2入力側コイル）および出力側コイル272（第2出力側コイル）を有する。

[0057] 1/4波長伝送線路22は、第1移相回路の一例であり、1/4波長伝送線路22の一端から入力された高周波信号の位相を1/4波長遅らせて1/4波長伝送線路22の他端から出力する。1/4波長伝送線路24は、第2移相回路の一例であり、1/4波長伝送線路24の一端から入力された高周波信号の位相を1/4波長遅らせて1/4波長伝送線路24の他端から出力する。

[0058] 出力側コイル262の一端は出力端子110に接続されている。キャリアアンプ11の出力端子は、入力側コイル261の一端に接続されている。ピークアンプ12の出力端子は1/4波長伝送線路22の一端に接続されている。ピークアンプ13の出力端子は入力側コイル271の一端に接続されている。ピークアンプ14の出力端子は1/4波長伝送線路24の一端に接続

されている。1/4波長伝送線路22の他端は入力側コイル261の他端に接続されている。1/4波長伝送線路24の他端は、入力側コイル271の他端に接続されている。出力側コイル272の一端は出力側コイル262の他端に接続されており、出力側コイル272の他端はグラウンドに接続されている。

[0059] 上記構成により、電力増幅回路1は、いわゆるドハティ型の増幅回路として動作し、1つのキャリアアンプ11に対して3つのピークアンプ12~14が配置されていることにより、大きなバックオフ量を確保できる。また、キャリアアンプ11およびピークアンプ12~14の4つのアンプ配置に対して4つのトランスが配置されておらず、2つのトランス26および27と2つの1/4波長伝送線路22および24とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路1を実現できる。

[0060] なお、本実施の形態の電力増幅回路1は、2以上のキャリアアンプおよび/または5以上のピークアンプを備えていてもよい。

[0061] 電力増幅回路1の動作については、図3A~図3Dを用いて後述する。

[0062] 電源回路5は、電源54と、アナログETトラック51と、デジタルETトラック52と、スイッチ53と、電源制御回路50と、を備える。

[0063] デジタルETトラック52は、電源54の電圧に基づいて、複数の離散的な電圧レベルの電源電圧を生成する。より具体的には、デジタルETトラック52は、例えば、互いに異なる電圧レベルを保持する複数の電圧保持回路（または電圧保持素子）を有し、当該複数の電圧保持回路から一の電圧保持回路を選択し、当該選択された一の電圧保持回路から一の電圧レベルの電源電圧を出力する。なお、デジタルETトラック52は、複数の電圧レベルを予め準備しなくてもよく、電圧レベルをスイッチで選択して出力しなくてもよい。例えば、デジタルETトラック52は、複数の離散的な電圧レベルの中から選択された電圧レベルを随時生成して出力してもよい。

[0064] アナログETトラック51は、電源54の電圧に基づいて、連続的な電圧レベルの電源電圧を生成する。より具体的には、アナログETトラック51

は、電圧レベルが可変する電圧保持回路を有し、当該電圧保持回路から電圧レベルを変化させて電源電圧を出力する。

[0065] スイッチ53は、電力増幅回路1に接続された共通端子、アナログETトラック51に接続された第1選択端子およびデジタルETトラック52に接続された第2選択端子を有し、アナログETトラック51と電力増幅回路1との接続およびデジタルETトラック52と電力増幅回路1との接続を切り替える。

[0066] 電源制御回路50は、BBIC4より得た高周波入力信号のエンベロープ信号に基づいて、デジタルETトラック52で生成された複数の離散的な電圧レベルの中から電力増幅回路1で用いる電源電圧 V_{ET} の電圧レベルを選択し、また、アナログETトラック51で生成される電源電圧 V_{ET} の電圧レベルを連続的に変化させる。また、電源制御回路50は、電力増幅回路1に入力される高周波信号の周波数およびチャンネル帯域幅に基づいて、スイッチ53の接続を切り替える。

[0067] なお、エンベロープ信号とは、高周波入力信号（変調波）の包絡線を示す信号である。エンベロープ値は、例えば $\sqrt{(I^2 + Q^2)}$ で表される。ここで、 (I, Q) は、コンスタレーションポイントを表す。コンスタレーションポイントとは、デジタル変調によって変調された信号をコンスタレーションダイアグラム上で表す点である。 (I, Q) は、例えば送信情報に基づいてBBIC4で決定される。

[0068] なお、電源制御回路50は、電源回路5が備えず、RFIC3が備えていてもよい。

[0069] なお、以下において、1フレーム内で複数の離散的な電圧レベルを用いて高周波信号の包絡線を追跡することをデジタル・エンベロープ・トラッキング（以下、デジタルETという）と呼び、デジタルETが電源電圧に適用されるモードをデジタルETモードと呼ぶ。また、連続的な電圧レベルを用いて高周波信号の包絡線を追跡することをアナログ・エンベロープ・トラッキング（以下、アナログETという）と呼び、アナログETが電源電圧に適用

されるモードをアナログETモードと呼ぶ。

[0070] なお、フレームとは、高周波信号（変調波）を構成する単位を表す。例えば5GNRおよびLTEでは、フレームは、10個のサブフレームを含み、各サブフレームは、複数のスロットを含み、各スロットは、複数のシンボルで構成される。サブフレーム長は1msであり、フレーム長は10msである。

[0071] なお、電源回路5は、アナログETモードとデジタルETモードとを切り替える構成を有していなくてもよく、例えば、アナログETトラッカ51およびスイッチ53を備えていなくてもよい。

[0072] [1.4 電力増幅回路1の動作]

次に、本実施の形態に係る電力増幅回路1の動作について説明する。

[0073] 図3Aは、実施の形態に係る電力増幅回路1の第1の信号入力時（状態A）の回路状態図である。状態Aは、入力端子120に入力される高周波信号の電力レベルが第1電力値である状態である。この場合、図3Aに示すように、キャリアアンプ11およびピークアンプ12～14は動作（ON）し、キャリアアンプ11の出力端子から負荷側を見たインピーダンスZ1（以降、キャリアアンプ11のインピーダンスZ1と記す）、ピークアンプ12の出力端子から負荷側を見たインピーダンスZ2（以降、ピークアンプ12のインピーダンスZ2と記す）、ピークアンプ13の出力端子から負荷側を見たインピーダンスZ3（以降、ピークアンプ13のインピーダンスZ3と記す）、および、ピークアンプ14の出力端子から負荷側を見たインピーダンスZ4（以降、ピークアンプ14のインピーダンスZ4と記す）は、式1のように表される。なお、トランス26および27のそれぞれは、1:mの比率で変圧するものとする。また、入力側コイル261の両端にかかる電圧および入力側コイル271の両端にかかる電圧をV1とし、出力側コイル262の両端にかかる電圧および出力側コイル272の両端にかかる電圧をV2とする。入力側コイル261および271に流れる電流を、それぞれi1とし、出力側コイル262および272に流れる電流を、それぞれi2とする

。また、各アンプの出力電圧を V_o とする。また、出力端子110に接続される負荷のインピーダンスを R_L とする。

[0074] [数1]

$$V_2 = mV_1 = 2mV_o, i_2 = \frac{1}{m}i_1$$

$$R_L = \frac{V_2 + V_2}{i_2} = \frac{4m^2V_o}{i_1}$$

$$Z_1 = Z_2 = Z_3 = Z_4 = \frac{V_o}{i_1} = \frac{R_L}{4m^2}$$

(式1)

[0075] 図3Bは、実施の形態に係る電力増幅回路1の第2の信号入力時（状態B）の回路状態図である。状態Bは、入力端子120に入力される高周波信号の電力レベルが第1電力値よりも小さい第2電力値である状態である。この場合、図3Bに示すように、キャリアアンプ11およびピークアンプ12～13は動作（ON）し、ピークアンプ14は非動作（OFF）となっている。このとき、インピーダンス $Z_1 \sim Z_3$ は、式2のように表される。また、インピーダンス Z_4 は、オープン状態となっており、 $1/4$ 波長伝送線路24によって、入力側コイル271の他端のインピーダンスはショート状態となる。なお、入力側コイル261の両端にかかる電圧を V_1 とし、入力側コイル271の両端にかかる電圧を V_1' とし、出力側コイル262の両端にかかる電圧を V_2 とし、出力側コイル272の両端にかかる電圧を V_2' とする。

[0076] [数2]

$$V_2 = mV_1 = 2mV_o, V_2' = mV_1' = mV_o, i_2 = \frac{1}{m}i_1$$

$$R_L = \frac{V_2 + V_2'}{i_2} = \frac{3m^2V_o}{i_1}$$

$$Z_1 = Z_2 = Z_3 = \frac{V_o}{i_1} = \frac{R_L}{3m^2}$$

(式2)

[0077] 図3Cは、実施の形態に係る電力増幅回路1の第3の信号入力時（状態C）の回路状態図である。状態Cは、入力端子120に入力される高周波信号の電力レベルが第2電力値よりも小さい第3電力値である状態である。この場合、図3Cに示すように、キャリアアンプ11およびピークアンプ12は動作（ON）し、ピークアンプ13および14は非動作（OFF）となっている。このとき、インピーダンス $Z1 \sim Z2$ は、式3のように表される。また、インピーダンス $Z3$ および $Z4$ は、オープン状態となっており、 $1/4$ 波長伝送線路24によって、入力側コイル271の他端のインピーダンスはショート状態となる。なお、入力側コイル261の両端にかかる電圧を $V1$ とし、出力側コイル262の両端にかかる電圧を $V2$ とする。

[0078] [数3]

$$V2 = mV1 = 2mVo, i2 = \frac{1}{m}i1$$

$$R_L = \frac{V2}{i2} = \frac{2m^2Vo}{i1}$$

$$Z1 = Z2 = \frac{Vo}{i1} = \frac{R_L}{2m^2}$$

(式3)

[0079] 図3Dは、実施の形態に係る電力増幅回路1の第4の信号入力時（状態D）の回路状態図である。状態Dは、入力端子120に入力される高周波信号の電力レベルが第3電力値よりも小さい第4電力値である状態である。この場合、図3Dに示すように、キャリアアンプ11は動作（ON）し、ピークアンプ12～14は非動作（OFF）となっている。このとき、インピーダンス $Z1$ は、式4のように表される。また、インピーダンス $Z2 \sim Z4$ は、オープン状態となっており、 $1/4$ 波長伝送線路22によって、入力側コイル261の他端のインピーダンスはショート状態となり、 $1/4$ 波長伝送線路24によって、入力側コイル271の他端のインピーダンスはショート状態となる。なお、入力側コイル261の両端にかかる電圧を $V1$ とし、出力側コイル262の両端にかかる電圧を $V2$ とする。

[0080] [数4]

$$V2 = mV1 = mVo, i2 = \frac{1}{m}i1$$

$$R_L = \frac{V2}{i2} = \frac{m^2Vo}{i1}$$

$$Z1 = \frac{Vo}{i1} = \frac{R_L}{m^2}$$

(式4)

[0081] 図4は、実施の形態に係る電力増幅回路1の出力電力と効率との関係を示すグラフである。同図において、横軸は出力端子110から出力される信号の電力レベルを示し、縦軸は電力増幅回路1の効率（電力付加効率）を示している。

[0082] 高周波入力信号の電力レベルが第1電力値（状態A）から第2電力値（状態B）へと低下した場合には、式1および式2に示すように、オン状態であるキャリアアンプ11およびピークアンプ12～13のインピーダンスは大きくなる。このため、状態Bでは、キャリアアンプ11およびピークアンプ12～14がオン状態で動作している場合と比較して、効率が高くなっている。

[0083] また、高周波入力信号の電力レベルが第2電力値（状態B）から第3電力値（状態C）へと低下した場合には、式2および式3に示すように、オン状態であるキャリアアンプ11およびピークアンプ12のインピーダンスはさらに大きくなる。このため、状態Cでは、キャリアアンプ11およびピークアンプ12～13がオン状態で動作している場合と比較して、効率が高くなっている。

[0084] また、高周波入力信号の電力レベルが第3電力値（状態C）から第4電力値（状態D）へと低下した場合には、オン状態であるキャリアアンプ11のインピーダンスはさらに大きくなる。このため、状態Dでは、キャリアアンプ11およびピークアンプ12がオン状態で動作している場合と比較して、効率が高くなっている。

- [0085] つまり、大信号入力から小信号入力へと変遷する場合には、ピークアンプ14、ピークアンプ13、およびピークアンプ12の順でオフ状態となり、オン状態となっているキャリアアンプ11およびピークアンプのインピーダンスが高くなることで、低出力領域において電力増幅回路1は高効率動作させることが可能となる。また、ピークアンプ12～14が段階的にオフ状態へと変化していくので、ピークアンプ12～14がオン状態（状態A）である出力電力から、ピークアンプ12～14がオフ状態（状態D）である出力電力までの電力差であるバックオフ量を大きく確保できる。
- [0086] なお、小信号入力から大信号入力へと変遷するにつれて、ピークアンプ12、ピークアンプ13、およびピークアンプ14の順でオン状態へと変化させるために、各アンプに供給されるバイアス電流は、ピークアンプ12>ピークアンプ13>ピークアンプ14であってもよい。つまり、ピークアンプ13に供給されるバイアス電流はピークアンプ14に供給されるバイアス電流よりも大きく、ピークアンプ12に供給されるバイアス電流はピークアンプ13に供給されるバイアス電流よりも大きくてもよい。
- [0087] また、ピークアンプ12～14のそれぞれのサイズは、キャリアアンプ11のサイズよりも大きくてもよい。
- [0088] これによれば、ピークアンプ12～14の飽和電力（インターセプトポイント）を大きくできるので、電力増幅回路1のバックオフ量をより大きくできる。
- [0089] なお、アンプのサイズは、当該アンプを構成するトランジスタの段数、セル数またはフィンガー数に依存する。したがって、サイズが異なれば、トランジスタの段数、セル数またはフィンガー数が異なる。
- [0090] また、ピークアンプ14のサイズは、ピークアンプ13のサイズよりも大きくてもよい。
- [0091] これによれば、ピークアンプ14の飽和電力（インターセプトポイント）をピークアンプ13の飽和電力（インターセプトポイント）よりも大きくできる。これにより、例えば、状態Aから状態Dまでの出力領域の中でも、特

により高出力領域（状態Aから状態Bまでの出力領域）での効率を改善できる。

[0092] [1.5 デジタルETモードにおける電力増幅回路1の増幅特性]

ここで、デジタルETモードおよびアナログETモードについて、図5Aおよび図5Bを参照して説明する。

[0093] 図5Aは、デジタルETモードにおける電源電圧の推移の一例を示すグラフである。図5Bは、アナログETモードにおける電源電圧の推移の一例を示すグラフである。図5Aおよび図5Bにおいて、横軸は時間を表し、縦軸は電圧を表す。また、太い実線は、電源電圧 V_{ET} を表し、細い実線（波形）は、変調波を表す。

[0094] デジタルETモードでは、図5Aに示すように、1フレーム内で複数の離散的な電圧レベルに電源電圧 V_{ET} を変動させることで変調波の包絡線を追跡する。その結果、電源電圧信号は矩形波を形成する。デジタルETモードでは、エンベロープ信号に基づいて、複数の離散的な電圧レベルの中から電源電圧レベルが選択される。

[0095] アナログETモードでは、図5Bに示すように、電源電圧 V_{ET} を連続的に変動させることで変調波の包絡線を追跡する。アナログETモードでは、エンベロープ信号($\sqrt{(I^2 + Q^2)}$)に基づいて、電源電圧 V_{ET} が決定される。アナログETは、チャンネル帯域幅が相対的に小さい（例えば60MHz未満の場合）場合には、電源電圧 V_{ET} は変調波の包絡線の変化に追従できるが、チャンネル帯域幅が相対的に大きい（例えば60MHz以上の）場合には、電源電圧 V_{ET} は変調波の包絡線の変化に追従できなくなる。言い換えると、チャンネル帯域幅が相対的に大きい場合には、電源電圧 V_{ET} の振幅変化は、変調波の包絡線の変化に対して遅れが生じるようになる。

[0096] これに対して、チャンネル帯域幅が相対的に大きい（例えば60MHz以上の）場合には、図5Aに示すように、デジタルETモードを適用することで、電源電圧 V_{ET} の変調波への追従性が改善される。

[0097] 図6は、実施の形態に係る電力増幅回路1および従来の電力増幅回路にデ

デジタルETを適用した場合の出力電力と効率との関係を示すグラフである。なお、従来の電力増幅回路は、AB級動作するアンプのみで構成された増幅回路である。

[0098] デジタルETを適用した場合、特にPAPR(Peak to Average Power Ratio)が大きいデジタル変調方式では、大きな電力ダイナミックレンジを有する高周波信号が入力される。このため、従来の電力増幅回路では、電源電圧 V_{ET} の変化点(図6では、 $V_{CC}=5.2V$ から $V_{CC}=2.0V$ への変化点を例示)では、効率が大きく低下する点(図6のP)が発生する。これに対して、本実施の形態に係る電力増幅回路1では、電源電圧 V_{ET} の変化点(図6では、 $V_{CC}=5.2V$ から $V_{CC}=2.0V$ への変化点を例示)では、効率の低下が抑制される(図6のQ)。

[0099] つまり、本実施の形態に係る電力増幅回路1では、高効率が維持された大きなバックオフ量を有しているため、PAPRが大きいデジタル変調方式による高周波信号が入力されても、効率の落ち込みを抑制できる。

[0100] [1.6 変形例に係る電力増幅回路1Aおよび1Bの回路構成]

図7Aは、実施の形態の変形例1に係る電力増幅回路1Aの回路ブロック図である。同図に示すように、変形例1に係る電力増幅回路1Aは、入力端子120および出力端子110と、キャリアアンプ11と、ピークアンプ13および14と、プリアンプ15と、移相回路70と、1/4波長伝送線路24と、トランス26および27と、を備える。本変形例に係る電力増幅回路1Aは、実施の形態に係る電力増幅回路1と比較して、ピークアンプ12および1/4波長伝送線路22を備えていない点が異なる。以下、本変形例に係る電力増幅回路1Aについて、実施の形態に係る電力増幅回路1と同じ構成については説明を省略し、異なる構成を中心に説明する。

[0101] キャリアアンプ11は、第1増幅素子の一例でありA級(またはAB級)増幅回路であり、特に、低出力領域および中出力領域において高効率な増幅動作が可能である。

[0102] ピークアンプ13および14は、それぞれ、第2増幅素子および第3増幅

素子の一例であり、例えば、高出力領域で増幅動作可能なC級増幅回路である。ピークアンプ13および14は、高出力領域において低歪の増幅動作が可能である。

[0103] 1/4波長伝送線路24は、移相回路の一例であり、1/4波長伝送線路24の一端から入力された高周波信号の位相を1/4波長遅らせて1/4波長伝送線路24の他端から出力する。

[0104] 出力側コイル262の一端は出力端子110に接続されている。キャリアアンプ11の出力端子は、入力側コイル261の一端に接続されている。ピークアンプ13の出力端子は入力側コイル271の一端に接続されている。ピークアンプ14の出力端子は1/4波長伝送線路24の一端に接続されている。1/4波長伝送線路24の他端は、入力側コイル271の他端に接続されている。入力側コイル261の他端はグラウンドに接続されている。出力側コイル272の一端は出力側コイル262の他端に接続されており、出力側コイル272の他端はグラウンドに接続されている。

[0105] 上記構成により、電力増幅回路1Aは、いわゆるドハティ型の増幅回路として動作し、1つのキャリアアンプ11に対して2つのピークアンプ13および14が配置されていることにより、大きなバックオフ量を確保できる。また、キャリアアンプ11、ピークアンプ13および14の3つのアンプ配置に対して3つのトランスが配置されておらず、2つのトランス26および27と1つの1/4波長伝送線路24とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路1Aを実現できる。

[0106] 図7Bは、実施の形態の変形例2に係る電力増幅回路1Bの回路ブロック図である。同図に示すように、変形例2に係る電力増幅回路1Bは、入力端子120および出力端子110と、キャリアアンプ11と、ピークアンプ12および13と、プリアンプ15と、移相回路70と、1/4波長伝送線路22と、トランス26および27と、を備える。本変形例に係る電力増幅回路1Bは、実施の形態に係る電力増幅回路1と比較して、ピークアンプ14および1/4波長伝送線路24を備えていない点が異なる。以下、本変形例

に係る電力増幅回路 1 B について、実施の形態に係る電力増幅回路 1 と同じ構成については説明を省略し、異なる構成を中心に説明する。

- [0107] キャリアアンプ 1 1 は、第 1 増幅素子の一例であり A 級（または A B 級）増幅回路であり、特に、低出力領域および中出力領域において高効率な増幅動作が可能である。
- [0108] ピークアンプ 1 2 および 1 3 は、それぞれ、第 2 増幅素子および第 3 増幅素子の一例であり、例えば、高出力領域で増幅動作可能な C 級増幅回路である。ピークアンプ 1 2 および 1 3 は、高出力領域において低歪の増幅動作が可能である。
- [0109] 1 / 4 波長伝送線路 2 2 は、移相回路の一例であり、1 / 4 波長伝送線路 2 2 の一端から入力された高周波信号の位相を 1 / 4 波長遅らせて 1 / 4 波長伝送線路 2 2 の他端から出力する。
- [0110] 出力側コイル 2 6 2 の一端は出力端子 1 1 0 に接続されている。キャリアアンプ 1 1 の出力端子は、入力側コイル 2 6 1 の一端に接続されている。ピークアンプ 1 2 の出力端子は 1 / 4 波長伝送線路 2 2 の一端に接続されている。ピークアンプ 1 3 の出力端子は入力側コイル 2 7 1 の一端に接続されている。1 / 4 波長伝送線路 2 2 の他端は入力側コイル 2 6 1 の他端に接続されている。入力側コイル 2 7 1 の他端はグラウンドに接続されている。出力側コイル 2 7 2 の一端は出力側コイル 2 6 2 の他端に接続されており、出力側コイル 2 7 2 の他端はグラウンドに接続されている。
- [0111] 上記構成により、電力増幅回路 1 B は、いわゆるドハティ型の増幅回路として動作し、1 つのキャリアアンプ 1 1 に対して 2 つのピークアンプ 1 2 および 1 3 が配置されていることにより、大きなバックオフ量を確保できる。また、キャリアアンプ 1 1、ピークアンプ 1 2 および 1 3 の 3 つのアンプ配置に対して 3 つのトランスが配置されておらず、2 つのトランス 2 6 および 2 7 と 1 つの 1 / 4 波長伝送線路 2 2 とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路 1 B を実現できる。
- [0112] [2 高周波モジュール 6 の実装構成]

本実施の形態に係る高周波モジュール6の実装構成について、図8を参照しながら説明する。

[0113] 図8は、実施例に係る高周波モジュール6の平面図および断面図である。図8の(a)は、実施例に係る高周波モジュール6の平面図であり、z軸正側から基板90の主面を透視した図であり、図8の(b)は、実施例に係る高周波モジュール6の断面図である。図8の(b)における高周波モジュール6の断面は、図8の(a)のV| | | - V| | |線における断面である。また、図8の(a)では、キャリアアンプ11およびピークアンプ12~14の配置関係が容易に理解されるよう、その機能を表すマークが付されているが、実際の各アンプには、当該マークは付されていない。また、図8において、基板90および各回路部品を接続する配線の図示が省略されている。

[0114] なお、高周波モジュール6は、さらに、基板90の表面および回路部品の一部を覆う樹脂部材、ならびに、樹脂部材の表面を覆うシールド電極層を備えてもよいが、図8では、樹脂部材およびシールド電極層の図示が省略されている。

[0115] 高周波モジュール6は、図1に示された回路構成に加えて、さらに、基板90を有している。また、高周波モジュール6に含まれるPA制御回路10、低雑音増幅器30、デュプレクサ61および62、ダイプレクサ60、整合回路41および42、ならびにスイッチ71~73は、図8には示されていないが、基板90に配置されていてもよい。また、基板90には、少なくとも電力増幅回路1を構成する回路部品が実装されていればよい。

[0116] 基板90は、高周波モジュール6を構成する回路部品を実装する基板である。基板90としては、例えば、複数の誘電体層の積層構造を有する低温同時焼成セラミックス(Low Temperature Co-fired Ceramics:LTCC)基板、高温同時焼成セラミックス(High Temperature Co-fired Ceramics:HTCC)基板、部品内蔵基板、再配線層(Redistribution Layer:RDL)を有する基板、または、プリント基板等が用いられる。

[0117] 基板90の表面上には、キャリアアンプ11およびピークアンプ12~1

4、および容量素子などが配置されている。

[0118] キャリアアンプ11およびピークアンプ12~14は、半導体IC80に含まれている。半導体IC80は、基板90上に配置されている。半導体IC80は、例えばCMOS (Complementary Metal Oxide Semiconductor) を用いて構成され、具体的にはSOI (Silicon on Insulator) プロセスにより製造されてもよい。また、半導体IC80は、GaAs、SiGe及びGaNのうちの少なくとも1つで構成されてもよい。なお、半導体IC80の半導体材料は、上述した材料に限定されない。なお、プリアンプ15、移相回路70、スイッチ71~73の少なくともいずれかは、半導体IC80に含まれていてもよい。

[0119] 基板90の表面または内部には、1/4波長伝送線路22および24、ならびにトランス26 (入力側コイル261および出力側コイル262) および27 (入力側コイル271および出力側コイル272) が形成されている。1/4波長伝送線路22および24、入力側コイル261および271、出力側コイル262および272は、基板90の表面または内部に形成された平面導体で構成されている。1/4波長伝送線路22と入力側コイル261と出力側コイル262とは、基板90の同層に形成されてもよいし、また、別層に形成されてもよい。また、1/4波長伝送線路24と入力側コイル271と出力側コイル272とは、基板90の同層に形成されてもよいし、また、別層に形成されてもよい。また、1/4波長伝送線路22および24、入力側コイル261および271、出力側コイル262および272のそれぞれは、複数層にわたって形成されていてもよい。

[0120] ここで、基板90を平面視した場合、キャリアアンプ11およびピークアンプ12と、ピークアンプ13~14とは、第1方向(x軸方向)に並んでいる。トランス26 (入力側コイル261および出力側コイル262) および1/4波長伝送線路22は、基板90の表面または内部であって、キャリアアンプ11およびピークアンプ12の第1方向と直交する第2方向(y軸方向)に配置されている。また、トランス27 (入力側コイル271および

出力側コイル 272) および 1/4 波長伝送線路 24 は、基板 90 の表面または内部であって、ピークアンプ 13 および 14 の第 2 方向 (y 軸方向) に配置されている。

[0121] これによれば、キャリアアンプ 11 およびピークアンプ 12 と、トランス 26 および 1/4 波長伝送線路 22 との距離を小さくでき、また、ピークアンプ 13 および 14 と、トランス 27 および 1/4 波長伝送線路 24 との距離を小さくできる。よって、高周波モジュール 6 の伝送損失を低減しつつ高周波モジュール 6 を小型化できる。

[0122] [3 効果など]

以上のように、本実施の形態に係る電力増幅回路 1 は、第 1 増幅素子、第 2 増幅素子、第 3 増幅素子および第 4 増幅素子と、入力側コイル 261 および出力側コイル 262 を有するトランス 26 と、入力側コイル 271 および出力側コイル 272 を有するトランス 27 と、出力側コイル 262 の一端が接続された出力端子 110 と、1/4 波長伝送線路 22 および 24 と、を備え、第 1 増幅素子の出力端子は入力側コイル 261 の一端に接続され、第 2 増幅素子の出力端子は 1/4 波長伝送線路 22 の一端に接続され、第 3 増幅素子の出力端子は入力側コイル 271 の一端に接続され、第 4 増幅素子の出力端子は 1/4 波長伝送線路 24 の一端に接続され、1/4 波長伝送線路 22 の他端は入力側コイル 261 の他端に接続され、1/4 波長伝送線路 24 の他端は入力側コイル 271 の他端に接続され、出力側コイル 272 の一端は出力側コイル 262 の他端に接続されており、出力側コイル 272 の他端はグラウンドに接続されている。

[0123] 上記構成によれば、電力増幅回路 1 は、4 つの増幅素子が配置されていることにより大きなバックオフ量を確保できる。また、4 つの増幅素子の配置に対して 4 つのトランスが配置されておらず、2 つのトランス 26 および 27 と 2 つの 1/4 波長伝送線路 22 および 24 とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路 1 を実現できる。

[0124] また例えば、電力増幅回路 1 において、第 1 増幅素子はキャリアアンプで

あり、第2増幅素子はピークアンプ12であり、第3増幅素子はピークアンプ13であり、第4増幅素子はピークアンプ14であってもよい。

[0125] これによれば、電力増幅回路1は、いわゆるドハティ型の増幅回路として動作し、1つのキャリアアンプ11に対して3つのピークアンプ12～14が配置されていることにより、大きなバックオフ量を確保できる。また、キャリアアンプ11およびピークアンプ12～14の4つのアンプ配置に対して4つのトランスが配置されておらず、2つのトランス26および27と2つの1/4波長伝送線路22および24とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路1を実現できる。

[0126] また、電力増幅回路1は高効率が維持された大きなバックオフ量を有しているため、PAPRが大きいデジタル変調方式による高周波信号が入力されても、効率の落ち込みを抑制できる。

[0127] また例えば、電力増幅回路1において、電力増幅回路1に入力される高周波信号の電力レベルが第1電力値である場合には、キャリアアンプ11およびピークアンプ12～14がオン状態となり、上記高周波信号の電力レベルが第1電力値よりも小さい第2電力値である場合には、キャリアアンプ11およびピークアンプ12～13がオン状態となり、ピークアンプ14がオフ状態となり、上記高周波信号の電力レベルが第2電力値よりも小さい第3電力値である場合には、キャリアアンプ11およびピークアンプ12がオン状態となり、ピークアンプ13～14がオフ状態となり、上記高周波信号の電力レベルが第3電力値よりも小さい第4電力値である場合には、キャリアアンプ11がオン状態となり、ピークアンプ12～14がオフ状態となってもよい。

[0128] これによれば、大信号入力から小信号入力へと変遷する場合には、ピークアンプ14、ピークアンプ13、およびピークアンプ12の順でオフ状態となり、オン状態となっているキャリアアンプ11およびピークアンプのインピーダンスが高くなることで、低出力領域において電力増幅回路1は高効率動作させることが可能となる。また、ピークアンプ12～14が段階的にオ

フ状態へと変化していくので、ピークアンプ12～14がオン状態（状態A）である出力電力から、ピークアンプ12～14がオフ状態（状態D）である出力電力までの電力差であるバックオフ量を大きく確保できる。

[0129] また例えば、電力増幅回路1において、ピークアンプ13に供給されるバイアス電流はピークアンプ14に供給されるバイアス電流よりも大きく、ピークアンプ12に供給されるバイアス電流はピークアンプ13に供給されるバイアス電流よりも大きいてもよい。

[0130] これによれば、小信号入力から大信号入力へと変遷するにつれて、ピークアンプ12、ピークアンプ13、およびピークアンプ14の順でオン状態へと変化させることが可能となる。

[0131] また例えば、電力増幅回路1において、ピークアンプ12～14のそれぞれのサイズは、キャリアアンプ11のサイズよりも大きいてもよい。

[0132] これによれば、ピークアンプ12～14の飽和電力を大きくできるので、電力増幅回路1のバックオフ量をより大きくできる。

[0133] また例えば、電力増幅回路1において、ピークアンプ14のサイズは、ピークアンプ13のサイズよりも大きいてもよい。

[0134] これによれば、ピークアンプ14の飽和電力をピークアンプ13の飽和電力よりも大きくできる。よって、状態Aから状態Dまでの出力領域の中でも、特により高出力領域（状態Aから状態Bまでの出力領域）での効率を改善できる。

[0135] また例えば、電力増幅回路1は、さらに、基板90を備え、キャリアアンプ11およびピークアンプ12～14は、基板90上または内部に配置され、基板90を平面視した場合、キャリアアンプ11およびピークアンプ12と、ピークアンプ13および14とは、第1方向に並んでおり、トランス26および1/4波長伝送線路22は、基板90の表面または内部であってキャリアアンプ11およびピークアンプ12の第1方向と直交する第2方向に配置されており、トランス27および1/4波長伝送線路24は、基板90の表面または内部であってピークアンプ13および14の第2方向に配置さ

れていてもよい。

[0136] これによれば、キャリアアンプ11およびピークアンプ12とトランス26および1/4波長伝送線路22との距離を小さくでき、また、ピークアンプ13および14とトランス27および1/4波長伝送線路24との距離を小さくできる。よって、電力増幅回路1（および高周波モジュール6）の伝送損失を低減しつつ電力増幅回路1（および高周波モジュール6）を小型化できる。

[0137] また、本実施の形態の変形例1に係る電力増幅回路1Aは、キャリアアンプ11、ピークアンプ13および14と、入力側コイル261および出力側コイル262を有するトランス26と、入力側コイル271および出力側コイル272を有するトランス27と、出力側コイル262の一端が接続された出力端子110と、1/4波長伝送線路24と、を備え、キャリアアンプ11の出力端子は入力側コイル261の一端に接続され、ピークアンプ13の出力端子は入力側コイル271の一端に接続され、ピークアンプ14の出力端子は1/4波長伝送線路24の一端に接続され、1/4波長伝送線路24の他端は入力側コイル271の他端に接続され、入力側コイル261の他端はグラウンドに接続され、出力側コイル272の一端は出力側コイル262の他端に接続されており、出力側コイル272の他端はグラウンドに接続されている。

[0138] これによれば、電力増幅回路1Aは、いわゆるドハティ型の増幅回路として動作し、1つのキャリアアンプ11に対して2つのピークアンプ13および14が配置されていることにより、大きなバックオフ量を確保できる。また、キャリアアンプ11、ピークアンプ13および14の3つのアンプ配置に対して3つのトランスが配置されておらず、2つのトランス26および27と1つの1/4波長伝送線路24とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路1Aを実現できる。

[0139] また、本実施の形態の変形例2に係る電力増幅回路1Bは、キャリアアンプ11、ピークアンプ12および13と、入力側コイル261および出力側

コイル262を有するトランス26と、入力側コイル271および出力側コイル272を有するトランス27と、出力側コイル262の一端が接続された出力端子110と、1/4波長伝送線路22と、を備え、キャリアアンプ11の出力端子は入力側コイル261の一端に接続され、ピークアンプ12の出力端子は1/4波長伝送線路22の一端に接続され、ピークアンプ13の出力端子は入力側コイル271の一端に接続され、1/4波長伝送線路22の他端は入力側コイル261の他端に接続され、入力側コイル271の他端はグラウンドに接続され、出力側コイル272の一端は出力側コイル262の他端に接続されており、出力側コイル272の他端はグラウンドに接続されている。

[0140] これによれば、電力増幅回路1Bは、いわゆるドハティ型の増幅回路として動作し、1つのキャリアアンプ11に対して2つのピークアンプ12および13が配置されていることにより、大きなバックオフ量を確保できる。また、キャリアアンプ11、ピークアンプ12および13の3つのアンプ配置に対して3つのトランスが配置されておらず、2つのトランス26および27と1つの1/4波長伝送線路22とが配置されている。これにより、大きなバックオフ量を有する小型の電力増幅回路1Bを実現できる。

[0141] また、本実施の形態に係る通信装置7は、高周波信号を処理するRFIC3と、RFIC3とアンテナ2との間で高周波信号を伝送する電力増幅回路1と、を備える。

[0142] これによれば、電力増幅回路1の効果を通信装置7で実現することができる。

[0143] また例えば、通信装置7は、さらに、電力増幅回路1に電源電圧 V_{ET} を供給する電源回路5を備え、電源回路5は、電源電圧 V_{ET} が高周波信号の包絡線に応じて複数の離散的な電圧レベルに変化するよう制御する電源制御回路50を有してもよい。

[0144] これによれば、電力増幅回路1に対してデジタルETによる電源電圧 V_{ET} を供給することが可能となる。

[0145] (その他の実施の形態)

以上、本発明に係る電力増幅回路および通信装置について、実施の形態に基づいて説明したが、本発明に係る電力増幅回路および通信装置は、上記実施の形態に限定されるものではない。上記実施の形態における任意の構成要素を組み合わせて実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、上記電力増幅回路および通信装置を内蔵した各種機器も本発明に含まれる。

[0146] 例えば、上記実施の形態に係る電力増幅回路および通信装置の回路構成において、図面に開示された各回路素子および信号経路を接続する経路の間に、別の回路素子および配線などが挿入されてもよい。

産業上の利用可能性

[0147] 本発明は、マルチバンド対応のフロントエンド部に配置される電力増幅回路または通信装置として、携帯電話などの通信機器に広く利用できる。

符号の説明

- [0148] 1、1 A、1 B 電力増幅回路
2 アンテナ
3 R F I C
4 B B I C
5 電源回路
6 高周波モジュール
7 通信装置
10 PA制御回路
11 キャリアアンプ
12、13、14 ピークアンプ
15 プリアンプ
22、24 1/4波長伝送線路
26、27 トランス

- 3 0 低雑音増幅器
- 4 1、4 2 整合回路
- 5 0 電源制御回路
- 5 1 アナログE Tトラッカ
- 5 2 デジタルE Tトラッカ
- 5 3、7 1、7 2、7 3 スイッチ
- 5 4 電源
- 6 0 ダイプレクサ
- 6 0 H ハイパスフィルタ
- 6 0 L ローパスフィルタ
- 6 1、6 2 デュプレクサ
- 6 1 R、6 2 R 受信フィルタ
- 6 1 T、6 2 T 送信フィルタ
- 7 0 移相回路
- 7 1 a、7 1 b、7 1 c、7 2 a、7 2 b、7 2 c、7 3 a、7 3 b、7 3 c 端子
- 8 0 半導体 I C
- 9 0 基板
- 1 0 0 アンテナ接続端子
- 1 1 0 出力端子
- 1 2 0 入力端子
- 1 3 0 制御端子
- 2 6 1、2 7 1 入力側コイル
- 2 6 2、2 7 2 出力側コイル

請求の範囲

- [請求項1] 第1増幅素子、第2増幅素子、第3増幅素子および第4増幅素子と、
、
第1入力側コイルおよび第1出力側コイルを有する第1トランスと、
、
第2入力側コイルおよび第2出力側コイルを有する第2トランスと、
、
前記第1出力側コイルの一端が接続された信号出力端子と、
第1移相回路および第2移相回路と、を備え、
前記第1増幅素子の出力端子は、前記第1入力側コイルの一端に接続され、
前記第2増幅素子の出力端子は、前記第1移相回路の一端に接続され、
前記第3増幅素子の出力端子は、前記第2入力側コイルの一端に接続され、
前記第4増幅素子の出力端子は、前記第2移相回路の一端に接続され、
前記第1移相回路の他端は、前記第1入力側コイルの他端に接続され、
前記第2移相回路の他端は、前記第2入力側コイルの他端に接続され、
前記第2出力側コイルの一端は前記第1出力側コイルの他端に接続されており、前記第2出力側コイルの他端はグラウンドに接続されている、
電力増幅回路。
- [請求項2] 前記第1増幅素子は、キャリアアンプであり、
前記第2増幅素子、前記第3増幅素子、前記第4増幅素子のそれぞれは、ピークアンプである、

請求項 1 に記載の電力増幅回路。

[請求項3]

前記電力増幅回路に入力される高周波信号の電力レベルが第 1 電力値である場合には、前記第 1 増幅素子、前記第 2 増幅素子、前記第 3 増幅素子および前記第 4 増幅素子がオン状態となり、

前記電力増幅回路に入力される高周波信号の電力レベルが前記第 1 電力値よりも小さい第 2 電力値である場合には、前記第 1 増幅素子、前記第 2 増幅素子および前記第 3 増幅素子がオン状態となり、前記第 4 増幅素子がオフ状態となり、

前記電力増幅回路に入力される高周波信号の電力レベルが前記第 2 電力値よりも小さい第 3 電力値である場合には、前記第 1 増幅素子および前記第 2 増幅素子がオン状態となり、前記第 3 増幅素子および前記第 4 増幅素子がオフ状態となり、

前記電力増幅回路に入力される高周波信号の電力レベルが前記第 3 電力値よりも小さい第 4 電力値である場合には、前記第 1 増幅素子がオン状態となり、前記第 2 増幅素子、前記第 3 増幅素子および前記第 4 増幅素子がオフ状態となる、

請求項 1 または 2 に記載の電力増幅回路。

[請求項4]

前記第 3 増幅素子に供給されるバイアス電流は前記第 4 増幅素子に供給されるバイアス電流よりも大きく、

前記第 2 増幅素子に供給されるバイアス電流は前記第 3 増幅素子に供給されるバイアス電流よりも大きい、

請求項 3 に記載の電力増幅回路。

[請求項5]

前記第 2 増幅素子のサイズ、前記第 3 増幅素子のサイズ、および前記第 4 増幅素子のサイズは、それぞれ、前記第 1 増幅素子のサイズよりも大きい、

請求項 1 ～ 4 のいずれか 1 項に記載の電力増幅回路。

[請求項6]

前記第 4 増幅素子のサイズは、前記第 3 増幅素子のサイズよりも大きい、

請求項5に記載の電力増幅回路。

[請求項7]

さらに、基板を備え、

前記第1増幅素子、前記第2増幅素子、前記第3増幅素子および前記第4増幅素子は、前記基板上または内部に配置され、

前記基板を平面視した場合、

前記第1増幅素子および前記第2増幅素子と、前記第3増幅素子および前記第4増幅素子とは、第1方向に並んでおり、

前記第1トランスおよび前記第1移相回路は、前記基板の表面または内部であって前記第1増幅素子および前記第2増幅素子の前記第1方向と直交する第2方向に配置されており、

前記第2トランスおよび前記第2移相回路は、前記基板の表面または内部であって前記第3増幅素子および前記第4増幅素子の前記第2方向に配置されている、

請求項1～6のいずれか1項に記載の電力増幅回路。

[請求項8]

第1増幅素子、第2増幅素子および第3増幅素子と、

第1入力側コイルおよび第1出力側コイルを有する第1トランスと

、

第2入力側コイルおよび第2出力側コイルを有する第2トランスと

、

前記第1出力側コイルの一端が接続された信号出力端子と、

移相回路と、を備え、

前記第1増幅素子の出力端子は、前記第1入力側コイルの一端に接続され、

前記第2増幅素子の出力端子は、前記第2入力側コイルの一端に接続され、

前記第3増幅素子の出力端子は、前記移相回路の一端に接続され、

前記移相回路の他端は、前記第2入力側コイルの他端に接続され、

前記第1入力側コイルの他端はグラウンドに接続され、

前記第2出力側コイルの一端は前記第1出力側コイルの他端に接続されており、前記第2出力側コイルの他端はグラウンドに接続されている、

電力増幅回路。

[請求項9]

第1増幅素子、第2増幅素子および第3増幅素子と、

第1入力側コイルおよび第1出力側コイルを有する第1トランスと

、

第2入力側コイルおよび第2出力側コイルを有する第2トランスと

、

前記第1出力側コイルの一端が接続された信号出力端子と、

移相回路と、を備え、

前記第1増幅素子の出力端子は、前記第1入力側コイルの一端に接続され、

前記第2増幅素子の出力端子は、前記移相回路の一端に接続され、

前記第3増幅素子の出力端子は、前記第2入力側コイルの一端に接続され、

前記移相回路の他端は、前記第1入力側コイルの他端に接続され、

前記第2入力側コイルの他端はグラウンドに接続され、

前記第2出力側コイルの一端は前記第1出力側コイルの他端に接続されており、前記第2出力側コイルの他端はグラウンドに接続されている、

電力増幅回路。

[請求項10]

前記第1増幅素子は、キャリアアンプであり、

前記第2増幅素子および前記第3増幅素子のそれぞれは、ピークアンプである、

請求項8または9に記載の電力増幅回路。

[請求項11]

高周波信号を処理する信号処理回路と、

前記信号処理回路とアンテナとの間で前記高周波信号を伝送する請

求項 1 ～ 1 0 のいずれか 1 項に記載の電力増幅回路と、備える、
通信装置。

[請求項12]

さらに、

前記電力増幅回路に電源電圧を供給する電源回路を備え、

前記電源回路は、前記電源電圧が前記高周波信号の包絡線に応じて
複数の離散的な電圧レベルに変化するように制御する電源制御回路を有
する、

請求項 1 1 に記載の通信装置。

[図1]

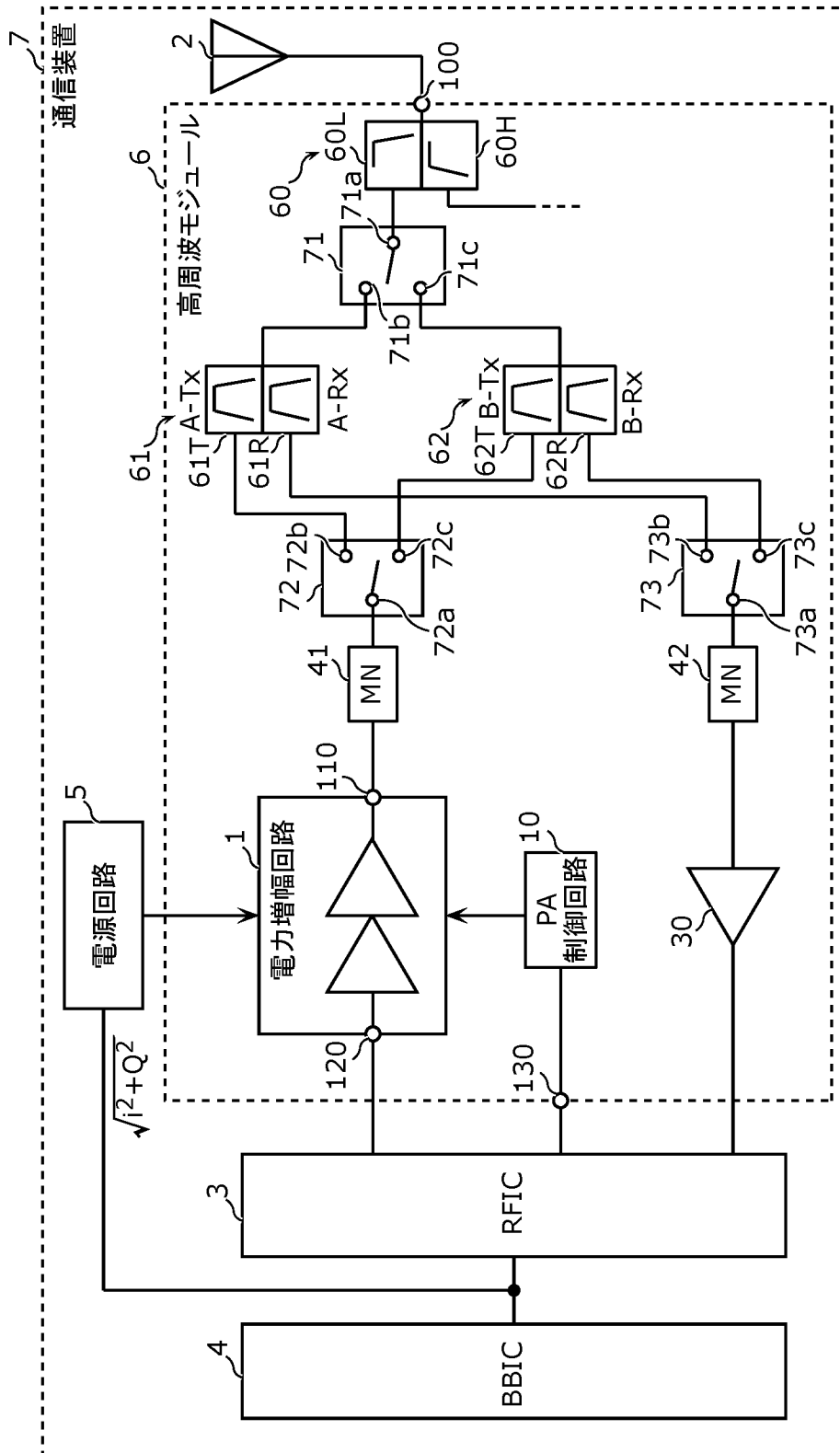
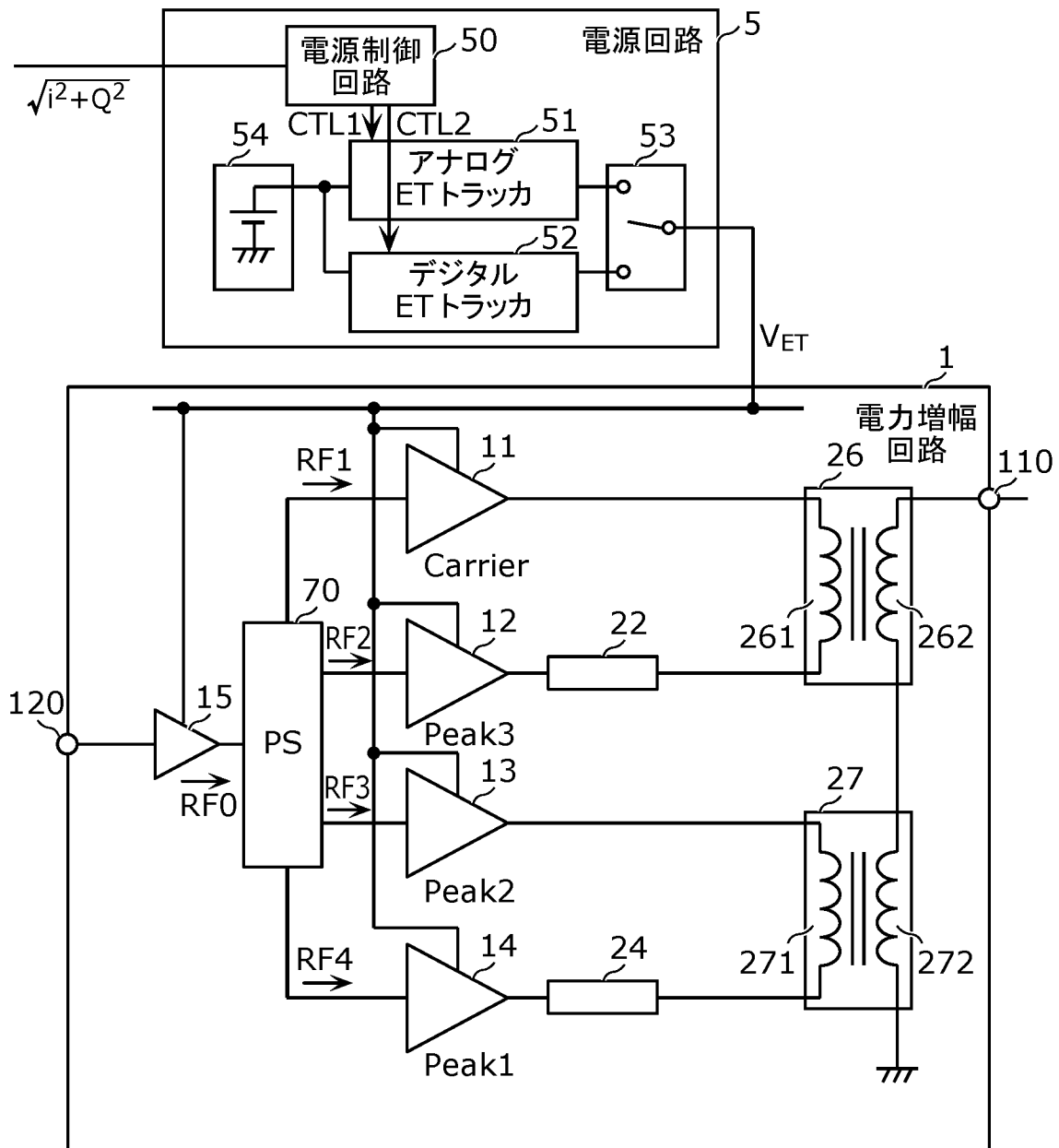


図1

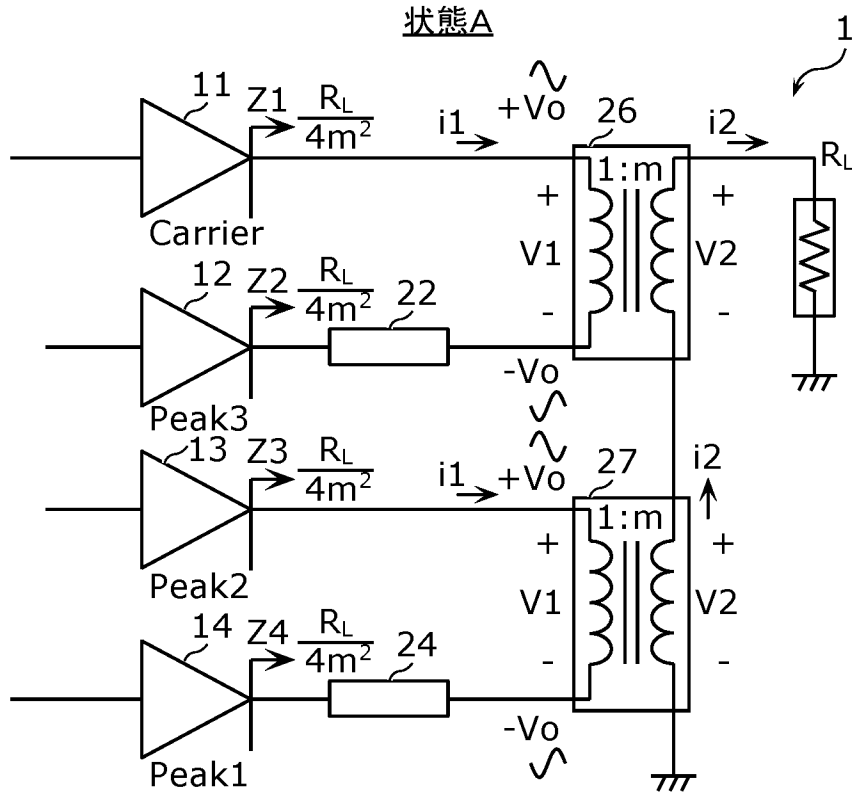
[図2]

図2



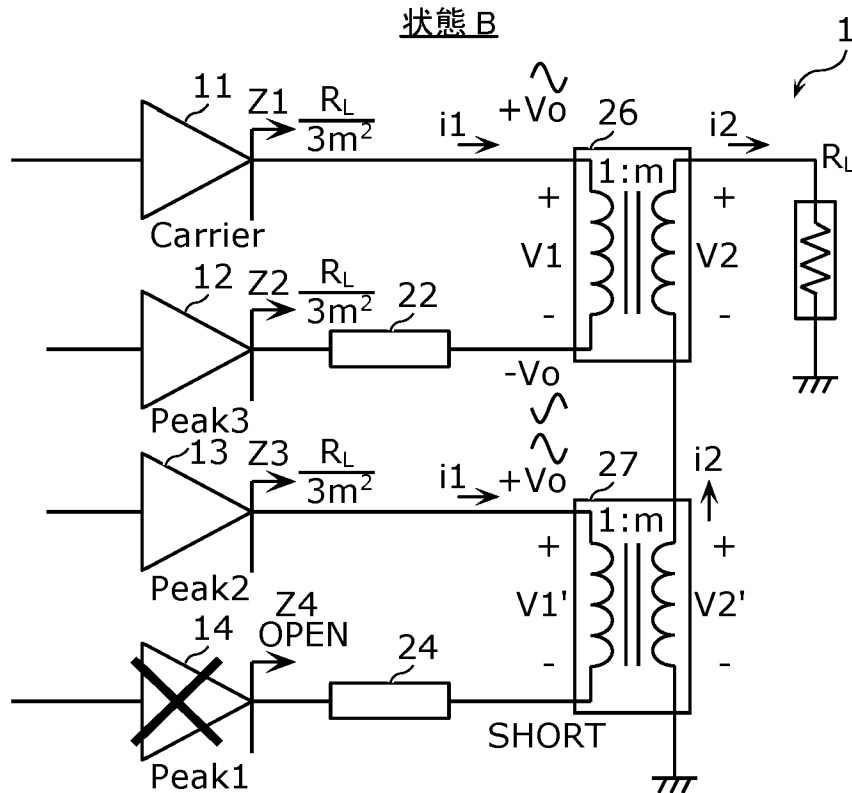
[図3A]

図3A



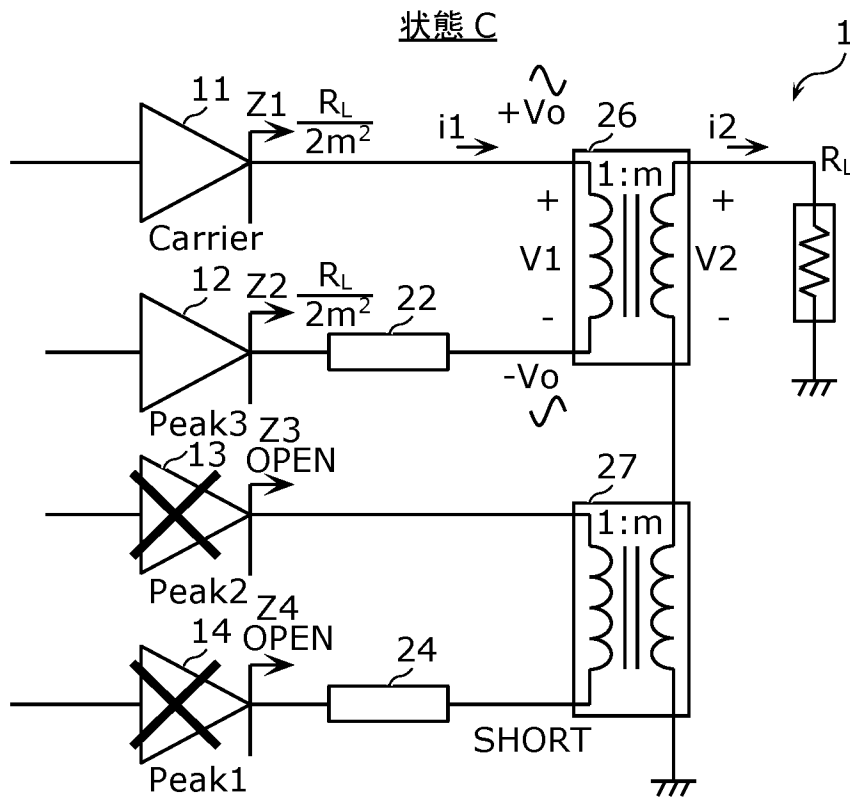
[図3B]

図3B



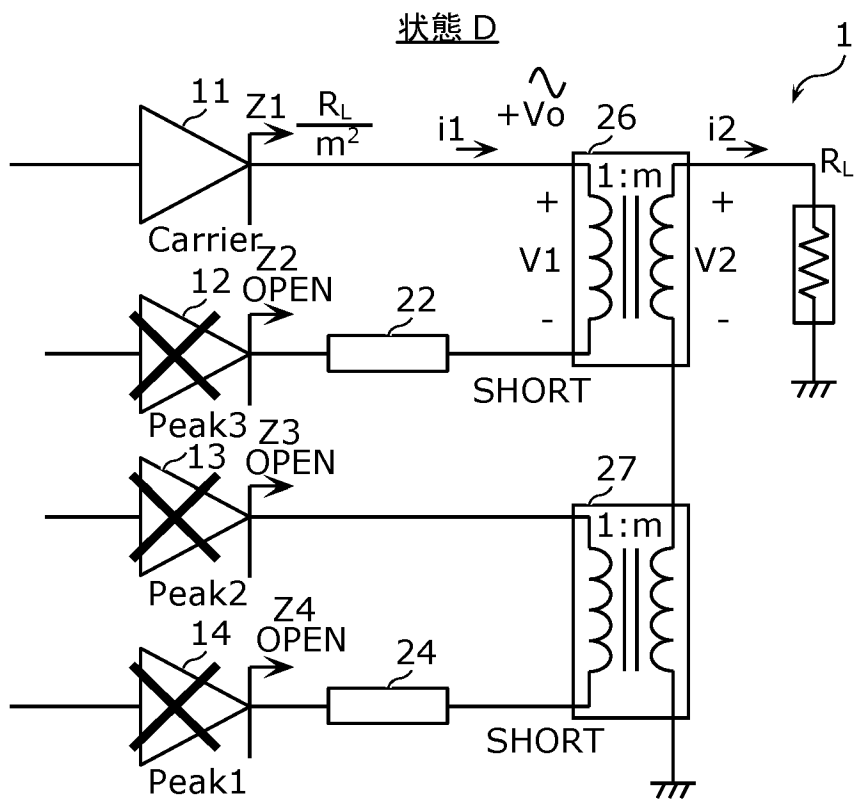
[図3C]

図3C



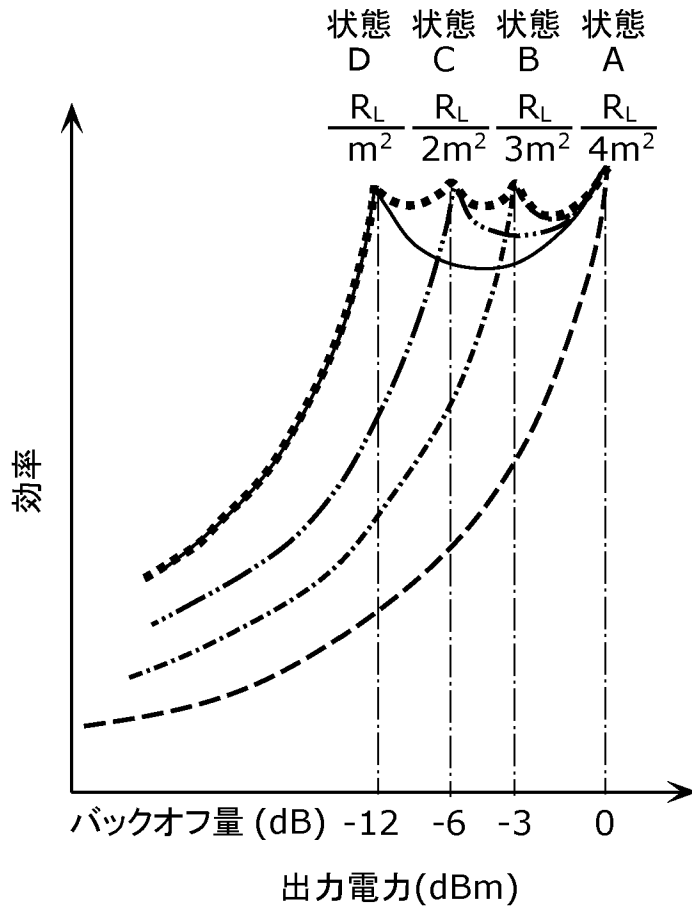
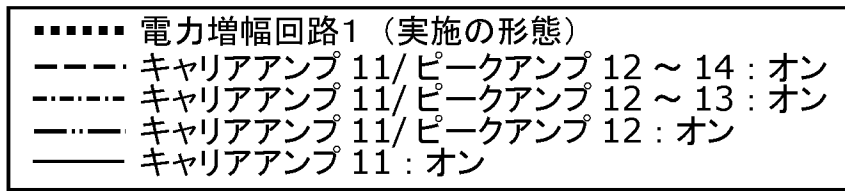
[図3D]

図3D



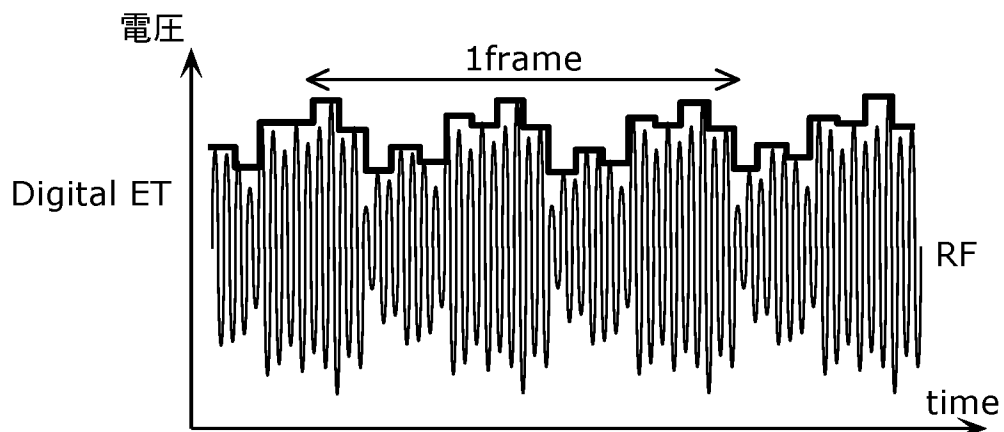
[図4]

図4



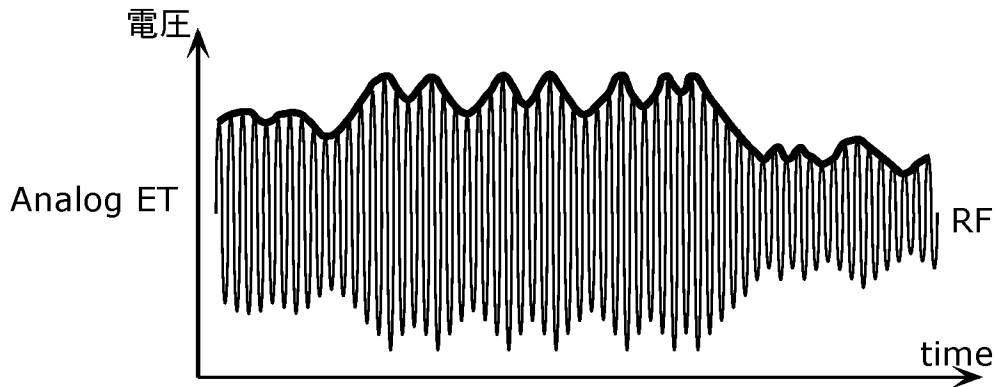
[図5A]

図5A



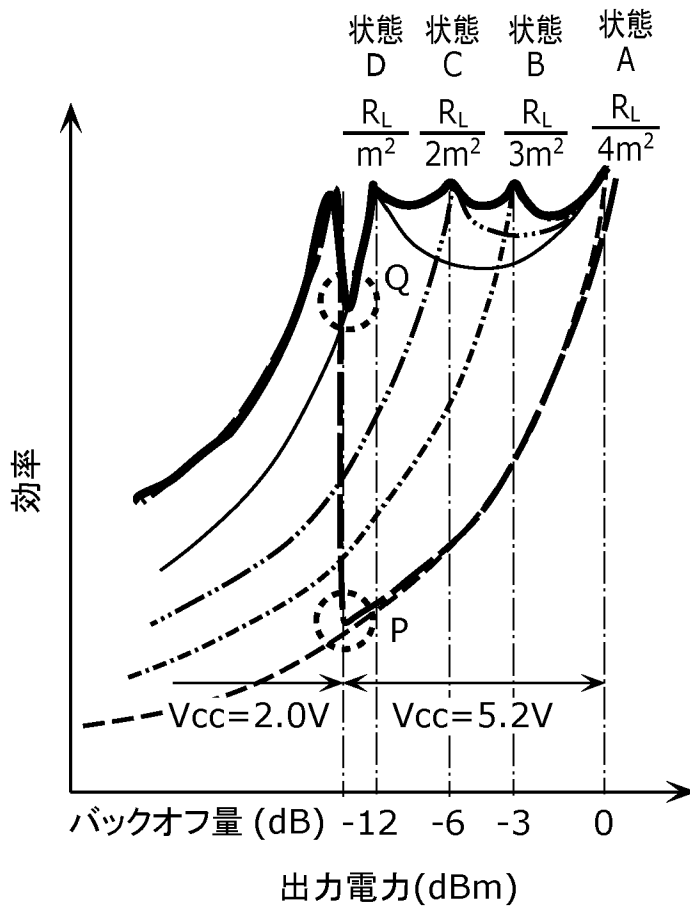
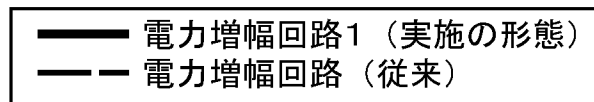
[図5B]

図5B



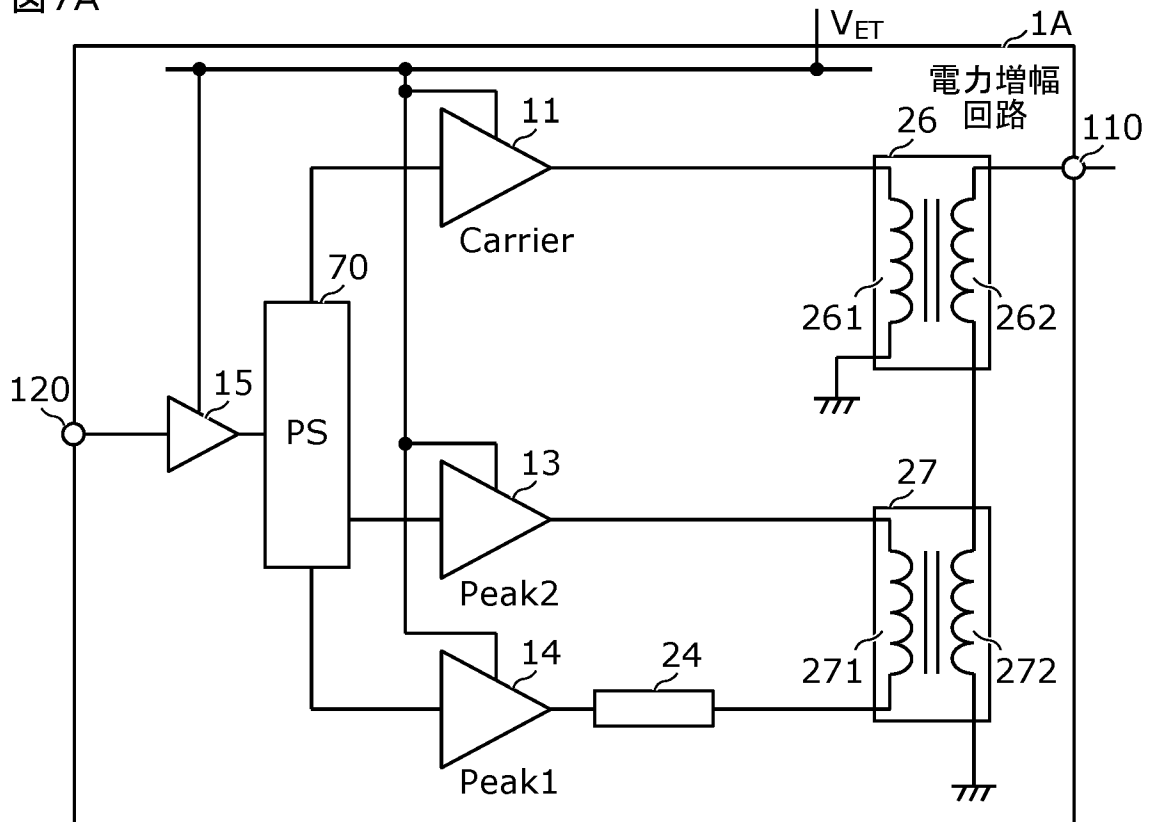
[図6]

図6



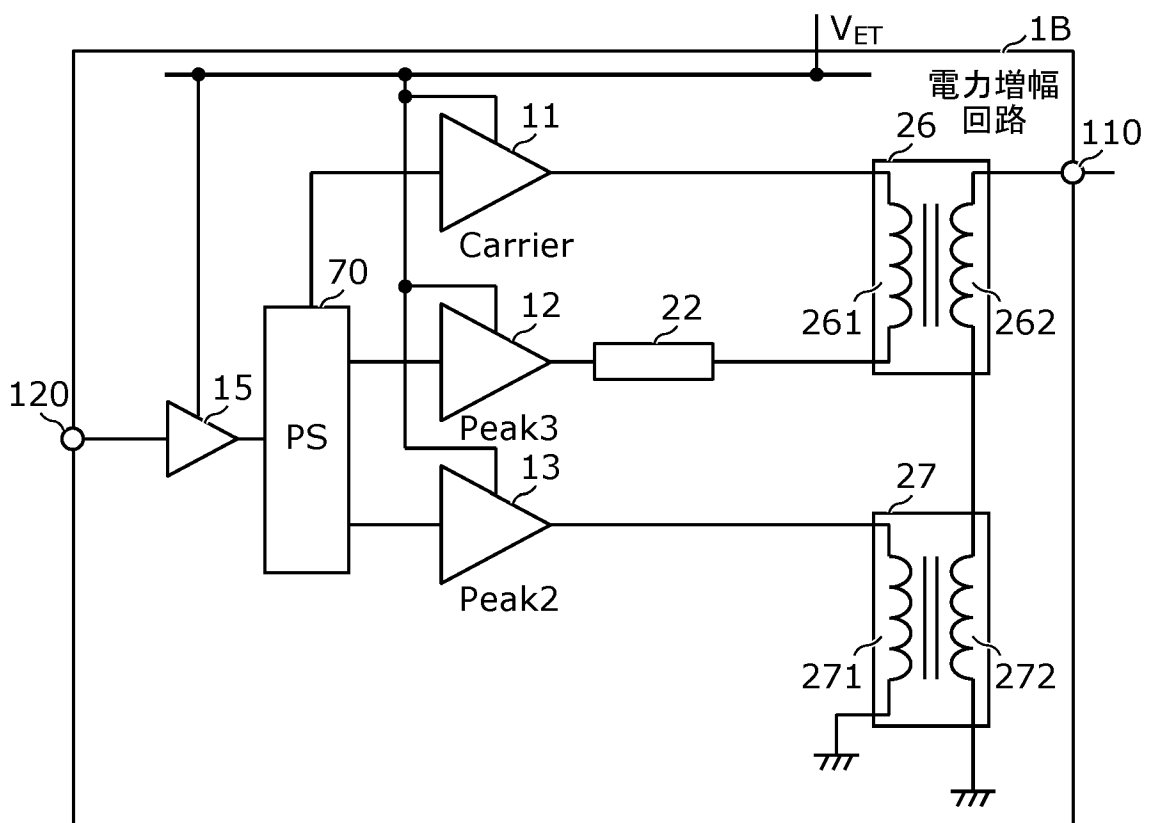
[図7A]

図7A



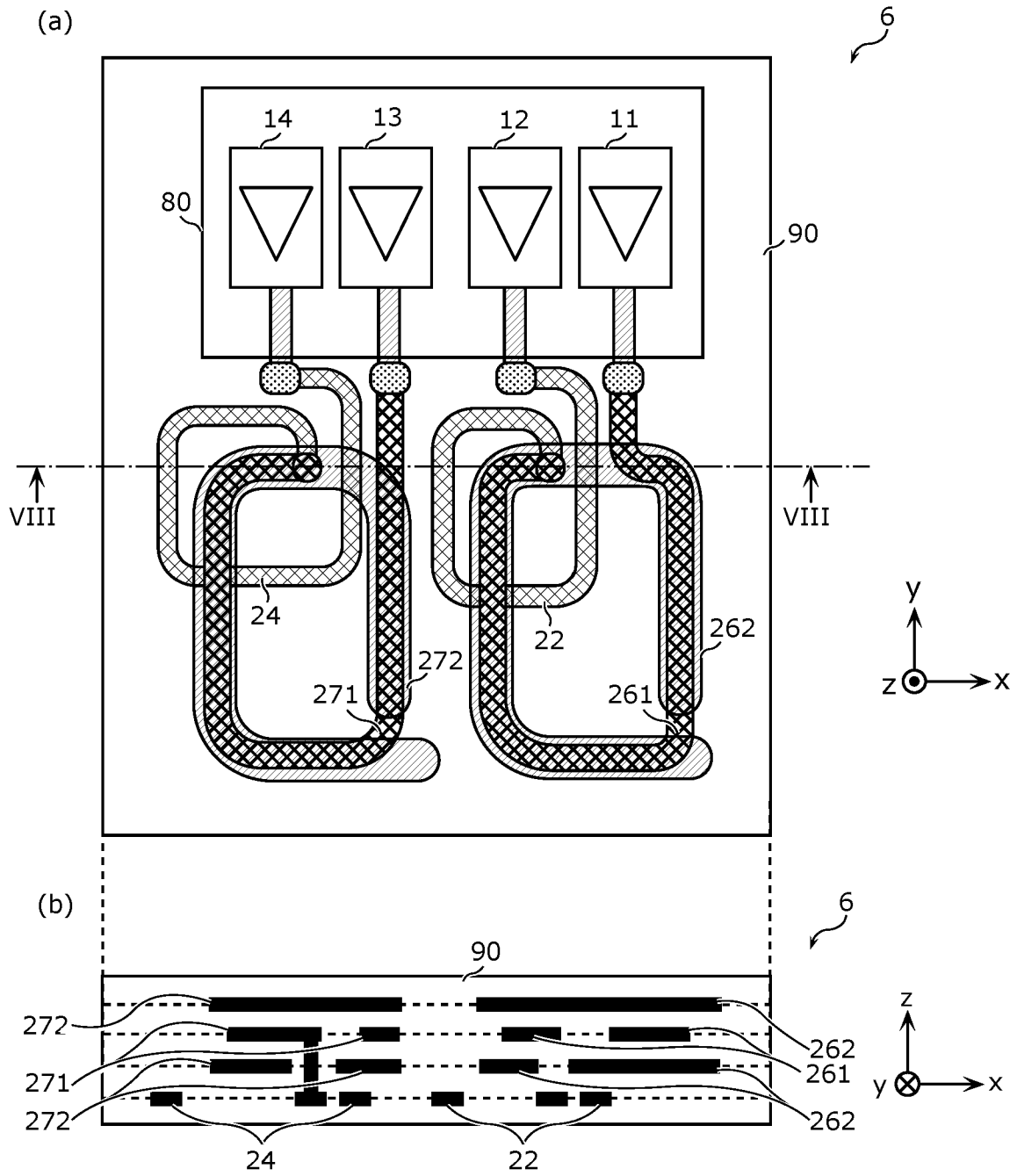
[図7B]

図7B



[図8]

図8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/024895

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03F 1/02</i> (2006.01)i; <i>H03F 3/24</i> (2006.01)i; <i>H03F 3/26</i> (2006.01)i FI: H03F1/02 161; H03F1/02 188; H03F3/24; H03F3/26		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F1/02; H03F3/24; H03F3/26		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-118824 A (HITACHI KOKUSAI ELECTRIC INC.) 27 May 2010 (2010-05-27) entire text, all drawings	1-12
A	JP 2018-137566 A (MURATA MFG. CO., LTD.) 30 August 2018 (2018-08-30) entire text, all drawings	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 September 2022		Date of mailing of the international search report 27 September 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/024895

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2010-118824	A	27 May 2010	US	2010/0117726	A1	
entire text, all drawings							
JP	2018-137566	A	30 August 2018	US	2018/0241362	A1	
entire text, all drawings							
				CN	108462477	A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H03F 1/02(2006.01)i; H03F 3/24(2006.01)i; H03F 3/26(2006.01)i FI: H03F1/02 161; H03F1/02 188; H03F3/24; H03F3/26</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H03F1/02; H03F3/24; H03F3/26</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年	
日本国実用新案公報	1922 - 1996年										
日本国公開実用新案公報	1971 - 2022年										
日本国実用新案登録公報	1996 - 2022年										
日本国登録実用新案公報	1994 - 2022年										
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2010-118824 A（株式会社日立国際電気）27.05.2010（2010 - 05 - 27） 全文全図</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2018-137566 A（株式会社村田製作所）30.08.2018（2018 - 08 - 30） 全文全図</td> <td>1-12</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2010-118824 A（株式会社日立国際電気）27.05.2010（2010 - 05 - 27） 全文全図	1-12	A	JP 2018-137566 A（株式会社村田製作所）30.08.2018（2018 - 08 - 30） 全文全図	1-12
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2010-118824 A（株式会社日立国際電気）27.05.2010（2010 - 05 - 27） 全文全図	1-12									
A	JP 2018-137566 A（株式会社村田製作所）30.08.2018（2018 - 08 - 30） 全文全図	1-12									
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>											
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>											
<p>国際調査を完了した日</p> <p>14.09.2022</p>	<p>国際調査報告の発送日</p> <p>27.09.2022</p>										
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>工藤 一光 5W 9274</p> <p>電話番号 03-3581-1101 内線 3576</p>										

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/024895

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-118824 A	27.05.2010	US 2010/0117726 A1 全文全図	
JP 2018-137566 A	30.08.2018	US 2018/0241362 A1 全文全図	
		CN 108462477 A	