



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0161471  
(43) 공개일자 2024년11월12일

(51) 국제특허분류(Int. Cl.)  
H01L 29/66 (2006.01) H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 29/66969 (2013.01)  
H01L 29/7869 (2013.01)  
(21) 출원번호 10-2023-0058647  
(22) 출원일자 2023년05월04일  
심사청구일자 없음

(71) 출원인  
(주)에이스 알 에프 컴  
서울특별시 구로구 경인로53길 90, 614호(구로동,  
에스티엑스 더블유타워)  
(72) 발명자  
함건주  
서울특별시 구로구 신도림로 32 신도림5차e-편한  
세상 703-303호

전체 청구항 수 : 총 5 항

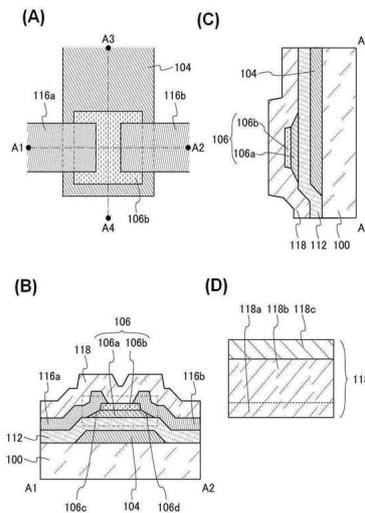
(54) 발명의 명칭 반도체 장치 및 그 제조방법

(57) 요약

본 발명은 산화물 반도체막을 이용한 트랜지스터에 안정된 전기 특성을 부여하는 것을 과제로 한다. 또한, 산화물 반도체막을 이용한 트랜지스터가 뛰어난 전기 특성을 부여한다. 또한, 이 트랜지스터를 가지는 신뢰성의 높은 반도체 장치를 제공한다.

산화물 반도체막 및 산화물막이 적층된 다층막과, 게이트 전극과 게이트 절연막을 가지는 트랜지스터에 대해, 다층막은 게이트 절연막을 사이에 끼우고 상기 게이트 전극과 중첩하여 형성되고, 다층막은 산화물 반도체막의 하면과 산화물 반도체막의 측면 사이의 제 1 각도, 및, 산화물막의 하면과 산화물막의 측면 사이의 제 2 각도를 가지는 형상이고, 제 1 각도는 제 2 각도보다 작고, 또한 예각으로 한다. 또한, 이 트랜지스터를 이용함으로써 반도체 장치를 제작한다.

대표도 - 도1



(52) CPC특허분류

*H01L 29/78696* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

게이트 전극;

상기 게이트 전극 위에 있는 절연 표면;

상기 절연 표면 위에 있고 상기 절연 표면과 접하며, 인듐을 포함하는 제 1 산화물막;

상기 제 1 산화물막 위에 있고 상기 제 1 산화물막과 접하며, 인듐을 포함하는 제 2 산화물막;

상기 제 2 산화물막의 상면 위에 있고 상기 제 2 산화물막의 상기 상면과 접하며, 상기 제 1 산화물막의 측면 및 상기 제 2 산화물막의 측면과 접하는 도전막;

상기 제 2 산화물막 및 상기 도전막 위에 있는 산화 실리콘막; 및

상기 산화 실리콘막 위에 있고 상기 산화 실리콘막과 접하는 질화 실리콘막을 포함하고,

단면도에서 볼 때 상기 제 1 산화물막의 상기 측면의 길이는 상기 제 2 산화물막의 상기 측면의 길이보다 크고,

상기 산화 실리콘막의 두께는 상기 질화 실리콘막의 두께보다 큰, 반도체 장치 및 그 제조방법.

#### 청구항 2

반도체 장치로서,

게이트 전극;

상기 게이트 전극 위에 있는 절연 표면;

상기 절연 표면 위에 있고 상기 절연 표면과 접하며, 인듐 및 갈륨을 포함하는 제 1 산화물막;

상기 제 1 산화물막 위에 있고 상기 제 1 산화물막과 접하며, 인듐 및 갈륨을 포함하는 제 2 산화물막;

상기 제 2 산화물막의 상면 위에 있고 상기 제 2 산화물막의 상기 상면과 접하며, 상기 제 1 산화물막의 측면 및 상기 제 2 산화물막의 측면과 접하는 도전막;

상기 제 2 산화물막 및 상기 도전막 위에 있는 산화 실리콘막; 및

상기 산화 실리콘막 위에 있고 상기 산화 실리콘막과 접하는 질화 실리콘막을 포함하고,

단면도에서 볼 때 상기 제 1 산화물막의 상기 측면의 길이는 상기 제 2 산화물막의 상기 측면의 길이보다 크고,

상기 산화 실리콘막의 두께는 상기 질화 실리콘막의 두께보다 큰, 반도체 장치 및 그 제조방법.

#### 청구항 3

반도체 장치로서,

게이트 전극;

상기 게이트 전극 위에 있는 절연 표면;

상기 절연 표면 위에 있고 상기 절연 표면과 접하며, 인듐, 갈륨 및 아연을 포함하는 제 1 산화물막;

상기 제 1 산화물막 위에 있고 상기 제 1 산화물막과 접하며, 인듐, 갈륨 및 아연을 포함하는 제 2 산화물막;

상기 제 2 산화물막의 상면 위에 있고 상기 제 2 산화물막의 상기 상면과 접하며, 상기 제 1 산화물막의 측면 및 상기 제 2 산화물막의 측면과 접하는 도전막;

상기 제 2 산화물막 및 상기 도전막 위에 있는 산화 실리콘막; 및  
 상기 산화 실리콘막 위에 있고 상기 산화 실리콘막과 접하는 질화 실리콘막을 포함하고,  
 단면도에서 볼 때 상기 제 1 산화물막의 상기 측면의 길이는 상기 제 2 산화물막의 상기 측면의 길이보다 크고,  
 상기 산화 실리콘막의 두께는 상기 질화 실리콘막의 두께보다 큰, 반도체 장치 및 그 제조방법.

**청구항 4**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,  
 상기 제 1 산화물막은 결정질인, 반도체 장치.

**청구항 5**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,  
 상기 제 2 산화물막의 테이퍼각은 상기 제 1 산화물막의 테이퍼각보다 큰, 반도체 장치 및 그 제조방법.

**발명의 설명**

**기술 분야**

- [0001] 본 발명은 반도체 장치 및 그 제작 방법에 관한 것이다.
- [0002] 또한 본 명세서 안에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말하고, 전기 광학 장치, 반도체 회로 및 전자 기기 등은 모두 반도체 장치이다.

**배경 기술**

- [0003] 절연 표면을 가지는 기판 위에 형성된 반도체막을 이용하여, 트랜지스터를 구성하는 기술이 주목받고 있다. 이 트랜지스터는 집적 회로나 표시 장치와 같은 반도체 장치에 넓게 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체막으로서 실리콘막이 알려져 있다.
- [0004] 트랜지스터의 반도체막에 이용되는 실리콘막은 용도에 따라 비정질 실리콘막과 다결정 실리콘막이 나누어 사용되고 있다. 예를 들면, 대형의 표시 장치를 구성하는 트랜지스터에 적용하는 경우, 대면적 기판으로의 성막 기술이 확립되어 있는 비정질 실리콘막을 이용하면 매우 적합하다. 한편, 구동 회로를 일체(一體) 형성한 고기능의 표시 장치를 구성하는 트랜지스터에 적용하는 경우, 높은 전계 효과 이동도를 가지는 트랜지스터를 제작할 수 있는 다결정 실리콘막을 이용하면 매우 적합하다. 다결정 실리콘막은 비정질 실리콘막에 대해 고온에서의 열처리, 또는 레이저 광처리를 행함으로써 형성하는 방법이 알려져 있다.
- [0005] 또한, 최근에는 산화물 반도체막이 주목받고 있다. 예를 들면, 캐리어 밀도가  $10^{18}/\text{cm}^3$  미만인 인듐, 갈륨 및 아연을 포함하는 산화물 반도체막을 이용한 트랜지스터가 개시되어 있다(특허문헌 1 참조).
- [0006] 산화물 반도체막은 스퍼터링법을 이용하여 성막할 수 있기 때문에, 대형의 표시 장치를 구성하는 트랜지스터에 적용할 수 있다. 또한, 산화물 반도체막을 이용한 트랜지스터는 높은 전계 효과 이동도를 가지기 때문에, 구동 회로를 일체 형성한 고기능의 표시 장치를 실현할 수 있다. 또한, 비정질 실리콘막을 이용한 트랜지스터의 생산 설비의 일부를 개량해 이용할 수 있기 때문에, 설비 투자를 줄일 수 있는 장점도 있다.
- [0007] 그런데, 산화물 반도체막을 이용한 트랜지스터는 오프 상태에서 리크 전류(오프 전류라고도 함.)가 매우 작다고 알려져 있다. 예를 들면, 산화물 반도체막을 이용한 트랜지스터의 낮은 리크 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다(특허문헌 2 참조).

**선행기술문헌**

**특허문헌**

- [0008] (특허문헌 0001) 일본국 특개 2006-165528호 공보

(특허문헌 0002) 미국 특허 출원 공개 제 2012/0032730호 명세서

**발명의 내용**

**해결하려는 과제**

- [0009] 산화물 반도체막을 이용한 트랜지스터는 산화물 반도체막 안에 생기는 결함, 및 산화물 반도체막에 접하는 절연막과의 계면에 생기는 결함에 의해, 트랜지스터의 전기 특성이 불량이 된다. 또한, 산화물 반도체막을 이용한 트랜지스터의 응용이 넓어짐에 따라, 신뢰성의 요구가 다양화되고 있다.
- [0010] 따라서, 본 발명의 일 형태는 산화물 반도체막을 이용한 트랜지스터에 안정된 전기 특성을 부여하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는 산화물 반도체막을 이용한 트랜지스터에 뛰어난 전기 특성을 부여하는 것을 과제의 하나로 한다. 또한, 이 트랜지스터를 가지는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

**과제의 해결 수단**

- [0011] 본 발명의 일 형태는 산화물 반도체막 및 산화물막이 적층된 다층막과 게이트 전극과 게이트 절연막을 가지고, 다층막은 게이트 절연막을 사이에 끼우고 상기 게이트 전극과 중첩하여 형성되어 있고, 다층막은 산화물 반도체막의 하면과 산화물 반도체막의 측면 사이의 제 1 각도, 및 산화물막의 하면과 산화물막의 측면 사이의 제 2 각도를 가지는 형상이며, 제 1 각도는 제 2 각도보다 작고, 또한 예각인 것을 특징으로 하는 반도체 장치이다.
- [0012] 상기 반도체 장치에서, 다층막은 산화물 반도체막의 상단과 상기 산화물막의 하단이 거의 일치하고 있다. 또한, 다층막은 산화물 반도체막의 위에 산화물막이 적층되어 있어도 좋고, 산화물 반도체막의 상하에 산화물막이 적층되어 있어도 좋다.
- [0013] 상기 반도체 장치에서, 제 1 각도 및 제 2 각도는 10° 이상 90° 미만이 바람직하다.
- [0014] 상기 반도체 장치에서, 산화물막은 산화물 반도체막과 공통의 원소를 포함하고, 또한 산화물 반도체막보다 전도대 하단의 에너지가 진공 준위에 가까운 것이 바람직하다. 예를 들면, 산화물 반도체막 및 산화물막은 In-M-Zn 산화물(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Nd)이고, 산화물막은 산화물 반도체막보다 M에 대한 In의 원자수비가 작은 것이 바람직하다.
- [0015] 상기 반도체 장치에서, 산화물막은 비정질이고, 산화물 반도체막은 결정질이며, 산화물 반도체막에 포함되는 결정부의 c축은 산화물 반도체막의 표면의 법선 벡터에 평행인 것이 바람직하다.
- [0016] 상기 반도체 장치에서, 소스 전극 및 드레인 전극은 다층막에 접하여 형성되어 있고, 다층막의 소스 전극 및 드레인 전극과 접하는 계면 근방의 영역에는, 저저항 영역이 형성되어 있다.
- [0017] 또한, 상기 반도체 장치는 산화물막과 동일한 조성 또는 다른 조성을 가지는 산화물막이 소스 전극 및 드레인 전극과 다층막과의 상면에 접하여 형성되어 있어도 좋다.

**발명의 효과**

- [0018] 본 발명의 일 형태에 의해, 산화물막 및 산화물 반도체막을 포함하는 다층막을 이용함으로써, 트랜지스터에 안정된 전기 특성을 부여할 수 있다.
- [0019] 또한, 이 다층막의 형상을, 적어도 제 1 각도와, 이 제 1 각도보다 큰 제 2 각도를 가지는 테이퍼(taper) 형상으로 함으로써, 채널 영역이 되는 산화물 반도체막과 소스 전극 및 드레인 전극과의 접촉 면적을 증대시킬 수 있고, 트랜지스터의 온 전류를 증대시킬 수 있다.
- [0020] 또한, 본 발명의 일 형태에 의해, 상기 트랜지스터를 가지는 신뢰성이 높은 반도체 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0021] 도 1은 트랜지스터를 설명하는 상면도 및 단면도.
- 도 2는 트랜지스터를 설명하는 단면도.

- 도 3은 다층막의 밴드 구조를 설명하는 도면.
- 도 4는 다층막의 밴드 구조를 설명하는 도면.
- 도 5는 트랜지스터의 제작 방법을 설명하는 단면도.
- 도 6은 트랜지스터의 제작 방법을 설명하는 단면도.
- 도 7은 트랜지스터를 설명하는 상면도 및 단면도.
- 도 8은 트랜지스터를 설명하는 상면도 및 단면도.
- 도 9는 트랜지스터를 설명하는 단면도.
- 도 10은 다층막의 밴드 구조를 설명하는 도면.
- 도 11은 트랜지스터의 제작 방법을 설명하는 단면도.
- 도 12는 트랜지스터의 제작 방법을 설명하는 단면도.
- 도 13은 트랜지스터를 설명하는 상면도 및 단면도.
- 도 14는 트랜지스터를 설명하는 상면도 및 단면도.
- 도 15는 EL 표시 장치의 일례를 나타내는 회로도.
- 도 16은 EL 표시 장치의 일례를 나타내는 상면도 및 단면도.
- 도 17은 EL 표시 장치의 일례를 나타내는 단면도.
- 도 18은 액정 표시 장치의 일례를 나타내는 회로도.
- 도 19는 액정 표시 장치의 일례를 나타내는 단면도.
- 도 20은 반도체 장치의 일례를 나타내는 블록도.
- 도 21은 반도체 장치의 일례를 나타내는 단면도.
- 도 22는 CPU의 일례를 나타내는 블록도.
- 도 23은 전자 기기의 일례를 나타내는 도면.
- 도 24는 에칭액과 에칭 속도와의 관계를 설명하는 도면.
- 도 25는 STEM상을 설명하는 도면.
- 도 26은 STEM상을 설명하는 도면.
- 도 27은 STEM상을 설명하는 도면.
- 도 28은 STEM상을 설명하는 도면.
- 도 29는 STEM상을 설명하는 도면.
- 도 30은 STEM상을 설명하는 도면.
- 도 31은 다층막의 구조를 설명하는 도면.
- 도 32는 다층막의 구조를 설명하는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0022]

이하에서는, 본 발명의 실시형태에 대해 도면을 이용해 상세하게 설명한다. 다만, 본 발명은 이하의 설명으로 한정되지 않고, 그 형태 및 상세한 사항을 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해된다. 또한, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다. 또한, 도면을 이용해 발명의 구성을 설명할 때에, 같은 것을 가리키는 부호는 다른 도면간이라도 공통하여 이용한다. 또한, 같은

것을 가리킬 때에는 해치 패턴을 같이 하고, 특별히 부호를 붙이지 않는 경우가 있다.

- [0023] 제 1, 제 2로서 붙여지는 서수사는 편의상 이용하는 것이고, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0024] 또한, 전압은 어떤 전위와 기준의 전위(예를 들면 접지 전위(GND) 또는 소스 전위)와의 전위차를 나타내는 경우가 많다. 따라서, 전압을 전위라고 바꾸어 말할 수 있다.
- [0025] 또한, 「전기적으로 접속한다」라고 표현되는 경우에도, 현실의 회로에 있어서는, 물리적인 접속 부분이 없고, 배선이 연장되어 있을 뿐인 경우도 있다.
- [0026] 또한, 소스 및 드레인의 기능은 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바뀌는 경우가 있다. 이에 따라, 본 명세서에서는, 소스 및 드레인의 용어는 바꾸어 이용할 수 있는 것으로 한다.
- [0027] 본 명세서에서, 「평행」이란, 2개의 직선이  $-10^{\circ}$  이상  $10^{\circ}$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서,  $-5^{\circ}$  이상  $5^{\circ}$  이하의 경우도 포함된다. 또한, 「수직」이란, 2개의 직선이  $80^{\circ}$  이상  $100^{\circ}$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서,  $85^{\circ}$  이상  $95^{\circ}$  이하의 경우도 포함된다.
- [0028] 또한, 본 명세서에서, 결정이 삼방정(三方晶) 또는 능면체정(菱面體晶)인 경우, 육방정(六方晶)계로서 나타낸다.
- [0029] 또한, 본 명세서 등에서, 각 실시형태 및 각 실시예에 기재되어 있는 구성 및 내용은 적절히 조합할 수 있다.
- [0030] (실시형태 1)
- [0031] 본 실시형태에서는, 본 발명의 일 형태인 트랜지스터에 대해 설명한다.
- [0032] 1-1. 트랜지스터 구조(1)
- [0033] 도 1에, BGTC 구조인 트랜지스터의 상면도 및 단면도를 도시한다. 도 1(A)은 트랜지스터의 상면도를 도시한다. 도 1(A)에서, 일점 쇄선 A1-A2에 대응하는 단면도를 도 1(B)에 도시한다. 또한, 도 1(A)에서, 일점 쇄선 A3-A4에 대응하는 단면도를 도 1(C)에 도시한다. 또한 도 1(A)에서, 도면의 명료화를 위해 이 트랜지스터의 구성 요소의 일부(게이트 절연막, 및 보호 절연막 등)를 생략하고 있다.
- [0034] 본 실시형태에서는, 보텀(bottom) 게이트형 트랜지스터에 대해 설명한다. 여기에서는, 보텀 게이트형 트랜지스터의 일종인 보텀 게이트 톱 콘택트 구조(BGTC 구조)의 트랜지스터에 대해 도 1을 이용하여 설명한다. 도 1(B)에 나타내는 트랜지스터는 기판(100) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 게이트 절연막(112)과, 게이트 절연막(112) 위에 형성된 산화물 반도체막(106a), 및 산화물 반도체막(106a) 위에 형성된 산화물막(106b)을 포함하는 다층막(106)과, 게이트 절연막(112) 및 다층막(106) 위에 형성된 소스 전극(116a) 및 드레인 전극(116b)과, 다층막(106), 소스 전극(116a) 및 드레인 전극(116b) 위에 형성된 보호 절연막(118)을 가진다.
- [0035] 또한, 소스 전극(116a) 및 드레인 전극(116b)에 이용하는 도전막의 종류에 따라서는, 다층막(106)의 일부로부터 산소를 빼앗거나 또는 혼합층을 형성해, 다층막(106) 안에 저저항 영역(106c) 및 저저항 영역(106d)을 형성하는 경우가 있다. 저저항 영역(106c) 및 저저항 영역(106d)은 도 1(B)에서, 다층막(106) 안의 소스 전극(116a) 및 드레인 전극(116b)과 접하는 계면 근방의 영역(다층막(106)의 파선과 소스 전극(116a) 및 드레인 전극(116b)의 사이의 영역)이 된다. 저저항 영역(106c) 및 저저항 영역(106d)의 일부 또는 전부는 소스 영역 및 드레인 영역으로서 기능한다.
- [0036] 도 1(A)에서, 게이트 전극(104)과 중첩하는 영역에서, 소스 전극(116a)과 드레인 전극(116b)과의 간격을 채널 길이라고 한다. 다만, 트랜지스터가 소스 영역 및 드레인 영역을 포함하는 경우, 게이트 전극(104)과 중첩하는 영역에서, 저저항 영역(106c)과 저저항 영역(106d)과의 간격을 채널 길이라고 해도 좋다.
- [0037] 또한, 채널 형성 영역이란, 다층막(106)에서, 게이트 전극(104)과 중첩하거나, 또는 소스 전극(116a)과 드레인 전극(116b) 사이에 끼워지는 영역을 말한다(도 1(B) 참조). 또한, 채널 형성 영역이란, 채널 형성 영역에서, 전류가 주로 흐르는 영역을 말한다. 여기에서는, 채널 영역은 채널 형성 영역 안의 산화물 반도체막(106a)의 일부분이다.
- [0038] 또한, 게이트 전극(104)은 도 1(A)에 도시한 것처럼, 상면 형상에서 다층막(106)이 안쪽에 포함되도록 형성된다. 이렇게 함으로써, 기판(100)측으로부터 광이 입사했을 때에, 다층막(106) 안에서 광에 의해 캐리어

가 생성되는 것을 억제할 수 있다. 즉, 게이트 전극(104)은 차광막으로서의 기능을 가진다. 단, 게이트 전극(104)의 외측까지 다층막(106)이 형성되어 있어도 좋다.

- [0039] 산화물 반도체막(106a)의 하면이란, 산화물 반도체막(106a)의 기판(100)측의 면, 또는 산화물 반도체막(106a)의 게이트 절연막(112)에 접하는 면에 상당한다. 산화물막(106b)의 하면이란, 산화물막(106b)의 기판(100)측의 면, 또는 산화물막(106b)의 산화물 반도체막(106a)과의 경계면에 상당한다. 또한, 다층막(106)의 적층 구조는 STEM(Scanning Transmission Electron Microscopy)를 이용해 관찰함으로써, 그 경계를 확인할 수 있다. 그러나, 산화물 반도체막(106a) 및 산화물막(106b)에 이용하는 재료에 따라서는, 이 경계를 명확하게 확인할 수 없는 경우가 있다.
- [0040] 1-1-1. 다층막에 대해
- [0041] 이하에서는, 다층막(106)과 다층막(106)을 구성하는 산화물 반도체막(106a) 및 산화물막(106b)에 대해서, 도 1 및 도 2를 이용해 설명한다.
- [0042] 도 2는 도 1(B)의 파선으로 둘러싸인 영역의 확대도이다.
- [0043] 다층막(106)에서, 적어도 산화물 반도체막(106a)은 테이퍼 형상을 가진다. 바람직하게는, 산화물막(106b)도 테이퍼 형상을 가진다. 또한, 산화물 반도체막(106a)의 테이퍼 형상과 산화물막(106b)의 테이퍼 형상이 다르다.
- [0044] 구체적으로는, 산화물 반도체막(106a)에서, 산화물 반도체막(106a)의 하면과 산화물 반도체막(106a)의 측면 사이의 각도를 제 1 각도( $\theta_1$ )로 하고, 산화물막(106b)에서, 산화물막(106b)의 하면과 산화물막(106b)의 측면 사이의 각도를 제 2 각도( $\theta_2$ )로 한 경우, 제 1 각도( $\theta_1$ )는 예각으로 하고, 제 2 각도( $\theta_2$ )는 예각, 또는 수직으로 할 수 있다.
- [0045] 특히, 제 1 각도( $\theta_1$ ) 및 제 2 각도( $\theta_2$ )는 모두 예각이고, 제 1 각도( $\theta_1$ ) 쪽이 제 2 각도( $\theta_2$ )보다 작은 것이 바람직하다.
- [0046] 또한, 제 1 각도( $\theta_1$ )는  $10^\circ$  이상  $90^\circ$  미만이고,  $30^\circ$  이상  $70^\circ$  이하인 것이 바람직하다. 제 2 각도( $\theta_2$ )는  $10^\circ$  이상  $90^\circ$  미만으로 하고,  $30^\circ$  이상  $70^\circ$  이하로 하는 것이 바람직하다.
- [0047] 이와 같이, 다층막(106)을, 다른 테이퍼각을 가지는 테이퍼 형상으로 함으로써 아래와 같은 효과를 얻을 수 있다. 다층막(106)에 대해, 일정한 테이퍼각을 가지는 테이퍼 형상에 비해, 다른 테이퍼각을 가지는 테이퍼 형상으로 함으로써, 소스 전극(116a) 및 드레인 전극(116b)과의 접촉 면적을 확대할 수 있다. 따라서, 다층막(106)과, 소스 전극(116a) 및 드레인 전극(116b)과의 접촉 저항이 저감하여, 트랜지스터의 온(on) 전류를 증대시킬 수 있다.
- [0048] 또한, 제 2 각도( $\theta_2$ )를 제 1 각도( $\theta_1$ )보다 크게 함으로써, 산화물막(106b)과 소스 전극(116a) 및 드레인 전극(116b)과의 접촉 면적을 작게 할 수 있고, 산화물막(106b)에 형성되는 저저항 영역을 작게 할 수 있다. 이에 의해, 산화물막(106b)의 저저항화를 억제하고 소스 전극(116a) 및 드레인 전극(116b)의 사이에서 리크 패스(leak path)의 발생을 억제하면서, 채널 영역으로서 기능하는 산화물 반도체막(106a)에 효과적으로 저저항 영역을 형성할 수 있고, 트랜지스터의 온 전류의 증대와, 트랜지스터의 오프 전류의 저감을 양립시킬 수 있다.
- [0049] 또한, 산화물 반도체막(106a)의 상단은 산화물막(106b)의 하단과 거의 일치하고 있다(도 2 참조). 즉, 다층막(106)에는, 산화물 반도체막(106a)과 산화물막(106b)으로 형성되는 큰 단차(113)를 가지지 않는다(도 31(A), 도 31(B) 참조). 그 때문에, 다층막(106) 위에 형성되는 막(예를 들면, 소스 전극(116a) 및 드레인 전극(116b)에 가공되는 도전막)의 단이 끊어지는 것을 억제할 수 있고, 전기 특성이 양호한 트랜지스터를 제작할 수 있다. 또한, 산화물 반도체막(106a)의 상단과 산화물막(106b)의 하단이 거의 일치하고 있다는 것은 산화물막(106b)의 하단과 산화물 반도체막(106a)의 상단과의 거리(L1)가 30nm 이하, 바람직하게는 10nm 이하인 것을 말한다(도 31(A), 도 31(B) 참조).
- [0050] 상기 테이퍼 형상은 다층막(106)을 에칭으로 형성할 때에, 산화물 반도체막(106a) 및 산화물막(106b)의 에칭 속도가 다른 것을 이용함으로써 형성할 수 있다. 특히, 상기 테이퍼 형상은 산화물 반도체막(106a)의 에칭 속도를, 산화물막(106b)의 에칭 속도보다 늦게 함으로써 형성할 수 있다.
- [0051] 상기 테이퍼 형상은 예를 들면, 부식액(etchant)으로서 인산을 포함하는 용액을 이용한 습식 에칭에 의해 형성할 수 있다.
- [0052] 다층막(106)을 습식 에칭에 의해 형성하는 것의 이점으로서, 이하를 들 수 있다. 예를 들면, 다층막(106)으

로 가공되는 산화물 반도체막 및 산화물막에 핀홀 등의 결함을 가지고 있는 경우, 건식 에칭에 의해 이 산화물 반도체막 및 이 산화물막을 가공하면, 이 핀홀을 통해서, 이 산화물 반도체막 및 이 산화물막 아래에 형성되어 있는 절연막(게이트 절연막 등)도 에칭하는 경우가 있다. 이것에 의해, 이 절연막에, 이 절연막 아래에 형성되어 있는 전극(게이트 전극 등)에 이르는 개구가 형성되게 되는 경우가 있다. 이러한 상황 하에서 트랜지스터를 제작하면, 이 전극과 다층막(106) 위에 형성되는 전극(소스 전극 및 드레인 전극 등)으로 쇼트 하는 등, 특성 불량의 트랜지스터가 제작되는 경우가 있다. 즉, 건식 에칭에 의해 다층막(106)을 형성하면, 트랜지스터의 수율이 저하되는 것으로 이어진다. 따라서, 다층막(106)을 습식 에칭에 의해 형성함으로써, 전기 특성이 양호한 트랜지스터를 생산성 높게 제작할 수 있다.

[0053] 또한, 습식 에칭의 에칭 속도는 부식액의 농도, 및 부식액의 온도 등에 따라 변화하기 때문에, 산화물 반도체막(106a)의 에칭 속도가 산화물막(106b)의 에칭 속도보다 늦어지도록 적절히 조정하는 것이 바람직하다. 또한, 제 2 각도( $\theta_2$ )를 제 1 각도( $\theta_1$ )보다 크게 함으로써, 이 습식 에칭에서, 부식액에 노출되는 면적을 가능한 한 작게 할 수 있다. 또한, 제 2 각도( $\theta_2$ )를 제 1 각도( $\theta_1$ )보다 크게 함으로써, 부식액에 의한 오염이나 결함의 생성에 의해, 산화물막(106b)에 형성되는 저저항 영역을 작게 할 수 있다.

[0054] 예를 들면, 상기 부식액으로서 85% 정도로 조정된 인산 수용액, 또는 인산(72%)과 질산(2%)과 초산(9.8%)을 혼합한 혼합 용액(혼산 알루미늄액이라고도 함.)을 들 수 있다. 또한, 부식액의 온도는 20℃~35℃ 정도의 실온 또는 상온이 바람직하다. 또한, 부식액은 상기 이외의 것이어도 좋다.

[0055] 산화물 반도체막(106a)은 적어도 인듐을 포함하는 산화물 반도체막이다. 예를 들면, 인듐 외에 아연을 포함하고 있어도 좋다. 또한, 산화물 반도체막(106a)은 인듐에 더하여, 원소 M(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Nd)을 포함하면 바람직하다.

[0056] 산화물막(106b)은 산화물 반도체막(106a)을 구성하는 원소 일종 이상으로 구성되고, 전도대 하단의 에너지가 산화물 반도체막(106a)보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 또 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하 진공 준위에 가까운 산화물막이다. 이 때, 게이트 전극(104)에 전계를 인가하면, 다층막(106) 중, 전도대 하단의 에너지가 낮은 산화물 반도체막(106a)에 채널이 형성된다. 즉, 산화물 반도체막(106a)과 보호 절연막(118)과의 사이에 산화물막(106b)을 가짐으로써, 트랜지스터의 채널을 보호 절연막(118)과 접하지 않는 산화물 반도체막(106a)에 형성할 수 있다. 또한, 산화물 반도체막(106a)을 구성하는 원소 일종 이상으로 산화물막(106b)이 구성되기 때문에, 산화물 반도체막(106a)과 산화물막(106b)과의 사이에서, 계면 산란이 일어나기 어렵다. 따라서, 산화물 반도체막(106a)과 산화물막(106b)과의 사이에서, 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터의 전계 효과 이동도가 높아진다. 또한, 산화물 반도체막(106a)과 산화물막(106b)과의 사이에 계면 준위를 형성하기 어렵다. 산화물 반도체막(106a)과 산화물막(106b)과의 사이에 계면 준위가 있으면, 이 계면을 채널로 한 문턱 전압이 다른 제 2 트랜지스터가 형성되고, 트랜지스터의 외관상의 문턱 전압이 변동하는 경우가 있다. 따라서, 산화물막(106b)을 형성함으로써, 트랜지스터의 문턱 전압 등의 전기 특성의 편차를 저감할 수 있다.

[0057] 산화물막(106b)은 예를 들면, Al, Ga, Ge, Y, Zr, Sn, La, Ce, Nd 또는 Hf(특히 Al 또는 Ga)를 산화물 반도체막(106a)보다 높은 원자수비로 포함하는 산화물막으로 하면 좋다. 구체적으로는, 산화물막(106b)으로서 산화물 반도체막(106a)보다 위에서 서술한 원소를 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상 높은 원자수비로 포함하는 산화물막을 이용한다. 위에서 서술한 원소는 산소와 강하게 결합하기 때문에, 산소 결손이 산화물막에 생기는 것을 억제하는 기능을 가진다. 즉, 산화물막(106b)은 산화물 반도체막(106a)보다 산소 결손이 발생하기 어려운 산화물막이다.

[0058] 예를 들면, 산화물 반도체막(106a)이 In-M-Zn 산화물이고, 산화물막(106b)도 In-M-Zn 산화물로 할 때, 산화물막(106b)을 In:M:Zn= $x_2:y_2:z_2$ [원자수비], 산화물 반도체막(106a)을 In:M:Zn= $x_1:y_1:z_1$ [원자수비]로 하면,  $y_1/x_1$ 가  $y_2/x_2$ 보다 커지는 산화물막(106b) 및 산화물 반도체막(106a)을 선택한다. 또한, 원소 M은 In보다 산소와의 결합력이 강한 금속 원소이고, 예를 들면 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Nd(특히 Al 또는 Ga) 등을 들 수 있다. 바람직하게는,  $y_1/x_1$ 가  $y_2/x_2$ 보다 1.5배 이상 커지는 산화물막(106b) 및 산화물 반도체막(106a)을 선택한다. 더욱 바람직하게는,  $y_1/x_1$ 가  $y_2/x_2$ 보다 2배 이상 커지는 산화물막(106b) 및 산화물 반도체막(106a)을 선택한다. 보다 바람직하게는,  $y_1/x_1$ 가  $y_2/x_2$ 보다 3배 이상 커지는 산화물막(106b) 및 산화물 반도체막(106a)을 선택한다. 이 때, 산화물막(106b)에서,  $y_2$ 가  $x_2$  이상이면 트랜지스터에 안정된 전기 특성을 부여할 수 있기 때문

에 바람직하다. 단,  $y_2$ 가  $x_2$ 의 3배 이상이 되면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에,  $y_2$ 는  $x_2$ 의 3배 미만이면 바람직하다.

- [0059] 또한, 산화물막(106b)이 치밀하면, 트랜지스터 제작 공정에 이용되는 플라즈마 등에 의해 대미지가 들어가기 어렵고, 안정된 전기 특성의 트랜지스터로 할 수 있기 때문에 바람직하다.
- [0060] 산화물막(106b)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물 반도체막(106a)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0061] 이하에서는, 산화물 반도체막(106a) 및 산화물막(106b)의 실리콘 농도에 대해 설명한다. 또한, 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체막(106a) 안의 불순물 농도를 저감하고, 산화물 반도체막을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 구체적으로는, 산화물 반도체막의 캐리어 밀도는  $1 \times 10^{17}/\text{cm}^3$  미만,  $1 \times 10^{15}/\text{cm}^3$  미만, 또는  $1 \times 10^{13}/\text{cm}^3$  미만으로 하면 좋다. 또한, 산화물 반도체막에서, 주성분 이외(1원자% 미만)의 경(輕)원소, 반금속 원소, 금속 원소 등은 불순물이 된다. 예를 들면, 수소, 질소, 탄소, 실리콘, 게르마늄, 티탄 및 하프늄은 산화물 반도체막 안에서 불순물이 된다. 산화물 반도체막 안의 불순물 농도를 저감하기 위해서는, 근접하는 게이트 절연막(112) 및 산화물막(106b) 안의 불순물 농도도 저감하는 것이 바람직하다.
- [0062] 예를 들면, 산화물 반도체막(106a)에 실리콘이 포함되는 경우, 불순물 준위를 형성한다. 특히, 산화물 반도체막(106a)과 산화물막(106b)과의 사이에 실리콘이 있으면, 이 불순물 준위가 트랩이 된다. 그 때문에, 산화물 반도체막(106a)과 산화물막(106b)과의 사이에서 실리콘 농도를  $1 \times 10^{19} \text{ atoms/cm}^3$  미만, 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  미만, 더욱 바람직하게는  $2 \times 10^{18} \text{ atoms/cm}^3$  미만으로 한다.
- [0063] 또한, 산화물 반도체막(106a) 안에서 수소 및 질소는 도너 준위를 형성하여, 캐리어 밀도를 증대시키게 된다. 산화물 반도체막(106a)의 수소 농도는 2차 이온 질량분석법(SIMS : Secondary Ion Mass Spectrometry)에서,  $2 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 보다 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다. 또한, 질소 농도는 SIMS에서,  $5 \times 10^{19} \text{ atoms/cm}^3$  미만, 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 보다 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.
- [0064] 또한, 산화물 반도체막(106a)의 수소 농도 및 질소 농도를 저감하기 위해서, 산화물막(106b)의 수소 농도 및 질소 농도를 저감하면 바람직하다. 산화물막(106b)의 수소 농도는 SIMS에서,  $2 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 보다 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다. 또한, 질소 농도는 SIMS에서,  $5 \times 10^{19} \text{ atoms/cm}^3$  미만, 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 보다 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더욱 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.
- [0065] 산화물 반도체막(106a) 및 산화물막(106b)은 비정질 또는 결정질이다. 이 결정질로서는, 다결정 구조, 단결정 구조, 미결정 구조 등을 들 수 있다. 또한, 산화물 반도체막(106a) 및 산화물막(106b)은 결정립이 비정질 영역에 분산된 혼합 구조여도 좋다. 또한, 미결정 구조란, 각 결정립의 면방위가 랜덤이고, 미결정 구조 또는 혼합 구조에 포함되는 결정립의 입경은 0.1nm 이상 10nm 이하, 바람직하게는 1nm 이상 10nm 이하, 더욱 바람직하게는 2nm 이상 4nm 이하이다.
- [0066] 산화물 반도체막(106a) 및 산화물막(106b)에 대해, 바람직하게는, 산화물 반도체막(106a)은 결정질로 하고, 산화물막(106b)은 비정질 또는 결정질로 한다. 채널이 형성되는 산화물 반도체막(106a)이 결정질인 것에 의해, 트랜지스터에 안정된 전기 특성을 부여할 수 있다. 또한, 결정질의 산화물 반도체막(106a)은 바람직하게는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)로 한다.
- [0067] 또한, 산화물 반도체막(106a)은 비정질의 막의 위에 형성하는 것이 바람직하다. 예를 들면, 비정질의 절연막의 면 위, 또는 비정질의 반도체막의 면 위 등을 들 수 있다. 뒤에서 서술하는 성막 방법을 이용함으로써 비정질의 막의 위에 CAAC-OS인 산화물 반도체막(106a)을 형성할 수 있다.
- [0068] CAAC-OS막은 복수의 결정부를 가지는 산화물 반도체막의 1개이며, 대부분의 결정부는 한 변이 100nm 미만의 입

방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만 또는 3nm 미만의 입방체 내에 들어가는 크기의 경우도 포함된다. CAAC-OS막은 결합 준위 밀도가 낮다고 하는 특징이 있다. 이하, CAAC-OS막에 대해 상세한 설명을 행한다.

- [0069] CAAC-OS막을 TEM에 의해 관찰하면, 결정부끼리의 명확한 경계, 즉 결정립계(그레인 바운더리라고도 함.)를 확인할 수 없다. 그 때문에, CAAC-OS막은 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 말할 수 있다.
- [0070] CAAC-OS막을, 시료면과 대략 평행한 방향에서 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서, 금속 원자가 층상으로 배열하고 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막을 형성하는 면(피형성면이라고도 함.) 또는 상면의 요철을 반영한 형상이고, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.
- [0071] 한편, CAAC-OS막을, 시료면과 개략 수직인 방향에서 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열하고 있는 것을 확인할 수 있다. 하지만, 다른 결정부 사이에서, 금속 원자의 배열에 규칙성은 보이지 않는다.
- [0072] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.
- [0073] CAAC-OS막에 대해, X선 회절(XRD : X-Ray Diffraction) 장치를 이용하여 구조 해석을 행하면, 예를 들면 InGaZnO<sub>4</sub>의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO<sub>4</sub>의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 개략 수직인 방향을 향하고 있는 것을 확인할 수 있다.
- [0074] 한편, CAAC-OS막에 대해, c축에 대략 수직인 방향에서 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO<sub>4</sub>의 결정의 (110)면에 귀속된다. InGaZnO<sub>4</sub>의 단 결정 산화물 반도체막이면, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ 축)으로서 시료를 회전시키면서 분석(φ 스캔)을 행하면, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 이것에 대해, CAAC-OS막의 경우는 2θ를 56° 근방에 고정해 φ 스캔 한 경우에서도, 명료한 피크가 나타나지 않는다.
- [0075] 이상으로부터, CAAC-OS막에서는, 다른 결정부 간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 가지고, 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 앞에서 서술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은 결정의 ab면에 평행한 면이다.
- [0076] 또한, 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 위에서 서술한 것처럼, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들면, CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행이 되지 않는 경우도 있다.
- [0077] 또한, CAAC-OS막 안의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화하고, 부분적으로 결정화도가 다른 영역이 형성되는 경우도 있다.
- [0078] 또한, InGaZnO<sub>4</sub>의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방의 피크 외에, 2θ가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ가 36° 근방의 피크는 CAAC-OS막 안의 일부에, c축 배향성을 가지지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은 2θ가 31° 근방에 피크를 나타내고, 2θ가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.
- [0079] CAAC-OS를 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 이 트랜지스터는 안정된 전기 특성을 가진다.
- [0080] 또한, 산화물 반도체막(106a)에 실리콘 및 탄소가 높은 농도로 포함됨으로써, 산화물 반도체막(106a)의 결정성을 저하시키는 경우가 있다. 산화물 반도체막(106a)의 결정성을 저하시키지 않기 위해서는, 산화물 반도체막(106a)의 실리콘 농도를  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더욱 바람직하게는  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 미만으로 하면 좋다. 또한, 산화물 반도체막(106a)의 결정성을 저하시키지 않기 위해서는, 산화물 반도체막(106a)의 탄소 농도를  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더욱 바람직하게

는  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 미만으로 하면 좋다.

- [0081] 이와 같이, 채널이 형성되는 산화물 반도체막(106a)이 높은 결정성을 가지고, 또는 불순물이나 결함 등에 기인하는 준위가 적은 경우, 다층막(106)을 이용한 트랜지스터는 안정된 전기 특성을 가진다.
- [0082] 이하에서는, 다층막(106) 안의 국제 준위에 대해 설명한다. 다층막(106) 안의 국제 준위를 저감함으로써, 다층막(106)을 이용한 트랜지스터에 안정된 전기 특성을 부여할 수 있다. 다층막(106)의 국제 준위는 일정 광전류 측정법(CPM : Constant Photocurrent Method)에 의해 평가할 수 있다.
- [0083] 트랜지스터에 안정된 전기 특성을 부여하기 위해서는, 다층막(106) 안의 CPM 측정으로 얻을 수 있는 국제 준위에 의한 흡수 계수를,  $1 \times 10^{-3}$  cm<sup>-1</sup> 미만, 바람직하게는  $3 \times 10^{-4}$  cm<sup>-1</sup> 미만으로 하면 좋다. 또한, 다층막(106) 안의 CPM 측정으로 얻을 수 있는 국제 준위에 의한 흡수 계수를  $1 \times 10^{-3}$  cm<sup>-1</sup> 미만, 바람직하게는  $3 \times 10^{-4}$  cm<sup>-1</sup> 미만으로 함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있다. 또한, 다층막(106) 안의 CPM 측정으로 얻을 수 있는 국제 준위에 의한 흡수 계수를  $1 \times 10^{-3}$  cm<sup>-1</sup> 미만, 바람직하게는  $3 \times 10^{-4}$  cm<sup>-1</sup> 미만으로 하기 위해서는, 산화물 반도체막(106a) 안에서 국제 준위를 형성하는 원소인 실리콘, 게르마늄, 탄소, 하프늄, 티탄 등의 농도를  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 미만으로 하면 좋다.
- [0084] 또한, CPM 측정에서는, 시료인 다층막(106)에 접하여 형성된 전극 및 전극 간에 전압을 인가한 상태에서 광전류 값이 일정해지도록 단자 간의 시료면에 조사하는 광량을 조정하여, 조사광량으로부터 흡수 계수를 도출하는 것을 각 과정에서 행하는 것이다. CPM 측정에서, 시료에 결함이 있을 때, 결함이 존재하는 준위에 따른 에너지(과장으로부터 환산)에서의 흡수 계수가 증가한다. 이 흡수 계수의 증가분에 정수를 곱함으로써, 시료의 결함 밀도를 도출할 수 있다.
- [0085] CPM 측정으로 얻어진 국제 준위는 불순물이나 결함에 기인하는 준위라고 생각된다. 즉, CPM 측정으로 얻어진 국제 준위에 의한 흡수 계수가 작은 다층막(106)을 이용한 트랜지스터는 안정된 전기 특성을 가지는 것을 알 수 있다.
- [0086] 이하에서는, 다층막(106)의 밴드 구조에 대해, 도 3을 이용해 설명한다.
- [0087] 예로서 산화물 반도체막(106a)으로서 에너지 갭이 3.15eV인 In-Ga-Zn 산화물을 이용하고, 산화물막(106b)으로서 에너지 갭이 3.5eV인 In-Ga-Zn 산화물로 한다. 에너지 갭은 분광 엘립소미터(spectroscopic ellipsometer)(HORIBA JOBIN YVON사 UT-300)를 이용하여 측정했다.
- [0088] 산화물 반도체막(106a) 및 산화물막(106b)의 진공 준위와 가전자대 상단의 에너지 차(이온화 포텐셜이라고도 함.)는 각각 8eV 및 8.2eV 였다. 또한, 진공 준위와 가전자대 상단의 에너지차는 자외선 광전자 분광 분석(UPS : Ultra violet Photoelectron Spectroscopy) 장치(PHI사 VersaProbe)를 이용해 측정했다.
- [0089] 따라서, 산화물 반도체막(106a) 및 산화물막(106b)의 진공 준위와 전도대 하단의 에너지 차(전자 친화력이라고도 함.)는 각각 4.85eV 및 4.7eV 였다.
- [0090] 도 3에, 다층막(106)의 밴드 구조의 일부를 모식적으로 도시한다. 도 3은 도 2의 일점 쇄선 A5-A6에 대응하는 밴드 구조이다. 구체적으로는, 산화물 반도체막(106a) 및 산화물막(106b)의 각각에 산화 실리콘막(게이트 절연막(112) 및 보호 절연막(118))을 접하여 형성한 경우에 대해 설명한다. 여기서, EcI1는 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1는 산화물 반도체막(106a)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물막(106b)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다.
- [0091] 도 3에 도시한 것처럼, 산화물 반도체막(106a) 및 산화물막(106b)에서, 전도대 하단의 에너지는 장벽이 없고 서서히 변화한다. 바꿔 말하면, 연속적으로 변화한다고도 할 수 있다. 이것은, 산화물막(106b)은 산화물 반도체막(106a)과 공통의 원소를 포함하고, 산화물 반도체막(106a) 및 산화물막(106b) 사이에서, 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.
- [0092] 도 3에 의해, 다층막(106)의 산화물 반도체막(106a)이 웰(well)이 되고, 다층막(106)을 이용한 트랜지스터에서, 채널 영역이 산화물 반도체막(106a)에 형성되는 것을 알 수 있다. 또한, 다층막(106)은 전도대 하단의 에너지가 연속적으로 변화하고 있기 때문에, 산화물 반도체막(106a)과 산화물막(106b)이 연속 접합하고 있다고도 할 수 있다.
- [0093] 또한, 도 4에 도시한 것처럼, 산화물막(106b)과 보호 절연막(118)과의 계면 근방에는, 불순물이나 결함에 기인

한 트랩 준위가 형성될 수 있지만, 산화물막(106b)이 형성됨으로써, 산화물 반도체막(106a)과 이 트랩 준위를 멀리할 수 있다. 단, EcS1과 EcS2와의 에너지 차가 작은 경우, 산화물 반도체막(106a)의 전자가 이 에너지차를 넘어 트랩 준위에 이르는 경우가 있다. 트랩 준위에 전자가 포획됨으로써, 절연막 계면에 마이너스의 고정 전하가 발생하고, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트하게 된다.

[0094] 따라서, EcS1과 EcS2와의 에너지 차를 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되고, 안정된 전기 특성이 되기 때문에 바람직하다.

[0095] 1-1-2. 소스 전극 및 드레인 전극

[0096] 소스 전극(116a) 및 드레인 전극(116b)은 알루미늄, 티탄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 및 텅스텐을 일종 이상 포함하는 도전막을, 단층으로, 또는 적층으로 이용할 수 있다. 바람직하게는, 소스 전극(116a) 및 드레인 전극(116b)은 구리를 포함하는 층을 가지는 다층막으로 한다. 소스 전극(116a) 및 드레인 전극(116b)으로서 구리를 포함하는 층을 가지는 다층막을 이용함으로써, 소스 전극(116a) 및 드레인 전극(116b)과 동일층에서 배선을 형성하는 경우, 배선 저항을 낮게 할 수 있다. 또한, 소스 전극(116a)과 드레인 전극(116b)은 동일 조성이어도 좋고, 다른 조성이어도 좋다.

[0097] 그런데, 소스 전극(116a) 및 드레인 전극(116b)으로서 구리를 포함하는 층을 가지는 다층막을 이용하는 경우, 구리의 영향에 의해, 산화물막(106b)과 보호 절연막(118)과의 계면에 도 4에 도시한 것과 같은 트랩 준위를 형성하는 경우가 있다. 이 경우도, 산화물막(106b)을 가짐으로써, 이 트랩 준위에 전자가 포획되는 것을 억제할 수 있다. 따라서, 트랜지스터에 안정된 전기 특성을 부여하고, 또한 배선 저항을 낮게 할 수 있게 된다.

[0098] 1-1-3. 보호 절연막

[0099] 보호 절연막(118)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈을 일종 이상 포함하는 절연막을, 단층으로, 또는 적층으로 이용하면 좋다.

[0100] 보호 절연막(118)은 예를 들면, 첫번째 층을 산화 실리콘막으로 하고, 두번째 층을 질화 실리콘막으로 한 다층막으로 하면 좋다. 이 경우, 산화 실리콘막은 산화 질화 실리콘막으로 해도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 해도 좋다. 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 이용하면 바람직하다. 구체적으로는, 전자 스핀 공명(ESR : Electron Spin Resonance)에서 g값이 2.001의 신호에 유래하는 스핀의 밀도가  $3 \times 10^{17}$  spins/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{16}$  spins/cm<sup>3</sup> 이하인 산화 실리콘막을 이용한다. 질화 실리콘막은 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘막을 이용한다. 수소 가스, 암모니아 가스의 방출량은 승온 이탈 가스(TDS : Thermal Desorption Spectroscopy) 분석으로 측정하면 좋다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과하지 않는, 또는 거의 투과하지 않는 질화 실리콘막을 이용한다.

[0101] 또한, 보호 절연막(118)은 예를 들면, 첫번째 층을 제 1 산화 실리콘막(118a)으로 하고, 두번째 층을 제 2 산화 실리콘막(118b)으로 하고, 세번째 층을 질화 실리콘막(118c)으로 한 다층막으로 하면 좋다(도 1(D) 참조). 이 경우, 제 1 산화 실리콘막(118a) 및 제 2 산화 실리콘막(118b)의 한쪽 또는 양쪽은 산화 질화 실리콘막으로 해도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 해도 좋다. 제 1 산화 실리콘막(118a)은 결합 밀도가 작은 산화 실리콘막을 이용하면 바람직하다. 구체적으로는, ESR에서 g값이 2.001의 신호에 유래하는 스핀의 밀도가  $3 \times 10^{17}$  spins/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{16}$  spins/cm<sup>3</sup> 이하인 산화 실리콘막을 이용한다. 제 2 산화 실리콘막(118b)은 과잉 산소를 포함하는 산화 실리콘막을 이용한다. 질화 실리콘막(118c)은 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘막을 이용한다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과하지 않거나, 또는 거의 투과하지 않는 질화 실리콘막을 이용한다.

[0102] 과잉 산소를 포함하는 산화 실리콘막이란, 가열 처리 등에 의해 산소를 방출할 수 있는 산화 실리콘막을 말한다. 또, 과잉 산소를 포함하는 절연막은 가열 처리에 의해 산소를 방출하는 기능을 가지는 절연막이다.

[0103] 과잉 산소를 포함하는 절연막은 산화물 반도체막(106a) 안의 산소 결손을 저감할 수 있다. 산화물 반도체막(106a) 안에서 산소 결손은 결합 준위를 형성하고, 그 일부가 도너 준위가 된다. 따라서, 산화물 반도체막(106a) 안의 산소 결손(특히 채널 영역의 산소 결손)을 저감함으로써, 산화물 반도체막(106a)(특히 채널 영역)의 캐리어 밀도를 저감할 수 있고, 트랜지스터에 안정된 전기 특성을 부여할 수 있다.

[0104] 여기서, 가열 처리에 의해 산소를 방출하는 막은 TDS 분석에 의해,  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이

상 또는  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이상의 산소(산소 원자수로 환산)를 방출하는 경우도 있다.

[0105] 또한, 가열 처리에 의해 산소를 방출하는 막은 과산화 라디칼을 포함하는 경우도 있다. 구체적으로는, 과산화 라디칼에 기인하는 스핀 밀도가  $5 \times 10^{17}$  spins/cm<sup>3</sup> 이상인 것을 말한다. 또한, 과산화 라디칼을 포함한 막은 ESR에서, g값이 2.01 근방에 비대칭의 신호를 가지는 경우도 있다.

[0106] 또한, 과잉 산소를 포함하는 절연막은 산소가 과잉인 산화 실리콘(SiO<sub>x</sub> (X>2))이어도 좋다. 산소가 과잉인 산화 실리콘(SiO<sub>x</sub> (X>2))은 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적 당 포함하는 것이다. 단위 체적 당의 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란 분광법(RBS : Rutherford Backscattering Spectrometry)에 의해 측정된 값이다.

[0107] 1-1-4. 게이트 절연막

[0108] 게이트 절연막(112)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈을 일종 이상 포함하는 절연막을, 단층으로, 또는 적층으로 이용하면 좋다.

[0109] 게이트 절연막은 예를 들면, 첫번째 층을 질화 실리콘막으로 하고, 두번째 층을 산화 실리콘막으로 한 다층막으로 하면 좋다. 이 경우, 산화 실리콘막은 산화 질화 실리콘막으로 해도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 해도 좋다. 산화 실리콘막은 결함 밀도가 작은 산화 실리콘막을 이용하면 바람직하다. 구체적으로는 ESR에서 g값이 2.001의 신호에 유래하는 스핀의 밀도가  $3 \times 10^{17}$  spins/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{16}$  spins/cm<sup>3</sup> 이하인 산화 실리콘막을 이용한다. 산화 실리콘막은 과잉 산소를 포함하는 산화 실리콘막을 이용하면 바람직하다. 질화 실리콘막은 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘막을 이용한다. 수소 가스, 암모니아 가스의 방출량은 TDS 분석으로 측정하면 좋다.

[0110] 게이트 절연막(112) 및 보호 절연막(118)의 적어도 한쪽이 과잉 산소를 포함하는 절연막을 포함하는 경우, 산화물 반도체막(106a)의 산소 결손이 저감되고, 트랜지스터에 안정된 전기 특성을 부여할 수 있다.

[0111] 1-1-5. 게이트 전극

[0112] 게이트 전극(104)은 알루미늄, 티탄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, tantal 및 텅스텐을 일종 이상 포함하는 도전막을, 단층으로, 또는 적층으로 이용하면 좋다.

[0113] 1-1-6. 기판

[0114] 기판(100)에 큰 제한은 없다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을, 기판(100)으로서 이용해도 좋다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수도 있고, 이러한 기판 위에 반도체 소자가 형성된 것을, 기판(100)으로서 이용해도 좋다.

[0115] 또한, 기판(100)으로서, 제 5 세대(1000mm×1200mm 또는 1300mm×1500mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2500mm), 제 9 세대(2400mm×2800mm), 제 10 세대(2880mm×3130mm) 등의 대형 유리 기판을 이용하는 경우, 반도체 장치의 제작 공정에서의 가열 처리 등으로 발생하는 기판(100)의 축소에 의해, 미세한 가공이 곤란해지는 경우 있다. 그 때문에, 위에서 서술한 것과 같은 대형 유리 기판을 기판(100)으로서 이용하는 경우, 가열 처리에 의한 축소가 작은 것을 이용하는 것이 바람직하다. 예를 들면, 기판(100)으로서 400℃, 바람직하게는 450℃, 더욱 바람직하게는 500℃의 온도로 1시간 가열 처리를 행한 후의 축소량이 10ppm 이하, 바람직하게는 5ppm 이하, 더욱 바람직하게는 3ppm 이하인 대형 유리 기판을 이용하면 좋다.

[0116] 또한, 기판(100)으로서 가요성 기판을 이용해도 괜찮다. 또한, 가요성 기판 위에 트랜지스터를 형성하는 방법으로서, 비가요성의 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판인 기판(100)에 전치하는 방법도 있다. 그 경우에는, 비가요성 기판과 트랜지스터와의 사이에 박리층을 형성하면 좋다.

[0117] 이상과 같이 하여 구성된 트랜지스터는 산화물 반도체막(106a)에 채널이 형성됨으로써, 안정된 전기 특성을 가지고, 높은 전계 효과 이동도를 가진다. 또한, 소스 전극(116a) 및 드레인 전극(116b)에 구리를 포함하는 층을 가지는 다층막을 이용해도, 안정된 전기 특성을 얻을 수 있다.

[0118] 1-2. 트랜지스터 구조(1)의 제작 방법

- [0119] 여기서, 트랜지스터의 제작 방법에 대해 도 5 및 도 6을 이용해 설명한다.
- [0120] 우선은, 기판(100)을 준비한다.
- [0121] 다음에, 게이트 전극(104)이 되는 도전막을 성막한다. 게이트 전극(104)이 되는 도전막은 게이트 전극(104)으로서 나타낸 도전막을 스퍼터링법, 화학 기상 성장(CVD : Chemical Vapor Deposition)법, 분자선 에피택시(MBE : Molecular Beam Epitaxy)법, 원자층 퇴적(ALD : Atomic Layer Deposition)법 또는 펄스 레이저 퇴적(PLD : Pulse Laser Deposition)법을 이용하여 성막하면 좋다.
- [0122] 다음에, 게이트 전극(104)이 되는 도전막의 일부를 에칭하고, 게이트 전극(104)을 형성한다(도 5(A) 참조).
- [0123] 다음에, 게이트 절연막(112)을 성막한다(도 5(B) 참조). 게이트 절연막(112)은 게이트 절연막(112)으로서 상기 열거한 절연막을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 성막하면 좋다.
- [0124] 다음에, 산화물 반도체막(106a)으로 가공되는 산화물 반도체막(126a)을 성막한다(도 5(C) 참조). 산화물 반도체막(126a)은 산화물 반도체막(106a)으로서 상기 열거한 산화물 반도체막을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 성막하면 좋다.
- [0125] 다음에, 산화물막(106b)으로 가공되는 산화물막(126b)을 성막한다. 산화물막(126b)은 산화물막(106b)으로서 상기 열거한 산화물막을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 성막하면 좋다.
- [0126] 스퍼터링법으로 산화물 반도체막(126a) 및 산화물막(126b)을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.
- [0127] 스퍼터링 가스는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대해서 산소의 가스비(比)를 높이는 것이 바람직하다.
- [0128] 또한, 타겟은 산화물 반도체막(126a) 및 산화물막(126b)의 조성에 맞추어, 적절히 선택하면 좋다.
- [0129] 스퍼터링법을 이용하는 경우, 적어도 산화물 반도체막(126a)을, 이하와 같이 하여 형성함으로써 CAAC-OS를 형성할 수 있다. 구체적으로는, 기판 온도를 150℃ 이상 500℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하, 더욱 바람직하게는 200℃ 이상 350℃ 이하로서 가열하면서 산화물 반도체막(126a)을 형성한다. 또한, 산화물막(126b)에 대해서도 이와 같이 가열하면서 형성해도 좋다.
- [0130] 또한, 산화물 반도체막(106a) 및 산화물막(106b)을 연속 접합하기 위해서는, 산화물 반도체막(126a) 및 산화물막(126b)을, 대기에 노출시키지 않고 연속으로 성막하는 것이 바람직하다. 또한, 산화물 반도체막(126a) 및 산화물막(126b)은 각 층의 사이에 불순물이 들어오는 것을 억제할 수 있다.
- [0131] 구체적으로는, 연속 접합을 형성하기 위해서는, 로드락(load lock)실을 갖춘 멀티 챔버(chamber) 방식의 성막 장치(스퍼터링 장치)를 이용하여 각 막을 대기에 노출시키지 않고 연속하여 적층하는 것이 바람직하다. 스퍼터링 장치에서의 각 챔버는 산화물 반도체막에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위하여 크라이오 펌프와 같은 흡착식의 진공 배기 펌프를 이용하여 고진공 배기( $1 \times 10^{-4}$  Pa ~  $5 \times 10^{-7}$  Pa 정도까지)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 챔버 안에 기체가 역류하지 않도록 해 두는 것이 바람직하다.
- [0132] 불순물 및 캐리어 밀도가 저감된 산화물 반도체막을 얻기 위해서는, 챔버 안을 고진공 배기할 뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 이용하는 산소 가스나 아르곤 가스는 노점이 -40℃ 이하, 바람직하게는 -80℃ 이하, 더욱 바람직하게는 -100℃ 이하에까지 고순도화된 가스를 이용함으로써 산화물 반도체막에 수분 등이 받아들여지는 것을 가능한 한 막을 수 있다.
- [0133] 또한 스퍼터링법에 의해 산화물막(126b)을 성막하는 경우, 성막시에 발생하는 파티클수의 저감의 관점으로부터, 인듐을 포함하는 타겟을 이용하는 것이 바람직하다. 또한, 갈륨의 원자수비가 비교적 작은 산화물 타겟을 이용하는 것이 바람직하다. 왜냐하면, 인듐을 포함하는 타겟을 이용함으로써, 타겟의 도전율을 높일 수 있고, DC 방전 및 AC 방전이 용이해져, 대면적의 기판에 대응하기 쉬워지기 때문이다. 이에 따라, 반도체 장치의 생산성을 높일 수 있다.
- [0134] 또한, 산화물 반도체막(126a) 및 산화물막(126b)을 형성한 후에, 산소 분위기, 또는 질소 및 산소 분위기에서, 플라즈마 처리를 행해도 좋다. 이에 따라, 적어도 산화물 반도체막(126a)의 산소 결손을 저감할 수 있다.

- [0135] 다음에, 산화물 반도체막(126a) 위 및 산화물막(126b) 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 이용하여 산화물 반도체막(126a) 및 산화물막(126b)의 일부를 에칭하고, 산화물 반도체막(106a) 및 산화물막(106b)을 포함하는 다층막(106)을 형성한다(도 6(A) 참조). 이 에칭은 상기와 같이 습식 에칭으로 한다. 이 습식 에칭을 행함으로써, 다층막(106)을, 다른 2개의 테이퍼각을 가지는 테이퍼 형상으로 할 수 있다.
- [0136] 다음에, 제 1 가열 처리를 행하면 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 1% 이상 혹은 10% 이상 포함하는 분위기, 또는 감압 상태에서 행한다. 또는, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위해서 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 행해도 좋다. 제 1 가열 처리에 의해, 산화물 반도체막(106a)의 결정성을 높이고, 또한 게이트 절연막(112) 및 다층막(106)으로부터 물, 수소, 질소, 및 탄소 등의 불순물을 제거할 수 있다.
- [0137] 또한, 제 1 가열 처리는 다층막(106)을 형성하는 에칭 공정의 전후의 적어도 한쪽에서 행할 수 있다.
- [0138] 다음에, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 성막한다. 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막은 소스 전극(116a) 및 드레인 전극(116b)으로서 나타낸 도전막을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용해 성막하면 좋다.
- [0139] 예를 들면, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막으로서 텅스텐층과 텅스텐층 위에 형성된 구리층을 포함하는 다층막을 성막하면 좋다.
- [0140] 다음에, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막의 일부를 에칭하고, 소스 전극(116a) 및 드레인 전극(116b)을 형성한다(도 6(B) 참조). 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막으로서, 텅스텐층과 텅스텐층 위에 형성된 구리층을 포함하는 다층막을 이용한 경우, 동일한 포토 마스크를 이용하여 이 다층막을 에칭할 수 있다. 텅스텐층 및 구리층을 한 번에 에칭해도, 산화물 반도체막(106a) 위에 산화물막(106b)이 형성됨으로써, 산화물 반도체막(106a)과 산화물막(106b)과의 사이에서 구리 농도를  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만,  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 또는  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 미만으로 할 수 있기 때문에, 구리에 의한 트랜지스터의 전기 특성의 열화가 일어나지 않는다. 그 때문에, 공정의 자유도가 높아지고, 트랜지스터의 생산성을 높일 수 있다.
- [0141] 다음에, 제 2 가열 처리를 행하면 바람직하다. 제 2 가열 처리는 제 1 가열 처리의 기재를 참조하여 실시하면 좋다. 제 2 가열 처리에 의해, 다층막(106)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 수소는 다층막(106) 안에서 특히 이동하기 쉽기 때문에, 제 2 가열 처리에 의해 저감해 두면 트랜지스터에 안정된 전기 특성을 부여할 수 있다. 또한, 물도 수소를 포함한 화합물이기 때문에, 산화물 반도체막(106a) 안에서 불순물이 될 수 있다.
- [0142] 또한, 제 2 가열 처리에 의해, 소스 전극(116a) 및 드레인 전극(116b)과 접하는 다층막(106)에 저저항 영역(106c) 및 저저항 영역(106d)을 형성할 수 있다.
- [0143] 이상과 같이, 다층막(106)을 형성함으로써, 산화물 반도체막(106a)의 결정성을 높게 할 수 있고, 또한 산화물 반도체막(106a), 산화물막(106b), 및 산화물 반도체막(106a)과 산화물막(106b)과의 계면에서의 불순물 농도를 저감할 수 있다.
- [0144] 다음에, 보호 절연막(118)을 성막한다(도 1(B) 참조). 보호 절연막(118)은 보호 절연막(118)으로서 상기 열거한 절연막을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 성막하면 좋다.
- [0145] 여기서, 보호 절연막(118)을 도 1(D)에 도시하는 것과 같은 3층 구조로 하는 경우에 대해 설명한다. 우선, 제 1 산화 실리콘막(118a)을 성막한다. 다음에, 제 2 산화 실리콘막(118b)을 성막한다. 다음에, 제 2 산화 실리콘막(118b)에 산소 이온을 첨가하는 처리를 행해도 좋다. 산소 이온을 첨가하는 처리는 이온 도핑 장치 또는 플라즈마 처리 장치를 이용하면 좋다. 이온 도핑 장치로서, 질량 분리 기능을 가지는 이온 도핑 장치를 이용해도 좋다. 산소 이온의 원료로서 <sup>16</sup>O<sub>2</sub> 혹은 <sup>18</sup>O<sub>2</sub> 등의 산소 가스, 아산화 질소 가스 또는 오존 가스 등을 이용하면 좋다. 다음에, 질화 실리콘막(118c)을 성막함으로써, 보호 절연막(118)을 형성하면 좋다.
- [0146] 제 1 산화 실리콘막(118a)은 CVD법의 일종인 플라즈마 CVD법에 의해 성막하면 바람직하다. 구체적으로는, 기판 온도를 180℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 370℃ 이하로 하고, 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 이용하여 압력 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하여, 전극에 고

주파 전력을 공급함으로써 성막하면 좋다. 또한, 실리콘을 포함하는 퇴적성 가스의 대표예로서는, 실란, 다이 실란, 트라이실란, 불화 실란, 등이 있다. 산화성 가스로서는, 산소, 오존, 아산화 질소, 이산화질소 등이 있다.

[0147] 또한, 실리콘을 포함한 퇴적성 가스에 대한 산화성 가스의 유량을 100배 이상으로 함으로써, 제 1 산화 실리콘막(118a) 안의 수소 함유량을 저감하고, 또한 땀글링 본드(dangling bonds)를 저감할 수 있다.

[0148] 이상과 같이 하여, 결함 밀도가 작은 제 1 산화 실리콘막(118a)을 성막한다. 즉, 제 1 산화 실리콘막(118a)은 ESR에서 g값이 2.001의 신호에 유래하는 스핀의 밀도가  $3 \times 10^{17}$  spins/cm<sup>3</sup> 이하, 또는  $5 \times 10^{16}$  spins/cm<sup>3</sup> 이하로 할 수 있다.

[0149] 제 2 산화 실리콘막(118b)은, 플라즈마 CVD법에 의해 성막하면 바람직하다. 구체적으로는, 기판 온도를 160°C 이상 350°C 이하, 바람직하게는 180°C 이상 260°C 이하로 하고, 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 이용하여 압력 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하여, 전극에 0.17W/cm<sup>2</sup> 이상 0.5W/cm<sup>2</sup> 이하, 바람직하게는 0.25W/cm<sup>2</sup> 이상 0.35W/cm<sup>2</sup> 이하의 고주파 전력을 공급함으로써 성막하면 좋다.

[0150] 위에서 설명한 방법에 의해, 플라즈마 안에서의 가스의 분해 효율이 높아지고, 산소 라디칼이 증가하고, 가스의 산화가 진행되기 때문에, 과잉 산소를 포함하는 제 2 산화 실리콘막(118b)을 성막할 수 있다.

[0151] 질화 실리콘막(118c)은 플라즈마 CVD법에 의해 성막하면 바람직하다. 구체적으로는, 기판 온도를 180°C 이상 400°C 이하, 바람직하게는 200°C 이상 370°C 이하로 하고, 실리콘을 포함하는 퇴적성 가스, 질소 가스 및 암모니아 가스를 이용하여 압력 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하여, 고주파 전력을 공급함으로써 성막하면 좋다.

[0152] 또한, 질소 가스는 암모니아 가스의 유량의 5배 이상 50배 이하, 바람직하게는 10배 이상 50배 이하로 한다. 또한, 암모니아 가스를 이용함으로써, 실리콘을 포함하는 퇴적성 가스 및 질소 가스의 분해를 촉진할 수 있다. 이것은 암모니아 가스가 플라즈마 에너지 및 열에너지에 의해 해리(解離)하고, 해리함으로써 발생하는 에너지가 실리콘을 포함하는 퇴적성 가스의 결합, 및 질소 가스의 결합의 분해에 기여하기 때문이다.

[0153] 따라서, 위에서 설명한 방법에 의해, 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘막(118c)을 성막할 수 있다. 또, 수소의 함유량이 적기 때문에, 치밀해지고, 수소, 물 및 산소를 투과하지 않거나, 또는 거의 투과하지 않는 질화 실리콘막(118c)으로 할 수 있다.

[0154] 다음에, 제 3 가열 처리를 행하면 바람직하다. 제 3 가열 처리는 제 1 가열 처리의 기재를 참조하여 행하면 좋다. 제 3 가열 처리에 의해, 게이트 절연막(112) 또는/및 보호 절연막(118)으로부터 과잉 산소가 방출되고, 다층막(106)의 산소 결손을 저감할 수 있다. 또한, 다층막(106) 안에서는, 산소 결손이 인접하는 산소 원자를 포획해 나감으로써, 외관상 이동한다.

[0155] 이상과 같이 해서, 도 1에 도시한 BGTC 구조의 트랜지스터를 제작할 수 있다.

[0156] 1-3. 트랜지스터 구조(2)

[0157] 여기에서는, 도 1에 도시한 트랜지스터의 변형예인 트랜지스터에 대해 도 7을 이용하여 설명한다.

[0158] 도 7에, 이 변형예인 트랜지스터의 상면도 및 단면도를 도시한다. 도 7(A)은 트랜지스터의 상면도를 도시한다. 도 7(A)에서, 일점 쇄선 A1-A2에 대응하는 단면도를 도 7(B)에 도시한다. 또한, 도 7(A)에서, 일점 쇄선 A3-A4에 대응하는 단면도를 도 7(C)에 도시한다. 또한, 도 7(A)에서, 도면의 명료화를 위해 이 트랜지스터의 구성 요소의 일부(게이트 절연막, 및 보호 절연막 등)를 생략하였다.

[0159] 도 7에 도시하는 트랜지스터는 도 1에 도시하는 트랜지스터와 비교하여, 소스 전극(116a) 및 드레인 전극(116b)의 상면, 및 다층막(106)의 상면에 산화물막(107)이 접하여 형성되어 있는 점에서 다르다.

[0160] 산화물막(117)은 다층막(106)의 산화물막(106b)에 적용할 수 있는 산화물막을 이용할 수 있고, 산화물막(106b)에 적용할 수 있는 방법을 이용하여 성막할 수 있다. 또한, 도 7에 도시하는 트랜지스터의 그 외의 구성 요소는 도 1에 도시하는 트랜지스터와 같고, 상기를 적절히 참조할 수 있다.

[0161] 도 7에 도시하는 트랜지스터의 구조는 산화물 반도체막(106a)과 보호 절연막(118)과의 사이에 산화물막(106b) 및 산화물막(107)이 형성되는 구조이기 때문에, 보호 절연막(118)과의 계면 근방에 형성되는 불순물이나 결함에

기인한 트랩 준위를, 산화물 반도체막(106a)으로부터 더욱 멀리할 수 있다. 즉, EcS1와 EcS2와의 에너지차가 작은 경우에도, 산화물 반도체막(106a)의 전자가 이 에너지차를 넘어 트랩 준위에 이르는 것을 억제할 수 있다. 따라서, 도 7에 도시하는 트랜지스터는 트랜지스터의 문턱 전압의 변동이 더욱 저감된, 안정된 전기 특성을 가지는 트랜지스터이다.

- [0162] 또한, 도 7에 도시하는 트랜지스터의 제작 방법은 도 1에 도시한 트랜지스터의 기재를 적절히 참조할 수 있다.
- [0163] 이상에 의해, 도 1 및 도 7에 도시한 트랜지스터는 다층막(106)의 산화물 반도체막(106a)(특히 채널 영역)에서, 불순물 및 캐리어 밀도가 저감되어 있으므로 안정된 전기 특성을 가진다.
- [0164] (실시형태 2)
- [0165] 본 실시형태에서는, 본 발명의 일 형태로서, 실시형태 1의 구조와는 일부 다른 트랜지스터에 대해 설명한다.
- [0166] 2-1. 트랜지스터 구조(3)
- [0167] 본 실시형태에서는, 탑 게이트형 트랜지스터에 대해 설명한다. 여기에서는, 탑 게이트형 트랜지스터의 일종인 탑 게이트 탑 콘택트 구조(TGTC 구조)의 트랜지스터에 대해 도 8을 이용해 설명한다.
- [0168] 도 8에, TGTC 구조인 트랜지스터의 상면도 및 단면도를 도시한다. 도 8(A)은 트랜지스터의 상면도를 도시한다. 도 8(A)에서, 일점 쇄선 B1-B2에 대응하는 단면도를 도 8(B)에 도시한다. 또한, 도 8(A)에서, 일점 쇄선 B3-B4에 대응하는 단면도를 도 8(C)에 도시한다.
- [0169] 도 8(B)에 도시하는 트랜지스터는 기판(200) 위에 형성된 하지 절연막(202)과 하지 절연막(202) 위에 형성된 산화물막(206c), 산화물막(206c) 위에 형성된 산화물 반도체막(206a), 산화물 반도체막(206a) 위에 형성된 산화물막(206b)을 포함하는 다층막(206)과, 하지 절연막(202) 및 다층막(206) 위에 형성된 소스 전극(216a) 및 드레인 전극(216b)과, 다층막(206), 소스 전극(216a) 및 드레인 전극(216b) 위에 형성된 게이트 절연막(212)과, 게이트 절연막(212) 위에 형성된 게이트 전극(204)과, 게이트 절연막(212) 및 게이트 전극(204) 위에 형성된 보호 절연막(218)을 가진다. 또한, 트랜지스터는 하지 절연막(202) 및 보호 절연막(218)의 한쪽 또는 양쪽은 가지고 있지 않아도 좋다.
- [0170] 또한, 소스 전극(216a) 및 드레인 전극(216b)에 이용하는 도전막의 종류에 따라서는, 다층막(206)의 일부로부터 산소를 빼앗거나, 또는 혼합층을 형성하여, 다층막(206) 안에 저저항 영역(206d) 및 저저항 영역(206e)을 형성하는 경우가 있다. 저저항 영역(206d) 및 저저항 영역(206e)은 도 8(B)에서, 다층막(206) 안의 소스 전극(216a) 및 드레인 전극(216b)과 접하는 계면 근방의 영역(다층막(206)의 파선과 소스 전극(216a) 및 드레인 전극(216b)의 사이의 영역)이 된다. 저저항 영역(206d) 및 저저항 영역(206e)의 일부 또는 전부는 소스 영역 및 드레인 영역으로서 기능한다.
- [0171] 도 8(A)에서, 게이트 전극(204)과 중첩하는 영역에서, 소스 전극(216a)과 드레인 전극(216b)과의 간격을 채널 길이라고 한다. 단, 트랜지스터가 소스 영역 및 드레인 영역을 포함하는 경우, 게이트 전극(204)과 중첩하는 영역에서, 소스 영역과 드레인 영역과의 간격을 채널 길이라고 해도 좋다.
- [0172] 또한, 채널 형성 영역이란, 다층막(206)에서, 게이트 전극(204)과 중첩하고, 또한 소스 전극(216a)과 드레인 전극(216b)에 끼워지는 영역을 말한다. 또한, 채널 영역이란, 채널 형성 영역에서, 전류가 주로 흐르는 영역을 말한다. 여기에서는, 채널 영역은 채널 형성 영역 안의 산화물 반도체막(206a)의 일부분이다.
- [0173] 2-1-1. 다층막에 대해
- [0174] 다층막(206)은 산화물 반도체막(206a)의 상하에 산화물막(206b)과 산화물막(206c)이 적층된 구조이다. 산화물 반도체막(206a)의 하면이란, 산화물 반도체막(206a)의 기판(200)측의 면, 또는 산화물막(206c)과의 경계면에 상당한다. 산화물막(206b)의 하면이란, 산화물막(206b)의 기판(200)측의 면, 또는 산화물 반도체막(206a)과의 경계면에 상당한다. 산화물막(206c)의 하면이란, 산화물막(206c)의 기판(200)측의 면, 또는 산화물막(206c)의 게이트 절연막(112)에 접하는 면에 상당한다. 또한, 다층막(206)의 적층 구조는 STEM(Scanning Transmission Electron Microscopy)을 이용하여 관찰함으로써, 그 경계를 확인할 수 있다. 그러나, 산화물 반도체막(206a), 산화물막(206b) 및 산화물막(206c)에 이용하는 재료에 따라서는, 이 경계를 명확하게 확인할 수 없는 경우가 있다.
- [0175] 산화물 반도체막(206a)은 실시형태 1의 산화물 반도체막(106a)에 적용할 수 있는 산화물 반도체막을 이용할 수 있다. 산화물막(206b)은 실시형태 1의 산화물막(106b)에 적용할 수 있는 산화물막을 이용할 수 있다. 산화물

막(206c)은 실시형태 1의 산화물막(106b)에 적용할 수 있는 산화물막을 이용할 수 있다.

- [0176] 다층막(206)에서, 적어도 산화물 반도체막(206a)은 테이퍼 형상을 가진다. 바람직하게는, 산화물막(206b) 및 산화물막(206c)도 테이퍼 형상을 가진다. 또한, 적어도 산화물 반도체막(206a)의 테이퍼 형상은 산화물막(206b)의 테이퍼 형상 및 산화물막(206c)의 테이퍼 형상과 다른 것이 바람직하다. 산화물막(206b)과 산화물막(206c)의 테이퍼 형상은 같아도, 차이가 나도 좋다.
- [0177] 구체적으로는, 산화물 반도체막(206a)에서 산화물 반도체막(206a)의 하면과 산화물 반도체막(206a)의 측면 사이의 각도를 제 1 각도( $\theta_1$ )로 하고, 산화물막(206b)에서 산화물막(206b)의 하면과 산화물막(206b)의 측면 사이의 각도를 제 2 각도( $\theta_2$ )로 하고, 산화물막(206c)에서 산화물막(206c)의 하면과 산화물막(206c)의 측면 사이의 각도를 제 3 각도( $\theta_3$ )로 했을 경우, 제1 각도( $\theta_1$ )는 예각으로 하고, 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )는 예각, 또는 수직으로 할 수 있다.
- [0178] 특히, 제 1 각도( $\theta_1$ ), 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )는 모두 예각이고, 적어도 제 1 각도( $\theta_1$ )는 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )보다 작은 것이 바람직하다(도 9 참조).
- [0179] 또한, 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )는 같은 각도여도 좋고, 서로 다른 각도여도 좋다. 예를 들면, 산화물막(206b) 및 산화물막(206c)을 같은 종류의 산화물막으로 함으로써, 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )를 같은 각도로 할 수 있다.
- [0180] 또한, 제 1 각도( $\theta_1$ )는  $10^\circ$  이상  $90^\circ$  미만이고,  $30^\circ$  이상  $70^\circ$  이하인 것이 바람직하다. 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )는  $10^\circ$  이상  $90^\circ$  미만으로 하고,  $30^\circ$  이상  $70^\circ$  이하로 하는 것이 바람직하다.
- [0181] 이와 같이, 다층막(206)을, 다른 테이퍼각을 가지는 테이퍼 형상으로 함으로써 아래와 같은 효과를 얻을 수 있다. 다층막(206)에 대해, 일정한 테이퍼각을 가지는 테이퍼 형상에 비해, 다른 테이퍼각을 가지는 테이퍼 형상으로 함으로써, 소스 전극(216a) 및 드레인 전극(216b)과의 접촉 면적을 확대시킬 수 있다. 따라서, 다층막(206)과, 소스 전극(216a) 및 드레인 전극(216b)과의 접촉 저항이 저감하고, 트랜지스터의 온 전류를 증대시킬 수 있다.
- [0182] 또한, 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )를 제 1 각도( $\theta_1$ )보다 크게 함으로써, 산화물막(206b), 산화물막(206c)과 소스 전극(216a) 및 드레인 전극(216b)과의 접촉 면적을 작게 할 수 있고, 산화물막(206b) 및 산화물막(206c)에 형성되는 저저항 영역을 작게 할 수 있다. 이것에 의해, 산화물막(206b) 및 산화물막(206c)의 한쪽 또는 양쪽의 저저항화를 억제하고 소스 전극(216a) 및 드레인 전극(216b)의 사이에서의 리크 패스의 발생을 억제하면서, 채널 영역으로서 기능하는 산화물 반도체막(206a)에 효과적으로 저저항 영역을 형성할 수 있고, 트랜지스터의 온 전류의 증대와, 트랜지스터의 오프 전류의 저감을 양립시킬 수 있다.
- [0183] 또한, 산화물 반도체막(206a)의 상단 및 산화물막(206b)의 하단, 및 산화물막(206c)의 상단 및 산화물 반도체막(206a)의 하단은 대략 일치하고 있다(도 9 참조). 즉, 다층막(206)에는, 산화물 반도체막(206a), 산화물막(206b), 및 산화물막(206c)중 2개 이상의 막으로 형성되는 큰 단차 (213) 및 큰 단차(214)를 가지지 않는다(도 32(A), 도 32(B) 참조). 그 때문에, 다층막(206) 위에 형성되는 막(예를 들면, 소스 전극(216a) 및 드레인 전극(216b)으로 가공되는 도전막)의 단이 끊어지는 것을 억제할 수 있고, 전기 특성이 양호한 트랜지스터를 제작할 수 있다. 또한, 산화물 반도체막(206a)의 상단 및 산화물막(206b)의 하단, 및 산화물막(206c)의 상단 및 산화물 반도체막(206a)의 하단은 거의 일치하고 있다는 것은 산화물막(206b)의 하단의 산화물 반도체막(206a)의 상단으로부터의 거리(L1), 산화물막(206c)의 상단의 산화물 반도체막(206a)의 하단으로부터의 거리(L2)가 30nm 이하, 바람직하게는 10nm 이하인 것을 말한다(도 32(A), 도 32(B) 참조).
- [0184] 상기 테이퍼 형상은 다층막(206)을 에칭으로 형성할 때에, 각각의 막의 에칭 속도가 다른 것을 이용함으로써 형성할 수 있다. 특히, 상기 테이퍼 형상은 산화물 반도체막(206a)의 에칭 속도를, 산화물막(206b)의 에칭 속도 및 산화물막(206c)의 에칭 속도보다 늦게 함으로써 형성할 수 있다.
- [0185] 제 2 각도( $\theta_2$ )를 제 3 각도( $\theta_3$ )보다 작게 하는 경우는 산화물막(206b)의 에칭 속도를 산화물막(206c)의 에칭 속도보다 늦게 하면 좋다. 또한, 제 2 각도( $\theta_2$ )를 제 3 각도( $\theta_3$ )보다 크게 하는 경우는 산화물막(206b)의 에칭 속도를 산화물막(206c)의 에칭 속도보다 빠르게 하면 좋다.
- [0186] 상기 테이퍼 형상은 실시형태 1과 마찬가지로, 부식액으로서 인산을 포함하는 용액을 이용한 습식 에칭에 의해 형성할 수 있다. 또한, 이 습식 에칭의 상세한 사항은 실시형태 1을 참조할 수 있다. 또한, 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )를 제 1 각도( $\theta_1$ )보다 크게 함으로써, 이 습식 에칭에서, 부식액에 노출되는 면적을 가능한

한 작게 할 수 있다. 또한, 제 2 각도( $\theta_2$ ) 및 제 3 각도( $\theta_3$ )를 제 1 각도( $\theta_1$ )보다 크게 함으로써, 부식액에 의한 오염이나 결함의 생성에 의해, 산화물막(206b) 및 산화물막(206c)에 형성되는 저저항 영역을 작게 할 수 있다.

- [0187] 다층막(206)을 습식 에칭에 의해 형성함으로써, 실시형태 1에서 기재한 것처럼, 트랜지스터의 수율의 저하를 억제하고, 전기 특성이 양호한 트랜지스터를 생산성 높게 제작할 수 있다.
- [0188] 이하에서는, 다층막(206)의 밴드 구조에 대해, 도 10을 이용하여 설명한다.
- [0189] 예로서, 산화물 반도체막(206a)으로서 에너지 갭이 3.15eV인 In-Ga-Zn 산화물을 이용하고, 산화물막(206b) 및 산화물막(206c)으로서 에너지 갭이 3.5eV인 In-Ga-Zn 산화물로 한다. 에너지 갭은 분광 엘립소미터(HORIBA JOBIN YVON사 UT-300)를 이용하여 측정했다.
- [0190] 산화물 반도체막(206a)의 진공 준위와 가전자대 상단의 에너지차(이온화 포텐셜이라고도 함.)는 8eV였다. 또한, 산화물막(206b) 및 산화물막(206c)의 이온화 포텐셜은 8.2eV였다. 또한, 진공 준위와 가전자대 상단의 에너지차는 자외선 광전자 분광 분석(UPS : Ultraviolet Photoelectron Spectroscopy) 장치(PHI사 VersaProbe)를 이용하여 측정했다.
- [0191] 따라서, 산화물 반도체막(206a)의 진공 준위와 전도대 하단의 에너지(전자 친화력이라고도 함.)는 4.85eV였다. 산화물막(206b) 및 산화물막(206c)의 전자 친화력은 4.7eV였다.
- [0192] 도 10(A)에, 다층막(206)의 밴드 구조의 일부를 모식적으로 도시한다. 도 10(A)에서는, 산화물막(206b) 및 산화물막(206c)의 각각에 산화 실리콘막(하지 절연막(202) 및 게이트 절연막(212))을 접하여 형성한 경우에 대해 설명한다. 여기서, EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(206a)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물막(206b)의 전도대 하단의 에너지를 나타내고, EcS3은 산화물막(206c)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다.
- [0193] 도 10(A)에 도시한 것처럼, 산화물 반도체막(206a), 산화물막(206b) 및 산화물막(206c)에서, 전도대 하단의 에너지는 장벽이 없고 서서히 변화한다. 바꿔 말하면, 연속적으로 변화한다고도 할 수 있다. 이것은 산화물막(206b) 및 산화물막(206c)은 산화물 반도체막(206a)과 공통의 원소를 포함하고, 산화물 반도체막(206a) 및 산화물막(206b) 사이와, 산화물 반도체막(206a) 및 산화물막(206c) 사이에서, 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.
- [0194] 도 10(A)에 의해, 다층막(206)의 산화물 반도체막(206a)이 웰(well)이 되고, 다층막(206)을 이용한 트랜지스터에서, 채널 영역이 산화물 반도체막(206a)에 형성되는 것을 알 수 있다. 또한, 다층막(206)은 전도대 하단의 에너지가 연속적으로 변화하고 있기 때문에, 산화물 반도체막(206a) 및 산화물막(206b)과 산화물 반도체막(206a) 및 산화물막(206c)이 연속 접합하고 있다고도 할 수 있다.
- [0195] 또한, 산화물막(206b) 및 산화물막(206c)을 각각 전도대 하단의 에너지가 다른 산화물막으로 함으로써, 다층막(206)의 밴드 구조를 이 전도대 하단의 에너지의 대소 관계에 따라 변화시킬 수 있다.
- [0196] 산화물막(206c)으로서 산화물막(206b)의 전도대 하단의 에너지보다 큰 산화물을 이용함으로써, 도 10(B)에 도시하는 밴드 구조를 가지는 다층막(206)을 형성할 수 있다.
- [0197] 산화물막(206b)으로서 산화물막(206c)의 전도대 하단의 에너지보다 작은 산화물을 이용함으로써, 도 10(C)에 도시하는 밴드 구조를 가지는 다층막(206)을 형성할 수 있다.
- [0198] 또한, 도 10(B) 및 도 10(C)에 도시하는 밴드 구조를 가지는 다층막(206)에서, 채널 영역은 산화물 반도체막(206a)에 형성된다.
- [0199] 또한, 산화물막(206b)과 게이트 절연막(212)과의 계면 근방에는, 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있지만, 산화물막(206b)이 형성됨으로써, 산화물 반도체막(206a)과 이 트랩 준위를 멀리할 수 있다. 단, EcS1과 EcS2와의 에너지차가 작은 경우, 산화물 반도체막(206a)의 전자가 이 에너지차를 넘어 트랩 준위에 이르는 경우가 있다. 트랩 준위에 전자가 포획됨으로써, 절연막 계면에 마이너스의 고정 전하가 발생하고, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트하게 된다.
- [0200] 또한, 산화물막(206c)과 하지 절연막(202)과의 계면 근방에는, 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있지만, 산화물 반도체막(206a)과 이 트랩 준위를 멀리할 수 있다. 단, EcS1과 EcS3과의 에너지차가 작은 경우, 산화물 반도체막(206a)의 전자가 이 에너지차를 넘어 트랩 준위에 이르는 경우가 있다. 트랩 준위에 전

자가 포획됨으로써, 절연막 계면에 마이너스의 고정 전하가 발생하고, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트하게 된다.

- [0201] 따라서, EcS1과 EcS2와의 에너지차, 및 EcS1과 EcS3과의 에너지차를, 각각 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되고 안정된 전기 특성이 되기 때문에, 바람직하다.
- [0202] 2-1-2. 그 외의 구성에 대해
- [0203] 기판(200)은 기판(100)에 대한 기재를 참조할 수 있다. 또한, 소스 전극(216a) 및 드레인 전극(216b)은 소스 전극(116a) 및 드레인 전극(116b)에 대한 기재를 참조할 수 있다. 또한, 게이트 절연막(212)은 게이트 절연막(112)에 대한 기재를 참조할 수 있다. 또한, 게이트 전극(204)은 게이트 전극(104)에 대한 기재를 참조할 수 있다. 또한, 보호 절연막(218)은 보호 절연막(118)에 대한 기재를 참조할 수 있다.
- [0204] 또한, 도 8(A)에서, 다층막(206)은 상면 형상에서 게이트 전극(204)보다 외측까지 형성되어 있지만, 상방으로부터의 광에 의해 다층막(206) 안에서 캐리어가 생성되는 것을 억제하기 위해, 게이트 전극(204)의 폭을 다층막(206)의 폭보다 크게 형성해도 좋다.
- [0205] 하지 절연막(202)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈을 일종 이상 포함하는 절연막을, 단층으로, 또는 적층으로 이용할 수 있다.
- [0206] 하지 절연막(202)은 예를 들면, 첫번째 층을 질화 실리콘막으로 하고, 두번째 층을 산화 실리콘막으로 한 적층 구조로 해도 좋다. 이 경우, 산화 실리콘막은 산화 질화 실리콘막으로 해도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 해도 좋다. 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 이용하면 바람직하다. 구체적으로는, ESR에서 g값이 2.001의 신호에 유래하는 스핀의 밀도가  $3 \times 10^{17}$  spins/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{16}$  spins/cm<sup>3</sup> 이하인 산화 실리콘막을 이용한다. 질화 실리콘막은 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 이용한다. 수소, 암모니아의 방출량은 TDS 분석으로 측정하면 좋다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과하지 않거나, 또는 거의 투과하지 않는 질화 실리콘막을 이용한다.
- [0207] 또한, 하지 절연막(202)은 예를 들면, 첫번째 층을 제 1 질화 실리콘막으로 하고, 두번째 층을 제 1 산화 실리콘막으로 하고, 세번째 층을 제 2 산화 실리콘막으로 한 적층 구조로 해도 좋다. 이 경우, 제 1 산화 실리콘막 또는/및 제 2 산화 실리콘막은 산화 질화 실리콘막으로 해도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 해도 좋다. 제 1 산화 실리콘막은 결합 밀도가 작은 산화 실리콘막을 이용하면 바람직하다. 구체적으로는, ESR에서 g값이 2.001의 신호에 유래하는 스핀의 밀도가  $3 \times 10^{17}$  spins/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{16}$  spins/cm<sup>3</sup> 이하인 산화 실리콘막을 이용한다. 제 2 산화 실리콘막은 파잉 산소를 포함하는 산화 실리콘막을 이용한다. 질화 실리콘막은 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 이용한다. 또한, 질화 실리콘막은 수소, 물 및 산소를 투과하지 않거나, 또는 거의 투과하지 않는 질화 실리콘막을 이용한다.
- [0208] 게이트 절연막(212) 및 하지 절연막(202)의 한쪽 또는 양쪽이 파잉 산소를 포함하는 절연막을 가지는 경우, 산화물 반도체막(206a)의 산소 결손을 저감할 수 있다.
- [0209] 이상에 의해, 본 실시형태에 나타내는 트랜지스터는 다층막(206)의 산화물 반도체막(206a)(특히 채널 영역)의 불순물 및 캐리어 밀도가 저감되어 있음으로써, 안정된 전기 특성을 가지고, 높은 전계 효과 이동도를 가진다.
- [0210] 2-2. 트랜지스터 구조(3)의 제작 방법
- [0211] 여기서, 트랜지스터의 제작 방법에 대해 도 11 및 도 12를 이용하여 설명한다.
- [0212] 우선은, 기판(200)을 준비한다.
- [0213] 기판(200) 위에 하지 절연막(202)을 형성한다. 하지 절연막(202)은 상기 열거한 절연막을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 성막하면 좋다.
- [0214] 다음에, 산화물막(206c)으로 가공되는 산화물막(226c)을 성막한다. 산화물막(206c)의 성막 방법은 실시형태 1의 산화물막(106b)에 대한 기재를 참조할 수 있다. 또한, 산화물막(206c)은 CAAC-OS 또는 비정질이 되도록 성막한다. 산화물막(206c)이 CAAC-OS 또는 비정질이면, 산화물 반도체막(206a)이 되는 산화물 반도체막(226a)이 CAAC-OS가 되기 쉽다.

- [0215] 다음에, 산화물 반도체막(206a)으로 가공되는 산화물 반도체막(226a)을 성막한다. 산화물 반도체막(226a)의 성막 방법은 실시형태 1의 산화물 반도체막(106a)에 대한 기재를 참조할 수 있다.
- [0216] 다음에, 산화물막(206b)으로 가공되는 산화물막(226b)을 성막한다. 산화물막(226b)의 성막 방법은, 실시형태 1의 산화물막(106b)에 대한 기재를 참조할 수 있다(도 11(A) 참조).
- [0217] 실시형태 1에서 기재한 것처럼, 산화물막(206c), 산화물 반도체막(206a), 및 산화물막(206b)을 연속 접합시키기 위해서, 산화물막(226c), 산화물 반도체막(226a), 및 산화물막(226b)은 각 막을 대기에 노출시키지 않고 연속하여 적층하는 것이 바람직하다.
- [0218] 다음에, 산화물막(226c), 산화물 반도체막(226a), 및 산화물막(226b)의 일부를 에칭하고, 산화물막(206c), 산화물 반도체막(206a) 및 산화물막(206b)을 포함하는 다층막(206)을 형성한다(도 11(B) 참조). 또한, 이 에칭은 상기를 참조할 수 있다.
- [0219] 다음에, 제 1 가열 처리를 행하면 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 1% 이상 혹은 10% 이상 포함하는 분위기, 또는 감압 상태에서 행한다. 또는, 제 1 가열 처리의 분위기는, 불활성 가스 분위기로 가열 처리한 후에, 이탈한 산소를 보충하기 위해서 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기로 가열 처리를 행해도 좋다. 제 1 가열 처리에 의해, 산화물 반도체막(226a)의 결정성을 높이고, 또한 하지 절연막(202), 다층막(206)으로부터 물, 수소, 질소, 및 탄소 등의 불순물을 제거할 수 있다.
- [0220] 또한, 제 1 가열 처리는 다층막(206)을 형성하는 에칭 공정의 전후의 적어도 한쪽에서 행할 수 있다.
- [0221] 다음에, 소스 전극(216a) 및 드레인 전극(216b)이 되는 도전막을 성막한다. 소스 전극(216a) 및 드레인 전극(216b)이 되는 도전막의 성막 방법은 실시형태 1의 소스 전극(116a) 및 드레인 전극(116b)에 대한 기재를 참조할 수 있다.
- [0222] 다음에, 소스 전극(216a) 및 드레인 전극(216b)이 되는 도전막의 일부를 에칭하고, 소스 전극(216a) 및 드레인 전극(216b)을 형성한다(도 11(C) 참조).
- [0223] 다음에, 제 2 가열 처리를 행하면 바람직하다. 제 2 가열 처리는 제 1 가열 처리의 기재를 참조하여 행하면 좋다. 제 2 가열 처리에 의해, 다층막(206)으로부터 물, 수소, 질소, 및 탄소 등의 불순물을 제거할 수 있다.
- [0224] 또한, 제 2 가열 처리에 의해, 소스 전극(216a) 및 드레인 전극(216b)과 접하는 다층막(206)에 저저항 영역(206d) 및 저저항 영역(206e)을 형성할 수 있다.
- [0225] 다음에, 게이트 절연막(212)을 성막한다(도 12(A) 참조). 게이트 절연막(212)의 성막 방법은 실시형태 1의 게이트 절연막(112)에 대한 기재를 참조한다.
- [0226] 다음에, 게이트 전극(204)이 되는 도전막을 성막한다. 다음에, 게이트 전극(204)이 되는 도전막의 일부를 에칭하고, 게이트 전극(204)을 형성한다(도 12(B) 참조). 게이트 전극(204)의 성막 방법 및 에칭 공정은 실시형태 1의 게이트 전극(104)에 대한 기재를 참조할 수 있다.
- [0227] 다음에, 보호 절연막(218)을 성막한다(도 8(B) 참조). 보호 절연막(218)의 성막 방법은 보호 절연막(118)에 대한 기재를 참조한다.
- [0228] 이상과 같이 하여, 도 8에 도시하는 트랜지스터를 제작할 수 있다.
- [0229] 2-3. 트랜지스터 구조(4)
- [0230] 여기에서는, 도 8에 도시한 트랜지스터의 변형예인 트랜지스터에 대해 도 13을 이용하여 설명한다.
- [0231] 도 13에, 이 변형예인 트랜지스터의 상면도 및 단면도를 도시한다. 도 13(A)은 트랜지스터의 상면도를 도시한다. 도 13(A)에서, 일점 쇄선 B1-B2에 대응하는 단면도를 도 13(B)에 도시한다. 또한, 도 13(A)에서, 일점 쇄선 B3-B4에 대응하는 단면도를 도 13(C)에 도시한다. 또한, 도 13(A)에서, 도면의 명료화를 위해 이 트랜지스터의 구성 요소의 일부(게이트 절연막, 및 보호 절연막 등)를 생략하였다.
- [0232] 도 13에 도시하는 트랜지스터는 도 8에 도시한 트랜지스터와 비교해, 다층막(206)에서 산화물막(206c)을 가지지 않는 점에서 다르다. 즉, 도 13에 나타내는 트랜지스터에서의 다층막(206)은 산화물 반도체막(206a) 및 산화물

막(206b)이다. 또한, 도 13에 도시하는 트랜지스터의 그 외의 구성 요소는 도 8에 도시하는 트랜지스터와 같고, 상기를 적절히 참조할 수 있다.

- [0233] 도 13에 도시하는 트랜지스터는 산화물막(206b)과 게이트 절연막(212)과의 계면 근방에는, 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있지만, 산화물막(206b)이 형성됨으로써, 산화물 반도체막(206a)과 이 트랩 준위를 멀리할 수 있다. 따라서, 도 13에 도시하는 트랜지스터는 트랜지스터의 문턱 전압의 변동이 저감된, 안정적인 전기 특성을 가지는 트랜지스터이다.
- [0234] 또한, 도 13에 도시하는 트랜지스터의 제작 방법은 실시형태 1 및 도 8에 나타난 트랜지스터의 기재를 적절히 참조할 수 있다.
- [0235] 2-4. 트랜지스터 구조(5)
- [0236] 여기에서는, 도 8에 나타난 트랜지스터의 변형예인 트랜지스터에 대해 도 14를 이용하여 설명한다.
- [0237] 도 14에, 이 변형예인 트랜지스터의 상면도 및 단면도를 도시한다. 도 14(A)는 트랜지스터의 상면도를 도시한다. 도 14(A)에서, 일점 쇄선 B1-B2에 대응하는 단면도를 도 14(B)에 도시한다. 또한, 도 14(A)에서, 일점 쇄선 B3-B4에 대응하는 단면도를 도 14(C)에 도시한다. 또한 도 14(A)에서, 도면의 명료화를 위해 이 트랜지스터의 구성 요소의 일부(게이트 절연막, 및 보호 절연막 등)를 생략하였다.
- [0238] 도 14에 도시하는 트랜지스터는 도 8에 도시한 트랜지스터와 비교하여, 다층막(206)에서 산화물막(206b)을 가지고 있지 않은 점에서 다르다. 즉, 도 14에 도시하는 트랜지스터에서의 다층막(206)은 산화물막(206c) 및 산화물 반도체막(206a)이다. 또한, 소스 전극(216a) 및 드레인 전극(216b)의 상면, 및 다층막(206)의 상면에 산화물막(207)이 접하여 형성되어 있는 점에서 다르다.
- [0239] 산화물막(207)은 실시예 1의 다층막(106)의 산화물막(106b)에 적용할 수 있는 산화물막을 이용할 수 있고, 산화물막(106b)에 적용할 수 있는 방법을 이용하여 성막할 수 있다. 또한, 도 14에 도시하는 트랜지스터의 그 외의 구성 요소는 도 8에 도시하는 트랜지스터와 같고, 상기를 적절히 참조할 수 있다.
- [0240] 도 14에 도시하는 트랜지스터의 구조는 산화물 반도체막(206a)과 게이트 절연막(212) 사이에 산화물막(207)이 형성되는 구조이기 때문에, 산화물막(207)과 게이트 절연막(212)과의 계면 근방에 형성되는 불순물이나 결함에 기인한 트랩 준위를, 산화물 반도체막(106a)으로부터 멀리할 수 있다. 따라서, 도 14에 도시하는 트랜지스터는 트랜지스터의 문턱 전압의 변동이 저감된, 안정적인 전기 특성을 가지는 트랜지스터이다.
- [0241] 또한, 도 14에 도시하는 트랜지스터의 제작 방법은 실시형태 1 및 도 8에 나타난 트랜지스터의 기재를 적절히 참조할 수 있다.
- [0242] 2-5. 그 외의 트랜지스터 구조
- [0243] 예를 들면, 도 8에 도시한 트랜지스터에서, 소스 전극(212a) 및 드레인 전극(212b)의 상면, 및 다층막(206)의 상면과 게이트 절연막(212)과의 사이에, 도 14에 도시한 트랜지스터의 산화물막(207)을 형성한 구조의 트랜지스터도 본 발명의 일 형태에 포함된다.
- [0244] 이러한 구조의 트랜지스터로 함으로써, 산화물 반도체막(206a)과 게이트 절연막(212) 사이에 산화물막(206b) 및 산화물막(207)이 형성되는 구조로 할 수 있기 때문에, 산화물막(207)과 게이트 절연막(212)과의 계면 근방에 형성되는 불순물이나 결함에 기인한 트랩 준위를, 산화물 반도체막(206a)으로부터 보다 멀리할 수 있다. 즉, EcS1과 EcS2와의 에너지차가 작은 경우에도, 산화물 반도체막(206a)의 전자가 이 에너지차를 넘어 트랩 준위에 이르는 것을 억제할 수 있다. 따라서, 트랜지스터의 문턱 전압의 변동이 더욱 저감된, 안정적인 전기 특성을 가지는 트랜지스터를 얻을 수 있다.
- [0245] 또한, 실시형태 1에서 설명한 보텀 게이트 구조의 트랜지스터의 다층막(106)을, 산화물 반도체막(206a), 산화물막(206b) 및 산화물막(206c)을 가지는 다층막(206)으로 대체한 트랜지스터도 본 발명의 일 형태에 포함된다.
- [0246] 이상에 의해, 도 8, 도 13 및 도 14에 도시한 트랜지스터는 다층막(106), 다층막(206)의 산화물 반도체막(106a), 산화물 반도체막(206a)(특히 채널 영역)에서, 불순물 및 캐리어 밀도가 저감되어 있기 때문에 안정된 전기 특성을 가진다.
- [0247] (실시형태 3)
- [0248] 본 실시형태에서는, 상기 실시형태에서 기재한 트랜지스터를 이용한 반도체 장치에 대해 설명한다.

- [0249] 3-1. 표시 장치
- [0250] 여기에서는, 상기 실시형태에서 기재한 트랜지스터를 이용한 반도체 장치의 하나인 표시 장치에 대해 설명한다.
- [0251] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함.), 발광 소자(발광 표시 소자라고도 함.) 등을 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등을 포함한다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트(contrast)가 변화하는 표시 매체도 표시 소자로서 적용할 수 있다. 이하에서는, 표시 장치의 일례로서 EL 소자를 이용한 표시 장치 및 액정 소자를 이용한 표시 장치에 대해 설명한다.
- [0252] 또한, 이하에 나타내는 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.
- [0253] 또한, 이하에 나타내는 표시 장치는 화상 표시 디바이스, 또는 광원(조명 장치 포함함)을 가리킨다. 또, 커넥터(connector), 예를 들면 FPC, TCP가 장착된 모듈, TCP의 끝에 프린트 배선판이 형성된 모듈 또는 표시 소자에 COG 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0254] 또한, 이하에 나타내는 표시 장치는 접촉 또는 비접촉에 의한 센싱에 의해 행해지는 입력 수단을 형성할 수 있다(도시하지 않음). 예를 들면, 접촉에 의한 센싱에 의해 행해지는 입력 수단으로서는, 저항막 방식, 정전 용량 방식, 적외선 방식, 전자 유도 방식, 표면 탄성과 방식 등, 여러 가지의 방식의 터치 센서를 이용할 수 있다. 또한, 비접촉에 의한 센싱에 의해 행해지는 입력 수단으로서는 적외선 카메라 등을 이용함으로써 실시할 수 있다.
- [0255] 이 입력 수단은 이하에 나타내는 표시 장치 위에 별도 형성된, 이른바 온-셀(on-cell) 방식으로서 형성해도 좋고, 이하에 나타내는 표시 장치와 일체로서 형성된, 이른바 인-셀(in-cell) 방식으로서 형성해도 좋다.
- [0256] 3-1-1. EL 표시 장치
- [0257] 여기에서는, EL 소자를 이용한 표시 장치(EL 표시 장치라고도 함.)에 대해 설명한다.
- [0258] 도 15는 EL 표시 장치의 화소의 회로도의 일례이다.
- [0259] 도 15에 도시하는 EL 표시 장치는 스위치 소자(743)와 트랜지스터(741)와 캐패시터(742)와 발광 소자(719)를 가진다.
- [0260] 트랜지스터(741)의 게이트는 스위치 소자(743)의 일단 및 캐패시터(742)의 일단과 전기적으로 접속된다. 트랜지스터(741)의 소스는 발광 소자(719)의 일단과 전기적으로 접속된다. 트랜지스터(741)의 드레인은 캐패시터(742)의 다른 단과 전기적으로 접속되고, 전원 전위(VDD)가 주어진다. 스위치 소자(743)의 다른 단은 신호선(744)과 전기적으로 접속된다. 발광 소자(719)의 다른 단은 정전위가 주어진다. 또한, 정전위는 접지 전위(GND) 또는 그것보다 작은 전위로 한다.
- [0261] 또한, 트랜지스터(741)는 상기 실시형태에 기재한 트랜지스터를 이용한다. 이 트랜지스터는 안정된 전기 특성을 가진다. 그 때문에, 표시 품위가 높은 EL 표시 장치로 할 수 있다.
- [0262] 스위치 소자(743)로서는, 트랜지스터를 이용하면 바람직하다. 트랜지스터를 이용함으로써, 화소의 면적을 작게 할 수 있고, 해상도가 높은 EL 표시 장치로 할 수 있다. 또한, 스위치 소자(743)로서 상기 실시형태에 기재한 트랜지스터를 이용해도 좋다. 스위치 소자(743)로서 이 트랜지스터를 이용함으로써, 트랜지스터(741)와 동일 공정에 의해 스위치 소자(743)를 제작할 수 있고, EL 표시 장치의 생산성을 높일 수 있다.
- [0263] 도 16(A)은 EL 표시 장치의 상면도이다. EL 표시 장치는 기관(100)과 기관(700)과, 실링재(734)와, 구동 회로(735)와, 구동 회로(736)와, 화소(737)와, FPC(732)를 가진다. 실링재(734)는 화소(737), 구동 회로(735) 및 구동 회로(736)를 둘러싸도록 기관(100)과 기관(700)과의 사이에 형성된다. 또한, 구동 회로(735) 및 구동 회로(736)의 한쪽 또는 양쪽을 실링재(734)의 외측에 형성해도 좋다.
- [0264] 도 16(B)은 도 16(A)의 일점 쇄선 M-N에 대응하는 EL 표시 장치의 단면도이다. FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(104)과 동일층이다.
- [0265] 또한, 도 16(B)은 트랜지스터(741)와 캐패시터(742)가 동일 평면에 형성된 예를 도시한다. 이러한 구조로 함으로써, 캐패시터(742)를 트랜지스터(741)의 게이트 전극, 게이트 절연막 및 소스 전극(드레인 전극)과 동일 평면에 형성할 수 있다. 이와 같이, 트랜지스터(741)와 캐패시터(742)를 동일 평면에 형성함으로써, EL 표시 장치

의 제작 공정을 단축화하고, 생산성을 높일 수 있다.

- [0266] 도 16(B)에서는, 트랜지스터(741)로서 도 1에 도시한 트랜지스터를 적용한 예를 도시한다. 그 때문에, 트랜지스터(741)의 각 구성 중, 이하에서 특별히 설명하지 않는 것에 대해서는, 도 1에 대한 기재를 참조한다.
- [0267] 트랜지스터(741) 및 캐패시터(742) 위에는 절연막(720)이 형성된다.
- [0268] 여기서, 절연막(720) 및 보호 절연막(118)에는 트랜지스터(741)의 소스 전극(116a)에 이르는 개구부가 형성된다.
- [0269] 절연막(720) 위에는 전극(781)이 형성된다. 전극(781)은 절연막(720) 및 보호 절연막(118)에 형성된 개구부를 통하여 트랜지스터(741)의 소스 전극(116a)과 접한다.
- [0270] 전극(781) 위에는 전극(781)에 이르는 개구부를 가지는 격벽(784)이 형성된다.
- [0271] 격벽(784) 위에는 격벽(784)에 형성된 개구부를 통해 전극(781)과 접하는 발광층(782)이 형성된다.
- [0272] 발광층(782) 위에는 전극(783)이 형성된다.
- [0273] 전극(781), 발광층(782) 및 전극(783)이 중첩하는 영역이 발광 소자(719)가 된다.
- [0274] 또한, 절연막(720)은 보호 절연막(118)의 기재를 참조한다. 또는, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘 수지 등의 수지막을 이용해도 상관없다.
- [0275] 발광층(782)은 한층으로 한정되지 않고, 복수층의 발광층 등을 적층하여 형성해도 좋다. 예를 들면, 도 16(C)에 도시하는 것과 같은 구조로 하면 좋다. 도 16(C)은 중간층(785a), 발광층(786a), 중간층(785b), 발광층(786b), 중간층(785c), 발광층(786c) 및 중간층(785d)의 차례로 적층한 구조이다. 이 때, 발광층(786a), 발광층(786b) 및 발광층(786c)에 적절한 발광색의 발광층을 이용하면 연색성이 높거나, 또는 발광 효율이 높은 발광 소자(719)를 형성할 수 있다.
- [0276] 발광층을 복수층 적층하여 형성함으로써, 백색광을 얻어도 좋다. 도 16(B)에는 도시하지 않지만, 착색층을 통하여 백색광을 추출하는 구조로 해도 좋다.
- [0277] 여기에서는 발광층을 3층 및 중간층을 4층 형성한 구조를 나타내고 있지만, 이것으로 한정되는 것은 아니고, 적절히 발광층의 수 및 중간층의 수를 변경할 수 있다. 예를 들면, 중간층(785a), 발광층(786a), 중간층(785b), 발광층(786b) 및 중간층(785c)만으로 구성할 수도 있다. 또한, 중간층(785a), 발광층(786a), 중간층(785b), 발광층(786b), 발광층(786c) 및 중간층(785d)으로 구성하고, 중간층(785c)을 생략한 구조로 해도 좋다.
- [0278] 또한, 중간층은 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 등을 적층 구조로 이용할 수 있다. 또한, 중간층은 이러한 층을 모두 갖추지 않아도 좋다. 이러한 층은 적절히 선택하여 형성하면 좋다. 또한, 같은 기능을 가지는 층을 중복하여 형성해도 좋다. 또한, 중간층으로서 캐리어 발생층 외, 전자 릴레이층 등을 적절히 더해도 좋다.
- [0279] 전극(781)은 가시광 투과성을 가지는 도전막을 이용하면 좋다. 가시광 투과성을 가진다는 것은 가시광 영역(예를 들면 400nm~800nm의 파장 범위)에서의 평균 투과율이 70% 이상, 특히 80% 이상인 것을 말한다.
- [0280] 전극(781)으로서, 예를 들면, In-Zn-W 산화물막, In-Sn 산화물막, In-Zn 산화물막, 산화 인듐막, 산화 아연막 및 산화 주석막 등의 산화물막을 이용하면 좋다. 또한, 위에서 서술한 산화물막은 Al, Ga, Sb, F 등이 미량 첨가되어도 좋다. 또한, 광을 투과하는 정도의 금속 박막(바람직하게는, 5nm~30nm 정도)을 이용할 수도 있다. 예를 들면 5nm의 막 두께를 가지는 Ag막, Mg막 또는 Ag-Mg 합금막을 이용해도 좋다.
- [0281] 또는, 전극(781)은 가시광을 효율적으로 반사하는 막이 바람직하다. 전극(781)은 예를 들면, 리튬, 알루미늄, 티탄, 마그네슘, 란탄, 은, 실리콘 또는 니켈을 포함한 막을 이용하면 좋다.
- [0282] 전극(783)은 전극(781)으로서 나타난 막으로부터 선택하여 이용할 수 있다. 단, 전극(781)이 가시광 투과성을 가지는 경우는, 전극(783)이 가시광을 효율적으로 반사하면 바람직하다. 또한, 전극(781)이 가시광을 효율적으로 반사하는 경우는, 전극(783)이 가시광 투과성을 가지면 바람직하다.
- [0283] 또한, 전극(781) 및 전극(783)을 도 16(B)에 도시하는 구조로 형성하고 있지만, 전극(781)과 전극(783)을 서로 바꿔도 좋다. 애노드(anode)로서 기능하는 전극에는, 일 함수가 큰 도전막을 이용하는 것이 바람직하고, 캐소드(cathode)로서 기능하는 전극에는 일 함수가 작은 도전막을 이용하는 것이 바람직하다. 단, 애노드와 접해

캐리어 발생층을 형성하는 경우에는, 일 함수를 고려하지 않고 여러가지 도전막을 양극으로 이용할 수 있다.

- [0284] 격벽(784)은 보호 절연막(118)의 기재를 참조한다. 또는, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘 수지 등의 수지막을 이용해도 상관없다.
- [0285] 또한, 표시 장치에서, 블랙 매트릭스(차광막), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 형성된다. 예를 들면, 편광 기관 및 위상차 기관에 의한 원편광을 이용해도 좋다.
- [0286] 발광 소자(719)와 접속하는 트랜지스터(741)는 안정된 전기 특성을 가진다. 그 때문에, 표시 품위가 높은 EL 표시 장치를 제공할 수 있다.
- [0287] 도 17(A) 및 도 17(B)은 도 16(B)과 일부가 다른 EL 표시 장치의 단면도의 일례이다. 구체적으로는, FPC(732)와 접속하는 배선이 다르다. 도 17(A)에서는, 단자(731)를 통하여 FPC(732)와 배선(733b)이 접속하고 있다. 배선(733b)은 소스 전극(116a) 및 드레인 전극(116b)과 동일층이다. 도 17(B)에서는, 단자(731)를 통하여 FPC(732)와 배선(733c)이 접속하고 있다. 배선(733 c)은 전극(781)과 동일층이다.
- [0288] 3-1-2. 액정 표시 장치
- [0289] 다음에, 액정 소자를 이용한 표시 장치(액정표시 장치라고도 함.)에 대해 설명한다.
- [0290] 도 18은 액정 표시 장치의 화소의 구성예를 도시하는 회로도이다. 도 18에 도시하는 화소(750)는 트랜지스터(751)와, 캐패시터(752)와, 한쌍의 전극간에 액정이 충전된 소자(이하 액정 소자라고도 함)(753)를 가진다.
- [0291] 트랜지스터(751)에서는, 소스 및 드레인의 한쪽이 신호선(755)에 전기적으로 접속되고, 게이트가 주사선(754)에 전기적으로 접속되어 있다.
- [0292] 캐패시터(752)에서는, 한쪽의 전극이 트랜지스터(751)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 다른 한쪽의 전극이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다.
- [0293] 액정 소자(753)에서는, 한쪽의 전극이 트랜지스터(751)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 다른 한쪽의 전극이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다. 또한, 위에서 서술한 캐패시터(752)의 다른 한쪽의 전극이 전기적으로 접속하는 배선에 주어지는 공통 전위와, 액정 소자(753)의 다른 한쪽의 전극에 주어지는 공통 전위가 다른 전위여도 좋다.
- [0294] 또한, 액정 표시 장치도, 상면도는 EL 표시 장치와 대략 같다. 도 16(A)의 일점 쇄선 M-N에 대응하는 액정 표시 장치의 단면도를 도 19(A)에 도시한다. 도 19(A)에서, FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(104)과 동일층이다.
- [0295] 도 19(A)에는, 트랜지스터(751)와 캐패시터(752)가 동일 평면에 형성된 예를 도시한다. 이러한 구조로 함으로써, 캐패시터(752)를 트랜지스터(751)의 게이트 전극, 게이트 절연막 및 소스 전극(드레인 전극)과 동일 평면에 제작할 수 있다. 이와 같이, 트랜지스터(751)와 캐패시터(752)를 동일 평면에 형성함으로써, 액정 표시 장치의 제작 공정을 단순화하고, 생산성을 높일 수 있다.
- [0296] 트랜지스터(751)로서는, 위에서 서술한 트랜지스터를 적용할 수 있다. 도 19(A)에서는, 도 1에 도시한 트랜지스터를 적용한 예를 도시한다. 그 때문에, 트랜지스터(751)의 각 구성 중, 이하에서 특히 설명하지 않는 것에 대해서는, 도 1에 대한 기재를 참조한다.
- [0297] 또한, 트랜지스터(751)는 오프 전류가 매우 작은 트랜지스터로 할 수 있다. 따라서, 캐패시터(752)에 보유된 전하가 리크하기 어렵고, 장기간에 걸쳐 액정 소자(753)에 인가되는 전압을 유지할 수 있다. 그 때문에, 움직임이 적은 동영상이나 정지 화면을 표시할 때에, 트랜지스터(751)를 오프 상태로 함으로써, 트랜지스터(751)의 동작을 위한 전력이 불필요해지고, 소비 전력이 작은 액정 표시 장치로 할 수 있다.
- [0298] 액정 표시 장치에 형성되는 캐패시터(752)의 크기는 화소부에 배치되는 트랜지스터(751)의 리크 전류 등을 고려하여, 소정의 기간 동안 전하를 보유할 수 있도록 설정된다. 트랜지스터(751)를 이용함으로써, 각 화소에서의 액정 용량에 대해 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 가지는 캐패시터를 형성하면 충분하기 때문에, 화소에서의 개구율을 높일 수 있다.
- [0299] 트랜지스터(751) 및 캐패시터(752) 위에는 절연막(721)이 형성된다.
- [0300] 여기서, 절연막(721) 및 보호 절연막(118)에는 트랜지스터(751)의 드레인 전극(116b)에 이르는 개구부가 형성된

다.

- [0301] 절연막(721) 위에는 전극(791)이 형성된다. 전극(791)은 절연막(721) 및 보호 절연막(118)에 형성된 개구부를 통하여 트랜지스터(751)의 드레인 전극(116b)과 접한다.
- [0302] 전극(791) 위에는 배향막으로서 기능하는 절연막(792)이 형성된다.
- [0303] 절연막(792) 위에는 액정층(793)이 형성된다.
- [0304] 액정층(793) 위에는 배향막으로서 기능하는 절연막(794)이 형성된다.
- [0305] 절연막(794) 위에는 스페이서(795)가 형성된다.
- [0306] 스페이서(795) 및 절연막(794) 위에는 전극(796)이 형성된다.
- [0307] 전극(796) 위에는 기관(797)이 형성된다.
- [0308] 또한, 절연막(721)은 보호 절연막(118)의 기재를 참조한다. 또는, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘 수지 등의 수지막을 이용해도 상관없다.
- [0309] 액정층(793)은 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용하면 좋다. 이러한 액정은 조건에 따라, 콜레스테릭(cholesteric)상, 스멕틱(smectic)상, 큐빅상, 키랄 네마틱(chiral nematic)상, 등방상 등을 나타낸다.
- [0310] 또한, 액정층(793)으로서 블루(blue)상을 나타내는 액정을 이용해도 좋다. 그 경우, 배향막으로서 기능하는 절연막(792) 및 절연막(794)을 형성하지 않는 구성으로 하면 좋다.
- [0311] 전극(791)은 가시광 투과성을 가지는 도전막을 이용하면 좋다.
- [0312] 액정 표시 장치가 투과형인 경우, 전극(791)으로서는, 예를 들면, In-Zn-W 산화물막, In-Sn 산화물막, In-Zn 산화물막, 산화 인듐막, 산화 아연막 및 산화 주석막 등의 산화물막을 이용하면 좋다. 또한, 앞에서 서술한 산화물막은 Al, Ga, Sb, F 등이 미량 첨가되어도 좋다. 또한, 광을 투과하는 정도의 금속 박막(바람직하게는, 5nm ~ 30nm 정도)을 이용할 수도 있다.
- [0313] 액정 표시 장치가 반사형인 경우, 전극(791)은 가시광을 효율적으로 반사하는 막이 바람직하다. 전극(791)은 예를 들면, 알루미늄, 티탄, 크롬, 구리, 몰리브덴, 은, 탄탈 또는 텅스텐을 포함하는 막을 이용하면 좋다.
- [0314] 액정 표시 장치가 투과형인 경우, 전극(796)은 전극(791)으로서 나타난 가시광 투과성을 가지는 도전막으로부터 선택하여 이용할 수 있다. 한편, 액정 표시 장치가 반사형인 경우, 전극(791)이 가시광 투과성을 가지는 경우는, 전극(796)이 가시광을 효율적으로 반사하면 바람직하다. 또한, 전극(791)이 가시광을 효율 좋게 반사하는 경우는, 전극(796)이 가시광 투과성을 가지면 바람직하다.
- [0315] 또한, 전극(791) 및 전극(796)을 도 19(A)에 도시하는 구조로 형성하고 있지만, 전극(791)과 전극(796)을 서로 바꿔도 좋다.
- [0316] 절연막(792) 및 절연막(794)은 유기 화합물 또는 무기 화합물로부터 선택하여 이용하면 좋다.
- [0317] 스페이서(795)는 유기 화합물 또는 무기 화합물로부터 선택하여 이용하면 좋다. 또한, 스페이서(795)의 형상은 기둥 모양, 구 모양 등 여러가지로 취할 수 있다.
- [0318] 전극(791), 절연막(792), 액정층(793), 절연막(794) 및 전극(796)이 중첩하는 영역이 액정 소자(753)가 된다.
- [0319] 기관(797)은 유리, 수지 또는 금속 등을 이용하면 좋다. 기관(797)은 가요성을 가져도 좋다.
- [0320] 도 19(B) 및 도 19(C)는 도 19(A)와 일부가 다른 액정 표시 장치의 단면도의 일례이다. 구체적으로는, FPC(732)와 접속하는 배선이 다르다. 도 19(B)에서는, 단자(731)를 통하여 FPC(732)와 배선(733b)이 접속하고 있다. 배선(733b)은 소스 전극(116a) 및 드레인 전극(116b)과 동일층이다. 도 19(C)에서는, 단자(731)를 통하여 FPC(732)와 배선(733c)이 접속하고 있다. 배선(733c)은 전극(791)과 동일층이다.
- [0321] 액정 소자(753)와 접속하는 트랜지스터(751)는 안정된 전기 특성을 가진다. 그 때문에, 표시 품질이 높은 액정 표시 장치를 제공할 수 있다. 또한, 트랜지스터(751)는 오프 전류를 매우 작게 할 수 있기 때문에, 소비 전력이 작은 액정 표시 장치를 제공할 수 있다.
- [0322] 액정 표시 장치에서, 동작 모드는 적절히 선택할 수 있다. 예를 들면, 기관에 대해서 직교로 전압을 인가하는

세로 전계 방식, 기관에 대해서 평행으로 전압을 인가하는 가로 전계 방식이 있다. 구체적으로는, TN 모드, VA 모드, MVA 모드, PVA 모드, ASM 모드, TBA 모드, OCB 모드, FLC 모드, AFLC 모드, 또는 FFS 모드 등을 들 수 있다.

- [0323] 액정 표시 장치에서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 형성된다. 예를 들면, 편광 기관 및 위상차 기관에 의한 원편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.
- [0324] 또한, 백 라이트로서 복수의 발광 다이오드(LED)를 이용하여, 시간 분할 표시 방식(field-sequential driving method, 필드 순차 구동 방식)을 행할 수도 있다. 필드 순차 구동 방식을 적용함으로써, 착색층을 이용하지 않고, 컬러 표시를 행할 수 있다.
- [0325] 위에서 서술한 것처럼, 화소부에서의 표시 방식은 프로그래시브 방식(progressive method)이나 인터레이스 방식(interlace method) 등을 이용한다. 또한, 컬러 표시할 때에 화소로 제어하는 색요소로서는, RGB(R은 빨강, G는 초록, B는 파랑을 나타냄)의 3색으로 한정되지 않는다. 예를 들면, RGBW(W는 흰색을 나타냄), 또는 RGB에, 노랑, 청록, 진홍 등을 1색 이상 추가한 것이 있다. 또한, 색요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 단, 본 발명은 컬러 표시의 액정 표시 장치로 한정되는 것은 아니고, 흑백 표시의 액정 표시 장치에 적용할 수 있다.
- [0326] 3-2. 마이크로 컴퓨터
- [0327] 위에서 서술한 트랜지스터는 다양한 전자 기기에 탑재되는 마이크로 컴퓨터에 적용할 수 있다.
- [0328] 이하에서는, 마이크로 컴퓨터를 탑재한 전자 기기의 예로서 화재 경보기의 구성 및 동작에 대해, 도 20, 도 21, 도 22 및 도 23(A)을 이용하여 설명한다.
- [0329] 또한, 본 명세서 안에서, 화재 경보기란, 화재의 발생을 급보하는 장치 전반을 나타내는 것이고, 예를 들면, 주택용 화재 경보기나, 자동 화재 알람 설비나, 이 자동 화재 알람 설비에 이용되는 화재 감지기 등도 화재 경보기에 포함되는 것으로 한다.
- [0330] 도 20에 도시하는 경보 장치는 마이크로 컴퓨터(500)를 적어도 가진다. 여기서, 마이크로 컴퓨터(500)는 경보 장치의 내부에 형성되어 있다. 마이크로 컴퓨터(500)는 고전위 전원선(VDD)과 전기적으로 접속된 파워 게이트 컨트롤러(503)와, 고전위 전원선(VDD) 및 파워 게이트 컨트롤러(503)와 전기적으로 접속된 파워 게이트(504)와, 파워 게이트(504)와 전기적으로 접속된 CPU(Central Processing Unit)(505)와, 파워 게이트(504) 및 CPU(505)와 전기적으로 접속된 검출부(509)가 형성된다. 또한, CPU(505)에는, 휘발성 기억부(506)와 불휘발성 기억부(507)가 포함된다.
- [0331] 또한, CPU(505)는 인터페이스(508)를 통하여 버스 라인(502)과 전기적으로 접속되어 있다. 인터페이스(508)도 CPU(505)와 마찬가지로 파워 게이트(504)와 전기적으로 접속되어 있다. 인터페이스(508)의 버스 규격으로서, 예를 들면, I<sup>2</sup>C 버스 등을 이용할 수 있다. 또한, 경보 장치에는 인터페이스(508)를 통하여 파워 게이트(504)와 전기적으로 접속되는 발광 소자(530)가 형성된다.
- [0332] 발광 소자(530)는 지향성이 강한 광을 방출하는 것이 바람직하고, 예를 들면, 유기 EL 소자, 무기 EL 소자, LED 등을 이용할 수 있다.
- [0333] 파워 게이트 컨트롤러(503)은 타이머를 가지고, 이 타이머에 따라 파워 게이트(504)를 제어한다. 파워 게이트(504)는, 파워 게이트 컨트롤러(503)의 제어에 따라, CPU(505), 검출부(509) 및 인터페이스(508)에 고전위 전원선(VDD)으로부터 공급되는 전원을 공급 또는 차단한다. 여기서, 파워 게이트(504)로서는, 예를 들면, 트랜지스터 등의 스위칭 소자를 이용할 수 있다.
- [0334] 이와 같은 파워 게이트 컨트롤러(503) 및 파워 게이트(504)를 이용함으로써, 광량을 측정하는 기간에 검출부(509), CPU(505) 및 인터페이스(508)로의 전원 공급을 행하고, 측정 기간의 사이에는 검출부(509), CPU(505) 및 인터페이스(508)로의 전원 공급을 차단할 수 있다. 이와 같이 경보 장치를 동작시킴으로써, 상기의 각 구성에 상시 전원 공급을 행하는 경우보다 소비 전력의 저감을 도모할 수 있다.
- [0335] 또한, 파워 게이트(504)로서 트랜지스터를 이용하는 경우, 불휘발성 기억부(507)에 이용되는, 오프 전류가 매우 낮은 트랜지스터, 예를 들면 상기 실시형태에 기재한 트랜지스터를 이용하는 것이 바람직하다. 이와 같은 트랜지스터를 이용함으로써, 파워 게이트(504)로 전원을 차단할 때에 리크 전류를 저감하고, 소비 전력의 저감을 도

모할 수 있다.

- [0336] 정보 장치에 직류 전원(501)을 형성하고, 직류 전원(501)으로부터 고전위 전원선(VDD)에 전원을 공급해도 좋다. 직류 전원(501)의 고전위측의 전극은 고전위 전원선(VDD)과 전기적으로 접속되고, 직류 전원(501)의 저전위측의 전극은 저전위 전원선(VSS)과 전기적으로 접속된다. 저전위 전원선(VSS)은 마이크로 컴퓨터(500)에 전기적으로 접속된다. 여기서, 고전위 전원선(VDD)은 고전위(H)가 주어지고 있다. 또한, 저전위 전원선(VSS)은 예를 들면 접지 전위(GND)등의 저전위(L)가 주어지고 있다.
- [0337] 직류 전원(501)으로서 전지를 이용하는 경우는, 예를 들면, 고전위 전원선(VDD)과 전기적으로 접속된 전극과, 저전위 전원선(VSS)에 전기적으로 접속된 전극과, 이 전지를 보유할 수 있는 하우징을 가지는 전지 케이스를 하우징에 형성하는 구성으로 하면 좋다. 또한, 정보 장치는 반드시 직류 전원(501)을 형성하지 않아도 좋고, 예를 들면, 이 정보 장치의 외부에 형성된 교류 전원으로부터 배선을 통하여 전원을 공급하는 구성으로 해도 좋다.
- [0338] 또한, 상기 전지로서 2차 전지, 예를 들면, 리튬 이온 2차 전지(리튬 이온 축전지, 리튬 이온 배터리, 또는 리튬 이온 배터리라고도 부름.)를 이용할 수도 있다. 또한, 이 2차 전지를 충전할 수 있도록 태양 전지를 형성하는 것이 바람직하다.
- [0339] 검출부(509)는 비정상적으로 관계되는 물리량을 계측하여 계측값을 CPU(505)에 송신한다. 비정상적으로 관계되는 물리량은 정보 장치의 용도에 따라 다르고, 화재 경보기로서 기능하는 정보 장치에서는, 화재와 관련되는 물리량을 계측한다. 따라서, 검출부(509)에는, 화재와 관계되는 물리량으로서 광량을 계측하여, 연기의 존재를 감지한다.
- [0340] 검출부(509)는 파워 게이트(504)와 전기적으로 접속된 광센서(511)와, 파워 게이트(504)와 전기적으로 접속된 앰프(512)와, 파워 게이트(504) 및 CPU(505)와 전기적으로 접속된 AD 컨버터(513)를 가진다. 발광 소자(530), 광센서(511), 앰프(512) 및 AD 컨버터(513)는 파워 게이트(504)가 검출부(509)에 전원을 공급했을 때에 동작한다.
- [0341] 도 21에 정보 장치의 단면의 일부를 도시한다. p형의 반도체 기판(401)에 소자 분리 영역(403)을 가지고, 게이트 절연막(407) 및 게이트 전극(409), n형의 불순물 영역(411a), n형의 불순물 영역(411b)을 가지는 n형의 트랜지스터(519)가 형성되어 있다. n형의 트랜지스터(519)는 단결정 실리콘 등의 반도체를 이용하여 형성되어 있고, 고속 동작이 가능하다. 따라서, 고속의 액세스가 가능한 CPU의 휘발성 기억부를 형성할 수 있다. 또한, n형의 트랜지스터(519) 위에는, 절연막(415) 및 절연막(417)이 형성된다.
- [0342] 또한, 절연막(415) 및 절연막(417)의 일부를 선택적으로 에칭한 개구부에 콘택트 플러그(419a) 및 콘택트 플러그(419b)를 형성하고, 절연막(417) 및 콘택트 플러그(419a) 및 콘택트 플러그(419b) 위에 홈부를 가지는 절연막(421)을 형성하고 있다. 또한, 절연막(421)의 홈부에 배선(423a) 및 배선(423b)을 형성한다. 또한, 절연막(421), 배선(423a) 및 배선(423b) 위에 스퍼터링법, CVD법 등에 의해 절연막(420)을 형성하고, 이 절연막(420) 위에, 홈부를 가지는 절연막(422)을 형성한다. 절연막(422)의 홈부에 전극(424)을 형성한다. 전극(424)은 제 2 트랜지스터(517)의 백 게이트 전극으로서 기능하는 전극이다. 이와 같은 전극(424)을 형성함으로써, 제 2 트랜지스터(517)의 문턱 전압의 제어를 행할 수 있다.
- [0343] 또한, 절연막(422) 및 전극(424) 위에, 스퍼터링법, CVD법 등에 의해, 절연막(425)을 형성하고 있다.
- [0344] 절연막(425) 위에는, 제 2 트랜지스터(517)와 광전 변환 소자(514)가 형성된다. 제 2 트랜지스터(517)는 산화물 반도체막(206a) 및 산화물막(206b)을 포함하는 다층막(206)과, 다층막(206) 위에 접하는 소스 전극(216a), 드레인 전극(216b)과, 게이트 절연막(212)과, 게이트 전극(204)과, 보호 절연막(218)을 포함한다. 또한, 광전 변환 소자(514)와 제 2 트랜지스터(517)를 덮는 절연막(445)이 형성되고, 절연막(445) 위에 드레인 전극(216b)에 접하여 배선(449)을 가진다. 배선(449)은 제 2 트랜지스터(517)의 드레인 전극과 n형의 트랜지스터(519)의 게이트 전극(409)을 전기적으로 접속하는 노드로서 기능한다.
- [0345] 광센서(511)는 광전 변환 소자(514)와, 용량 소자와, 제 1 트랜지스터와, 제 2 트랜지스터(517)와 제 3 트랜지스터와 n형의 트랜지스터(519)를 포함한다. 여기서 광전 변환 소자(514)로서는, 예를 들면, 포토 다이오드 등을 이용할 수 있다.
- [0346] 광전 변환 소자(514)의 단자의 한쪽은 저전위 전원선(VSS)과 전기적으로 접속되고, 단자의 다른 한쪽은 제 2 트랜지스터(517)의 소스 전극 및 드레인 전극의 한쪽에 전기적으로 접속된다. 제 2 트랜지스터(517)의 게이트 전

극은 전하 축적 제어 신호(Tx)가 주어지고, 소스 전극 및 드레인 전극의 다른 한쪽은 용량 소자의 한쌍의 전극의 한쪽과, 제 1 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과, n형의 트랜지스터(519)의 게이트 전극과 전기적으로 접속된다(이하, 이 노드를 노드(FD)라고 부르는 경우가 있음). 용량 소자의 한쌍의 전극의 다른 한쪽은 저전위 전원선(VSS)과 전기적으로 접속된다. 제 1 트랜지스터의 게이트 전극은 리셋 신호(Res)가 주어지고, 소스 전극 및 드레인 전극의 다른 한쪽은 고전위 전원선(VDD)과 전기적으로 접속된다. n형의 트랜지스터(519)의 소스 전극 및 드레인 전극의 한쪽은 제 3 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과, 앰프(512)와 전기적으로 접속된다. 또한, n형의 트랜지스터(519)의 소스 전극 및 드레인 전극의 다른 한쪽은 고전위 전원선(VDD)과 전기적으로 접속된다. 제 3 트랜지스터의 게이트 전극은 바이어스 신호(Bias)가 주어지고, 소스 전극 및 드레인 전극의 다른 한쪽은 저전위 전원선(VSS)과 전기적으로 접속된다.

- [0347] 또한, 용량 소자는 반드시 형성하지 않아도 좋고, 예를 들면, n형의 트랜지스터(519) 등의 기생 용량이 충분히 큰 경우, 용량 소자를 형성하지 않는 구성으로 해도 좋다.
- [0348] 또한, 제 1 트랜지스터 및 제 2 트랜지스터(517)에, 오프 전류가 매우 낮은 트랜지스터를 이용하는 것이 바람직하다. 또한, 오프 전류가 매우 낮은 트랜지스터로서는, 위에서 서술한 산화물 반도체막을 포함하는 다층막을 이용한 트랜지스터를 이용하는 것이 바람직하다. 이와 같은 구성으로 함으로써 노드(FD)의 전위를 장시간 보유할 수 있게 된다.
- [0349] 또한, 도 21에 도시하는 구성은 제 2 트랜지스터(517)와 전기적으로 접속하고, 절연막(425) 위에 광전 변환 소자(514)가 형성되어 있다.
- [0350] 광전 변환 소자(514)는 절연막(425) 위에 형성된 반도체막(260)과 반도체막(260) 위에 접하여 형성된 제 2 트랜지스터(517)의 소스 전극(216a), 전극(216c)을 가진다. 소스 전극(216a)은 제 2 트랜지스터(517)의 소스 전극 또는 드레인 전극으로서 기능하는 전극이며, 광전 변환 소자(514)와 제 2 트랜지스터(517)를 전기적으로 접속하고 있다.
- [0351] 반도체막(260), 제 2 트랜지스터(517)의 소스 전극(216a) 및 전극(216c) 위에는, 게이트 절연막(212), 보호 절연막(218) 및 절연막(445)이 형성되어 있다. 또한, 절연막(445) 위에 배선(456)이 형성되어 있고, 게이트 절연막(212), 보호 절연막(218) 및 절연막(445)에 형성된 개구를 통하여 전극(216c)과 접한다.
- [0352] 전극(216c)은 제 2 트랜지스터(517)의 소스 전극(216a) 및 드레인 전극(216b)과 배선(456)은 배선(449)과 같은 공정에서 형성할 수 있다.
- [0353] 반도체막(260)으로서, 광전 변환을 행할 수 있는 반도체막을 형성하면 좋고, 예를 들면, 실리콘이나 게르마늄 등을 이용할 수 있다. 반도체막(260)에 실리콘을 이용한 경우는 가시광을 검지하는 광센서로서 기능한다. 또, 실리콘과 게르마늄에서는 흡수할 수 있는 전자파의 파장이 다르기 때문에, 반도체막(260)에 게르마늄을 이용하는 구성으로 하면, 적외선을 검지하는 센서로서 이용할 수 있다.
- [0354] 이상과 같이, 마이크로 컴퓨터(500)에, 광센서(511)를 포함하는 검출부(509)를 내장하여 형성할 수 있기 때문에, 부품 수를 삭감하고, 경보 장치의 하우징을 축소할 수 있다.
- [0355] 위에서 서술한 IC 칩을 포함하는 화재 경보기에는, 위에서 서술한 트랜지스터를 이용한 복수의 회로를 조합하고, 그것들을 1개의 IC 칩에 탑재한 CPU(505)가 이용된다.
- [0356] 3-3. CPU
- [0357] 도 22는 위에서 서술한 트랜지스터를 적어도 일부에 이용한 CPU의 구체적인 구성을 나타내는 블럭도이다.
- [0358] 도 22(A)에 도시하는 CPU는 기관(1190) 위에, ALU(1191)(ALU : Arithmetic logic unit, 논리 연산 회로), ALU 컨트롤러(1192), 인스트럭션(instruction) 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 고쳐쓸 수 있는 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 가지고 있다. 기관(1190)은 반도체 기관, SOI 기관, 유리 기관 등을 이용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 형성해도 좋다. 물론, 도 22(A)에 도시하는 CPU는 그 구성을 간략화하여 도시한 일례에 지나지 않고, 실제의 CPU는 그 용도에 따라 다종 다양한 구성을 가지고 있다.
- [0359] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되고, 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0360] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된

명령에 기초하여, 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU 상태에 따라 레지스터(1196)의 판독이나 기입을 행한다.

- [0361] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 갖추고 있고, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0362] 도 22(A)에 도시하는 CPU에서는, 레지스터(1196)에, 메모리 셀이 형성되어 있다. 레지스터(1196)의 메모리 셀로서, 위에서 서술한 트랜지스터를 이용할 수 있다.
- [0363] 도 22(A)에 도시하는 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 보유 동작의 선택을 행한다. 즉, 레지스터(1196)가 가지는 메모리 셀에서, 플립 플롭에 의한 데이터의 보유를 행할지, 용량 소자에 의한 데이터의 보유를 행할지를 선택한다. 플립 플롭에 의한 데이터의 보유가 선택된 경우, 레지스터(1196) 안의 메모리 셀로의 전원 전압의 공급이 행해진다. 용량 소자에서의 데이터의 보유가 선택된 경우, 용량 소자로의 데이터의 고쳐쓰기가 행해지고, 레지스터(1196) 안의 메모리 셀로의 전원 전압의 공급을 정지할 수 있다.
- [0364] 전원 정지에 관해서는, 도 22(B) 또는 도 22(C)에 도시한 것처럼, 메모리 셀군과, 전원 전위(VDD) 또는 전원 전위(VSS)가 주어지고 있는 노드 간에, 스위칭 소자를 형성함으로써 행할 수 있다. 이하에 도 22(B) 및 도 22(C)의 회로의 설명을 행한다.
- [0365] 도 22(B) 및 도 22(C)는 메모리 셀로의 전원 전위의 공급을 제어하는 스위칭 소자에, 위에서 서술한 트랜지스터를 이용한 기억 장치이다.
- [0366] 도 22(B)에 도시하는 기억 장치는 스위칭 소자(1141)와 메모리 셀(1142)을 복수 가지는 메모리 셀군(1143)을 가지고 있다. 구체적으로, 각 메모리 셀(1142)에는, 위에서 서술한 트랜지스터를 이용할 수 있다. 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)에는, 스위칭 소자(1141)를 통하여, 하이 레벨의 전원 전위(VDD)가 공급되고 있다. 또한, 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)에는, 신호(IN)의 전위와 로우 레벨의 전원 전위(VSS)의 전위가 주어지고 있다.
- [0367] 도 22(B)에서는, 스위칭 소자(1141)로서, 위에서 서술한 트랜지스터를 이용하고 있고, 이 트랜지스터는 그 게이트 전극층에 주어지는 신호(SigA)에 의해 스위칭이 제어된다.
- [0368] 또한, 도 22(B)에서는, 스위칭 소자(1141)가 트랜지스터를 1개만 가지는 구성을 도시하고 있지만, 특별히 한정되지 않고, 트랜지스터를 복수 가지고 있어도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되고 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0369] 또한, 도 22(B)에서는, 스위칭 소자(1141)에 의해, 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)로의, 하이 레벨의 전원 전위(VDD)의 공급이 제어되고 있지만, 스위칭 소자(1141)에 의해, 로우 레벨의 전원 전위(VSS)의 공급이 제어되고 있어도 좋다.
- [0370] 또한, 도 22(C)에는, 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)에, 스위칭 소자(1141)를 통하여, 로우 레벨의 전원 전위(VSS)가 공급되고 있는 기억 장치의 일례를 도시한다. 스위칭 소자(1141)에 의해, 메모리 셀군(1143)이 가지는 각 메모리 셀(1142)로의 로우 레벨의 전원 전위(VSS)의 공급을 제어할 수 있다.
- [0371] 메모리 셀군과 전원 전위(VDD) 또는 전원 전위(VSS)가 주어지고 있는 노드 간에, 스위칭 소자를 형성하고, 일시적으로 CPU의 동작을 정지하고, 전원 전압의 공급을 정지한 경우에서도 데이터를 보유할 수 있고, 소비 전력의 저감을 행할 수 있다. 구체적으로는, 예를 들면, 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치로의 정보의 입력을 정지하고 있는 동안에도, CPU의 동작을 정지할 수 있고, 그것에 의해 소비 전력을 저감할 수 있다.
- [0372] 여기에서는, CPU를 예로 들어 설명했지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용할 수 있다.
- [0373] 3-4. 설치예

- [0374] 도 23(A)에서, 경보 장치(8100)는 주택용 화재 경보기이고, 검출부와 마이크로 컴퓨터(8101)를 가지고 있다. 마이크로 컴퓨터(8101)에는, 위에서 서술한 트랜지스터를 이용한 CPU가 포함된다.
- [0375] 도 23(A)에서, 실내기(8200) 및 실외기(8204)를 가지는 에어컨디셔너에는, 위에서 서술한 트랜지스터를 이용한 CPU가 포함된다. 구체적으로, 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 가진다. 도 23(A)에서, CPU(8203)가 실내기(8200)에 형성되어 있는 경우를 예시하고 있지만, CPU(8203)는 실외기(8204)에 형성되어 있어도 좋다. 또는, 실내기(8200)와 실외기(8204)의 양쪽에, CPU(8203)가 형성되어 있어도 좋다. 위에서 서술한 트랜지스터를 이용한 CPU가 포함됨으로써, 에어컨디셔너의 전력을 절약할 수 있다.
- [0376] 도 23(A)에서, 전기 냉동 냉장고(8300)에는, 위에서 서술한 트랜지스터를 이용한 CPU가 포함된다. 구체적으로, 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 문(8302), 냉동실용 문(8303), CPU(8304) 등을 가진다. 도 23(A)에서는, CPU(8304)가 하우징(8301)의 내부에 형성되어 있다. 위에서 서술한 트랜지스터를 이용한 CPU가 포함됨으로써, 전기 냉동 냉장고(8300)의 전력을 절약할 수 있다.
- [0377] 도 23(B) 및 도 23(C)에서, 전기 자동차의 예를 도시한다. 전기 자동차(9700)에는, 2차 전지(9701)가 탑재되어 있다. 2차 전지(9701)의 전력은 제어 회로(9702)에 의해 출력이 조정되고, 구동 장치(9703)에 공급된다. 제어 회로(9702)는 도시하지 않은 ROM, RAM, CPU 등을 가지는 처리 장치(9704)에 의해 제어된다. 위에서 서술한 트랜지스터를 이용한 CPU가 포함됨으로써, 전기 자동차(9700)의 전력을 절약할 수 있다.
- [0378] 구동 장치(9703)는 직류 전동기 혹은 교류 전동기 단체(單體), 또는 전동기와 내연 기관을 조합하여 구성된다. 처리 장치(9704)는 전기 자동차(9700)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행할 때의 정보(오르막 길이나 내리막길 등의 정보, 구동 바퀴에 걸리는 부하 정보 등)의 입력 정보에 기초하여, 제어 회로(9702)에 제어 신호를 출력한다. 제어 회로(9702)는 처리 장치(9704)의 제어 신호에 의해, 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하고 구동 장치(9703)의 출력을 제어한다. 교류 전동기를 탑재하고 있는 경우는, 도시하지 않았지만, 직류를 교류로 변환하는 인버터도 내장된다.
- [0379] [실시예 1]
- [0380] 본 실시예에서는, 산화물 반도체막을 습식 에칭했을 때의 에칭 속도와, 산화물 반도체막의 측면의 형상에 대해, 도 24 내지 도 30을 이용하여 설명한다.
- [0381] 처음에, 산화물 반도체막 및 에칭액 각각의 종류와 에칭 속도에 대해, 설명한다.
- [0382] 이하에, 시료 1 및 시료 2의 제작 방법에 대해 설명한다.
- [0383] 유리 기판 위에 산화물 반도체막을 성막했다. 시료 1, In:Ga:Zn=1:1:1(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여 형성된 두께 100nm의 In-Ga-Zn 산화물막을 유리 기판 위에 가진다. 시료 2는 In:Ga:Zn=1:3:2(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여 형성된 두께 100nm의 In-Ga-Zn 산화물막을 유리 기판 위에 가진다.
- [0384] 시료 1에서의 In-Ga-Zn 산화물막의 성막 조건으로서, 스퍼터링 타겟을 In:Ga:Zn=1:1:1(원자수비)의 타겟으로 하고, 유량 50sccm의 아르곤 및 유량 50sccm의 산소를 스퍼터링 가스로서 스퍼터링 장치의 반응실 안에 공급하고, 반응실 안의 압력을 0.6Pa로 제어하고, 5kW의 직류 전력을 공급하는 조건을 이용했다. 또한, In-Ga-Zn 산화물막을 형성할 때의 기판 온도를 170℃로 했다.
- [0385] 시료 2에서의 In-Ga-Zn 산화물막의 성막 조건으로서, 스퍼터링 타겟을 In:Ga:Zn=1:3:2(원자수비)의 타겟으로 하고, 스퍼터링 가스로서 90sccm의 Ar와 10sccm의 산소를 스퍼터링 장치의 반응실 안에 공급하고, 반응실 안의 압력을 0.3Pa로 제어하고, 5kW의 직류 전력을 공급하는 조건을 이용했다. 또한, In-Ga-Zn 산화물막을 형성할 때의 기판 온도를 100℃로 했다.
- [0386] 다음에, 시료 1 및 시료 2에 형성되는 In-Ga-Zn 산화물막을 습식 에칭했다. 이 습식 에칭 공정에서, 제 1 에칭액 내지 제 3 에칭액의 하나를 이용했다. 제 1 에칭액으로서 25℃의 85 중량% 인산을 이용했다. 제 2 에칭액으로서, 60℃의 옥살산계 수용액(예를 들면, 관동 화학(Kanto Chemical Co., Inc.) 제 ITO-07N(5중량% 이하의 옥살산을 함유하는 수용액))을 이용했다. 제 3 에칭액으로서 30℃의 인산계 수용액(예를 들면, 화광 순약 공업 주식회사(Wako Pure Chemical Industries) 제의 혼산 알루미늄액(72중량%의 인산, 2중량%의 질산, 및 9.8중량%의 초산을 함유하는 수용액))을 이용했다.
- [0387] 다음에, 시료 1 및 시료 2에서의 각 에칭액과, 에칭 속도와의 관계를 도 24에 도시한다.

- [0388] 도 24에 도시한 것처럼, 스퍼터링 타겟으로서 In:Ga:Zn=1:1:1(원자수비)을 이용해 형성된 In-Ga-Zn 산화물막(In-Ga-Zn-O(111)으로 나타냄.)을 가지는 시료 1은 제 2 에칭액인 옥살산계 수용액을 이용한 에칭에서, 에칭 속도가 빠른 것을 알 수 있다.
- [0389] 한편, 스퍼터링 타겟으로서 In:Ga:Zn=1:3:2(원자수비)를 이용하여 형성된 In-Ga-Zn 산화물막(In-Ga-Zn-O(132)으로 나타냄.)을 가지는 시료 2는 모든 에칭액에서, 에칭 속도가 같은 정도인 것을 알 수 있다.
- [0390] 다음에, 제 1 에칭액 내지 제 3 에칭액의 하나를 이용하여 적층 구조의 산화물 반도체막을 에칭했을 때의, 산화물 반도체막의 측면의 형상에 대해 설명한다.
- [0391] 이하에, 시료 3 및 시료 4의 제작 방법에 대해 설명한다. 또한, 시료 3 및 시료 4는 제 1 In-Ga-Zn 산화물막 및 제 2 In-Ga-Zn 산화물막이 적층된 2층 구조이다.
- [0392] 유리 기판 위에 적층 구조의 산화물 반도체막을 성막했다. 처음에, 유리 기판 위에, In:Ga:Zn=1:1:1(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 35nm의 제 1 In-Ga-Zn 산화물막을 성막했다. 다음에, In:Ga:Zn=1:3:2(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 20nm의 제 2 In-Ga-Zn 산화물막을 성막했다.
- [0393] 또한, 제 1 In-Ga-Zn 산화물막은 시료 1의 In-Ga-Zn 산화물막과 같은 성막 조건을 이용하여 성막된 막이다. 또한, 제 2 In-Ga-Zn 산화물막은 시료 2의 In-Ga-Zn 산화물막과 같은 성막 조건을 이용하여 성막된 막이다.
- [0394] 다음에, 적층 구조의 산화물 반도체막을 에칭했다. 시료 3은 에칭액으로서 제 1 에칭액인 25℃의 85중량% 인산을 이용했다. 시료 4는 에칭액으로서 제 3 에칭액인 30℃의 인산계 수용액을 이용했다.
- [0395] 다음에, 시료 5의 제작 방법에 대해 설명한다. 또한, 시료 5는 제 1 In-Ga-Zn 산화물막 내지 제 3 In-Ga-Zn 산화물막이 적층된 3층 구조이다.
- [0396] 유리 기판 위에, CVD법에 의해 질화 실리콘막 및 산화 질화 실리콘막을 성막했다. 다음에, 산화 질화 실리콘막 위에 적층 구조의 산화물 반도체막을 성막했다. 다음에, 산화 질화 실리콘막 위에, In:Ga:Zn=1:3:2(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 5nm의 제 1 In-Ga-Zn 산화물막을 성막했다. 다음에, In:Ga:Zn=3:1:2(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 20nm의 제 2 In-Ga-Zn 산화물막을 성막했다. 다음에, In:Ga:Zn=1:1:1(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 20nm의 제 3 In-Ga-Zn 산화물막을 성막했다. 다음에, 제 3 In-Ga-Zn 산화물막 위에 CVD법에 의해 산화 질화 실리콘막을 성막했다.
- [0397] 또한, 시료 5에서의 제 1 In-Ga-Zn 산화물막은 스퍼터링 타겟을 In:Ga:Zn=1:3:2(원자수비)의 타겟으로 하고, 스퍼터링 가스로서 90sccm의 Ar과 10sccm의 산소를 스퍼터링 장치의 반응실 안에 공급하고, 반응실 안의 압력을 0.6Pa로 제어하고, 5kW의 직류 전력을 공급하는 조건을 이용하여 형성했다. 제 2 In-Ga-Zn 산화물막은 스퍼터링 타겟을 In:Ga:Zn=3:1:2(원자수비)의 타겟으로 하고, 스퍼터링 가스로서 50sccm의 Ar와 50sccm의 산소를 스퍼터링 장치의 반응실 안에 공급하고, 반응실 안의 압력을 0.6Pa로 제어하고, 5kW의 직류 전력을 공급하는 조건을 이용하여 형성했다. 제 3 In-Ga-Zn 산화물막은 스퍼터링 타겟을 In:Ga:Zn=1:1:1(원자수비)의 타겟으로 하고, 스퍼터링 가스로서 100sccm의 산소를 스퍼터링 장치의 반응실 안에 공급하고, 반응실 안의 압력을 0.6Pa로 제어하고, 5kW의 직류 전력을 공급하는 조건을 이용하여 형성했다. 또한, 제 1 In-Ga-Zn 산화물막 내지 제 3 In-Ga-Zn 산화물막을 형성할 때의 기판 온도를 170℃로 했다.
- [0398] 다음에, 적층 구조의 산화물 반도체막을 에칭했다. 시료 5는 에칭액으로서 제 2 에칭액인 60℃의 옥살산계 수용액을 이용했다.
- [0399] 다음에, 시료 6의 제작 방법에 대해 설명한다. 또한, 시료 6은 제 1 In-Ga-Zn 산화물막 및 제2 In-Ga-Zn 산화물막이 적층된 2층 구조이다.
- [0400] 유리 기판 위에, CVD법에 의해 산화 질화 실리콘막을 성막했다. 다음에, 산화 질화 실리콘막 위에, 시료 3 및 시료 4와 같은 성막 조건을 이용하여, In:Ga:Zn=1:1:1(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 35nm의 제 1 In-Ga-Zn 산화물막을 성막한 후, In:Ga:Zn=1:3:2(원자수비)인 금속 산화물의 스퍼터링 타겟을 이용하여, 두께 20nm의 제 2 In-Ga-Zn 산화물막을 성막했다. 다음에, 제 2 In-Ga-Zn 산화물막 위에 산화 질화 실리콘막을 성막했다.
- [0401] 다음에, 적층 구조의 산화물 반도체막을 에칭했다. 시료 6은 건식 에칭법을 이용하여 적층 구조의 산화물 반도체

체막을 에칭했다. 또한, 에칭 가스로서  $BCl_3$ 를 이용했다.

- [0402] 다음에, 시료 3 내지 시료 6의 단면 형상을 STEM(Scanning Transmission Electron Microscopy)을 이용하여 관찰했다.
- [0403] 시료 3의 배울 20만배의 위상 콘트라스트상(TE상)을 도 25(A)에 도시하고, 도 25(A)의 모식도를 도 25(B)에 도시한다. 또한, 시료 3의 배울 15만배의 Z콘트라스트상(ZC상)을 도 26에 도시한다.
- [0404] 시료 4의 배울 20만배의 위상 콘트라스트상(TE상)을 도 27(A)에 도시하고, 도 27(A)의 모식도를 도 27(B)에 도시한다.
- [0405] 시료 5의 배울 15만배의 위상 콘트라스트상(TE상)을 도 28(A)에 도시하고, 도 28(A)의 모식도를 도 28(B)에 도시한다. 시료 5에서의 적층 구조의 산화물 반도체막의 측면 부근의 상세한 사항을 설명하기 위해, 시료 5의 배울 15만배의 Z콘트라스트상(ZC상)을 도 29(A)에 도시하고, 도 29(A)의 모식도를 도 29(B)에 도시한다.
- [0406] 시료 6의 배울 15만배의 위상 콘트라스트상(TE상)을 도 30(A)에 도시하고, 도 30(A)의 모식도를 도 30(B)에 도시한다.
- [0407] 도 25(B)에 도시한 것처럼, 시료 3에서, 유리 기판(801) 위에 제 1 In-Ga-Zn 산화물막(803)이 형성된다. 제 1 In-Ga-Zn 산화물막(803) 위에 제 2 In-Ga-Zn 산화물막(805)이 형성된다. 제 2 In-Ga-Zn 산화물막(805) 위에 레지스트(807)가 형성된다.
- [0408] 또한, 도 26에 도시한 것처럼, 시료 3에서, 제 1 In-Ga-Zn 산화물막(803) 및 제 2 In-Ga-Zn 산화물막(805)은 그 농담(濃淡)의 차이에 의해, 양자의 경계를 확인할 수 있다. 즉, 본 발명의 일 형태인 트랜지스터에서, 산화물 반도체막 및 산화물막은 공통의 원소를 포함한 경우에도, 그 조성의 차이에 의해, 양자의 경계를 확인할 수 있다.
- [0409] 도 27(B)에 도시한 것처럼, 시료 4에서, 유리 기판(811) 위에 제 1 In-Ga-Zn 산화물막(813)이 형성된다. 제 1 In-Ga-Zn 산화물막(813) 위에 제 2 In-Ga-Zn 산화물막(815)이 형성된다. 제 2 In-Ga-Zn 산화물막(815) 위에 레지스트(817)가 형성된다.
- [0410] 시료 3 및 시료 4에서, 유리 기판(801), 유리 기판(811)과 제 1 In-Ga-Zn 산화물막(803), 제 1 In-Ga-Zn 산화물막(813)의 측면 사이의 각도를 각도( $\theta 1$ )로 한다. 제 1 In-Ga-Zn 산화물막(803), 제 1 In-Ga-Zn 산화물막(813) 및 제 2 In-Ga-Zn 산화물막(805), 제 2 In-Ga-Zn 산화물막(815)의 계면과 제 2 In-Ga-Zn 산화물막(805), 제 2 In-Ga-Zn 산화물막(815)의 측면 사이의 각도를 각도( $\theta 2$ )로 한다. 도 25 및 도 27에 도시한 것처럼, 시료 3 및 시료 4에서는 각도( $\theta 1$ )에 비해, 각도( $\theta 2$ )가 큰 것을 알 수 있다.
- [0411] 도 28(B)에 도시한 것처럼, 시료 5에서, 질화 실리콘막(821) 위에 산화 질화 실리콘막(823)이 형성된다. 산화 질화 실리콘막(823) 위에 적층 구조의 산화물 반도체막(825)이 형성된다. 산화 질화 실리콘막(823) 및 적층 구조의 산화물 반도체막(825) 위에 산화 질화 실리콘막(827)이 형성된다. 또한, 산화 질화 실리콘막(827)에는, 저밀도 영역(829)이 형성된다.
- [0412] 시료 5에서, 산화 질화 실리콘막(823) 및 적층 구조의 산화물 반도체막(825)의 계면과, 적층 구조의 산화물 반도체막(825)의 측면 사이의 각도를 각도( $\theta 3$ )로 한다. 도 29(B)에 도시한 것처럼, 시료 5에서, 각도( $\theta 3$ )은 둔각이다. 또한, ZC상은 원자 번호의 차이에 의해 콘트라스트가 다르기 때문에, 적층 구조의 산화물 반도체막(825)의 측면에는, 산화물 반도체막과 다른 조성의 막(826)이 형성되어 있는 것을 알 수 있다. 이 막(826)을 에너지 분산형 X선 분석(Energy dispersive X-ray spectrometry : EDX)으로 분석한 결과, 텅스텐이 포함되는 것을 알 수 있었다.
- [0413] 도 30(B)에 도시한 것처럼, 시료 6에서, 유리 기판(831) 위에 산화 질화 실리콘막(833)이 형성된다. 산화 질화 실리콘막(833) 위에 적층 구조의 산화물 반도체막(835)이 형성된다. 산화 질화 실리콘막(833) 및 적층 구조의 산화물 반도체막(835) 위에 산화 질화 실리콘막(837)이 형성된다.
- [0414] 시료 6에 있어서, 산화 질화 실리콘막(833) 및 적층 구조의 산화물 반도체막(835)의 계면과 적층 구조의 산화물 반도체막(835)의 측면 사이의 각도를 각도( $\theta 4$ )로 한다. 도 30(B)에 도시한 것처럼, 시료 6에서, 각도( $\theta 4$ )는 산화물 반도체막의 측면의 위치에 따라 변화하지 않고, 거의 동일하다.
- [0415] 이상로부터, 에칭액에, 인산, 또는 인산계 수용액을 이용한 습식 에칭법을 이용함으로써, 적층 구조의 산화물 반도체막에서, 스퍼터링 타겟으로서 In:Ga:Zn=1:1:1(원자수비)을 이용하여 형성된 In-Ga-Zn 산화물막의 측면이

In-Ga-Zn 산화물막의 하지막의 계면 사이의 각도( $\theta_1$ )를, 스퍼터링 타겟으로서 In:Ga:Zn=1:3:2(원자수비)를 이용하여 형성된 In-Ga-Zn 산화물막의 측면이 In-Ga-Zn 산화물막의 하지막의 계면이 사이의 각도( $\theta_2$ )보다 작은 형상으로 할 수 있는 것을 알 수 있다.

**부호의 설명**

[0416]

- 100 : 기판
- 104 : 게이트 전극
- 106 : 다층막
- 106a : 산화물 반도체막
- 106b : 산화물막
- 106c : 저저항 영역
- 106d : 저저항 영역
- 107 : 산화물막
- 112 : 게이트 절연막
- 113 : 단차
- 116a : 소스 전극
- 116b : 드레인 전극
- 117 : 산화물막
- 118 : 보호 절연막
- 118a : 산화 실리콘막
- 118b : 산화 실리콘막
- 118c : 질화 실리콘막
- 126a : 산화물 반도체막
- 126b : 산화물막
- 200 : 기판
- 202 : 하지 절연막
- 204 : 게이트 전극
- 206 : 다층막
- 206a : 산화물 반도체막
- 206b : 산화물막
- 206c : 산화물막
- 206d : 저저항 영역
- 206e : 저저항 영역
- 207 : 산화물막
- 212 : 게이트 절연막
- 212a : 소스 전극
- 212b : 드레인 전극

213 : 단차  
214 : 단차  
216a : 소스 전극  
216b : 드레인 전극  
216c : 전극  
218 : 보호 절연막  
226a : 산화물 반도체막  
226b : 산화물막  
226c : 산화물막  
260 : 반도체막  
401 : 반도체 기판  
403 : 소자 분리 영역  
407 : 게이트 절연막  
409 : 게이트 전극  
411a : 불순물 영역  
411b : 불순물 영역  
415 : 절연막  
417 : 절연막  
419 : 트랜지스터  
419a : 콘택트 플러그  
419b : 콘택트 플러그  
420 : 절연막  
421 : 절연막  
422 : 절연막  
423a : 배선  
423b : 배선  
424 : 전극  
425 : 절연막  
445 : 절연막  
449 : 배선  
456 : 배선  
500 : 마이크로 컴퓨터  
501 : 직류 전원  
502 : 버스 라인  
503 : 파워 게이트 컨트롤러  
504 : 파워 게이트

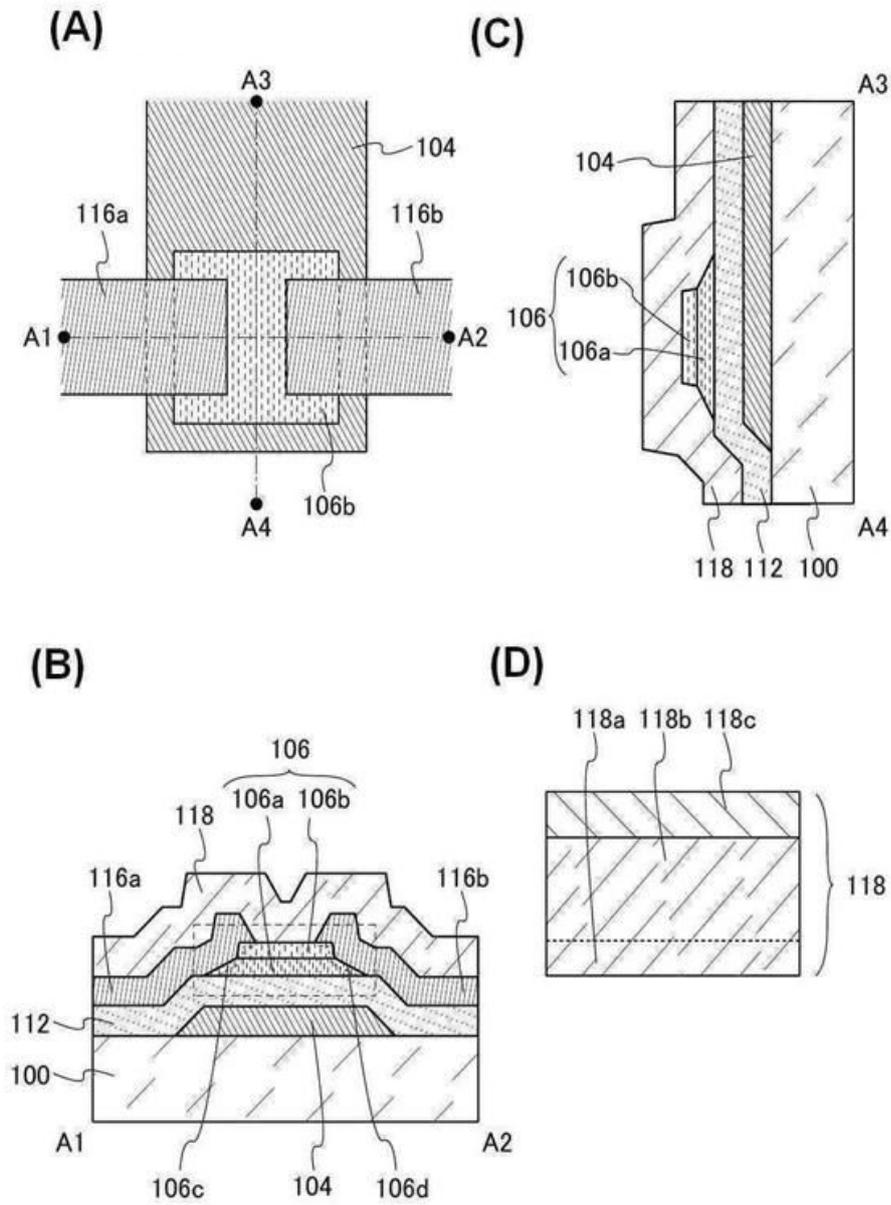
- 505 : CPU
- 506 : 휘발성 기억부
- 507 : 불휘발성 기억부
- 508 : 인터페이스
- 509 : 검출부
- 511 : 광센서
- 512 : 앰프
- 513 : AD 컨버터
- 514 : 광전변환 소자
- 517 : 트랜지스터
- 519 : 트랜지스터
- 530 : 발광 소자
- 700 : 기관
- 719 : 발광 소자
- 720 : 절연막
- 721 : 절연막
- 731 : 단자
- 732 : FPC
- 733a : 배선
- 733b : 배선
- 733c : 배선
- 734 : 실링재
- 735 : 구동 회로
- 736 : 구동 회로
- 737 : 화소
- 741 : 트랜지스터
- 742 : 캐패시터
- 743 : 스위치 소자
- 744 : 신호선
- 750 : 화소
- 751 : 트랜지스터
- 752 : 캐패시터
- 753 : 액정 소자
- 754 : 주사선
- 755 : 신호선
- 781 : 전극

- 782 : 발광층
- 783 : 전극
- 784 : 격벽
- 785a : 중간층
- 785b : 중간층
- 785c : 중간층
- 785d : 중간층
- 786a : 발광층
- 786b : 발광층
- 786c : 발광층
- 791 : 전극
- 792 : 절연막
- 793 : 액정층
- 794 : 절연막
- 795 : 스페이서
- 796 : 전극
- 797 : 기판
- 801 : 유리 기판
- 803 : In-Ga-Zn 산화물막
- 805 : In-Ga-Zn 산화물막
- 807 : 레지스트
- 811 : 유리 기판
- 813 : In-Ga-Zn 산화물막
- 815 : In-Ga-Zn 산화물막
- 817 : 레지스트
- 821 : 질화 실리콘막
- 823 : 산화 질화 실리콘막
- 825 : 산화물 반도체막
- 826 : 막
- 827 : 산화 질화 실리콘막
- 829 : 저밀도 영역
- 831 : 유리 기판
- 833 : 산화 질화 실리콘막
- 835 : 산화물 반도체막
- 837 : 산화 질화 실리콘막
- 1141 : 스위칭 소자

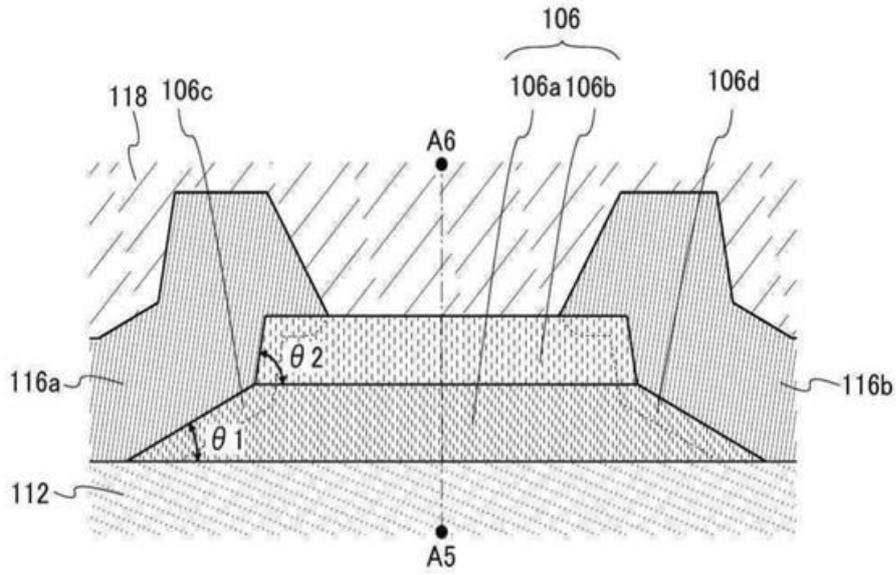
- 1142 : 메모리 셀
- 1143 : 메모리 셀군
- 1189 : ROM 인터페이스
- 1190 : 기관
- 1191 : ALU
- 1192 : ALU 컨트롤러
- 1193 : 인스트럭션(instruction) 디코더
- 1194 : 인터럽트 컨트롤러
- 1195 : 타이밍 컨트롤러
- 1196 : 레지스터
- 1197 : 레지스터 컨트롤러
- 1198 : 버스 인터페이스
- 1199 : ROM
- 8100 : 경보 장치
- 8101 : 마이크로 컴퓨터
- 8200 : 실내기
- 8201 : 하우징
- 8202 : 송풍구
- 8203 : CPU
- 8204 : 실외기
- 8300 : 전기 냉동 냉장고
- 8301 : 하우징
- 8302 : 냉장실용 문
- 8303 : 냉동실용 문
- 8304 : CPU
- 9700 : 전기 자동차
- 9701 : 2차 전지
- 9702 : 제어 회로
- 9703 : 구동 장치
- 9704 : 처리 장치

도면

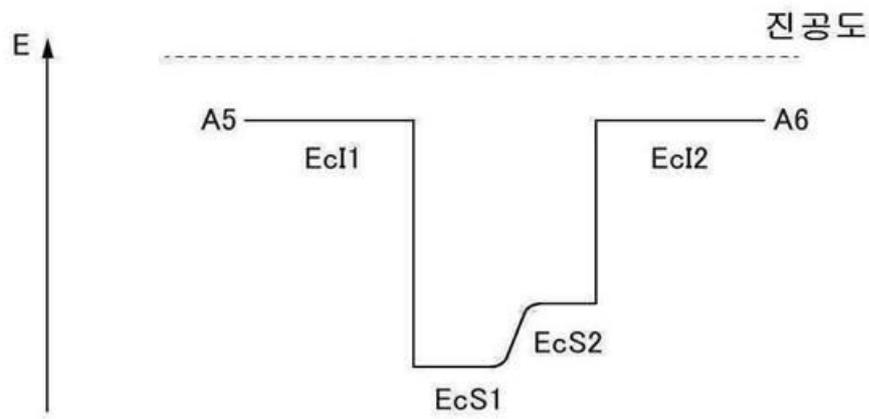
도면1



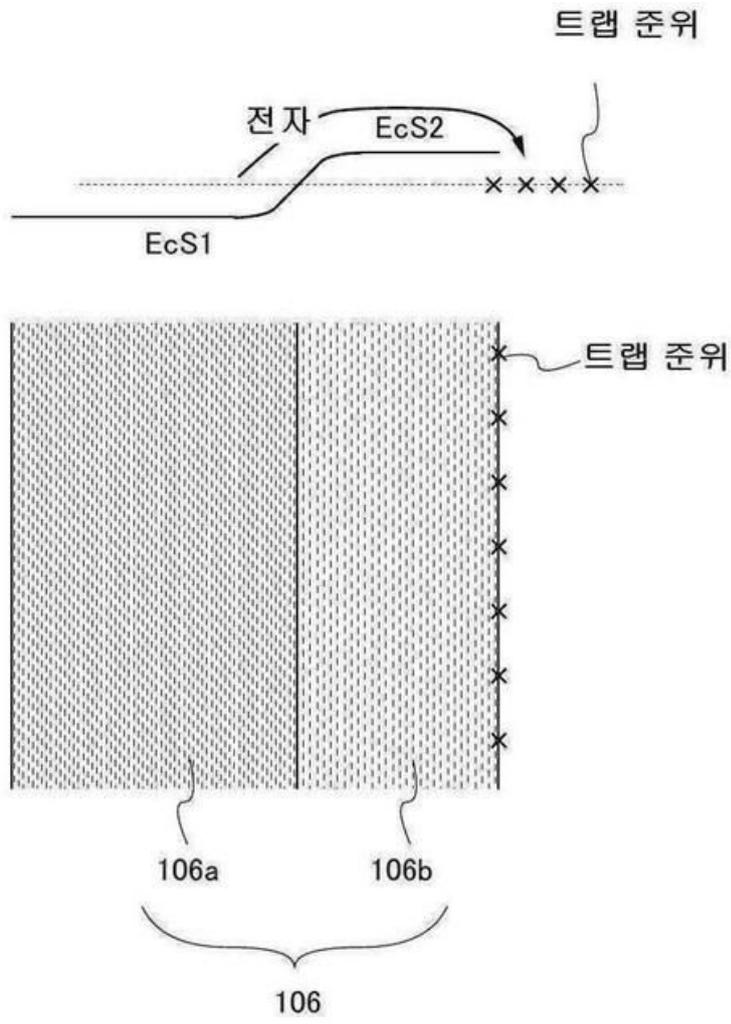
도면2



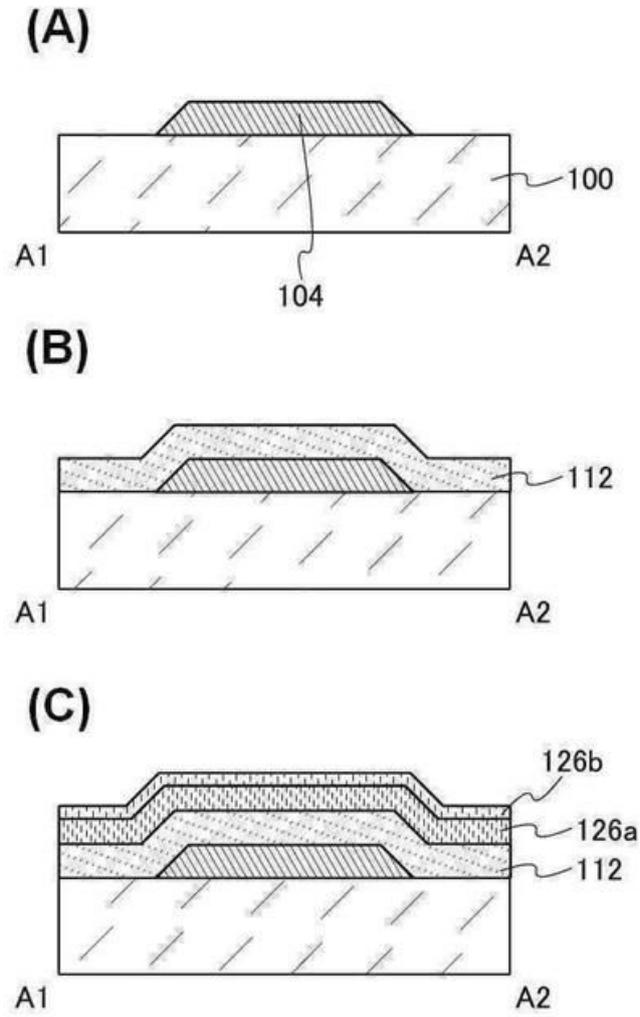
도면3



도면4

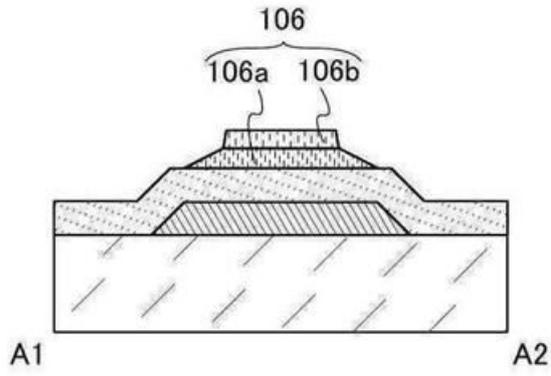


도면5

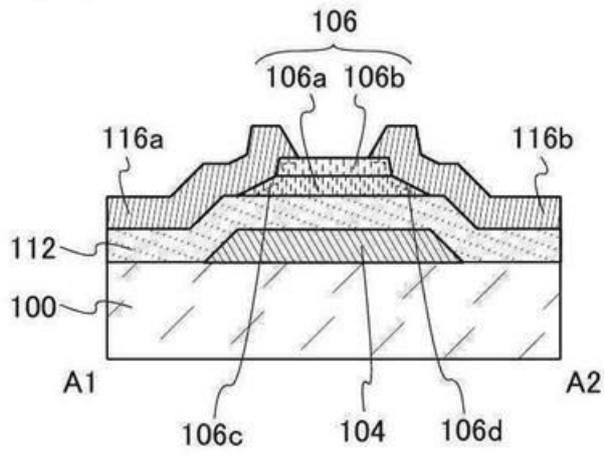


도면6

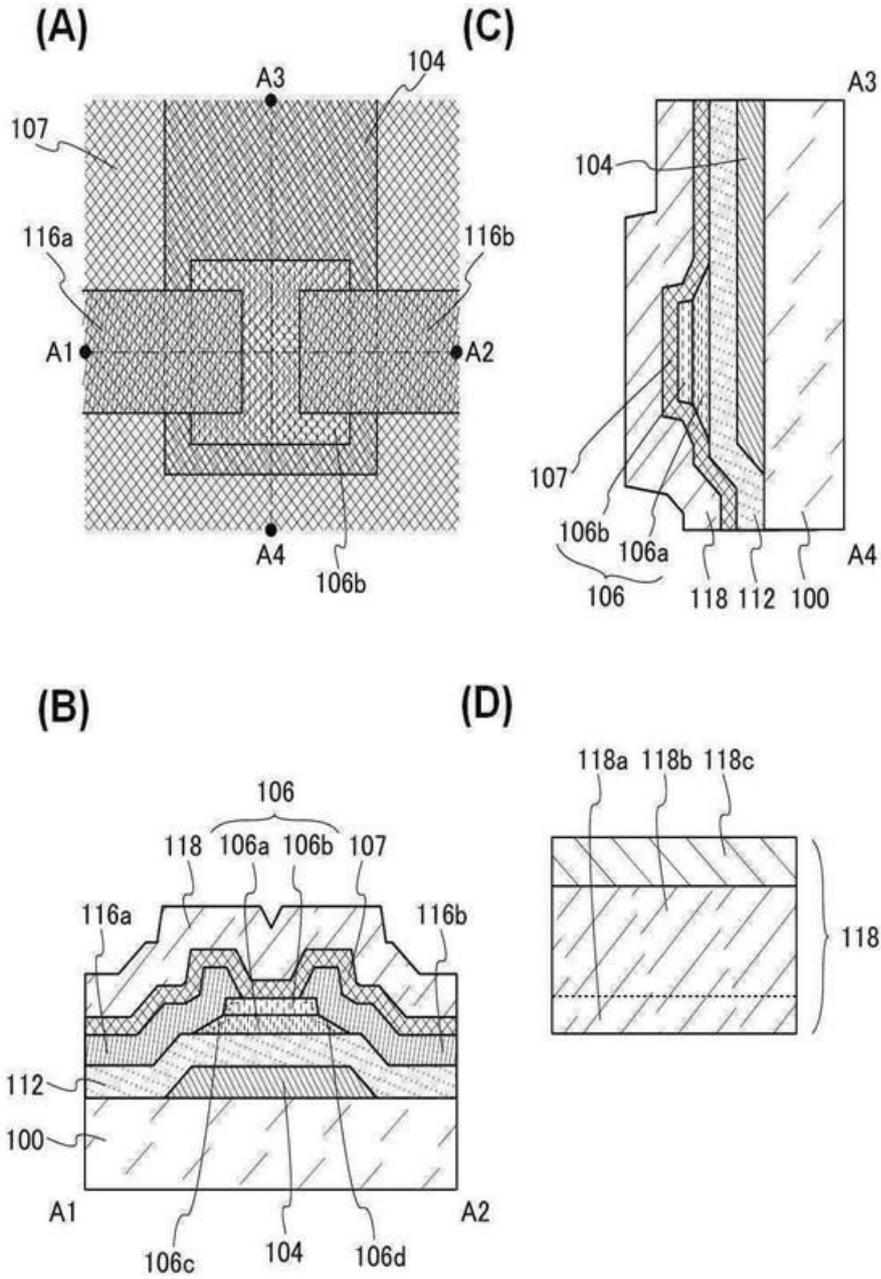
(A)



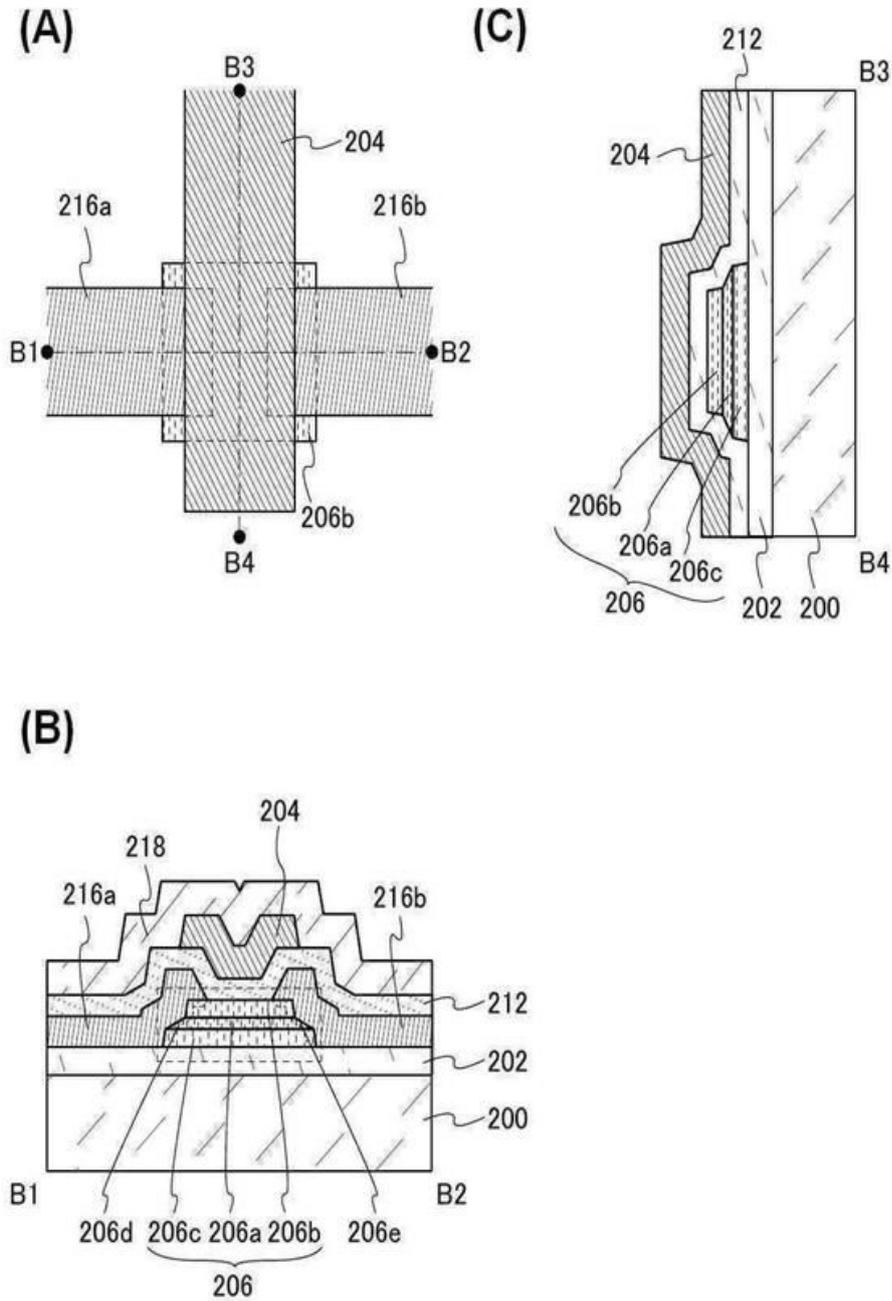
(B)



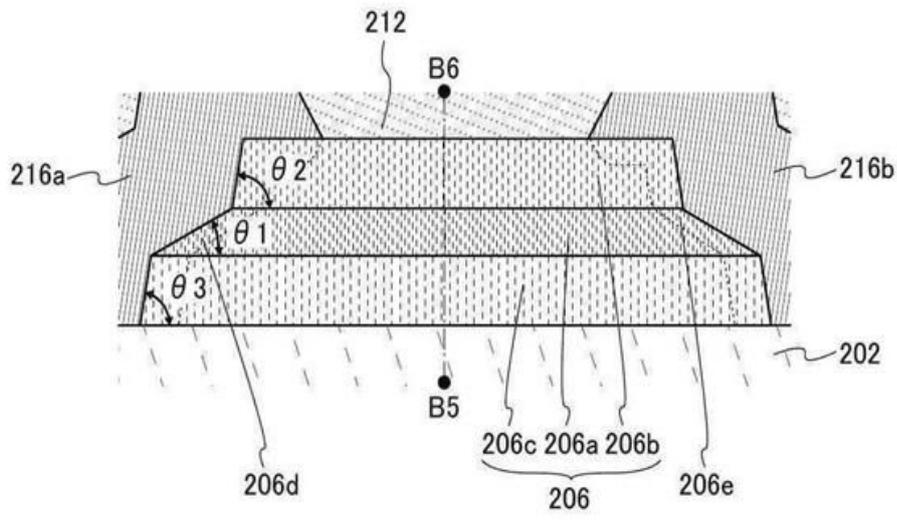
도면7



도면8

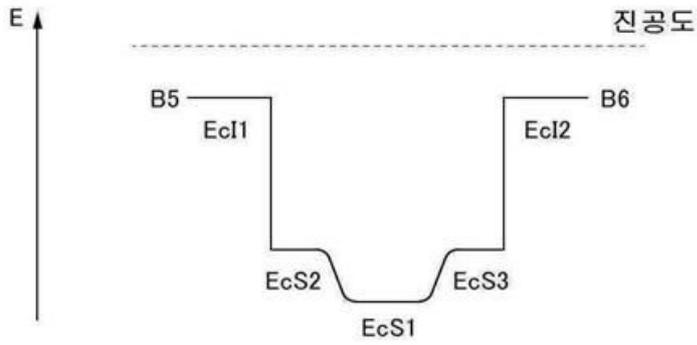


도면9

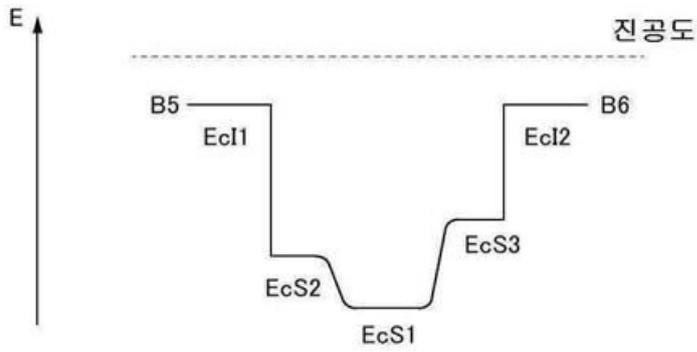


도면10

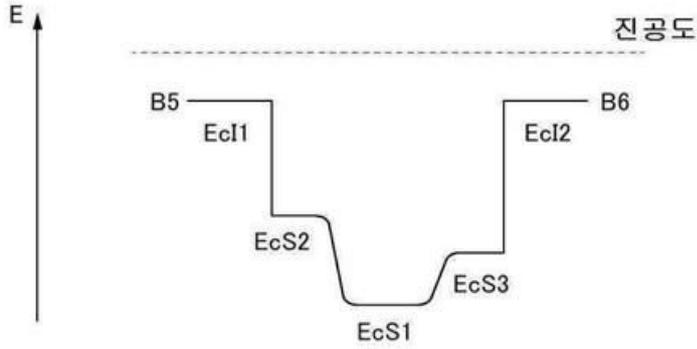
(A)



(B)

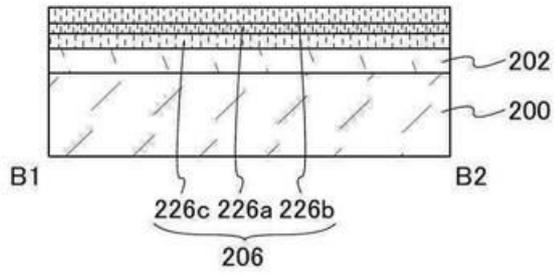


(C)

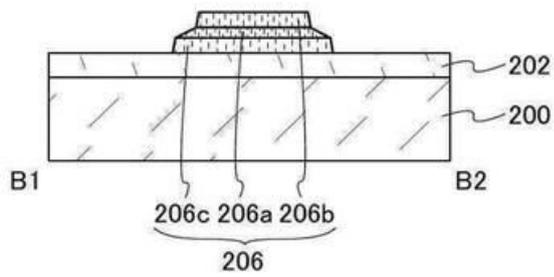


도면11

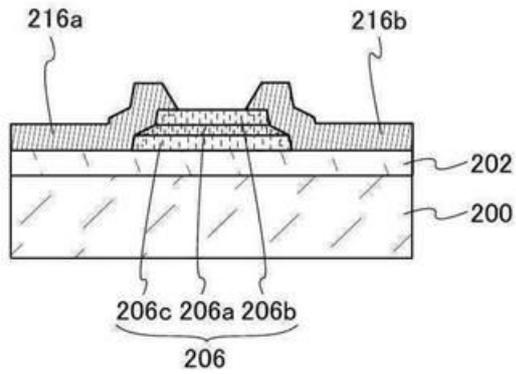
(A)



(B)

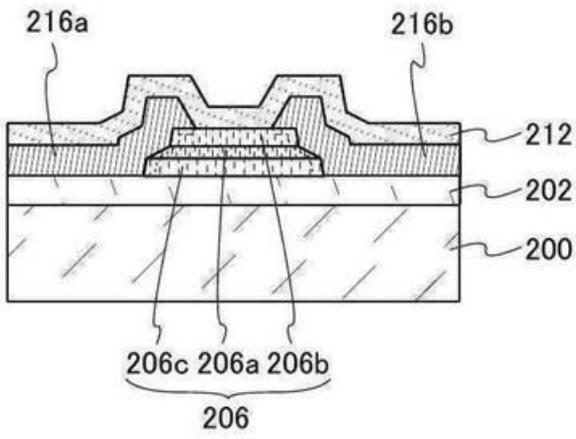


(C)

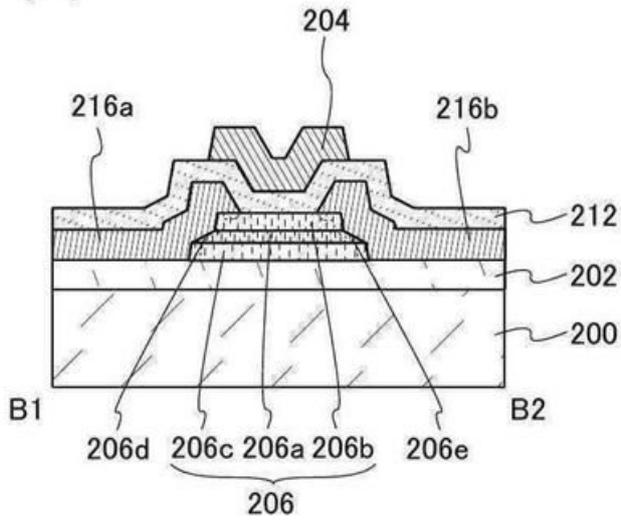


도면12

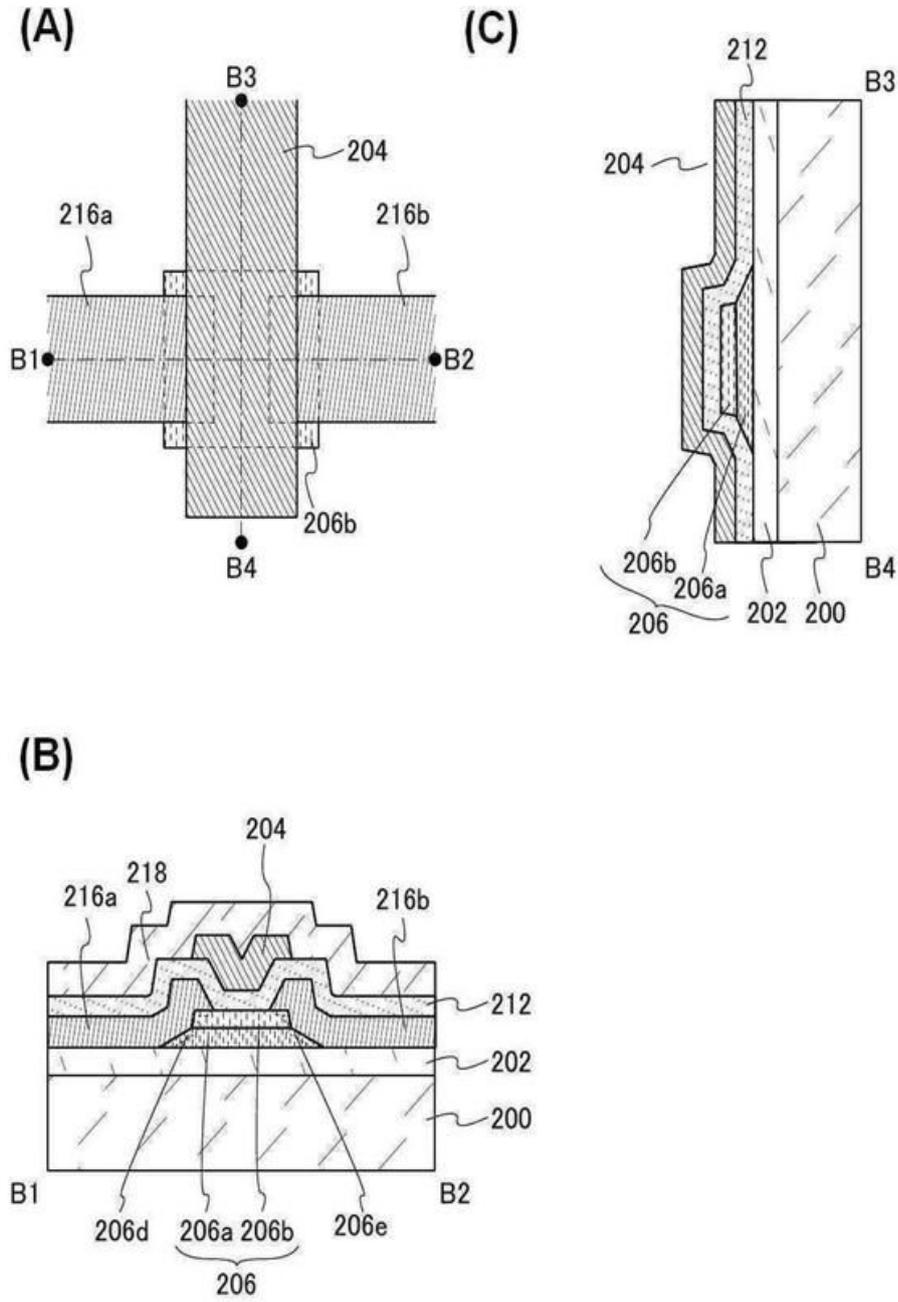
(A)



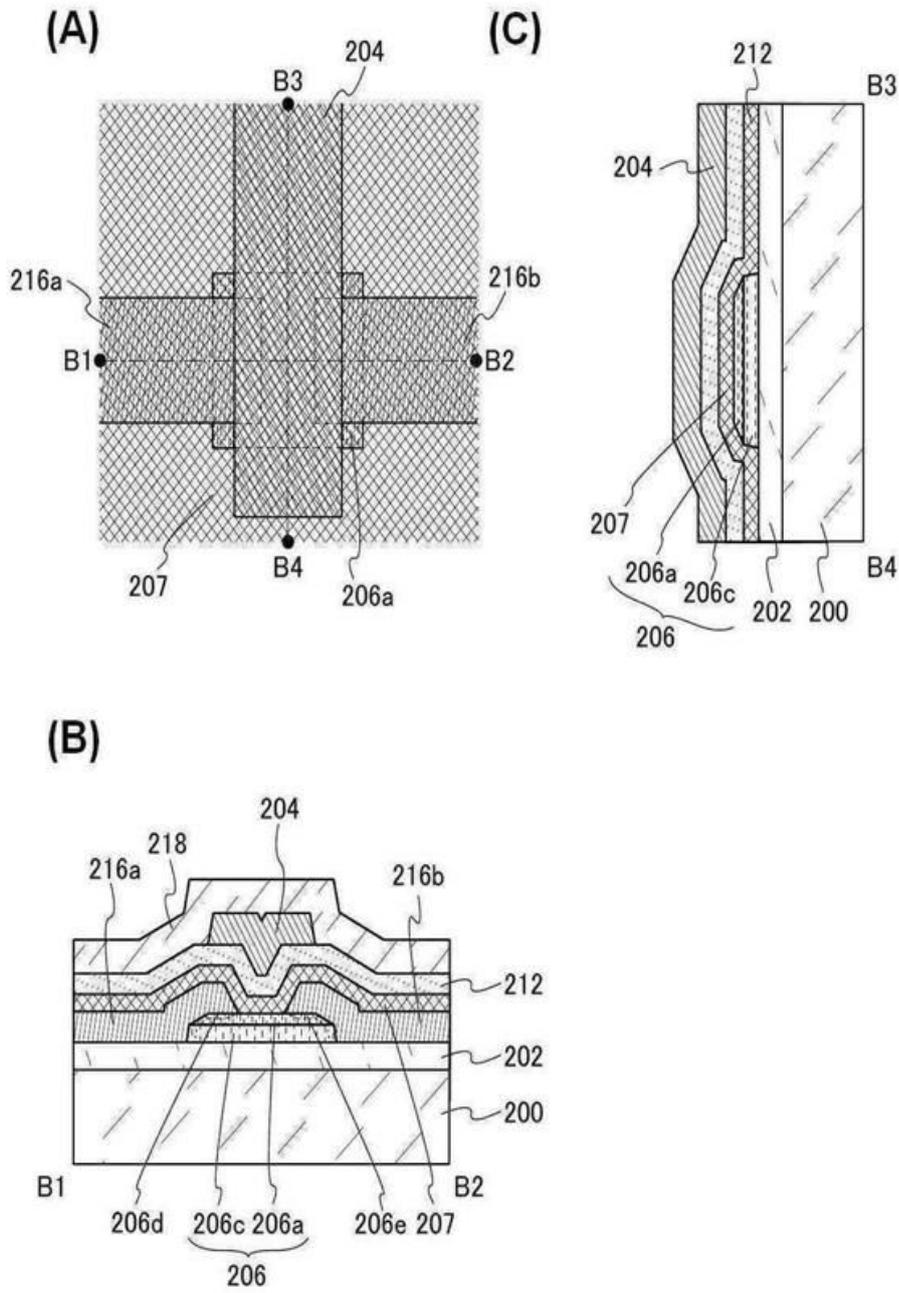
(B)



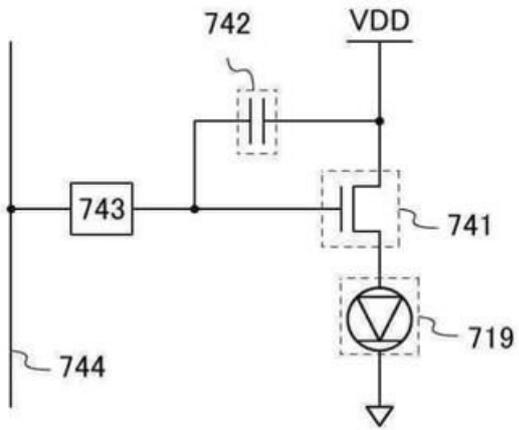
도면13



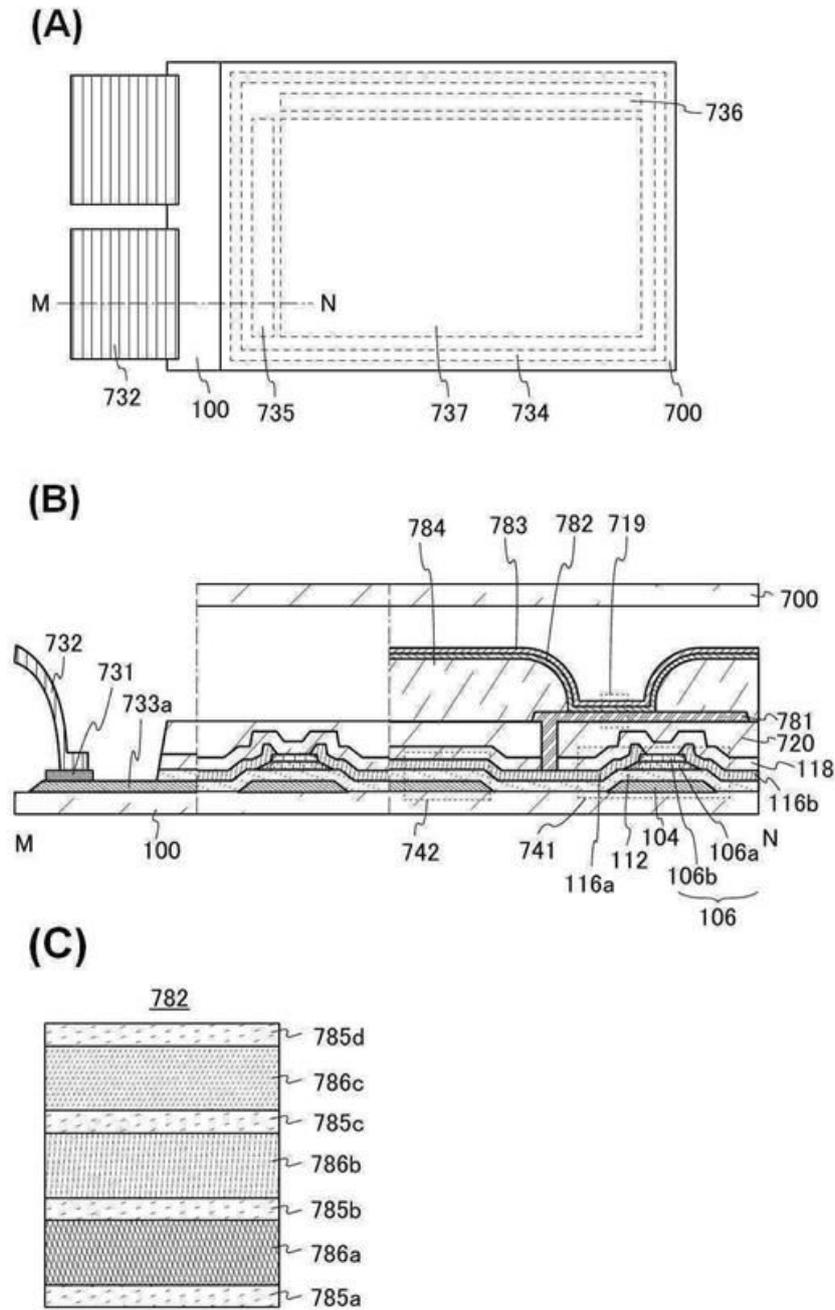
도면14



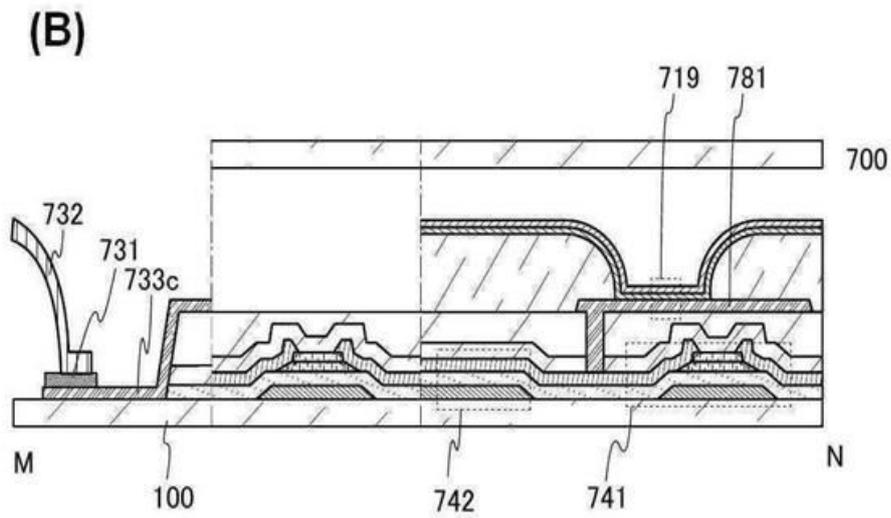
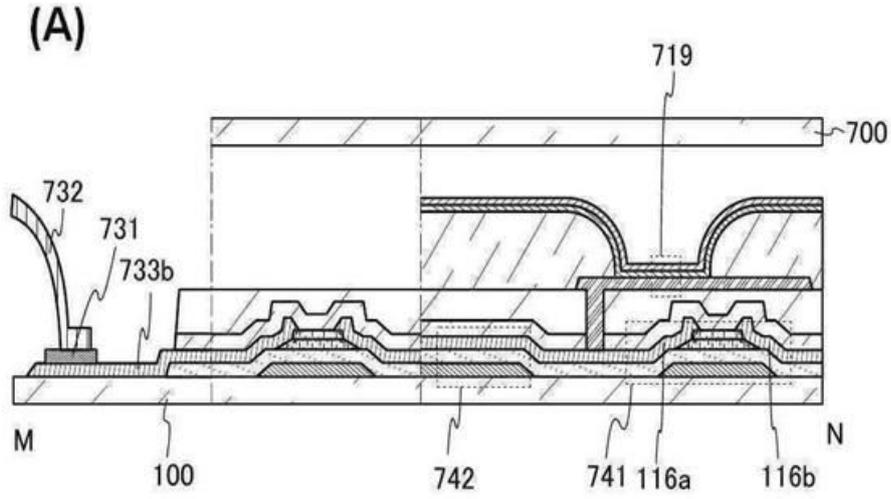
도면15



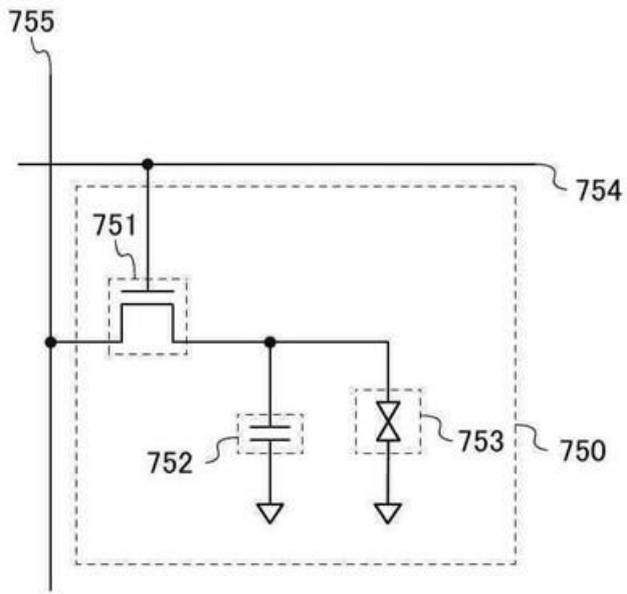
도면16



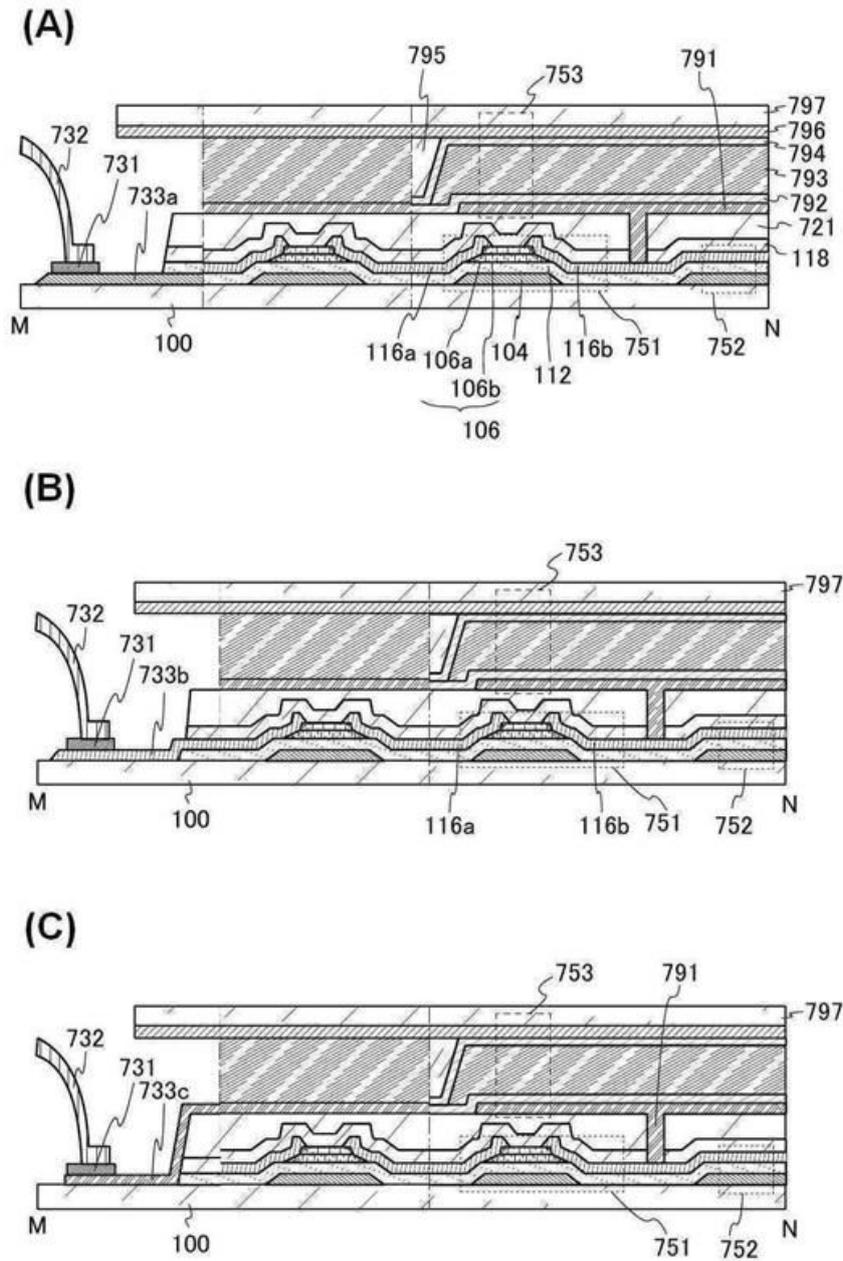
도면17



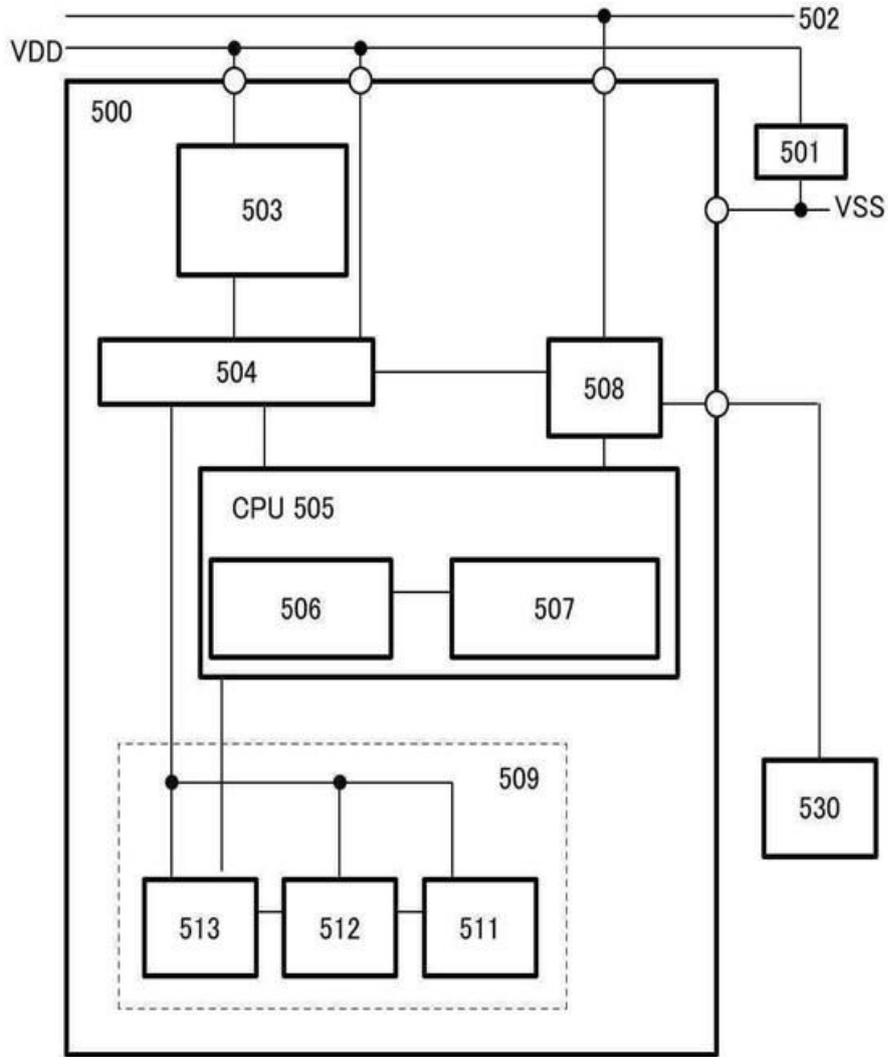
도면18



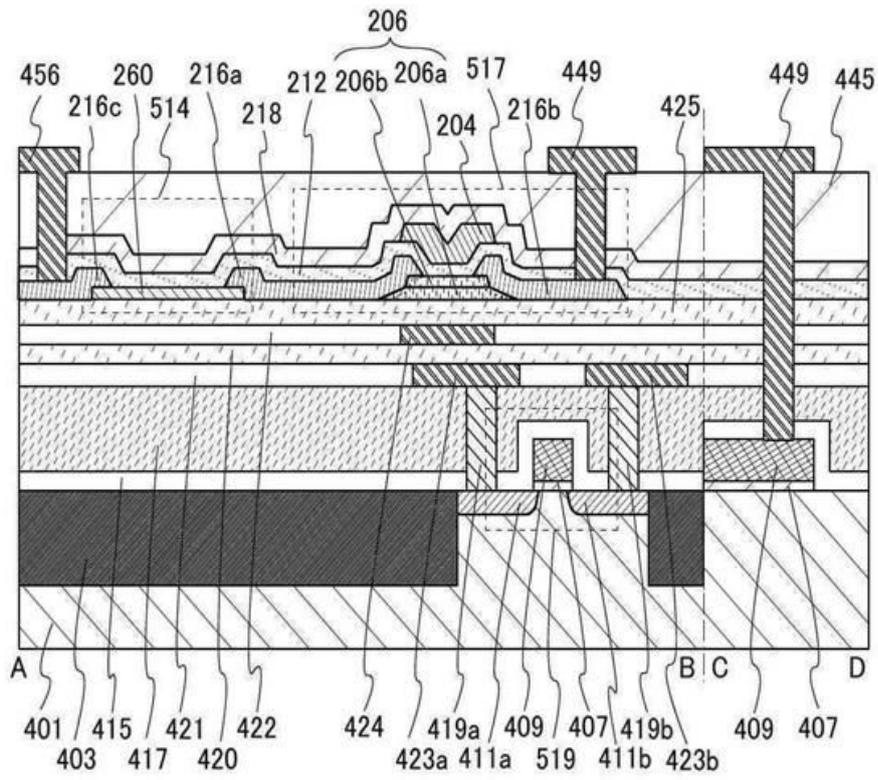
도면19



도면20

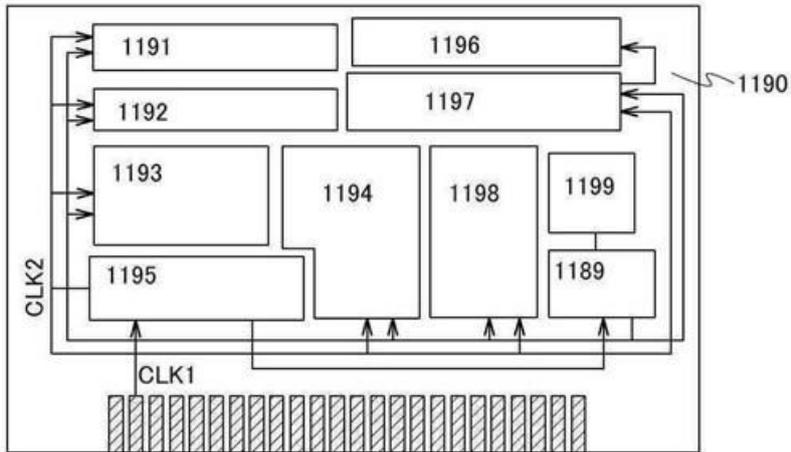


도면21

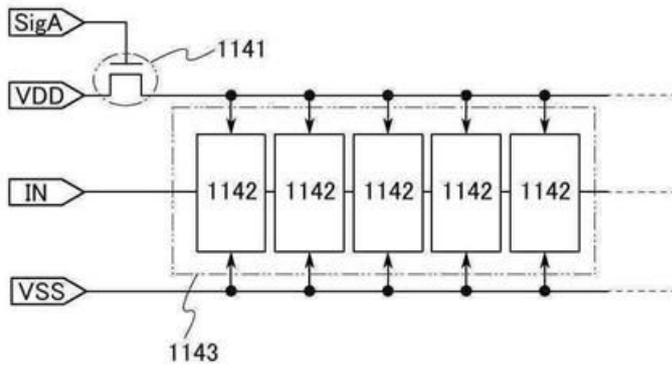


도면22

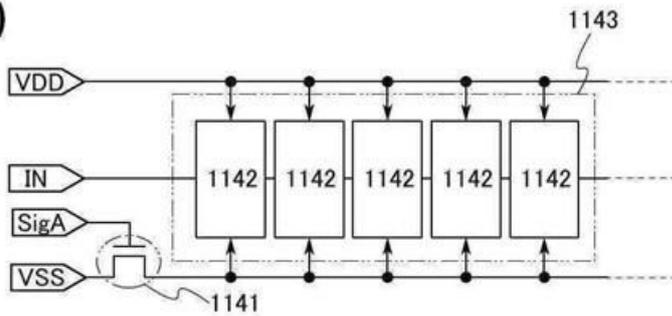
(A)



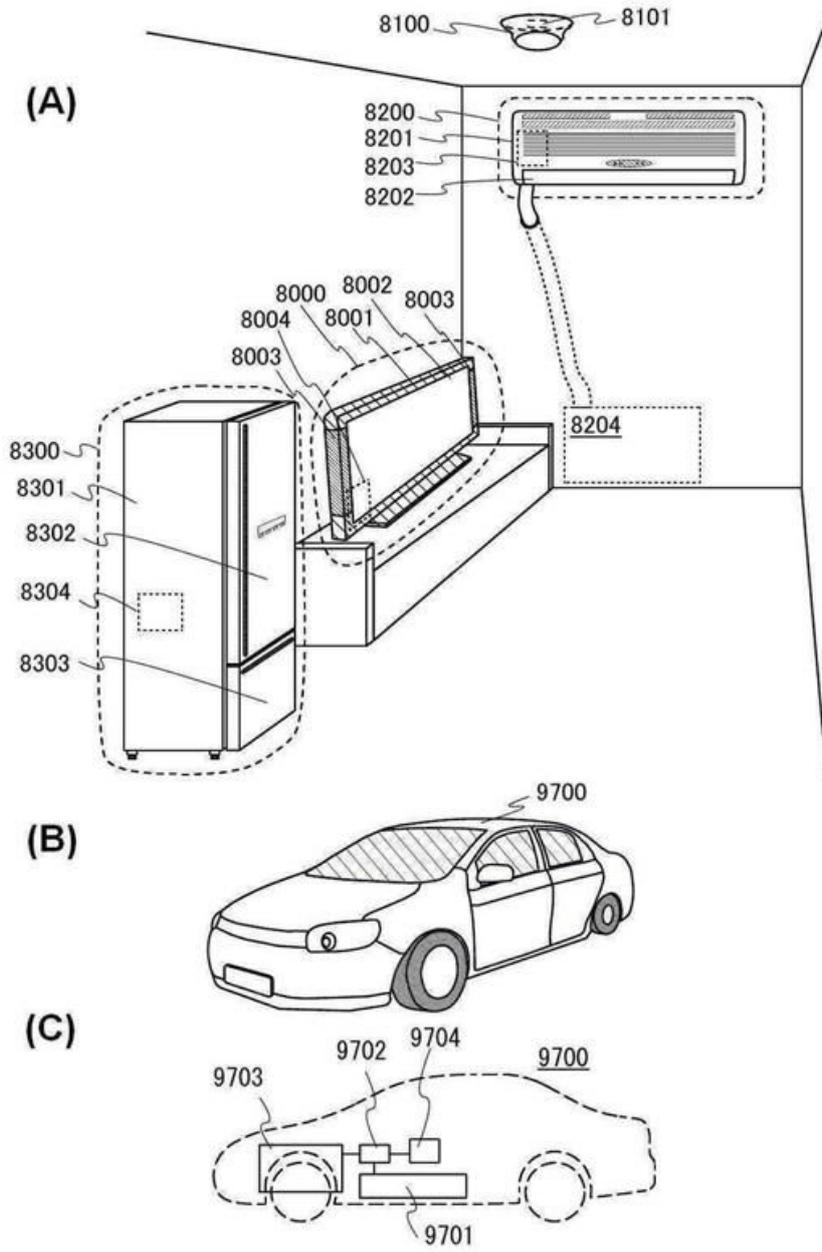
(B)



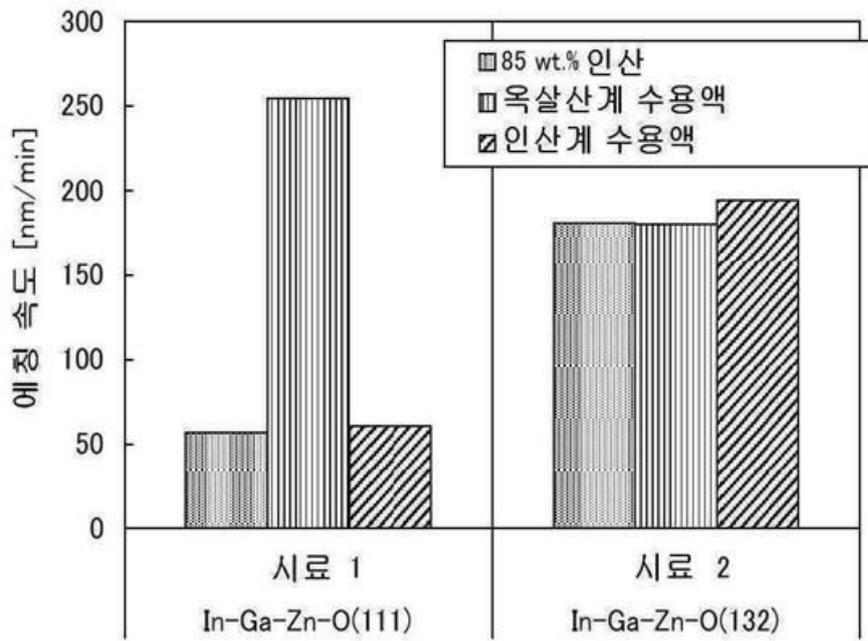
(C)



도면23

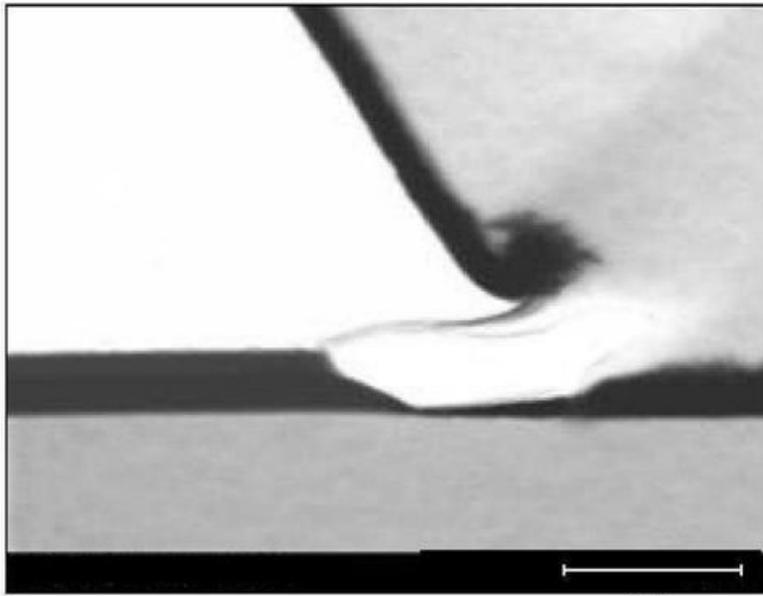


도면24



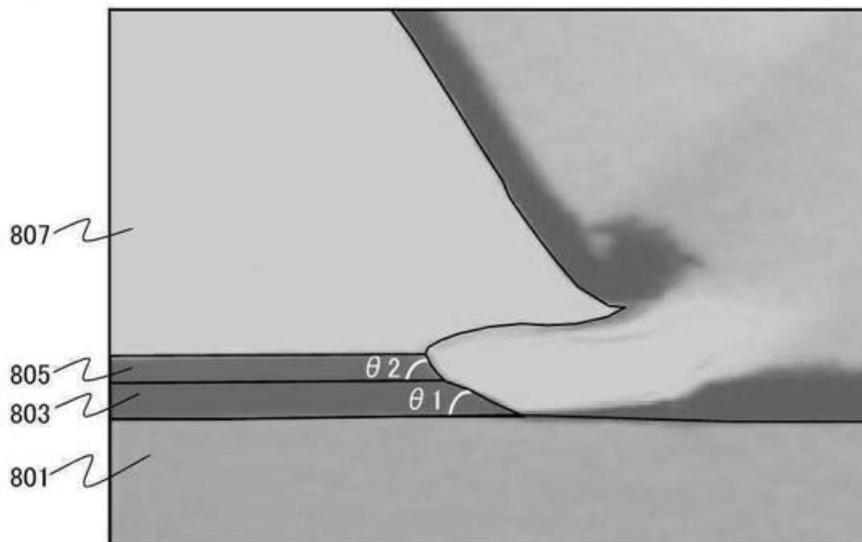
도면25

(A)

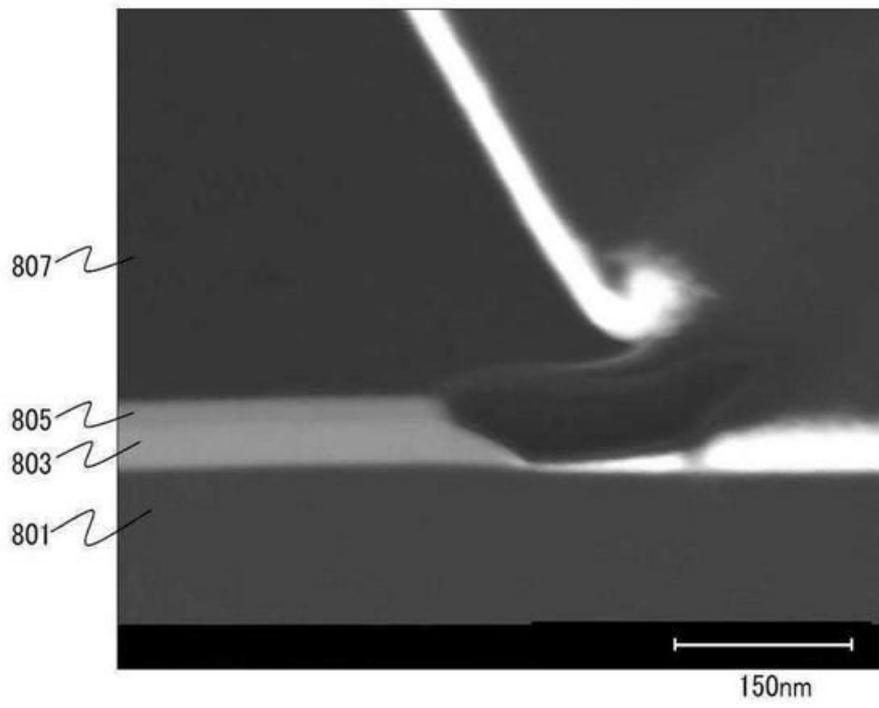


150nm

(B)

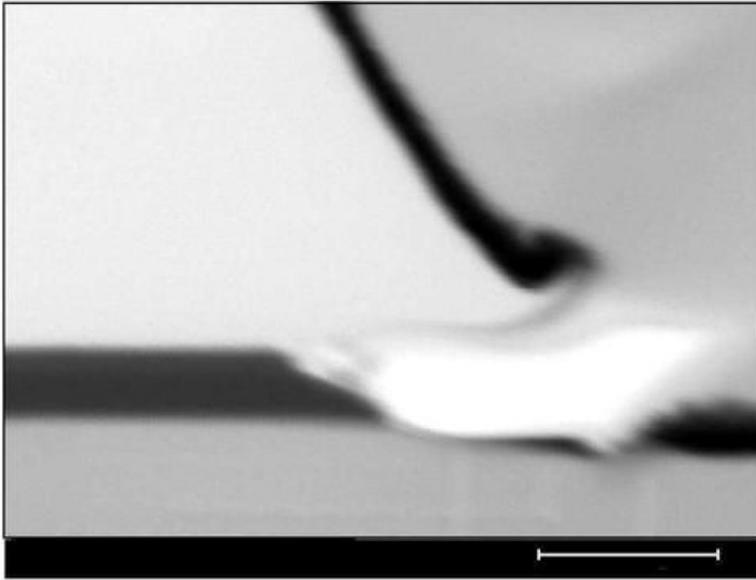


도면26

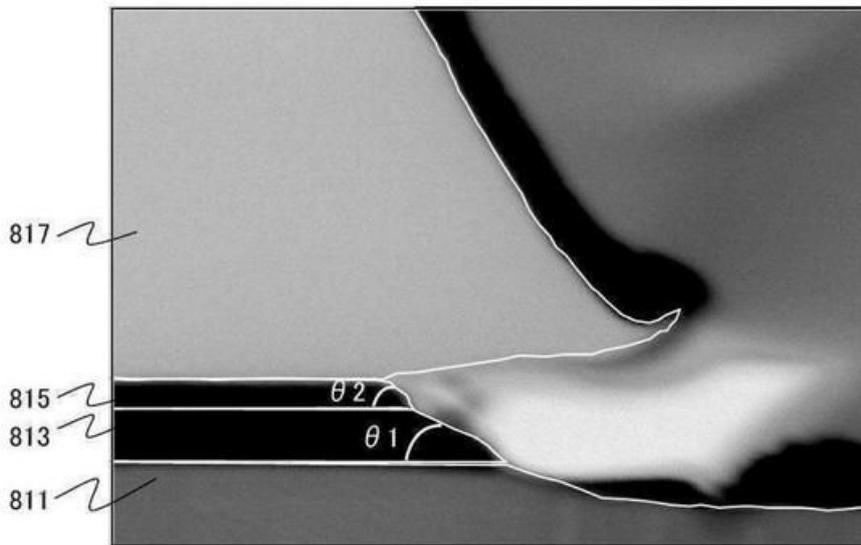


도면27

(A)

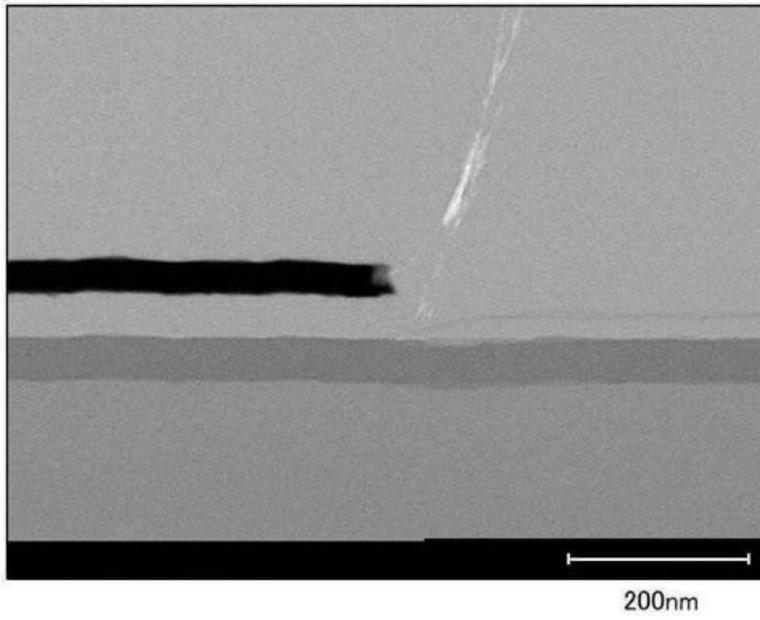


(B)

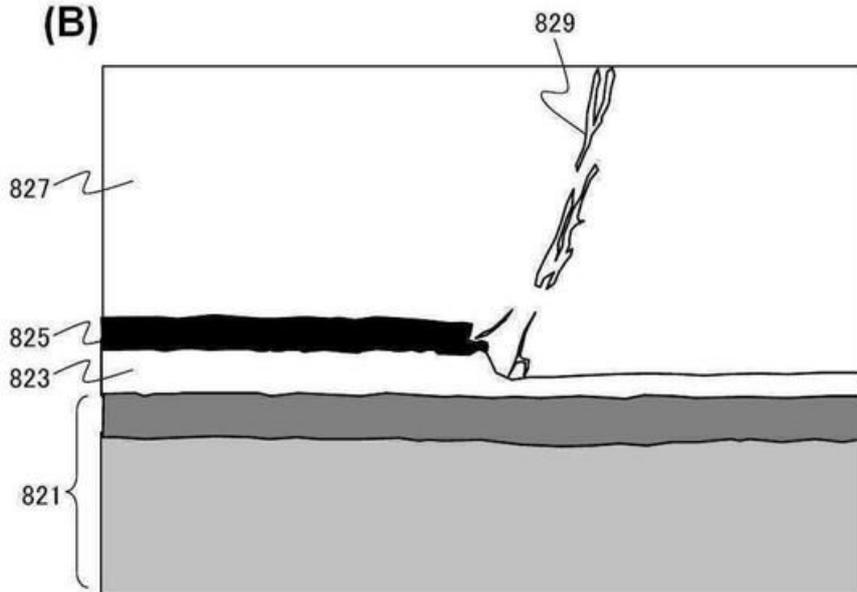


도면28

(A)

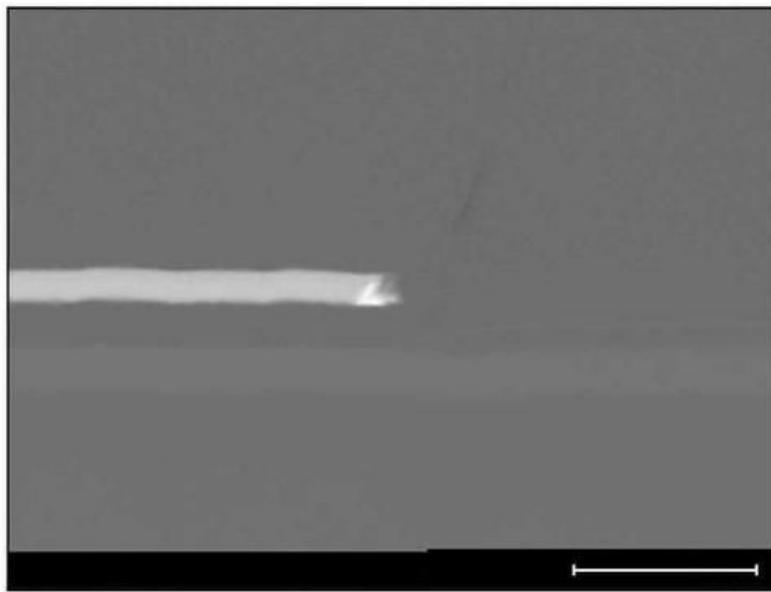


(B)



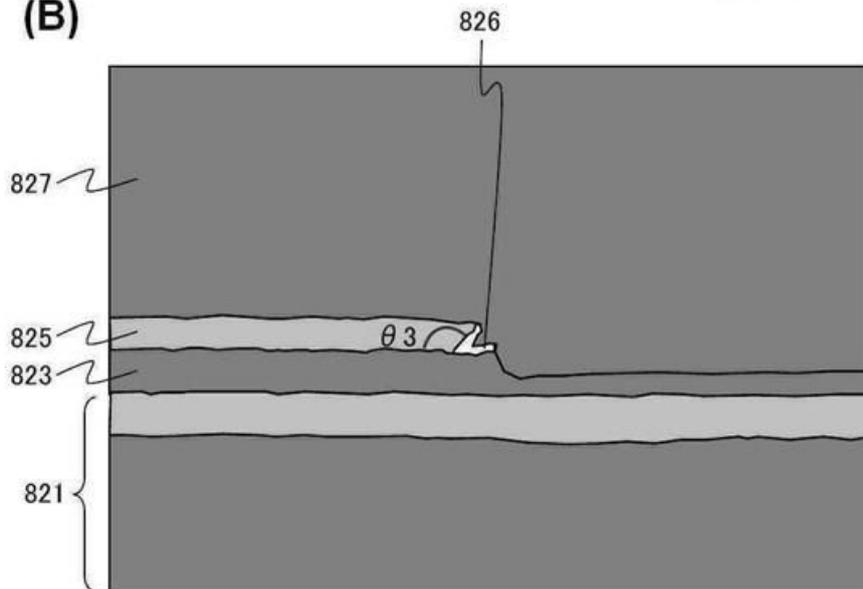
도면29

(A)



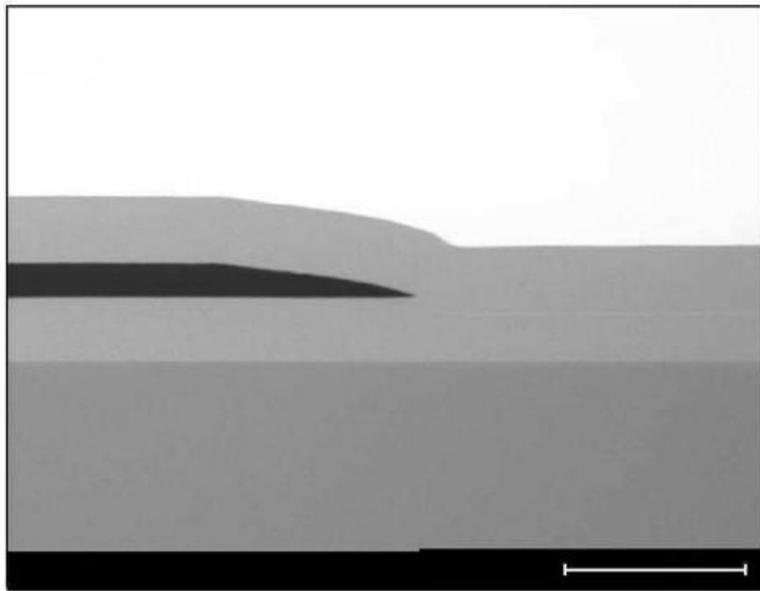
200nm

(B)

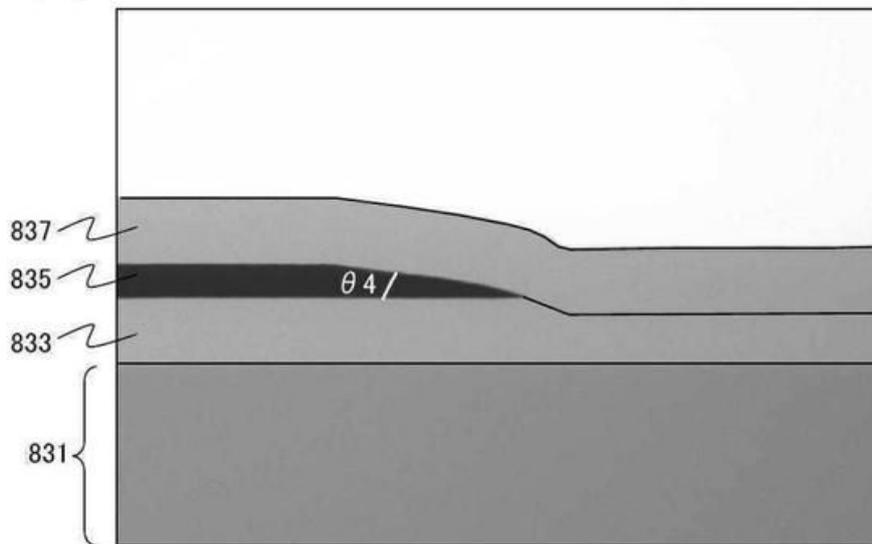


도면30

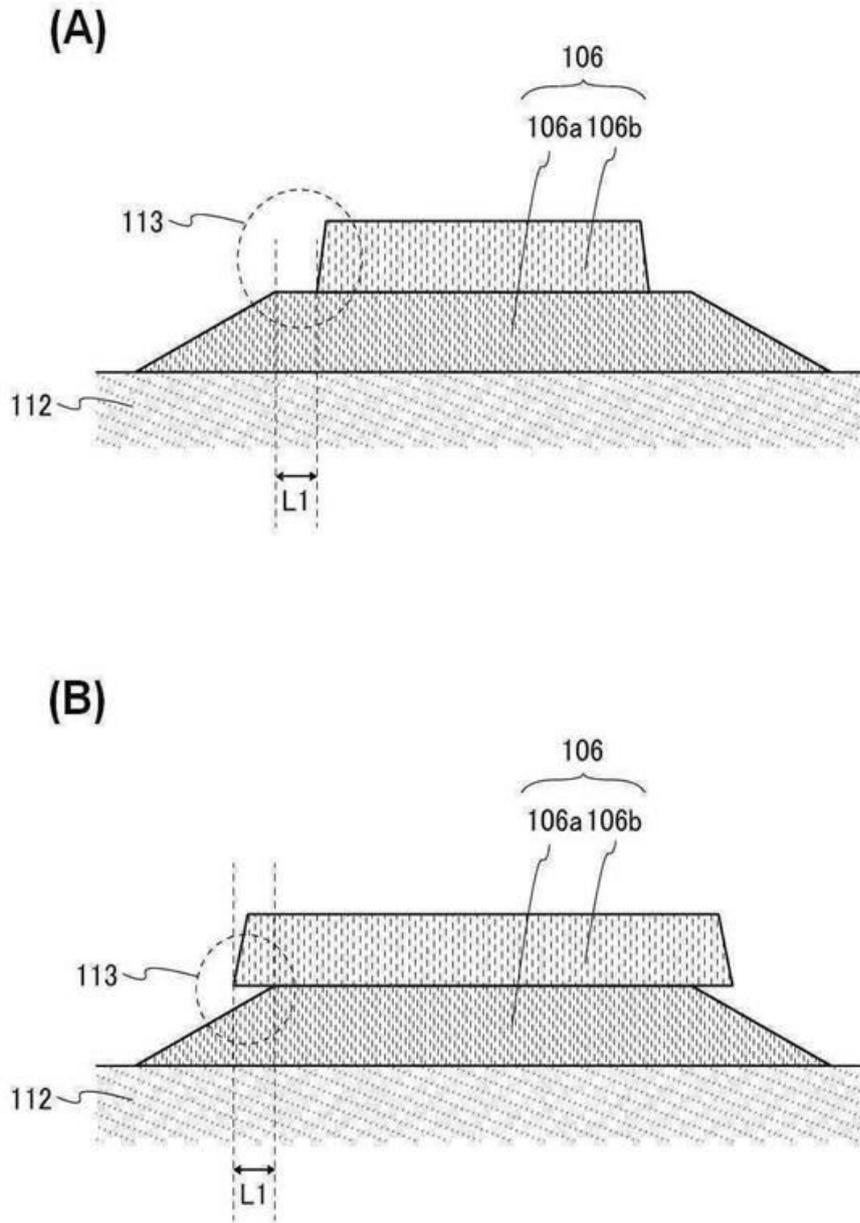
(A)



(B)

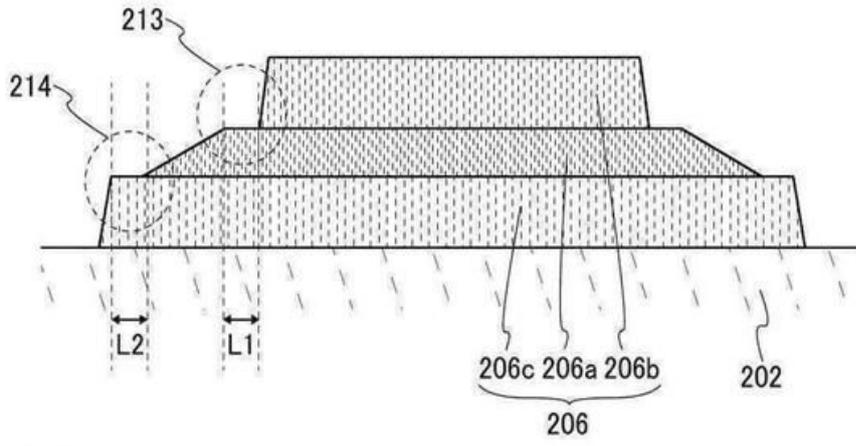


도면31



도면32

(A)



(B)

