

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：103123218

※申請日期：103.8.3

※IPC 分類：

H01L 21/60
G3/28

壹、發明名稱：(中文/英文)

影像感測模組之封裝結構與方法

Image sensor module packaging structure and method thereof

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 翁政義 / WENG, CHENG-I

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段一九五號

No. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu

國籍：(中文/英文) 中華民國 / R.O.C.

參、發明人：(共9人)

姓名：(中文/英文)

1. 呂芳俊 / LEU, FANG-JUN
2. 陳守龍 / CHEN, SHOU-LUNG
3. 蕭景文 / HSIAO, CHING-WEN
4. 游善溥 / YU, SHAN-PU
3. 林志榮 / LIN, JYH-RONG
6. 彭逸軒 / PENG, I-HSUAN
7. 吳建樹 / WU, JIAN-SHU

8. 巫惠美 / WU, HUI-MEI
9. 簡建偉 / CHIEH, CHIEN-WEI

住居所地址：(中文/英文)

1. 新竹市北區文雅里1鄰竹光路35巷6號4樓
4F., No.6, Lane 35, Jhuguang Rd., Hsinchu City
2. 桃園縣楊梅鎮埔心中興路102號11樓
11F., No.102, Jhongsing Rd., Yangmei Township, Taoyuan County
3. 臺北市板橋市福德里9鄰忠孝路忠義巷14弄12-3號4樓
4F., No.12-3, Alley 14, Jhongsiao Rd., Banciao City, Taipei County
4. 嘉義市西區北榮里3鄰文化路432巷30號
No.30, Lane 432, Wunhua Rd., Chiayi City
5. 臺北縣土城市延和里13鄰延和路21巷13號
No.13, Lane 21, Yanhe Rd., Tucheng City, Taipei County
6. 新竹縣竹東鎮中山里17鄰長春路一段125號
No.125, Sec. 1, Changchun Rd., Jhudong Township, Hsinchu County
7. 雲林縣北港鎮劉厝里1鄰14號
No.14, Lin1, Liucuo Li, Peikang Township, Yunlin County
8. 新竹縣竹東鎮上館里22鄰和江街337巷6弄17號
No.17, Alley 6, Lane 337, Hejiang St., Jhudong Township, Hsinchu County
9. 宜蘭縣五結鄉上四村11鄰中正路二段271號
No.271, Sec. 2, Jhongjheng Rd., Wujie Township, Yilan County

國籍：(中文/英文) 1.2.3.4.5.6.7.8.9. 中華民國 / R.O.C.

肆、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體積體電路之覆晶(flip chip)封裝結構與方法，尤指一種適用於影像感測器之覆晶封裝
5 結構與方法。

【先前技術】

在半導體積體電路(IC)的產品中，多層封裝為其中一最新之製程之一，其包含：擴大IC晶粒之電極間距，其中
10 此晶粒包含後層封裝之電路；保護晶粒免於受封裝內部與外部之應力；提供一適當之熱途徑，以傳送由晶粒發散之熱量；以及形成一電性內部連結。IC晶粒封裝的方法等同於封裝所使用之系統，支配了整個封裝晶粒的總成本、性能、與可靠度。

15 IC晶粒的封裝形式可大體分為兩類：密封式封裝與非密封式封裝。一晶粒利用密封式封裝封裝時，其與外界環境係由一真空密封或特定氣體包圍之空間所隔離。此種封裝一般為陶瓷封裝並採用高效能應用。換言之，一晶粒利用非密封式封裝封裝時，其並非與外界環境完全隔離。故
20 密封式封裝較非密封式封裝製造成本高，但密封式封裝仍須在一些特殊應用中使用，例如影像感測器或壓力感測器。然而，近來先進之密封式封裝使用於塑膠封裝已擴大其使用範圍與性能。由於一般傳統產品製程利於自動批次處理，故塑膠封裝具有高成本效益。

近來發展之IC晶粒封裝為球狀陣列(Ball Grid Array, BGA)封裝，其可用於陶瓷封裝與塑膠封裝，並影響不同形式之之內部封裝結構。BGA封裝利用複數個焊接球或凸塊作為IC晶粒與其他微電子元件間之電性、機械、或熱之內部連結。此焊接凸塊提供IC晶粒固定於電路板上，並使晶粒電路圖與電路板上之導電圖樣產生電性上之內部連接。BGA技術包含在接合技術之下，此接合技術廣泛定義為C4(Controlled Collapse Chip Connection)或覆晶技術。

覆晶技術可用於各種不同形式之電路板接合，其包含陶瓷基材、印刷線路板、可撓式電路、與矽基材。焊接凸塊一般位於覆晶之面積陣列(Area Array)之導電性接合墊(bond pad)上，導電性接合墊係與覆晶上之電路圖在電性上內部相連接。因在覆晶之微電路中一般會執行各種功能，故相對地需要眾多之焊接凸塊。通常覆晶之各邊尺寸約在13mm間，造成焊接凸塊沿覆晶之週緣擁塞。因此，覆晶之導電圖樣由各種個別之導體組成，此導體通常之間距為約等於或小於0.1mm。

無引線晶片承載(Leadless Chip Carrier, LCC)封裝一般使用於影像感測器中，如電荷耦合元件(Charge Coupled Device, CCD)或互補式金屬氧化半導體(Complementary Metal Oxide Semiconductor, CMOS)影像感測器。

電荷耦合元件(CCD)影像感測器為一可將光學圖樣或影像轉換為電荷圖樣或電子影像之電子元件。CCD包含數個感光單元，此感光單元具有修正、儲存、與傳輸電荷至

另一感光單元之能力。矽的感光性質會影響影像感測器設計之材料選擇。每一感光單元代表一畫素。半導體技術與設計規則支配畫素之行列結構與矩陣結構，並由位於晶粒邊緣之一或多個輸出放大器修正由CCD傳出之訊號。一電子影像藉由一系列之脈衝獲得，此脈衝在另一脈衝傳輸至輸出放大器後依行列順序傳輸一畫素之電荷，此時輸出放大器轉換電荷為電壓。外部電路以一適當之形式傳輸輸出訊號以偵測或擷取。

互補式金屬氧化半導體影像感測器操作電壓低於電荷耦合元件(CCD)影像感測器，其為減少電量損耗利於攜帶。每一CMOS主動式畫素感測單元本身具有暫存之放大器，其可獨立做讀寫動作。一般使用之畫素感測單元具有四個電晶體與一光感單元。此畫素感測單元具有一傳輸閘極以將光感測器與一具電容之浮擴散(floating diffusion)區隔；一介於浮擴散與電源供應之重置閘極(reset gate)；一共汲極組態電晶體(source-follower transistor)係將讀出線電容暫存於浮擴散中；以及一系列選擇閘極，以連接畫素感測單元至讀出線。所有行連接之畫素均與一共同感測放大器相接。

相較於CCD影像感測器，CMOS影像感測器除具有低耗能外，由於其去耦與結晶特性，通常設計較為簡單。故其設計容易小型化並具有較少之支撐電路需求。

一傳統之無引線晶片承載封裝30如圖5所示。此封裝30一般使用於CCD或CMOS影像感測器之IC晶粒，其包含

一透明覆蓋玻璃層32，其具有一支撐層35。一防反射塗覆34介於覆蓋玻璃32與支撐層35之間。一多層基材36包含一城堡狀結構42其上提供一影像感測器晶片38。上部鉛40由晶片38延伸而出並與底部鉛44電性上相連接，此底部鉛44
5 包覆於基材36之底部與側邊。而透明覆蓋玻璃32利於將光傳送
至影像感測器晶片38。

無引線晶片承載封裝30一般具有之厚度46為2mm。使用無引線晶片承載封裝30於影像感測器之封裝30時需要相對之大空間。而在許多狀況下，過大之影像感測器造成了
10 無引線晶片承載封裝30之天生限制。因此，在影像感測器之封裝上，亟需一種新穎並經改良之封裝結構與方法。

【發明內容】

本發明之主要目的係在提供一種影像感測模組之封
15 裝結構，俾能節省空間，並將控制處理影像感測器訊號之被動元件晶粒整合組裝於一封裝結構內，並簡化影像感測模組製作之流程。

本發明之另一目的係在提供一種球狀陣列之影像感測模組封裝結構，其可以批次生產，改善量產效能。

20 本發明之另一目的係在提供一種影像感測模組之封裝方法，其適用於CCD或CMOS影像感測器之封裝。

本發明之再一目的係在提供一種球狀陣列之方法以封裝影像感測模組，其可有效減少封裝後之厚度。

為達成上述目的，本發明之影像感測模組之封裝方法，其包含步驟：提供一具有一第一圖樣導電層之透明基材；承載一具有一感光主動區之影像感測器積體電路晶粒與至少一具有至少一接墊之被動元件晶粒於該透明基材上，並使該感光主動區朝向該透明基材，該被動元件晶粒之接墊朝向相對於該透明基材之另一方向；覆蓋一絕緣增層膜於該透明基材上；以及形成複數個導電孔於該絕緣增層膜上，使其一端與該被動元件晶粒之該接墊或該透明基材之第一圖樣導電層相連，另一端係暴露於該絕緣增層膜之表面。

為達成上述目的，本發明之一種影像感測模組之封裝結構，包括：一具有一第一圖樣導電層之透明基材；一具有一感光主動區之影像感測器積體電路晶粒，其承載於該透明基材上，並與該透明基材之該第一圖樣導電層電性相連，該感光主動區並朝向該透明基材；至少一具有至少一接墊之被動元件晶粒，其相對於該接墊之另一表面貼附於該透明基材上；以及至少一覆蓋於該透明基材上之絕緣增層膜，其具有複數個導電孔與一第一表面，該第一表面係相對於與該透明基材接觸之另一表面，該些導電孔之一端係與該接墊或該第一圖樣導電層相連，另一端係暴露於該第一表面上。

本發明之影像感測器封裝結構其特徵在於具有比傳統封裝更高之空間利用率，而在傳統之影像感測器封裝一般使用無引線晶片承載封裝。本發明之影像感測器封裝結

構整體之厚度約為1mm，而無引線晶片承載封裝之總厚度約在2mm。故影像感測器元件相較於傳統之CCD或CMOS影像感測器封裝結構可減少建構之尺寸。

在影像感測模組中一般包含多個被動元件晶粒以控制處理影像感測器積體電路晶粒之訊號，故將影像感測器積體電路晶粒與被動元件晶粒內埋於同一影像感測模組中，同時利用增層法將電路訊號連接至外部，可簡化製程步驟。而一般被動元件晶粒之封裝係應用到增層(Build Up)法，所謂增層法係以背膠銅箔(RCC)或銅箔加膠片增層，利用微盲孔(Photo-via或Laser via)與內在導電線路互連。這種非機械鑽孔方式，以及壓合後再增層一、二次者稱之。

【實施方式】

本發明之完整的影像感測模組封裝流程，如圖1A~1F所示，首先如圖1A所示，在一透明基材110上形成一第一圖樣導電層120，此第一圖樣導電層120之形成方式並無限制，一般習知為利用濺鍍、蒸鍍、網印、或薄膜貼附。接著，參考圖1B於透明基材110上塗覆一黏著劑150用以承載至少一具有至少一接墊145之被動元件晶粒140，以及塗覆一異方性導電膠(Anisotropic conductive adhesive, ACA)160，或者一非導電膠(Nonconductive adhesive, NCA)以承載一具有一感光主動區135之影像感測器積體電路晶粒130，並使感光主動區135朝向透明基材110，而被動元件晶粒140之接墊145朝向相對於透明基材110之另一方向，其

中影像感測器積體電路晶粒130之承載方法亦可再包含一焊接凸塊，或者以其他方式取代異方性導電膠160或非導電膠，例如利用焊接球焊接；此外，透明基材110上更可包含承載一具有至少一接墊之主動元件晶粒（未顯示於圖中）

5 於透明基材110上，並使該主動元件晶粒之接墊朝向相對於該透明基材110之另一方向；亦可以內埋式印刷被動元件 (Build-in printing passive device)製作於後續之增層製程中。當被動元件晶粒140與影像感測器積體電路晶粒130貼附於透明基材110後，即如圖1C所示，其係為圖1B中沿I-I'

10 線之剖視圖。隨後，參考圖1D壓合一絕緣增層膜170於透明基材110上，此覆蓋絕緣增層膜170之方法並非限制於壓合，亦可為其他方式，如旋轉塗佈等。此外，形成絕緣增層膜110之厚度並無限制，較佳為絕緣增層膜110之厚度小於影像感測器積體電路晶粒130之厚度，使得影像感測器積

15 體電路晶粒130之相對於感光主動區135之另一表面裸露於外，以增加影像感測器積體電路晶粒130之散熱性；而此絕緣增層膜110之材料需具有優良之電性絕緣效果並可利用雷射加工，一般為利用背膠銅箔 (Resin Coated Copper Foil, RCC)或銅箔加膠片。再參考圖1E形成複數個導電孔180於

20 絕緣增層膜170上，使其底端與被動元件晶粒140之接墊145或透明基材110之第一圖樣導電層120相連，頂端則暴露於絕緣增層膜170之上表面175，此導電孔180形成方法亦無限制，較佳為利用雷射鑽孔，亦可利用黃光蝕刻；隨後電鍍導電金屬於導電孔180中，此時影像感測器積體電路晶粒

130可透過第一圖樣導電層120與導電孔180將訊號傳出，被動元件晶粒140藉由導電孔180將訊號輸出或輸入。

此影像感測模組之封裝方法如圖1F所示，更佳可包含形成一第二圖樣導電層190於絕緣增層膜170之上表面175上。並於形成第二圖樣導電層190後可再形成一具有複數個孔洞210之防焊層220覆蓋，用以保護第二圖樣導電層190，並可防止水氣進入晶粒內。最後，可再形成複數個焊接球230於防焊層220之該些孔洞210，隨即完成影像感測模組之封裝。然而於形成第二圖樣導電層190之後，亦可重複增層法，亦即依序形成一絕緣增層膜、複數個導電孔於絕緣增層膜內、以及第三圖樣導電層於絕緣增層膜表面。

為能讓 貴審查委員能更瞭解本發明之技術內容，特舉三較佳具體實施例說明如下。

實施例1：影像感測模組之封裝結構

15 在本實施例中為一具有CMOS晶粒之影像感測模組之封裝結構如圖2所示，包括一具有一濺鍍形成之第一圖樣導電層120之透明基材110；此透明基材110上利用異方性導電膠160接合一具有一感光主動區（未顯示於圖中）之CMOS晶粒136，此CMOS晶粒136並與透明基材110之第一圖樣導電層120電性相連，且感光主動區朝向透明基材110；此透明基材110上並利用一黏著劑150將至少一具有至少一接墊145之被動元件晶粒140貼附於其上，其中該接墊145係朝向相對於透明基材110之另一表面；一絕緣增層膜170塗佈於透明基材110上，使所有之承載晶粒內埋於絕緣增層膜170

內，此絕緣增層膜170具有複數個以雷射鑽孔形成之導電孔180，該些導電孔180之一端係與接墊145或第一圖樣導電層相連120，另一端係暴露於絕緣增層膜170之第一表面上175，此絕緣增層膜170之厚度小於CMOS晶粒136之厚度，
5 以使CMOS晶粒136相對於感光主動區之另一表面不被絕緣增層膜170覆蓋；一第二圖樣導電層190形成於絕緣增層膜170之上表面175；一具有複數個孔洞210之防焊層220覆蓋於第二圖樣導電層190上，用以保護第二圖樣導電層190；複數個焊接球230形成於防焊層220之孔洞210，即為
10 一完整之覆晶球狀陣列之影像感測模組。

本實施例之封裝影像感測模組之結構特徵在於具有比傳統影像感測器封裝結構更高之空間利用率，本實施例之影像感測模組總厚度 t_1 約650um，亦即透明基材110之厚度加上CMOS晶粒136之厚度。故影像感測器元件相較於傳統
15 之器封裝結構可減少建構之尺寸。且將被動元件晶粒140之內部連接線與CMOS晶粒136之內部連接線（此處之內部連接線包含第一圖樣導電層120、導電孔180、與第二圖樣導電層190）整合於同一製程中，可大幅減少封裝所需之製程步驟。此外，由於CMOS晶粒136背面裸露於外，可增加
20 其散熱功能，提高其操作效能。

實施例2：影像感測模組之封裝結構

在本實施例中為一具有CCD之影像感測模組之封裝結構如圖3所示，包括一具有一蒸鍍形成之第一圖樣導電層
25 120之透明基材110；此透明基材110上利用焊接球230焊接

一具有一感光主動區（未顯示於圖中）之CCD晶粒138，並利用一環氧樹脂240填充焊接球230間之空隙，使位於感光主動區與透明基材110間之間隙區250為一密封區，此CCD晶粒138利用焊接球230與透明基材110之第一圖樣導電層120電性相連，且感光主動區朝向透明基材110；此透明基材110上並利用一黏著劑150將至少一具有至少一接墊145之被動元件晶粒140貼附於其上，其中該接墊145係朝向相對於透明基材110之另一表面；一絕緣增層膜170壓合於透明基材110上，使所有之承載晶粒內埋於絕緣增層膜170內，此絕緣增層膜170具有複數個以雷射鑽孔形成之導電孔180，該些導電孔180之一端係與接墊145或第一圖樣導電層相連120，另一端係暴露於絕緣增層膜170之第一表面上175，此絕緣增層膜170之厚度大於CCD晶粒138之厚度；一第二圖樣導電層190形成於絕緣增層膜170之上表面175上；一具有複數個孔洞210之防焊層220覆蓋於第二圖樣導電層190上，用以保護第二圖樣導電層190；複數個焊接球230形成於防焊層220之孔洞210，即為一完整之影像感測模組。

本實施例之封裝影像感測模組之結構特徵在於具有比傳統影像感測器封裝結構更高之空間利用率，本實施例之影像感測模組總厚度t1約1mm，相較於傳統之器封裝結構厚度約2mm可減少建構之尺寸。且將被動元件晶粒140之內部連接線與CMOS晶粒136之內部連接線（此處之內部連接線包含第一圖樣導電層120、導電孔180、與第二圖樣導電

層 190) 整合於同一製程中，可大幅減少封裝所需之製程步驟。

實施例 3：影像感測模組之封裝結構

- 5 在本實施例中為一具有 CMOS 之影像感測模組之封裝結構如圖 4 所示，包括一具有一網印形成之第一圖樣導電層 120 之透明基材 110；此透明基材 110 上利用焊接球 230 焊接一具有一感光主動區（未顯示於圖中）之 CMOS 晶粒 136，並利用一環氧樹脂 240 填充焊接球 230 間之空隙，使位於感
- 10 光主動區與透明基材 110 間之間隙區 250 為一密封區，此 CMOS 晶粒 136 並與透明基材 110 之第一圖樣導電層 120 電性相連，且感光主動區朝向透明基材 110；此透明基材 110 上並利用一黏著劑 150 將至少一具有至少一接墊 145 之被動元件晶粒 140 貼附於其上，其中該接墊 145 係朝向相對於透
- 15 明基材 110 之另一表面；一絕緣增層膜 170 塗佈於透明基材 110 上，使所有之承載晶粒內埋於絕緣增層膜 170 內，此絕緣增層膜 170 具有複數個以雷射鑽孔形成之導電孔 180，該些導電孔 180 之一端係與接墊 145 或第一圖樣導電層 120 相連 120，另一端係暴露於絕緣增層膜 170 之第一表面上 175，
- 20 此絕緣增層膜 170 之厚度小於 CMOS 晶粒 136 之厚度，以使 CMOS 晶粒 136 相對於感光主動區 135 之另一表面，不被絕緣增層膜 170 覆蓋；一第二圖樣導電層 190 形成於絕緣增層膜 170 之上表面 175 上；一具有複數個孔洞 210 之防焊層 220 覆蓋於第二圖樣導電層 190 上，用以保護第二圖樣導電層

190；複數個焊接球230形成於防焊層220之孔洞210，即為一完整之影像感測模組。

5 本實施例之封裝影像感測模組之結構特徵在於具有比傳統影像感測器封裝結構更高之空間利用率，可減少建構之尺寸。且將被動元件晶粒140之內部連接線與CMOS晶粒136之內部連接線整合於同一製程中，可大幅減少封裝所需之製程步驟。由於CMOS晶粒136背面裸露於外，可增加其散熱功能，提高其操作效能。

10 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

15 圖1A~1F係本發明之影像感測模組之封裝方法步驟流程圖。

圖2係本發明之影像感測模組之封裝結構一實施例剖視圖。

圖3係本發明之影像感測模組之封裝結構另一實施例剖視圖。

20 圖4係本發明之影像感測模組之封裝結構另一實施例剖視圖。

圖5係習知之用於封裝影像感測器之無引線晶片承載封裝之剖視圖。

【主要元件符號說明】

- | | | | | | |
|-----|-----------|-----|---------|-----|-------------|
| 30 | 無引線晶片承載封裝 | 32 | 玻璃層 | 34 | 防反射塗覆 |
| 35 | 支撐層 | 36 | 多層基材 | 38 | 影像感測器晶片 |
| 40 | 上部鉛 | 42 | 城堡狀結構 | 44 | 底部鉛 |
| 46 | 厚度 | | | | |
| 110 | 透明基材 | 120 | 第一圖樣導電層 | 130 | 影像感測器積體電路晶粒 |
| 135 | 感光主動區 | 136 | CMOS晶粒 | 138 | CCD晶粒 |
| 140 | 被動元件晶粒 | 145 | 接墊 | | |
| 150 | 黏著劑 | 160 | 異方性導電膠 | 170 | 絕緣增層膜 |
| 175 | 上表面 | 180 | 導電孔 | 190 | 第二圖樣導電層 |
| 210 | 孔洞 | 220 | 防焊層 | 230 | 焊接球 |
| 240 | 環氧樹脂 | 250 | 間隙區 | | |

伍、中文發明摘要：

本發明係有關於一種影像感測模組之封裝結構與方法，其方法包含步驟：提供一具有一第一圖樣導電層之透明基材；承載一具有一感光主動區之影像感測器積體電路晶粒與至少一被動元件晶粒於透明基材上，並使感光主動區朝向該透明基材；覆蓋一絕緣增層膜於透明基材上；以及形成複數個導電孔於絕緣增層膜內，使其一端與被動元件晶粒或透明基材之第一圖樣導電層電性相連，另一端係暴露於絕緣增層膜之表面。本發明之影像感測模組之封裝方法可減少建構之尺寸並大幅減化模組封裝所需之製程步驟。此外，本發明一併揭示運用本封裝方法封裝之封裝結構。

陸、英文發明摘要：

An image sensor module packaging method and structure are disclosed. The image sensor module packaging method includes following steps: providing a transparent substrate having a first pattern conductive layer; bonding at least one passive device and an inverted image sensor chip, of which a light-receiving face facing the substrate, on the transparent substrate; covering a build-up layer onto the transparent substrate; and forming a plurality of conductive vias in the build-up layer with one end electrically connecting the passive device or the first conductive pattern of the transparent substrate and the other end exposing to a surface of the build-up layer. The invention of this image sensor module packaging method can significantly reduce the packaging space and the process steps thereof.

拾、申請專利範圍：

1. 一種影像感測模組之封裝方法，其包含步驟：

(a)提供一具有一第一圖樣導電層之透明基材；

5 (b)承載一具有一感光主動區之影像感測器積體電路晶粒與至少一具有至少一接墊之被動元件晶粒於該透明基材上，並使該感光主動區朝向該透明基材，該被動元件晶粒之接墊朝向相對於該透明基材之另一方向；

(d)覆蓋一絕緣增層膜於該透明基材上；以及

10 (e)形成複數個導電孔於該絕緣增層膜上，使其一端與該被動元件晶粒之該接墊或該透明基材之第一圖樣導電層相連，另一端係暴露於該絕緣增層膜之表面。

2. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其於步驟(e)之後更包含一步驟(f)形成一第二圖樣導電層於該絕緣增層膜之上方。

15 3. 如申請專利範圍第2項所述之影像感測模組之封裝方法，其於步驟(f)之後更包含一步驟(g)形成一具有複數個孔洞之防焊層覆蓋於該第二圖樣導電層上，用以保護該第二圖樣導電層。

20 4. 如申請專利範圍第3項所述之影像感測模組之封裝方法，其於步驟(g)之後更包含一步驟(h)形成複數個焊接球於該防焊層之該些孔洞，並與該導電孔電性相連。

5. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(e)中形成該絕緣增層膜之厚度小於該影像感測器積體電路晶粒之厚度。

6. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(d)中形成該絕緣增層膜之方法為壓合或塗覆。

7. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(e)中形成該些導電孔之方法為雷射鑽孔。

8. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(b)中接合該影像感測器積體電路晶粒於該透明基材之方式為利用一異方性導電膠或非導電膠黏合。

9. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(b)中接合該影像感測器積體電路晶粒於該透明基材之方式為利用焊接球或焊接凸塊。

10. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(a)中形成該第一圖樣導電層之方式為濺鍍、蒸鍍、網印、或薄膜貼附。

11. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(b)中更包含承載至少一具有至少一接墊之主動元件晶粒於該透明基材上，並使該主動元件晶粒之接墊朝向相對於該透明基材之另一方向。

12. 如申請專利範圍第1項所述之影像感測模組之封裝方法，其中於步驟(b)中貼附該被動元件晶粒之方式為利用一黏著劑。

13. 一種影像感測模組之封裝結構，包括：

一具有一第一圖樣導電層之透明基材；

一具有一感光主動區之影像感測器積體電路晶粒，其承載於該透明基材上，並與該透明基材之該第一圖樣導電層電性相連，該感光主動區並朝向該透明基材；

5 至少一具有至少一接墊之被動元件晶粒，其相對於該接墊之另一表面貼附於該透明基材上；以及

至少一覆蓋於該透明基材上之絕緣增層膜，其具有複數個導電孔與一第一表面，該第一表面係相對於與該透明
10 基材接觸之另一表面，該些導電孔之一端係與該接墊或該第一圖樣導電層相連，另一端係暴露於該第一表面上。

14. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其更包含一第二圖樣導電層於該絕緣增層膜之該第一表面上。

15 15. 如申請專利範圍第14項所述之影像感測模組之封裝結構，其更包含一具有複數個孔洞之防焊層覆蓋於該第二圖樣導電層上，用以保護該第二圖樣導電層。

16. 如申請專利範圍第15項所述之影像感測模組之封裝結構，其更包含形成於該防焊層之該些孔洞之複數個焊接球，係與該導電孔電性相連。

20 17. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該絕緣增層膜之厚度小於該影像感測器積體電路晶粒之厚度，以使該影像感測器積體電路晶粒相對於該感光主動區之另一表面，不被該絕緣增層膜覆蓋。

18. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該絕緣增層膜係由壓合或塗佈方式形成。

19. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該些導電孔係由雷射鑽孔方式形成。

5 20. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該影像感測器積體電路晶粒接合於該透明基材之方式為利用一異方性導電膠或非導電膠接合。

10 21. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該影像感測器積體電路晶粒係利用焊接球或焊接凸塊接合於該透明基材。

22. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該第一圖樣導電層之形成方式為濺鍍、蒸鍍、網印、或薄膜貼附。

15 23. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其更包含至少一主動元件晶粒，貼附於該透明基材上，使其介於該絕緣增層膜與該透明基材之間。

24. 如申請專利範圍第13項所述之影像感測模組之封裝結構，其中該被動元件晶粒之貼附方式係利用一黏著劑。

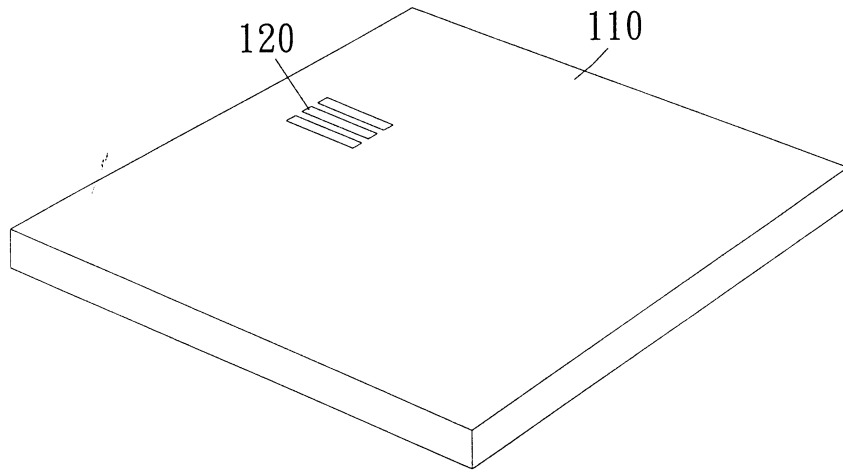


圖 1A

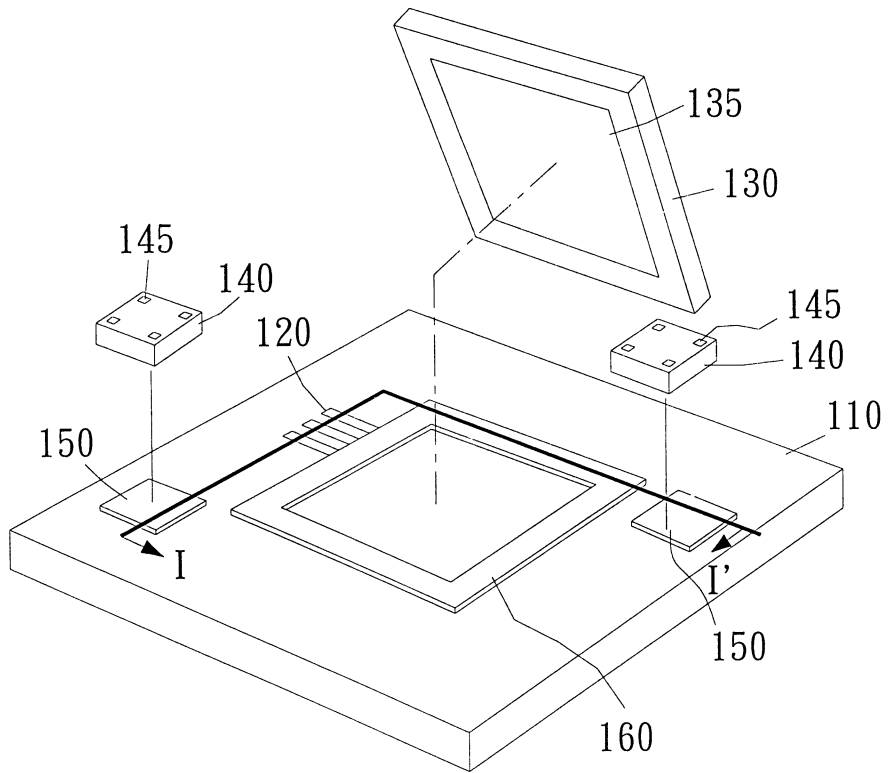


圖 1B

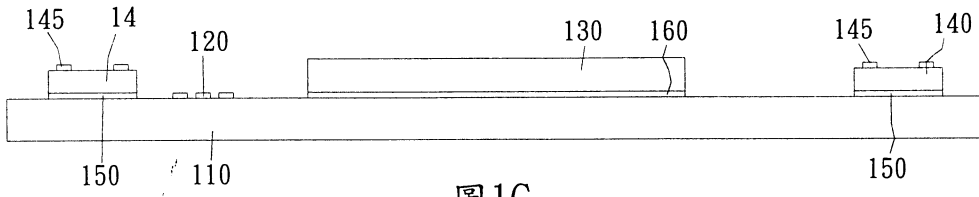


圖1C

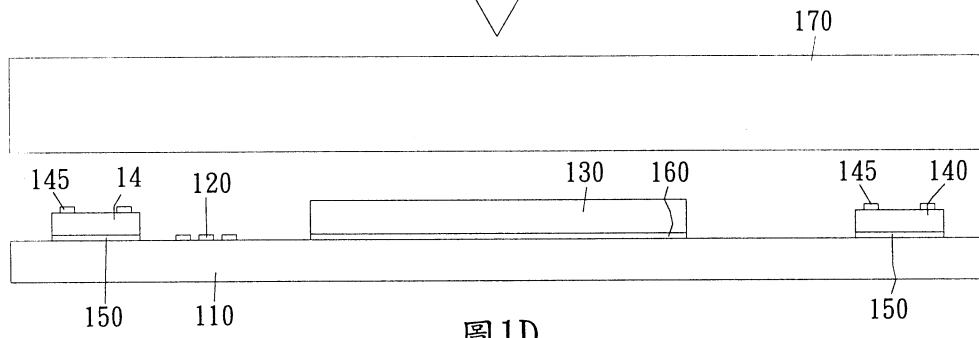
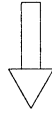


圖1D

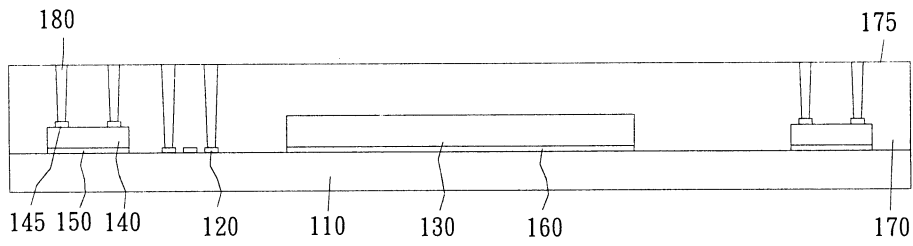


圖1E

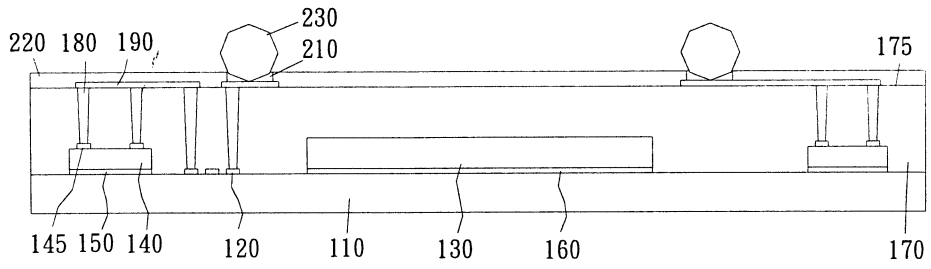


圖1F

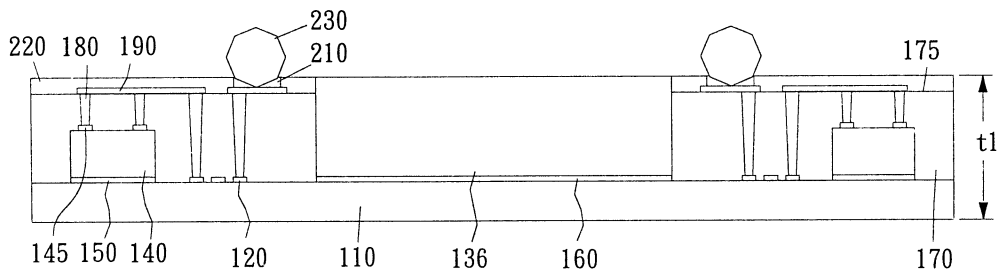


圖2

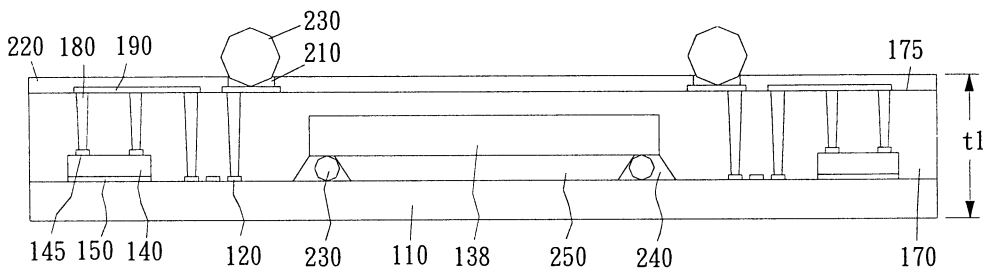


圖3

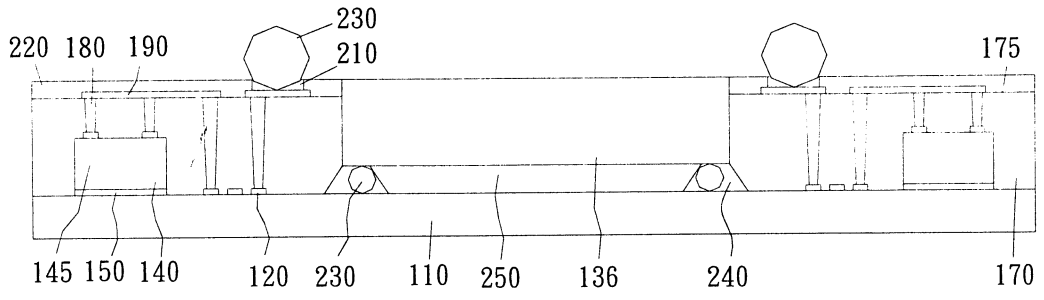


圖4

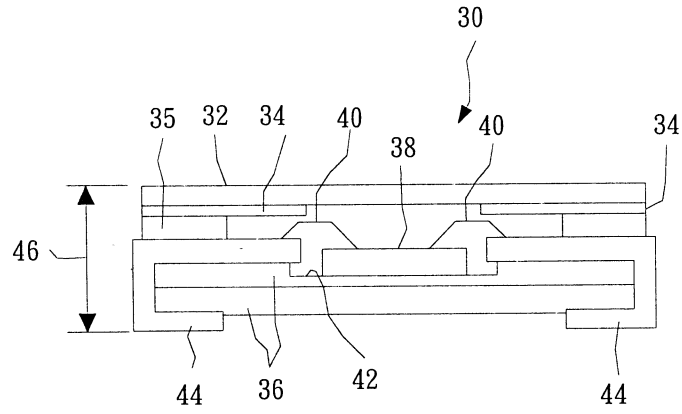


圖5

柒、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件代表符號簡單說明：

110 透明基材	120 第一圖樣導電層	
136 CMOS晶粒	140 被動元件晶粒	145 接墊
150 黏著劑	160 異方性導電膠	170 絕緣增層膜
175 上表面	180 導電孔	190 第二圖樣導電層
210 孔洞	220 防焊層	230 焊接球

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無