



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I720839 B

(45) 公告日：中華民國 110 (2021) 年 03 月 01 日

(21) 申請案號：109107698

(22) 申請日：中華民國 109 (2020) 年 03 月 09 日

(51) Int. Cl. : *H01L23/28 (2006.01)**H01L23/48 (2006.01)**H05K3/46 (2006.01)*

(71) 申請人：南茂科技股份有限公司 (中華民國) CHIPMOS TECHNOLOGIES INC. (TW)

新竹縣研發一路一號

(72) 發明人：許翰誠 HSU, HAN-CHENG (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 201947733A

TW 202006904A

CN 105514150A

審查人員：邱迺軒

申請專利範圍項數：8 項 圖式數：2 共 23 頁

(54) 名稱

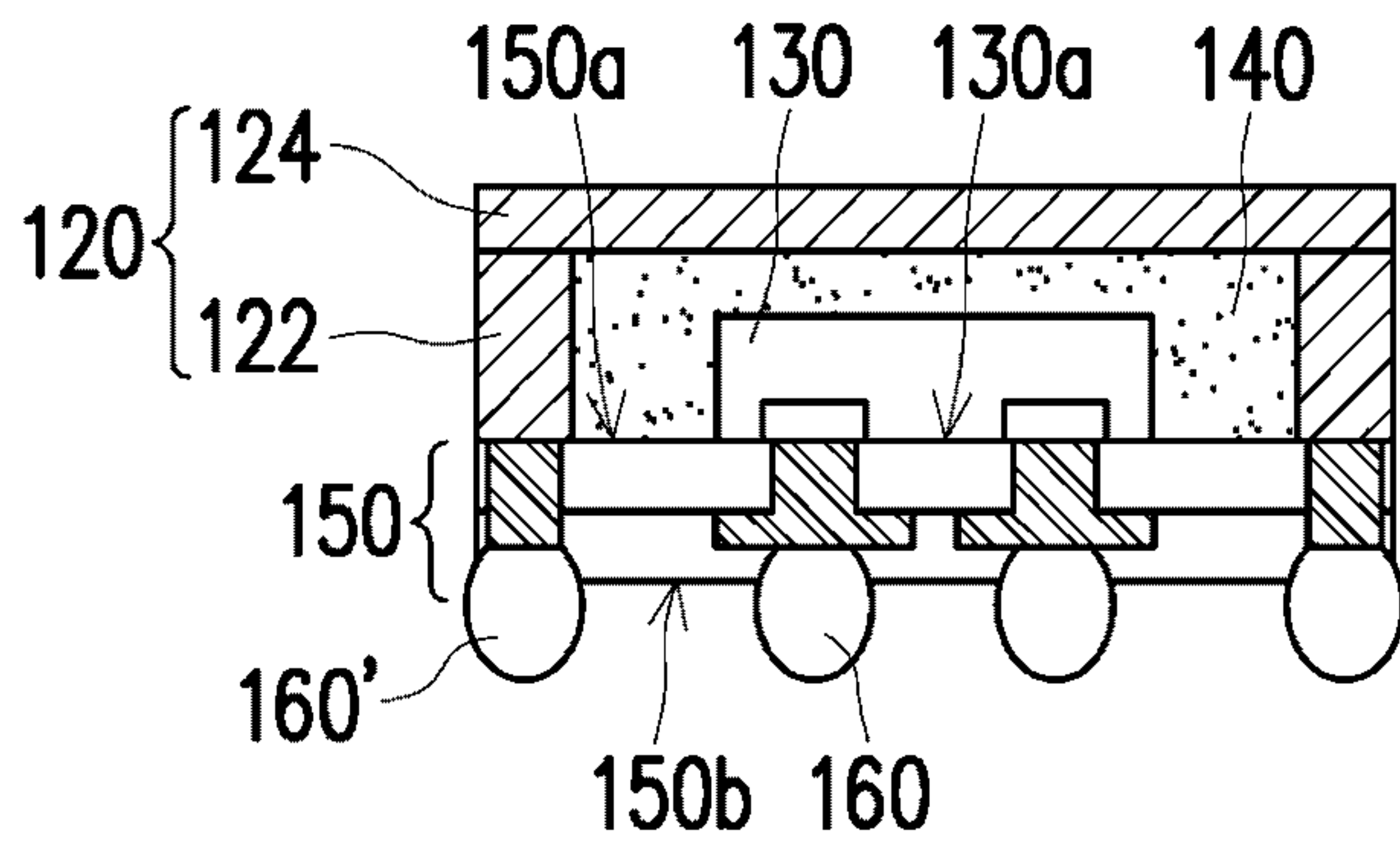
晶片封裝結構及其製造方法

(57) 摘要

一種晶片封裝結構，其包括重佈線路層、晶片、封裝膠體、電磁屏蔽結構以及多個導電端子。重佈線路層具有第一表面與相對於第一表面的第二表面。晶片位於第一表面上。晶片具有面向重佈線路層的主動面。封裝膠體包封晶片。電磁屏蔽結構位於第一表面上且圍繞封裝膠體。電磁屏蔽結構包括金屬框架與金屬層，且金屬框架覆蓋所述封裝膠體的側壁，而金屬層覆蓋封裝膠體的頂面。多個導電端子位於第二表面上。電磁屏蔽結構藉由重佈線路層與導電端子中的至少一接地端子電性連接。另提供一種晶片封裝結構的製造方法。

A chip package structure includes a redistribution layer, a chip, an encapsulant, an electromagnetic shielding structure, and a plurality of conductive terminals. The redistribution layer has a first surface and a second surface opposite to the first surface. The chip is located on the first surface. The chip has an active surface facing the redistribution layer. The encapsulant encapsulates the chip. The electromagnetic shielding structure is located on the first surface and surrounds the encapsulant. The electromagnetic shielding structure includes a metal frame and a metal layer, and the metal frame covers a sidewall of the encapsulant, and the metal layer covers a top surface of the encapsulant. The conductive terminals are located on the second surface. The electromagnetic shielding structure is electrically connected to at least one ground terminal of the conductive terminals through the redistribution layer. A manufacturing method of a chip package structure is also provided.

指定代表圖：



100

【圖1F】

符號簡單說明：

100:晶片封裝結構

120:電磁屏蔽結構

122:金屬框架

124:金屬層

130:晶片

130a:晶片的主動面

140:封裝膠體

150:重佈線路層

150a:第一表面

150b:第二表面

160:導電端子

160':接地端子



I720839

【發明摘要】

【中文發明名稱】晶片封裝結構及其製造方法

【英文發明名稱】CHIP PACKAGE STRUCTURE AND
MANUFACTURING METHOD THEREOF

【中文】一種晶片封裝結構，其包括重佈線路層、晶片、封裝膠體、電磁屏蔽結構以及多個導電端子。重佈線路層具有第一表面與相對於第一表面的第二表面。晶片位於第一表面上。晶片具有面向重佈線路層的主動面。封裝膠體包封晶片。電磁屏蔽結構位於第一表面上且圍繞封裝膠體。電磁屏蔽結構包括金屬框架與金屬層，且金屬框架覆蓋所述封裝膠體的側壁，而金屬層覆蓋封裝膠體的頂面。多個導電端子位於第二表面上。電磁屏蔽結構藉由重佈線路層與導電端子中的至少一接地端子電性連接。另提供一種晶片封裝結構的製造方法。

【英文】A chip package structure includes a redistribution layer, a chip, an encapsulant, an electromagnetic shielding structure, and a plurality of conductive terminals. The redistribution layer has a first surface and a second surface opposite to the first surface. The chip is located on the first surface. The chip has an active surface facing the redistribution layer. The encapsulant encapsulates the chip. The electromagnetic shielding structure is located on the first

surface and surrounds the encapsulant. The electromagnetic shielding structure includes a metal frame and a metal layer, and the metal frame covers a sidewall of the encapsulant, and the metal layer covers a top surface of the encapsulant. The conductive terminals are located on the second surface. The electromagnetic shielding structure is electrically connected to at least one ground terminal of the conductive terminals through the redistribution layer. A manufacturing method of a chip package structure is also provided.

【指定代表圖】圖1F。

【代表圖之符號簡單說明】

100:晶片封裝結構

120:電磁屏蔽結構

122:金屬框架

124:金屬層

130:晶片

130a:晶片的主動面

140:封裝膠體

150:重佈線路層

150a:第一表面

150b:第二表面

160:導電端子

160':接地端子

【特徵化學式】

無

【發明說明書】

【中文發明名稱】晶片封裝結構及其製造方法

【英文發明名稱】CHIP PACKAGE STRUCTURE AND
MANUFACTURING METHOD THEREOF

【技術領域】

【0001】本發明是有關於一種封裝結構及其製造方法，且特別是有關於一種晶片封裝結構及其製造方法。

【先前技術】

【0002】由於電子產品不斷朝向小尺寸、多功能、高效能的趨勢發展，使得積體電路晶片亦須符合微小化、高密度、高功率、高速的需求，因此電子訊號受到電磁干擾 (Electro-Magnetic Interference, EMI) 的情況越來越嚴重。

【0003】為了避免電磁干擾的問題影響積體電路晶片使用時的穩定性，在現有的封裝技術中，常常先形成單一化封裝結構後，再於其上外加電磁屏蔽(EMI shielding)結構(如金屬外殼)來減輕晶片所受到的電磁干擾。然而，前述製作過程很複雜，進而會產生製造成本高且製造工時長等問題。因此，如何在達到較佳的電磁屏蔽效果的同時還可以減少製造成本與縮短製造工時實已成目前亟欲解決的課題。

【發明內容】

【0004】 本發明提供一種晶片封裝結構及其製造方法，其可以在達到較佳的電磁屏蔽效果的同時還可以減少製造成本與縮短製造工時。

【0005】 本發明提供一種晶片封裝結構，其包括重佈線路層、晶片、封裝膠體、電磁屏蔽結構以及多個導電端子。重佈線路層具有第一表面與相對於第一表面的第二表面。晶片位於第一表面上。晶片具有面向重佈線路層的主動面。封裝膠體包封晶片。電磁屏蔽結構位於第一表面上且圍繞封裝膠體。電磁屏蔽結構包括金屬框架與金屬層，且金屬框架覆蓋所述封裝膠體的側壁，而金屬層覆蓋封裝膠體的頂面。多個導電端子位於第二表面上。電磁屏蔽結構藉由重佈線路層與導電端子中的至少一接地端子電性連接。

【0006】 本發明提供一種晶片封裝結構的製造方法，至少包括以下步驟。提供金屬框架，其中金屬框架具有頂面、相對於頂面的底面以及至少一開口。配置至少一晶片於至少一開口中，其中至少一晶片具有面向至少一開口的主動面。形成封裝膠體，以包封至少一晶片，其中封裝膠體具有頂面以及相對於頂面的底面。形成金屬層於金屬框架的頂面與封裝膠體的頂面上。金屬框架與金屬層電性連接，且金屬框架與金屬層構成圍繞封裝膠體的電磁屏蔽結構。形成重佈線路層於主動面、封裝膠體的底面與金屬框架的底面上。形成多個導電端子於重佈線路層上。電磁屏蔽結構藉

由重佈線路層與導電端子中的至少一接地端子電性連接。

【0007】 基於上述，本發明的晶片封裝結構藉由電磁屏蔽結構的配置可以在達到較佳的電磁屏蔽效果的同時還可以減少製造成本與縮短製造工時。具體而言，電磁屏蔽結構藉由重佈線路層與導電端子中的至少一接地端子電性連接，可以將電磁屏蔽結構進行接地，進而可以有效減輕晶片所受到的電磁干擾，達到較佳的電磁屏蔽效果。此外，可以使用較簡易的方式，即藉由將金屬層形成於金屬框架上，以形成圍繞封裝膠體與晶片的電磁屏蔽結構，省略於單一化晶片封裝結構上另外配置電磁屏蔽結構的步驟，因此可以降低整體製程的複雜度，進而可以減少晶片封裝結構的製造成本與縮短製造工時。

【0008】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0009】

圖 1A 至圖 1F 是依照本發明一實施例的一種晶片封裝結構的製造方法的剖面示意圖。

圖 2 是圖 1A 的立體示意圖。

【實施方式】

【0010】 本文所使用之方向用語（例如，上、下、右、左、前、

後、頂部、底部) 僅作為參看所繪圖式使用且不意欲暗示絕對定向。

【0011】 除非另有明確說明，否則本文所述任何方法絕不意欲被解釋為要求按特定順序執行其步驟。

【0012】 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層或區域的厚度、尺寸或大小會為了清楚起見而放大。相同或相似之參考號碼表示相同或相似之元件，以下段落將不再一一贅述。

【0013】 圖 1A 至圖 1F 是依照本發明一實施例的一種晶片封裝結構的製造方法的剖面示意圖。圖 2 是圖 1A 的立體示意圖。在本實施例中，晶片封裝結構 100 的製造方法可以包括以下步驟。

【0014】 請參照圖 1A，可以提供載板 110，其中載板 110 具有承載面 110a。載板 110 的承載面 110a 可以是具有黏性，以用於貼附後續配置於其上的構件。其中，載板 110 為暫時性承載用板體，可以由適宜的材料製作而成，所採用的材料例如是金屬材料、非金屬材料或矽基板等等，且載板 110 的承載面 110a 可以具有黏著劑，但本發明不限於此。

【0015】 請繼續參照圖 1A，提供金屬框架 122，其中金屬框架 122 具有頂面 122a、相對於頂面 122a 的底面 122b 以及至少一開口 OP。開口 OP 可以用於容置後續的晶片 130，以藉由金屬框架 122 減輕晶片 130 所受到的電磁干擾。在本實施例中，可以將金屬框

架 122 配置於承載面 110a 上，且開口 OP 可以暴露出部分載板 110，因此，金屬框架 122 與載板 110 可以形成容置空間，但本發明不限於此。開口 OP 可以是暴露出部分載板 110 的承載面 110a。金屬框架 122 的材料例如是鐵、鎳、銅或其組合，金屬框架 122 的開口 OP 例如是藉由蝕刻製程所形成，但本發明不限於此。金屬框架 122 的材料與開口 OP 的形成方法可以視實際設計上的需求而定。

【0016】 請同時參照圖 1A 與圖 2，為了進一步縮短晶片封裝結構 100 的製造工時，同時製造出多個具有電磁屏蔽功能的晶片封裝結構 100，金屬框架 122 可以是具有多個開口 OP，以同時容置多個晶片 130，使多個晶片 130 可以同時進行後續製程，但本發明不限於此。多個開口 OP 可以是以陣列方式排列於金屬框架 122 上，因此，多個開口 OP 也可以是以陣列方式排列於載板 110 上。應說明的是，本發明不限制開口 OP 的數量與排列方式，可以視實際設計上的需求而定。

【0017】 請繼續參照圖 2，在一些實施例中，金屬框架 122 例如是預成型金屬框架。舉例而言，可以先藉由如蝕刻製程形成具有開口 OP 的金屬框架 122(預成型金屬框架)，再將具有開口 OP 的金屬框架 122(預成型金屬框架)配置於承載面 110a 上，如此一來，可以進一步降低整體製程的複雜度，進而可以進一步減少晶片封裝結構 100 的製造成本與縮短製造工時，但本發明不限於此。

【0018】 請繼續參照圖 1A，在金屬框架 122 具有多個開口 OP 的

情況下，金屬框架 122 還可以包括至少一切割道 L，其中每一切割道 L 可以位於金屬框架 122 的兩相鄰開口 OP 之間。切割道 L 的底面 BS 可以是高於載板 110 的承載面 110a。換句話說，切割道 L 並未貫穿金屬框架 122，因此切割道 L 可以用於之後將金屬框架 122 分離成多個部分。

【0019】 請參照圖 1B，於開口 OP 中配置至少一晶片 130(圖 1B 示例性的繪示出三個晶片 130)，其中晶片 130 具有面向開口 OP 的主動面 130a。主動面 130a 可以是與金屬框架 122 的底面 122b 實質上共面。在本實施例中，晶片 130 是以面朝下的方式配置於載板 110 上，其中晶片 130 具有設置於主動面 130a 上的多個接墊 132，且接墊 132 可以是與載板 110 直接接觸，但本發明不限於此。另一方面，晶片 130 的數量與開口 OP 的數量可以相同，且晶片 130 與開口 OP 可以是以一對一的方式配置。舉例而言，一個晶片 130 可以對應配置於一個開口 OP 中。在此，晶片 130 可以是任何適宜的晶片。

【0020】 請參照圖 1C，形成封裝膠體 140，以包封晶片 130，其中封裝膠體 140 具有頂面 140a 以及相對於頂面 140a 的底面 140b。封裝膠體 140 的材料例如是環氧模壓樹脂 (Epoxy Molding Compound, EMC)，封裝膠體 140 例如是藉由模塑製程所形成，但本發明不限於此。在本實施例中，部分封裝膠體 140 可以是形成於載板 110 的承載面 110a 上，且填入開口 OP 與切割道 L 中。封裝膠體 140 的頂面 140a 可以與金屬框架 122 的頂面 122a 實質上

共面。

【0021】 請參照圖 1D，於金屬框架 122 與封裝膠體 140 上形成金屬層 124，以藉由金屬層 124 降低晶片 130 所受到的電磁干擾。舉例而言，可以於金屬框架 122 的頂面 122a 與封裝膠體 140 的頂面 140a 上形成金屬層 124。金屬框架 122 與金屬層 124 電性連接，且金屬框架 122 與金屬層 124 共同構成圍繞封裝膠體 140 的電磁屏蔽結構 120。如圖 1D 所示，金屬框架 122 與金屬層 124 可以封蓋住封裝膠體 140 與被封裝膠體 140 所包封的晶片 130。換句話說，金屬框架 122 可以覆蓋封裝膠體 140 的側壁 140s，而金屬層 124 可以覆蓋封裝膠體 140 的頂面 140a 與切割道 L。

【0022】 在本實施例中，可以使用較簡易的方式，即藉由金屬層 124 形成於金屬框架 122 上形成圍繞封裝膠體 140 與晶片 130 的電磁屏蔽結構 120，省略於單一化晶片封裝結構上另外配置電磁屏蔽結構的步驟，因此可以降低整體製程的複雜度，進而可以減少晶片封裝結構 100 的製造成本與縮短製造工時。此外，在金屬框架 122 具有多個開口 OP 的情況下，藉由金屬層 124 形成於金屬框架 122 上可以於同一製程中同時形成多個圍繞封裝膠體 140 與晶片 130 的電磁屏蔽結構 120，進而可以進一步的減少晶片封裝結構 100 的製造成本與縮短製造工時，但本發明不限於此。

【0023】 進一步而言，由於金屬框架 122 與金屬層 124 是在不同步驟中所形成，因此金屬框架 122 與金屬層 124 之間可以具有介面。換句話說，金屬框架 122 與金屬層 124 不是於同一步驟中所

形成，因此，金屬框架 122 與金屬層 124 構成的電磁屏蔽結構 120 為組裝的結構，而不是一體成型的結構。

【0024】 金屬框架 122 的材料可以與金屬層 124 的材料相同，但本發明不限於此。金屬框架 122 的材料也可以與金屬層 124 的材料不同。金屬層 124 的材料例如是鐵、鎳、銅或其組合之單層或多層金屬材料。金屬層 124 之形成例如是藉由濺鍍製程、電鍍製程或其組合所形成。

【0025】 請參照圖 1E，於晶片 130、封裝膠體 140 與金屬框架 122 上形成重佈線路層 150。舉例而言，可以於晶片 130 的主動面 130a、封裝膠體 140 的底面 140b 與金屬框架 122 的底面 122b 上形成重佈線路層 150。重佈線路層 150 具有第一表面 150a 與相對於第一表面 150a 的第二表面 150b，晶片 130 與電磁屏蔽結構 120 可以是位於第一表面 150a 上，其中晶片 130 的主動面 130a 可以是面向重佈線路層 150。進一步而言，電磁屏蔽結構 120、晶片 130 與重佈線路層 150 之間共同構成空腔 C，而封裝膠體 140 可以填滿於空腔 C 內。

【0026】 在本實施例中，形成重佈線路層 150 之前，更包括移除載板 110，使暴露出的晶片 130 的主動面 130a、封裝膠體 140 的底面 140b 與金屬框架 122 的底面 122b 實質上共面。因此，藉由載板 110 的應用，可以使重佈線路層 150 形成於較平坦表面上，以提升晶片封裝結構 100 的可靠度。載板 110 可以藉由適宜的製程移除，本發明不限於此。

【0027】 在本實施例中，重佈線路層 150 可以包括多個介電層以及嵌入於介電層中的多個導電層(未標示)，以將晶片 130 的訊號重新分佈出去。舉例而言，如圖 1E 所示，重佈線路層 150 可以包括兩個介電層以及兩個導電層。然而，本發明對於介電層與導電層的數量並不加以限制，可以基於電路的設計而進行調整。

【0028】 請繼續參照圖 1E，於重佈線路層 150 的第二表面 150b 上形成多個導電端子 160 且多個導電端子 160 中包括至少一接地端子 160'，其中電磁屏蔽結構 120 藉由重佈線路層 150 與至少一接地端子 160' 連接，透過接地端子 160' 可以將電磁屏蔽結構 120 進行接地，進而可以有效減輕晶片 130 所受到的電磁干擾，達到較佳的電磁屏蔽效果。

【0029】 請參照圖 1F，在形成重佈線路層 150 後，可以進行切割或切單 (singulation) 製程，以獲得多個晶片封裝結構 100。切單製程例如包括以旋轉刀片或雷射光束進行切割。舉例而言，可以對金屬框架 122 上的切割道 L 進行切割，以較準確地分離成多個晶片封裝結構 100。經過上述製程後即可大致上完成本實施例之晶片封裝結構 100 的製作。

【0030】 綜上所述，本發明的晶片封裝結構藉由電磁屏蔽結構的配置可以在達到較佳的電磁屏蔽效果的同時還可以減少製造成本與縮短製造工時。具體而言，電磁屏蔽結構藉由重佈線路層與導電端子中的至少一接地端子電性連接，可以將電磁屏蔽結構進行接地，進而可以有效減輕晶片所受到的電磁干擾，達到較佳的電

磁屏蔽效果。此外，可以使用較簡易的方式，即藉由將金屬層形成於金屬框架上，以形成圍繞封裝膠體與晶片的電磁屏蔽結構，省略於單一晶片封裝結構上另外配置電磁屏蔽結構的步驟，因此可以降低整體製程的複雜度，進而可以減少晶片封裝結構的製造成本與縮短製造工時。另一方面，在金屬框架具有多個開口的情況下，藉由金屬層形成於金屬框架上可以於同一製程中同時形成多個圍繞封裝膠體與晶片的電磁屏蔽結構，進而可以進一步的減少晶片封裝結構的製造成本與縮短製造工時。

【0031】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0032】

100:晶片封裝結構

110:載板

110a:承載面

120:電磁屏蔽結構

122:金屬框架

122a:金屬框架的頂面

122b:金屬框架的底面

124:金屬層

130:晶片

130a:晶片的主動面

132:接墊

140:封裝膠體

140a:封裝膠體的頂面

140b:封裝膠體的底面

140s:封裝膠體的側壁

150:重佈線路層

150a:第一表面

150b:第二表面

160:導電端子

160':接地端子

BS:切割道的底面

C:空腔

L:切割道

OP:開口

【發明申請專利範圍】

【請求項1】 一種晶片封裝結構，包括：

重佈線路層，具有第一表面與相對於所述第一表面的第二表面；

晶片，位於所述第一表面上，其中所述晶片具有面向所述重佈線路層的主動面；

封裝膠體，包封所述晶片；

電磁屏蔽結構，位於所述第一表面上且圍繞所述封裝膠體，其中所述電磁屏蔽結構包括金屬框架與金屬層，且所述金屬框架覆蓋所述封裝膠體的側壁，而所述金屬層覆蓋所述封裝膠體的頂面，且所述金屬框架的側壁與所述金屬層的側壁直接接觸；以及

多個導電端子，位於所述第二表面上，其中所述電磁屏蔽結構藉由所述重佈線路層與所述多個導電端子中的至少一接地端子電性連接。

【請求項2】 如請求項1所述的晶片封裝結構，其中所述電磁屏蔽結構、所述晶片與所述重佈線路層之間具有空腔，所述封裝膠體位於所述空腔。

【請求項3】 如請求項1所述的晶片封裝結構，其中所述金屬框架與所述金屬層之間具有介面。

【請求項4】 一種晶片封裝結構的製造方法，包括：

提供載板，其中所述載板具有承載面；

提供金屬框架，其中所述金屬框架具有頂面、相對於所述頂面的底面以及多個開口，其中所述多個開口以陣列方式排列於所述載板上，且所述金屬框架更包括至少一切割道，其中每一所述至少一切割道位於所述金屬框架的兩相鄰所述多個開口之間；

配置所述金屬框架於所述承載面上，所述金屬框架的所述多個開口暴露出部分所述載板；

配置至少一晶片於所述多個開口中，其中所述至少一晶片具有面向所述多個開口的主動面；

形成封裝膠體，以包封所述至少一晶片，其中所述封裝膠體具有頂面以及相對於所述頂面的底面，且部分所述封裝膠體填入所述至少一切割道中；

形成金屬層於所述金屬框架的所述頂面與所述封裝膠體的所述頂面上，其中所述金屬框架與所述金屬層電性連接，且所述金屬框架與所述金屬層構成圍繞所述封裝膠體的電磁屏蔽結構；

形成重佈線路層於所述主動面、所述封裝膠體的所述底面與所述金屬框架的所述底面上；以及

形成多個導電端子於所述重佈線路層上，其中所述電磁屏蔽結構藉由所述重佈線路層與所述多個導電端子中的至少一接地端子電性連接。

【請求項5】 如請求項4所述的晶片封裝結構的製造方法，其中形成所述重佈線路層之前更包括移除所述載板，使暴露出的所述

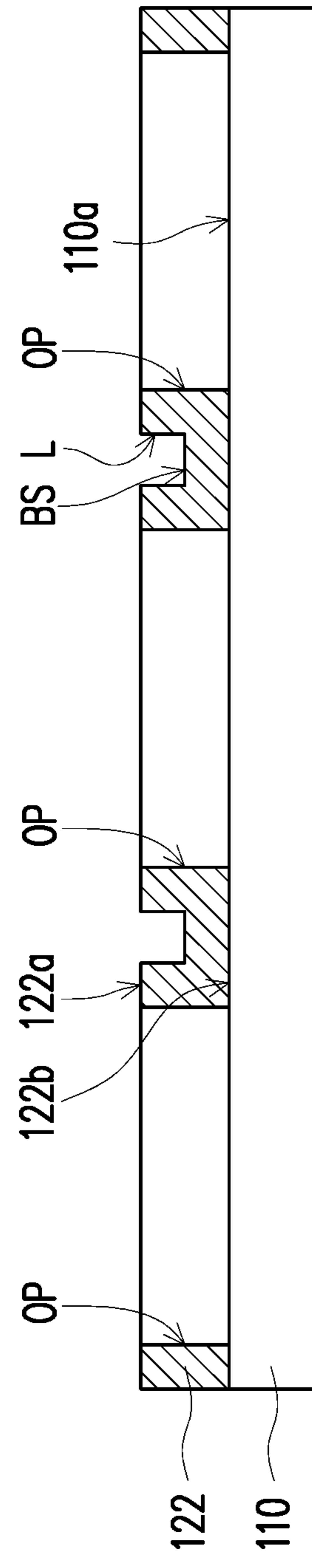
主動面、所述封裝膠體的所述底面與所述金屬框架的所述底面實質上共面。

【請求項6】 如請求項4所述的晶片封裝結構的製造方法，其中所述金屬框架是預成型金屬框架。

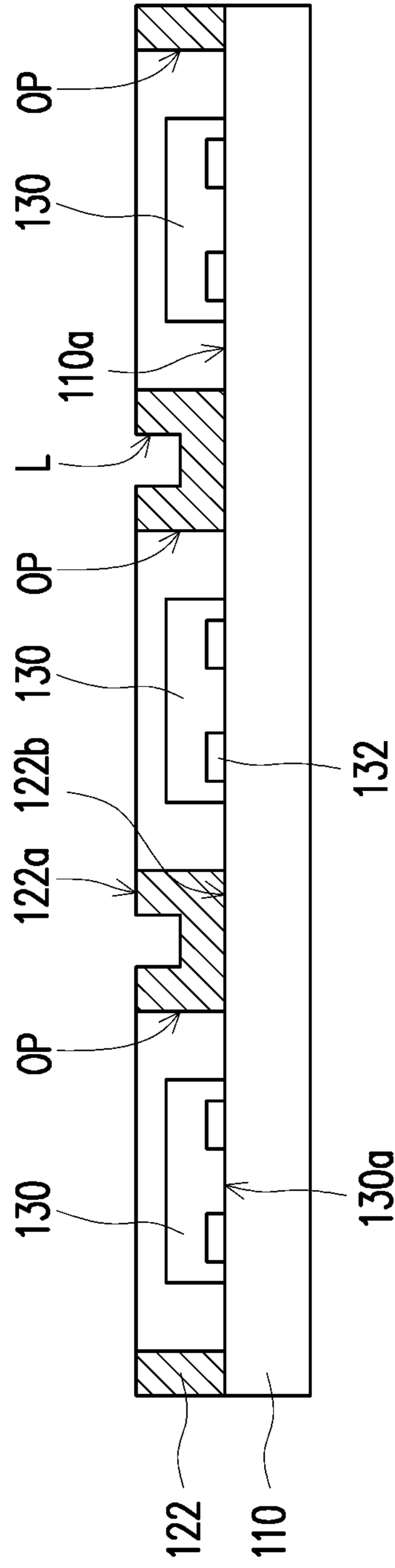
【請求項7】 如請求項4所述的晶片封裝結構的製造方法，其中所述金屬層覆蓋所述至少一切割道。

【請求項8】 如請求項4所述的晶片封裝結構的製造方法，其中每一所述至少一晶片對應配置於每一所述開口中。

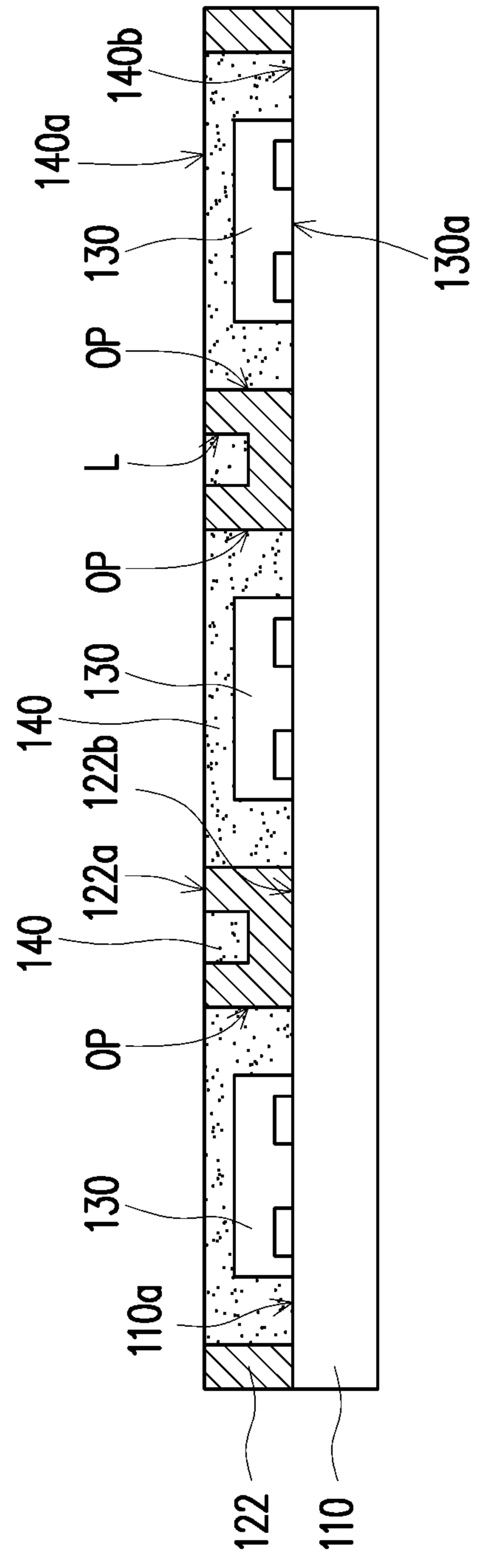
【發明圖式】



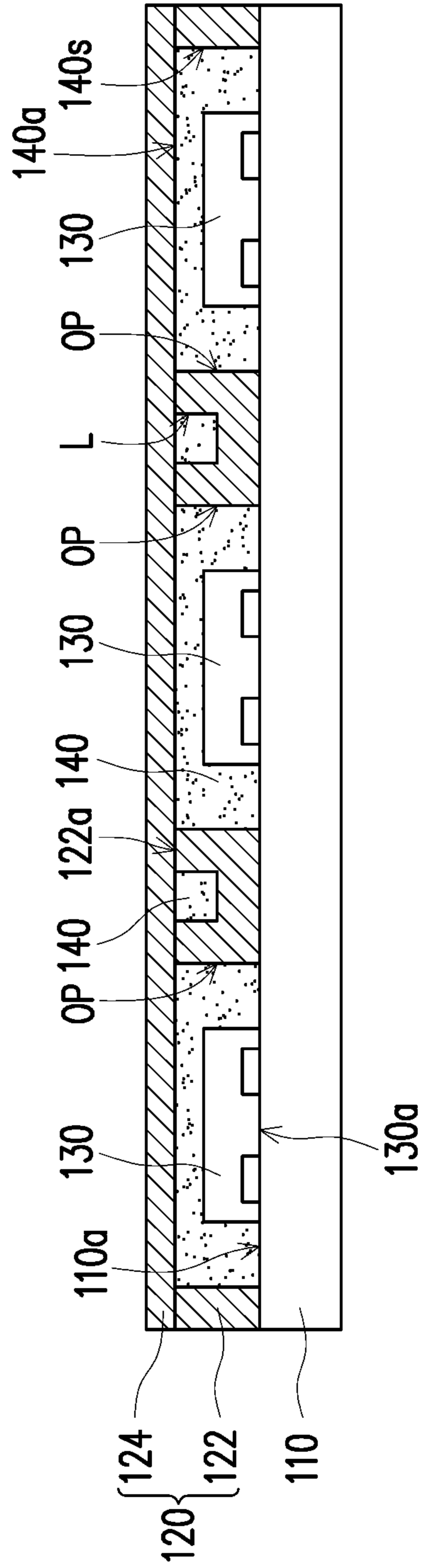
【圖1A】



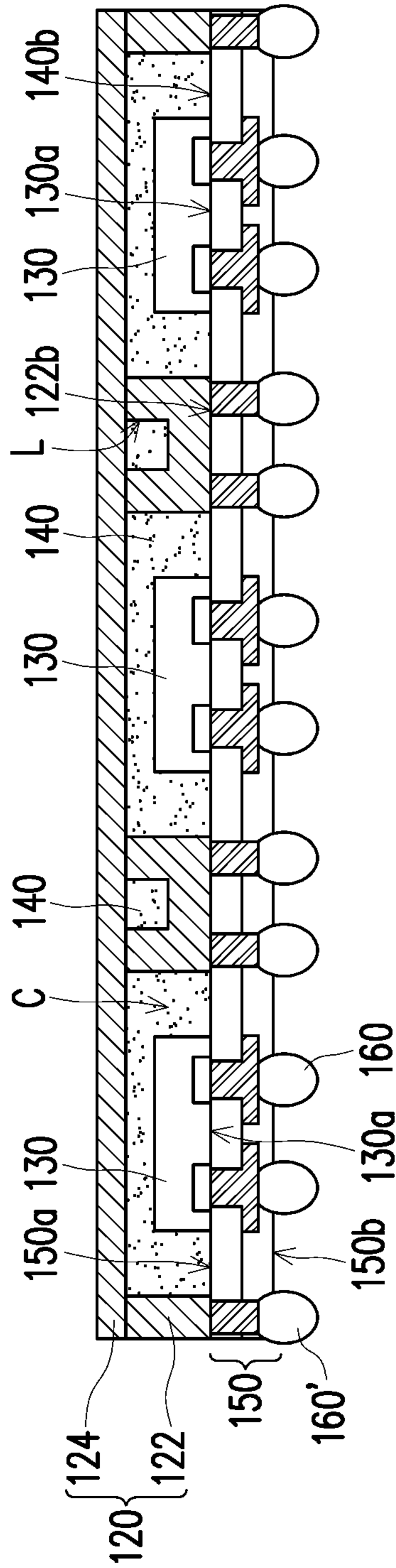
【圖1B】



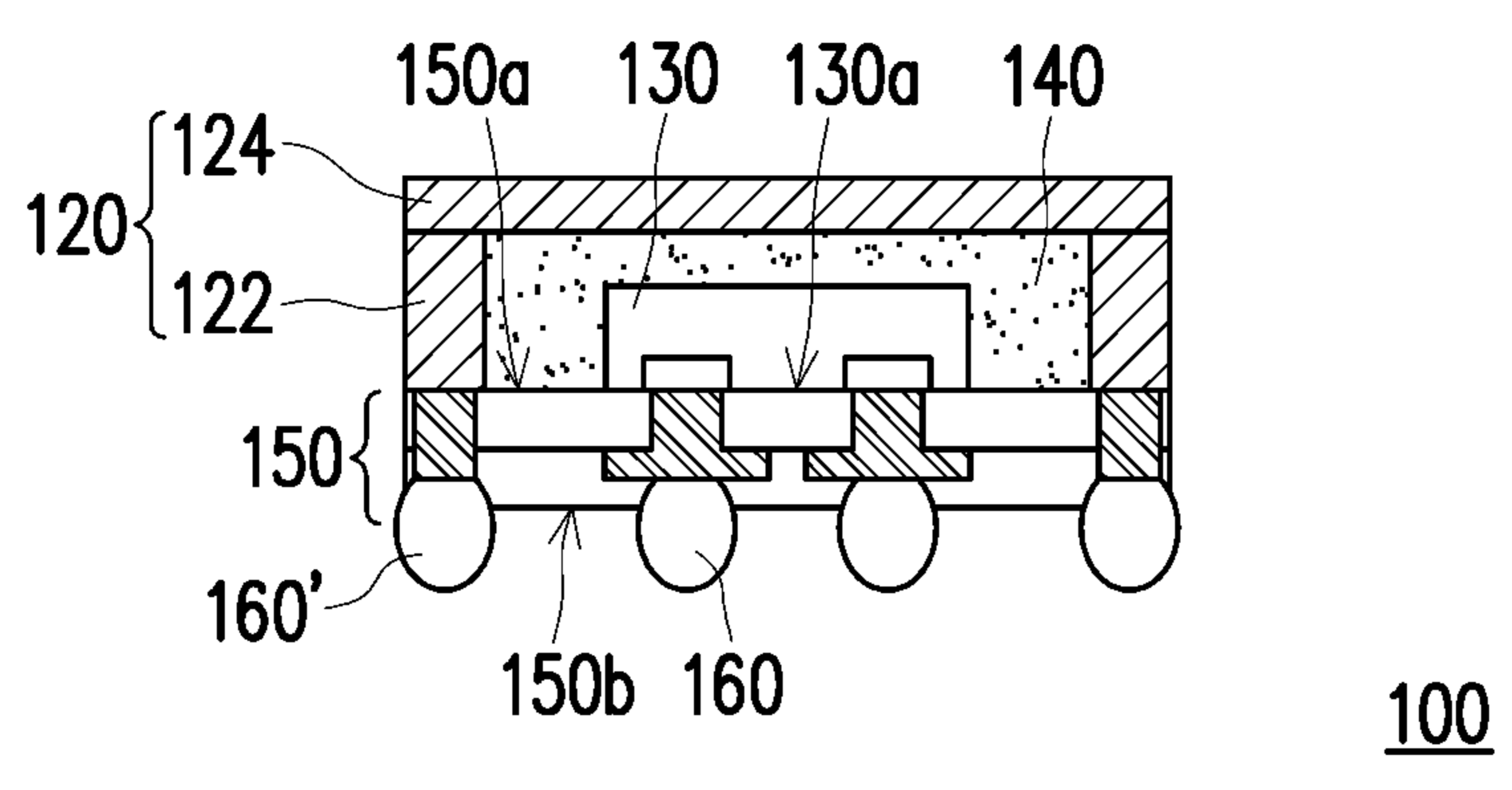
【圖1C】



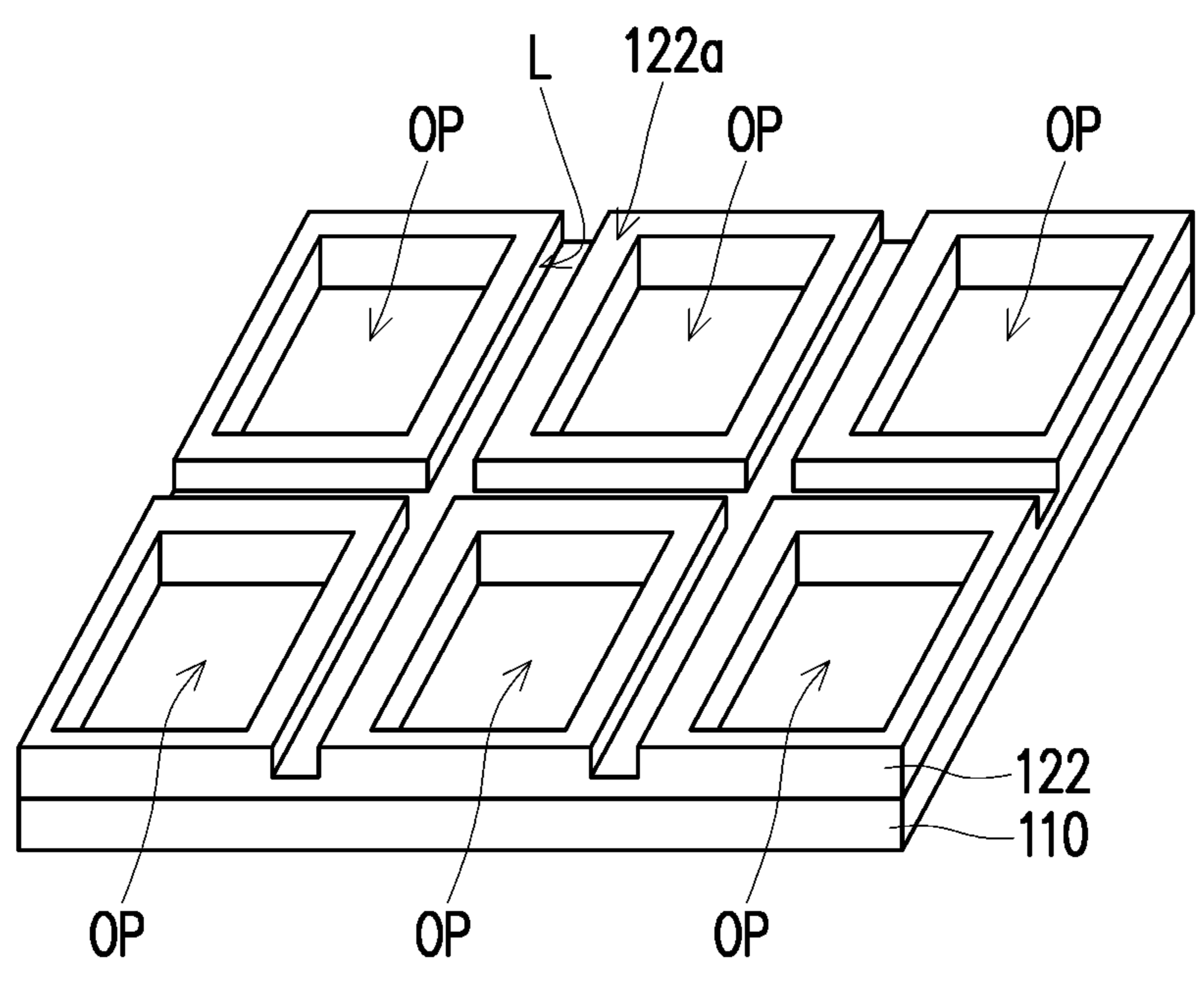
【圖1D】



【圖1E】



【圖1F】



【圖2】