(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월10일
(11) 등록번호 10-2565714
(24) 등록일자 2023년08월07일

(51) 국제특허분류(Int. Cl.)
H10B 41/20 (2023.01) *H10B 41/35* (2023.01)
H10B 43/20 (2023.01) *H10B 43/35* (2023.01)
(52) CPC특허분류
H10B 41/20 (2023.02)
H10B 41/35 (2023.02)
(21) 출원번호 10-2018-0035781
(22) 출원일자 2018년03월28일
심사청구일자 2021년02월01일
(65) 공개번호 10-2019-0113291
(43) 공개일자 2019년10월08일
(56) 선행기술조사문헌
KR1020120026881 A*
(뒷면에 계속)
전체 청구항 수 : 총 18 항

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
백석천
경기도 화성시 삼성전자로 1 삼성전자(주)화성사업장
김보창
경기도 화성시 삼성전자로 1 삼성전자(주)화성사업장
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

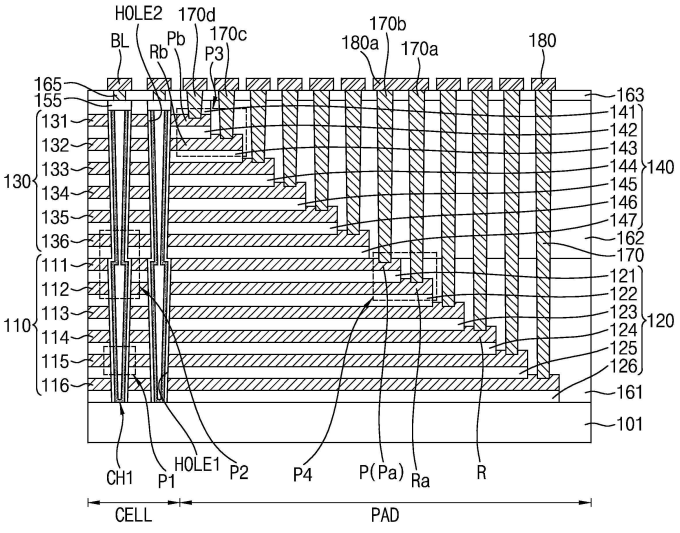
심사관 : 고연화

(54) 발명의 명칭 **적층 구조체를 갖는 반도체 소자**

(57) 요 약

반도체 소자는 기판 상에 서로 이격되어 위치하는 하부 게이트 전극들; 상기 하부 게이트 전극들의 상부에 서로 이격되어 위치하는 상부 게이트 전극들; 상기 하부 게이트 전극들 또는 상기 상부 게이트 전극들 중 적어도 하나의 일단으로부터 연장되며, 접속된 하부 게이트 전극 또는 상부 게이트 전극보다 두께가 두꺼운 R 패드; 및 상기 하부 게이트 전극들 또는 상기 상부 게이트 전극들 중 상기 R 패드가 접속되지 않은 적어도 하나의 일단으로부터 연장되며, 상기 R 패드와 다른 두께를 가지는 P 패드를 포함하며, 상기 P 패드는 상기 하부 게이트 전극들 중 최상위 하부 게이트 전극에 접속되는 제1 패드를 포함하는 반도체 소자.

대 표 도 - 도2



(52) CPC특허분류
H10B 41/41 (2023.02)
H10B 43/20 (2023.02)
H10B 43/35 (2023.02)

(72) 발명자
민충기
경기도 화성시 삼성전자로 1 삼성전자(주)화성사업장
박지훈
경기도 화성시 삼성전자로 1 삼성전자(주)화성사업장
유병관
경기도 화성시 삼성전자로 1 삼성전자(주)화성사업장

(56) 선행기술조사문헌
KR1020150116681 A*
KR1020170042451 A*
KR1020170107195 A*
US20150255385 A1
KR1020180019807 A
KR1020180009837 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

기판 상에 서로 수직으로 이격되어 위치하는 하부 게이트 전극들;

상기 하부 게이트 전극들의 상부에 서로 수직으로 이격되어 위치하는 상부 게이트 전극들;

상기 하부 게이트 전극들 또는 상기 상부 게이트 전극들 중 적어도 하나의 일단으로부터 연장되며, 접속된 하부 게이트 전극 또는 상부 게이트 전극보다 두께가 두꺼운 R 패드; 및

상기 하부 게이트 전극들 중 상기 R 패드가 접속되지 않은 적어도 하나의 일단으로부터 연장되며, 상기 R 패드와 다른 두께를 가지는 P 패드를 포함하며,

상기 P 패드는 상기 하부 게이트 전극들 중 최상위 하부 게이트 전극에 접속되는 제1 패드를 포함하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 하부 게이트 전극들을 관통하는 하부 채널 홀; 및

상기 하부 채널 홀과 연통하며, 상기 상부 게이트 전극들을 관통하는 상부 채널 홀을 더 포함하고,

상기 제1 패드는 상면이 하부 채널 홀의 상단의 레벨과 대응되는 반도체 소자.

청구항 3

제1항에 있어서,

상기 하부 게이트 전극들을 관통하는 하부 채널 구조체; 및

상기 하부 채널 구조체와 전기적으로 연결되며, 상기 상부 게이트 전극들을 관통하는 상부 채널 구조체를 더 포함하고,

상기 제1 패드는 상면이 상기 하부 채널 구조체의 상단의 레벨과 대응되는 반도체 소자.

청구항 4

제1항에 있어서,

상기 P 패드는 상기 상부 게이트 전극들 중 최상위 상부 게이트 전극으로부터 연장되는 제2 패드를 더 포함하는 반도체 소자.

청구항 5

제1항에 있어서,

상기 R 패드 및 상기 P 패드의 상면과 측면을 덮는 층간 절연층을 더 포함하고,

상기 층간 절연층은 기판과 인접하는 제1 층간 절연층과 상기 제1 층간 절연층 상의 제2 층간 절연층을 포함하며,

상기 제1 패드는 상면이 상기 제1 층간 절연층과 제2 층간 절연층 사이의 계면의 레벨과 대응되는 반도체 소자.

청구항 6

제1항에 있어서,

상기 P 패드는 상기 하부 게이트 전극들 중 최하위 하부 게이트 전극으로부터 연장되는 제3 패드를 포함하는 반

도체 소자.

청구항 7

제6항에 있어서,

상기 하부 게이트 전극들 및 상기 상부 게이트 전극들과 교대로 적층되는 절연층들;

상기 하부 게이트 전극들과 상기 절연층들의 하부 절연층들을 관통하는 하부 채널 홀; 및

상기 하부 채널 홀과 연통하며, 상기 상부 게이트 전극들과 상기 절연층들의 상부 절연층들을 관통하는 상부 채널 홀을 더 포함하고,

상기 절연층들은 상기 제3 패드의 상면과 접촉되며, 다른 절연층들보다 두께가 두꺼운 제1 절연층을 포함하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 제1 절연층은 상기 제3 패드의 상면을 덮는 반도체 소자.

청구항 9

제7항에 있어서,

상기 절연층들은 상면이 상기 하부 채널 홀의 상단의 레벨과 대응되는 제2 절연층을 포함하며,

상기 제1 패드는 상면이 상기 제2 절연층의 하면의 레벨과 대응되는 반도체 소자.

청구항 10

제1항에 있어서,

상기 R 패드와 접촉되는 R 콘택; 및

상기 P 패드에 접촉되는 P 콘택을 더 포함하는 반도체 소자.

청구항 11

제10항에 있어서,

상기 R 콘택과 P 콘택에 공통으로 연결되는 결합 배선을 더 포함하는 반도체 소자.

청구항 12

기판 상에 서로 교대로 적층되는 하부 게이트 전극들과 하부 절연층들을 포함하는 하부 적층 구조체;

상기 하부 적층 구조체 상에 서로 교대로 적층되는 상부 게이트 전극들과 상부 절연층들을 포함하는 상부 적층 구조체;

상기 하부 게이트 전극들 및 상기 상부 게이트 전극들과 수직으로 이격되어 배치되는 적어도 하나의 더미 워드 라인;

상기 하부 적층 구조체, 상기 상부 적층 구조체 및 상기 더미 워드 라인을 수직으로 관통하는 채널 구조체;

상기 하부 게이트 전극들 및 상기 상부 게이트 전극들 각각의 일단으로부터 수평으로 연장되며, 접속된 하부 게이트 전극 또는 상부 게이트 전극보다 두께가 두꺼운 R 패드;

상기 더미 워드 라인의 일단으로부터 수평으로 연장되며, 접속된 더미 워드 라인과 두께가 동일한 P 패드;

상기 R 패드에 수직으로 연결되는 R 콘택;

상기 P 패드에 수직으로 연결되는 P 콘택; 및

상기 R 콘택과 상기 P 콘택에 공통으로 연결되는 결합 배선을 포함하는 반도체 소자.

청구항 13

제12항에 있어서,

상기 더미 워드 라인은,

상기 하부 적층 구조체와 상기 상부 적층 구조체 사이에 위치하는 제1 더미 워드 라인을 포함하고,

상기 P 패드는,

상기 제1 더미 워드 라인의 일단으로부터 연장되는 제1 패드를 포함하는 반도체 소자.

청구항 14

제12항에 있어서,

상기 더미 워드 라인은,

상기 상부 적층 구조체의 상단에 위치하는 제2 더미 워드 라인을 포함하고,

상기 P 패드는,

상기 제2 더미 워드 라인의 일단으로부터 연장되는 제2 패드를 포함하는 반도체 소자.

청구항 15

제12항에 있어서,

상기 P 패드는,

상기 하부 게이트 전극들 중 최하위 하부 게이트 전극의 일단으로부터 연장되는 제3 패드를 포함하는 반도체 소자.

청구항 16

기판 상에 제1 방향으로 서로 이격되어 위치하는 게이트 전극들;

상기 게이트 전극들과 교대로 적층되는 절연층들;

상기 게이트 전극들 중 적어도 하나의 일단으로부터 상기 제1 방향과 수직인 제2 방향으로 연장되며, 접속된 게이트 전극보다 두꺼운 두께를 가지는 R 패드;

상기 게이트 전극들 중 상기 R 패드가 접속되지 않은 적어도 하나의 일단으로부터 상기 제2 방향으로 연장되며, 상기 R 패드와 다른 두께를 가지는 P 패드;

상기 R 패드 중 일부의 상면을 덮고, 상기 기판의 상면과 접촉되는 하부 층간 절연층;

상기 R 패드 중 다른 일부의 상면을 덮고, 상기 하부 층간 절연층 상에 형성되는 상부 층간 절연층; 및

상기 게이트 전극들과 상기 절연층들을 수직으로 관통하는 채널 구조체를 포함하고,

상기 P 패드는 상기 하부 층간 절연층의 상면과 대응되는 레벨의 상면을 가지는 제1 패드를 포함하고,

상기 제1 패드는 상기 제1 패드와 접속된 게이트 패드와 동일한 두께를 가지며, 상기 접속된 게이트 패드의 상면과 대응되는 레벨의 상면을 가지는 반도체 소자.

청구항 17

삭제

청구항 18

삭제

청구항 19

제16항에 있어서,

상기 P 패드는,

상기 게이트 전극들 중 최상위 게이트 전극의 일단으로부터 연장되는 제2 패드를 포함하는 반도체 소자.

청구항 20

제16항에 있어서,

상기 P 패드는,

상기 게이트 전극들 중 최하위 게이트 전극의 일단으로부터 연장되는 제3 패드를 포함하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 다수의 적층 구조체를 갖는 메모리 장치에 관한 것이다.

배 경 기 술

[0002] 전자 장치의 경박단소화에 따라 반도체 소자의 집적도를 높이기 위하여 기판 상에 절연층들 및 전극 층들이 번갈아 가며 반복적으로 적층되는 적층 구조체를 이용하는 기술이 시도되고 있다.

[0003] 반도체 소자의 용량을 높이기 위해 수직 방향으로 더 많은 절연층들 및 전극 층들을 적층시킬 수 있으나, 이에 따라 반도체 소자의 전기적, 기계적 신뢰성 확보가 필요하다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 실시예들에 따른 과제는 single-stack, double-stack 또는 multi-stack 구조를 갖는 반도체 소자의 동작 특성의 신뢰성을 높이는데 있다.

과제의 해결 수단

[0005] 본 개시의 실시예에 따른 반도체 소자는 기판 상에 서로 이격되어 위치하는 하부 게이트 전극들; 상기 하부 게이트 전극들의 상부에 서로 이격되어 위치하는 상부 게이트 전극들; 상기 하부 게이트 전극들 또는 상기 상부 게이트 전극들 중 적어도 하나의 일단으로부터 연장되며, 접속된 하부 게이트 전극 또는 상부 게이트 전극보다 두께가 두꺼운 R 패드; 및 상기 하부 게이트 전극들 또는 상기 상부 게이트 전극들 중 상기 R 패드가 접속되지 않은 적어도 하나의 일단으로부터 연장되며, 상기 R 패드와 다른 두께를 가지는 P 패드를 포함하며, 상기 P 패드는 상기 하부 게이트 전극들 중 최상위 하부 게이트 전극에 접속되는 제1 패드를 포함할 수 있다.

[0006] 본 개시의 실시예에 따른 반도체 소자는 기판 상에 서로 교대로 적층되는 하부 게이트 전극들과 하부 절연층들을 포함하는 하부 적층 구조체; 상기 하부 적층 구조체 상에 서로 교대로 적층되는 상부 게이트 전극들과 상부 절연층들을 포함하는 상부 적층 구조체; 상기 하부 게이트 전극들 및 상기 상부 게이트 전극들과 이격되어 배치되는 적어도 하나의 더미 워드 라인; 상기 하부 적층 구조체, 상기 상부 적층 구조체 및 상기 더미 워드 라인을 수직으로 관통하는 채널 구조체; 상기 하부 게이트 전극들 및 상기 상부 게이트 전극들 각각의 일단으로부터 연장되며, 접속된 하부 게이트 전극 또는 상부 게이트 전극보다 두께가 두꺼운 R 패드; 상기 더미 워드 라인의 일단으로부터 연장되며, 접속된 더미 워드 라인과 두께가 동일한 P 패드; 상기 R 패드에 수직으로 연결되는 R 콘택;상기 P 패드에 수직으로 연결되는 P 콘택; 및 상기 R 콘택과 상기 P 콘택에 공통으로 연결되는 결합 배선을 포함할 수 있다.

[0007] 본 개시의 실시예에 따른 반도체 소자는 기판 상에 서로 이격되어 위치하는 게이트 전극들; 상기 게이트 전극들과 교대로 적층되는 절연층들; 상기 게이트 전극들 중 적어도 하나의 일단으로부터 연장되며, 접속된 게이트 전극보다 두꺼운 두께를 가지는 R 패드; 상기 게이트 전극들 중 상기 R 패드가 접속되지 않은 적어도 하나의 일단으로부터 연장되며, 상기 R 패드와 다른 두께를 가지는 P 패드; 상기 R 패드 중 일부의 상면을 덮고, 상기 기판

의 상면과 접촉되는 하부 층간 절연층; 상기 R 패드 중 다른 일부의 상면을 덮고, 상기 하부 층간 절연층 상에 형성되는 상부 층간 절연층; 및 상기 게이트 전극들과 상기 절연층들을 수직으로 관통하는 채널 구조체를 포함할 수 있다.

발명의 효과

[0008] 본 개시의 실시예에 따르면, single-stack, dual-stack 또는 multi-stack 구조의 반도체 소자에서 게이트 패드의 펀칭 현상에 의해 동작 불량이 발생하는 것을 사전에 차단할 수 있다.

[0009] 본 개시의 실시예에 따르면, 게이트 전극보다 두꺼운 두께를 가지는 게이트 패드를 형성하는 공정에서 일부 영역에는 두꺼운 게이트 패드를 적용하지 않음으로써 전체적인 공정 효율을 개선할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 개시의 일 실시예에 따른 반도체 소자의 일부 영역에 대한 개략적인 레이아웃(layout)이다.

도 2는 도 1의 A-A'에 대한 수직 단면도이다.

도 3은 도 2의 실시예에 따른 P1 영역의 확대도이다.

도 4는 도 2의 실시예에 따른 P2 영역의 확대도이다.

도 5는 도 2의 다른 실시예에 따른 P2 영역의 확대도이다.

도 6은 도 2의 실시예에 따른 P4 영역의 확대도이다.

도 7은 도 2의 다른 실시예에 따른 P4 영역의 확대도이다.

도 8은 본 개시의 일 실시예에 따른 반도체 소자의 단면도이다.

도 9는 도 8의 실시예에 따른 P5 영역의 확대도이다.

도 10 내지 도 13는 본 개시의 다른 실시예들에 따른 반도체 소자의 단면도들이다.

도 14 내지 도 28은 본 개시의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위해 공정 순서에 따라 도시된 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 도 1은 본 개시의 실시예에 따른 반도체 소자의 일부 영역에 대한 개략적인 레이아웃(layout)이다. 도 2는 도 1의 A-A'에 대한 수직 단면도이다. 도 3은 도 2의 실시예에 따른 P1 영역의 확대도이다. 도 4는 도 2의 실시예에 따른 P2 영역의 확대도이다. 도 5는 도 2의 다른 실시예에 따른 P2 영역의 확대도이다. 도 6은 도 2의 실시예에 따른 P4 영역의 확대도이다. 도 7은 도 2의 다른 실시예에 따른 P4 영역의 확대도이다. 본 개시의 실시예에 따른 반도체 소자는 VNAND 또는 3D-NAND와 같은 플래시 메모리(flash memory)를 포함할 수 있다.

[0012] 도 1 및 도 2를 참조하면, 본 개시의 실시예에 따른 반도체 소자(100)는 셀 영역(CELL) 및 패드 영역(PAD)을 포함할 수 있다. 패드 영역(PAD)은 셀 영역(CELL)의 가장자리에 배치될 수 있다.

[0013] 반도체 소자(100)는 셀 영역(CELL) 및 패드 영역(PAD)을 갖는 기판(101) 상에 형성되는 적층 구조체들(110, 120, 130, 140), 채널 홀들(hole1, hole2), 채널 구조체들(CH1), 층간 절연층들(161, 162, 163), 비트라인들(BL), 플러그들(165), 콘택들(170), 및 배선들(180)을 포함할 수 있다.

[0014] 기판(101)은 실리콘, 게르마늄과 같은 반도체 물질을 포함할 수 있다. 일 실시예에 있어서, 기판(101)은 단결정 실리콘을 포함할 수 있다. 예를 들어, 기판(101)은 VNAND의 P 형 웰(well)로 기능할 수 있다.

[0015] 기판(101) 상에 복수의 적층 구조체들이 차례로 적층될 수 있다. 적층 구조체는 게이트 전극들(110, 130)과 절연층들(120, 140)이 서로 교대로 적층되어 형성될 수 있다. 적층 구조체들은 상대적으로 낮은 위치에 배치되는 하부 적층 구조체(110, 120)와 상대적으로 높은 위치에 배치되는 상부 적층 구조체(130, 140)를 포함할 수 있다. 상부 적층 구조체(130, 140)는 하부 적층 구조체(110, 120) 상에 형성될 수 있다.

[0016] 하부 적층 구조체(110, 120)는 하부 게이트 전극들(110) 및 하부 절연층들(120)을 포함할 수 있다. 하부 게이트 전극들(110)과 하부 절연층들(120)은 기판(101) 상에 서로 교대로 적층될 수 있다. 하부 게이트 전극들(110) 각

각은 인접한 하부 절연층(120)과 복수의 페어(pair)를 이룰 수 있으며, 복수의 페어 각각은 제1 방향을 따라 서로 다른 길이로 연장될 수 있다. 하부 적층 구조체(110, 120)는 서로 다른 길이로 연장되는 페어들로 인해 패드 영역(PAD)에서 계단형 구조로 형성될 수 있다.

[0017] 하부 게이트 전극들(110)은 금속 혹은 금속 질화물을 포함할 수 있다. 예를 들어, 하부 게이트 전극들(110)은 텅스텐, 텅스텐 질화물, 티타늄, 티타늄 질화물 탄탈륨, 탄탈륨 질화물, 백금 등의 전기 저장이 낮은 금속 혹은 금속 질화물을 포함할 수 있다. 일 실시예에 있어서, 하부 게이트 전극들(110)은 금속 질화물을 포함하는 배리어막 및 금속을 포함하는 금속막이 적층된 다층막 구조를 가질 수 있다. 하부 절연층들(120)은 실리콘 산화물, 실리콘탄화물 또는 실리콘 산불화물과 같은 산화물 계열의 물질을 포함할 수 있다.

[0018] 상부 적층 구조체(130, 140)는 서로 교대로 적층되는 상부 게이트 전극들(130) 및 상부 절연층들(140)을 포함할 수 있다. 상부 게이트 전극들(130) 및 상부 절연층들(140) 각각은 하부 게이트 전극들(110) 및 하부 절연층들(120)과 유사한 방법으로 형성될 수 있다. 상부 게이트 전극들(130) 및 상부 절연층들(140) 각각은 하부 게이트 전극들(110) 및 하부 절연층들(120)과 실질적으로 동일한 물질을 포함할 수 있다.

[0019] 하부 적층 구조체(110, 120)와 상부 적층 구조체(130, 140)의 구분은 다양하게 변경될 수 있다. 적층 구조체의 개수 및 적층 구조체에 포함되는 게이트 전극들의 개수와 절연층들이 개수가 다양하게 변경될 수 있다. 예를 들어, 본 개시의 실시예에 따른 반도체 소자는 double-stack을 포함하는 것으로 해석할 수 있다. 일 실시예에 따른 반도체 소자는 multi-stack을 포함하는 것으로 해석할 수 있다.

[0020] 하부 게이트 전극들(110)은 그라운드 선택 라인(Ground Selection Line, GSL), 워드 라인(word line)을 포함할 수 있다. 예를 들어, 하부 게이트 전극들(110) 중 최하위 하부 게이트 전극(116)은 그라운드 선택 라인(GSL)으로 제공될 수 있으며, 나머지 게이트 전극(111, 112, 113, 114, 115)들은 워드 라인(word line)으로 제공될 수 있다. 일 실시예에 있어서, 하부 게이트 전극들(110) 중 적어도 하나는 더미 워드 라인(dummy word line)일 수 있다. 더미 워드 라인(dummy word line)은 하부 적층 구조체(110, 120)의 상부 또는 하부에 위치할 수 있다. 예를 들어, 하부 게이트 전극들(110) 중 최상위 하부 게이트 전극(111)은 더미 워드 라인(dummy word line)으로 제공될 수 있다.

[0021] 상부 게이트 전극들(130)은 스트링 선택 라인(String Selection Line: SSL)을 포함할 수 있다. 일 실시예에 있어서, 상부 게이트 전극들(130) 중 적어도 하나는 더미 워드 라인(dummy word line)일 수 있다. 더미 워드 라인(dummy word line)은 상부 적층 구조체(130, 140)의 상부 또는 하부에 위치할 수 있다. 예를 들어, 상부 게이트 전극들(130) 중 최상위 상부 게이트 전극(131)은 더미 워드 라인(dummy word line)이고, 그 아래의 상부 게이트 전극(132)은 스트링 선택 라인(GSL)일 수 있다.

[0022] 후술하겠지만, P 패드(P)는 콘택 홀 형성 공정 과정에서 펀칭 현상이 발생할 가능성이 높다. P 패드(P)가 접속되는 게이트 전극들을 더미 워드 라인(dummy word line)으로 사용하여 펀칭 현상에 대비할 수 있다.

[0023] 기판(101) 상의 셀 영역(CELL)에 채널 홀들(hole1, hole2)이 배치될 수 있다. 채널 홀들(hole1, hole2)은 기판(101)의 상면에 실질적으로 수직한 방향(제3 방향)으로 연장되어, 하부 게이트 전극들(110), 하부 절연층들(120), 상부 게이트 전극들(130) 및 상부 절연층들(140)을 관통할 수 있다. 채널 홀(hole1, hole2)들은 서로 옆으로 이격될 수 있다.

[0024] 채널 홀(hole1, hole2)은 하부 적층 구조체(110, 120)를 관통하는 하부 채널 홀(hole1)과 상부 적층 구조체(130, 140)을 관통하는 상부 채널 홀(hole2)을 포함할 수 있다. 하부 채널 홀(hole1)과 상부 채널 홀(hole2)은 서로 연결되어 하나의 공간을 형성할 수 있다. 하부 채널 홀(hole1)과 상부 채널 홀(hole2)은 각각 하부로 갈수록 폭이 좁아지는 테이퍼진 모양(Tapered Shape)일 수 있다. 하부 채널 홀(hole1)의 상부의 폭은 상부 채널 홀(hole2)의 하부의 폭보다 넓게 형성될 수 있다.

[0025] 도 2 및 도 3을 참조하면, 채널 구조체들(CH1) 각각은 채널 홀들(hole1, hole2) 각각에 형성될 수 있다. 채널 구조체들(CH1)은 각각 정보 저장 패턴(151), 채널 패턴(152), 코어 패턴(153), 및 도전 패드(155)를 포함할 수 있다. 일 실시예에서, 채널 구조체들은 각각 에피택시 패턴(도면 미도시)을 더 포함할 수 있다.

[0026] 채널 패턴(152)은 가운데가 비어 있는 환형 형상을 가질 수 있다. 채널 패턴(152) 가운데에 형성되는 공간은 코어 패턴(153)에 의해 채워질 수 있다. 정보 저장 패턴(151)은 채널 패턴(152)과 게이트 전극들(110, 130) 사이에 배치될 수 있다.

[0027] 채널 패턴(152) 상에는 도전 패드(155)가 형성될 수 있다. 도전 패드(155)는 비트 라인(BL)과 전기적으로 연결

되며, 셀 영역(CELL)에 형성되는 복수의 메모리 셀 소자의 드레인 영역으로 제공될 수 있다.

[0028] 정보 저장 패턴(151)은 블록킹층(151a), 전하 저장층(151b) 및 터널링층(151c)을 포함할 수 있다. 블로킹층(151a), 전하 저장층(151b) 및 터널링층(151c)은 산화막-질화막-산화막이 순차로 적층된 ONO(Oxide-Nitride-Oxide)구조를 가질 수 있다.

[0029] 블로킹층(151a)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 고유전률 유전 물질 또는 이들의 조합을 포함할 수 있다. 전하 저장층(151b)은 전하 트랩층 또는 플로팅 게이트 도전층일 수 있다. 예를 들어, 전하 저장층은 유전 물질, 양자 도트, 또는 나노 크리스탈을 포함할 수 있다. 양자 도트 또는 나노 크리스탈은 도전체, 예를 들어 금속 또는 반도체의 미세 입자들로 구성될 수 있다. 일 실시예에 있어서, 전하 저장층이 전하 트랩층인 경우, 전하 저장층은 실리콘 질화물로 이루어질 수 있다. 터널링층(151c)은 F-N 방식으로 전하를 전하 저장층으로 터널링 시킬 수 있다. 터널링층(151c)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합을 포함할 수 있다.

[0030] 에피택시 패턴(도면 미도시)은 기판(101)의 상면에 배치될 될 수 있다. 채널 구조체(CH1)가 에피택시 패턴을 포함하는 경우 정보 저장 패턴(151), 채널 패턴(152) 및 코어 패턴(153)은 기판과 이격되며, 에피택시 패턴 상에 형성될 수 있다.

[0031] 도 2 및 4를 참조하면, 채널 구조체(CH1)의 외측면은 하부 적층 구조체(110, 120)와 상부 적층 구조체(130, 140)가 접촉하는 부분과 인접하는 영역(C)에서 계단형 프로파일(Step Profile)로 형성될 수 있으며, 하부 적층 구조체(110, 120)의 상면과 동일 평면(coplanar)을 이루는 수평면(F)을 포함할 수 있다.

[0032] 도 2 및 도 5를 참조하면, 일 실시예에 있어서 채널 구조체들(CH1) 각각은 하부 채널 구조체(150-1)와 상부 채널 구조체(150-2)를 포함할 수 있다. 하부 채널 구조체(150-1)는 하부 채널 홀(hole1)에 형성되며, 상부 채널 구조체(150-2)는 상부 채널 홀(hole2)에 형성될 수 있다. 하부 채널 구조체(150-1)는 하부 정보 저장 패턴(151-1), 하부 채널 패턴(152-1), 하부 코어 패턴(153-1) 및 반도체 패턴(154)을 포함할 수 있다. 일 실시예에 있어서, 하부 채널 구조체(150-1)는 에피택시 패턴(도면 미도시)을 더 포함할 수 있다. 상부 채널 구조체(150-2)는 상부 정보 저장 패턴(151-2), 상부 채널 패턴(152-2), 상부 코어 패턴(153-2) 및 도전 패드(155)를 포함할 수 있다.

[0033] 하부 채널 구조체(150a)의 상부의 폭은 상부 채널 구조체(150b)의 하부의 폭보다 넓게 형성될 수 있다. 하부 채널 구조체(150a)의 상면은 하부 적층 구조체(110, 120)의 상면과 동일 평면을 이룰 수 있다. 하부 채널 구조체(150-1)의 상면은 최상층 하부 게이트 전극(111)의 상면과 실질적으로 동일 평면을 이룰 수 있다.

[0034] 도 1 내지 도 6을 참조하면, 게이트 패드들(P, R)은 하부 게이트 전극들(110) 및 상부 게이트 전극들(130) 각각의 일단이 제1 방향으로 연장되어 형성될 수 있다. 게이트 패드들(P, R)은 서로 다른 두께를 가질 수 있다. 본 명세서에서는 게이트 패드들(P, R) 중 게이트 패드(P, R)가 접속된 게이트 전극(110, 130)의 두께(T1)보다 두꺼운 두께(T2)를 가지는 게이트 패드들을 R 패드(R)라 명명한다. 또한, 게이트 패드들(P, R) 중 전술한 R 패드(R)와 다른 두께를 가지는 게이트 패드들을 P 패드(P)라고 명명한다. 일 실시예에 있어서, P 패드(P)는 P 패드(P)가 접속된 게이트 전극(110, 130)과 대응되는 두께(T1)를 가질 수 있다.

[0035] R 패드(R)의 상면은 R 패드(R)가 접속된 게이트 전극(110, 130)의 상면보다 높은 레벨일 수 있다. R 패드(R)의 하면은 R 패드(R)가 접속된 게이트 전극(110, 130)의 하면과 대응되는 레벨일 수 있다. P 패드(P)의 상면과 하면은 각각 P 패드(P)가 접속된 게이트 전극(110, 130)의 상면과 하면 각각과 대응되는 레벨일 수 있다. 게이트 패드(R, P)와 게이트 전극(110, 130) 각각에 포함되는 상면 및 하면의 위치 관계는 반도체 소자의 제조 공정에 따라 결정될 수 있다.

[0036] 일 실시예에 따르면, R 패드(R)는 제1 패드(Pa) 및 제2 패드(Pb)를 포함할 수 있다. 제1 패드(Pa)는 하부 게이트 전극들(110) 중 최상위 하부 게이트 전극(111)의 일단으로부터 연장될 수 있다. 제1 패드(Pa)의 상면은 최상위 하부 게이트 전극(111)의 상면과 동일 평면을 이룰 수 있다. 제1 패드(Pa)의 상면은 채널 구조체(CH1)의 수평면(F)과 동일 평면을 이룰 수 있다.

[0037] 제2 패드(Pb)는 상부 게이트 전극들(130) 중 최상위 상부 게이트 전극(131)의 일단으로부터 연장될 수 있다. 제2 패드(Pa)의 상면은 최상위 상부 게이트 전극(131)의 상면과 동일 평면을 이룰 수 있다.

[0038] 층간 절연층들(161, 162, 163)은 하부 층간 절연층(161), 상부 층간 절연층(162) 및 최상부 층간 절연층(163)을 포함할 수 있다. 하부 층간 절연층(161)은 패드 영역(PAD)에서 기판(101)의 상면과 하부 적층 구조체(110, 12

0)의 측부를 덮을 수 있다. 상부 층간 절연층(162)은 패드 영역(PAD)에서 하부 층간 절연층(161) 상에 형성되며, 하부 층간 절연층(161)의 상면과 상부 적층 구조체(130, 140)의 측부를 덮을 수 있다. 최상부 층간 절연층(163)은 셀 영역(CELL)과 패드 영역(PAD)에 걸쳐 형성되며, 상부 적층 구조체(130, 140)의 상면과 상부 층간 절연층(162)의 상면을 덮을 수 있다.

[0039] 하부 층간 절연층(161)과 상부 층간 절연층(162)이 접하면서 형성되는 계면은 최상위 하부 게이트 전극(111)의 상면 및 최상위 하부 게이트 전극(111)에 접속되는 제1 패드(Pa)의 상면과 대응되는 레벨로 형성될 수 있다. 하부 층간 절연층(161)의 상면은 하부 적층 구조체(110, 120)의 최상위 하부 게이트 전극(111)의 상면과 실질적으로 동일 평면(coplanar)을 이룰 수 있다. 하부 층간 절연층(161)의 상면은 최상위 하부 게이트 전극(111)에 접속된 제1 패드(Pa)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 또한, 하부 층간 절연층(161)의 상면은 채널 구조체(CH1)의 수평면(F)과 실질적으로 동일 평면을 이룰 수 있다. 일 실시예에 있어서, 하부 층간 절연층(161)의 상면은 하부 채널 구조체(150-1)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 하부 층간 절연층(161)의 상면은 하부 정보 저장 패턴(151-1), 하부 채널 패턴(152-1), 및 반도체 패턴(154)과 동일 평면을 이룰 수 있다.

[0040] 콘택들(170)은 층간 절연층들(161, 162, 163)을 관통하여 게이트 패드들(R, P)과 접촉하거나 전기적으로 연결될 수 있다. 콘택들(170)은 각각이 접촉되는 게이트 패드들(R, P)의 높이에 따라 서로 다른 길이를 가질 수 있다. 콘택들(170)은 게이트 패드들(R, P)을 일부 리세스하여 연결될 수 있으나, 이에 한정되지 않는다. 일 실시예에 있어서, 콘택들(170)은 높은 종횡비로 인하여 하부로 갈수록 폭이 감소하는 테이퍼진 모양(Tapered Shape)으로 형성될 수 있다.

[0041] 배선들(180)은 콘택들(170)의 상부에서 제2 방향으로 연장될 수 있다. 일 실시예에 있어서, 일부 배선들은 제2 방향과 다른 방향으로 연장되는 별도의 배선에 연결될 수도 있다. 콘택들(170) 및 배선들(180)은 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다.

[0042] 도 2 및 도 7을 참조하면, 콘택들(170) 중 일부는 P 패드(P)를 관통하여 형성될 수 있다. 콘택들(170)은 R 패드(R)와 접촉되는 R 콘택(170a)과 P 패드(P)와 접촉되는 P 콘택(170b)을 포함할 수 있다.

[0043] 일 실시예에 있어서, P 콘택(170b)은 제1 패드(Pa)를 관통하여 형성될 수 있다. 콘택 홀들(HOLE1, HOL2)이 형성되는 공정에서, 최하위 하부 게이트 전극(116)에 접속된 게이트 패드 상에 형성되는 콘택 홀을 형성하는 동안 다른 게이트 패드들이 식각 공정에 지속적으로 노출될 수 있다. R 패드(Ra)는 두께(T2)가 두꺼워 넉넉한 공정 마진(margin)을 제공할 수 있다. 반면, P 패드인 제1 패드(Pa)는 상대적으로 두께(T1)가 얇아 콘택 홀에 의해 완전히 관통되는 펀칭 현상이 발생할 가능성이 상대적으로 높다. 콘택 홀에 형성되는 P 콘택(170b)은 펀칭된 제1 패드(Pa)를 관통하여 형성될 수 있다. 나아가, P 콘택(170b)은 제1 패드(Pa) 하부에 위치하는 게이트 전극(112)과 접촉하여 전기적으로 연결될 수 있다.

[0044] 배선들(180)은 적어도 2 개 이상의 콘택(170)에 공통으로 연결되는 결합 배선(108a)을 포함할 수 있다. 일 실시예에 있어서, 결합 배선(108a)은 P 패드인 제1 패드(Pa)에 연결되는 P 콘택(170b) 및 제1 패드(P)의 하부에 배치된 R 패드(Ra)에 연결된 R 콘택(170a)에 공통으로 연결될 수 있다. 결합 배선(108a)은 P 패드(P)에 연결된 P 콘택(170b)이 P 패드(Pa)를 관통하여 P 패드(Pa) 하부에 연결된 게이트 패드(112)와 전기적으로 연결되는 문점에 대비할 수 있다. 일 실시예에 있어서, 결합 배선이 공통으로 전기적 연결되는 두 게이트 전극 중 어느 하나가 더미 워드 라인(dummy word line)인 경우, 다른 게이트 전극도 더미 워드 라인(dummy word line)으로 동작할 수 있다.

[0045] 전술한 도 7에 대한 설명은 도 2의 P4 영역뿐만 아니라, 도 2의 P3 영역에 대해서도 적용될 수 있다. 또한, 전술한 도 7에 대한 설명은 도 2의 P3, P4 영역뿐만 아니라, 반도체 소자에서 P 패드(P)가 형성되는 다른 영역에도 적용될 수 있다.

[0046] 도 8은 본 개시의 일 실시예에 따른 반도체 소자의 단면도이다. 도 9는 도 8의 P5 영역에 대한 확대도이다. 도 2와 도 8에서 동일한 부호는 동일한 구성을 나타낸다. 이하에서는 도 2와 중복되는 구성은 설명을 생략한다.

[0047] 도 8 및 도 9를 참조하면, 본 개시의 일 실시예에 따른 반도체 소자는 서로 다른 두께를 가지는 절연층들(120)을 포함할 수 있다. 절연층들(120)은 상대적으로 얇은 두께(T3)의 얇은 절연층과 상대적으로 두꺼운 두께(T4)의 두꺼운 절연층을 포함할 수 있다. 일 실시예에 있어서, 두꺼운 절연층의 하면과 접하는 게이트 전극의 일단에는 P 패드(P)가 접속될 수 있다. 두꺼운 절연층은 일단이 연장되어 P 패드를 덮을 수 있다.

[0048] 예를 들어, 두꺼운 절연층은 하부 적층 구조체(110, 120)의 최하위 하부 게이트 전극(116) 상에 형성되는 제1

절연층(125a)을 포함할 수 있다. 최하위 하부 게이트 전극(116)의 일단에는 P 패드인 제3 패드(Pc)가 접속될 수 있다. 제1 절연층(125a)은 제3 패드(Pc)의 상면을 덮을 수 있다.

[0049] 도 10과 도 11은 본 개시의 다른 실시예들에 따른 반도체 소자의 단면도들이다. 도2, 도 8, 도 10 및 도 11에서 동일한 부호는 동일한 구성을 나타낸다. 이하에서는 도 2 및 도 8과 중복되는 구성은 설명을 생략한다.

[0050] 도 10을 참조하면, 반도체 소자(200)는 적층 구조체들(210, 220, 230, 240), 채널 홀들(hole1, hole2), 채널 구조체들(CH2), 층간 절연층들(261, 262, 163), 비트라인들(BL), 플러그들(165), 콘택들(170), 및 배선들(180)을 포함할 수 있다.

[0051] 기판(101) 상에 하부 적층 구조체(210, 220)와 상부 적층 구조체(230, 240)가 차례로 적층될 수 있다. 하부 적층 구조체(210, 220)는 서로 교대로 적층되는 하부 게이트 전극들(210)과 하부 절연층들(220)을 포함할 수 있다. 하부 적층 구조체(210, 220)의 최상층에는 하부 절연층들(220) 중 최상위 하부 절연층(221)이 배치될 수 있다.

[0052] 상부 적층 구조체(230, 240)는 하부 적층 구조체(210, 220) 상에 형성될 수 있다. 상부 적층 구조체(230, 240)는 서로 교대로 적층되는 상부 게이트 전극들(230)과 상부 절연층들(240)을 포함할 수 있다. 상부 적층 구조체(230, 240)의 최하층에는 상부 게이트 전극들(230) 중 최하위 상부 게이트 전극(236)이 배치될 수 있다. 최상위 하부 절연층(221)과 최하위 상부 게이트 전극(236)은 페어(pair)를 이루어 일 방향을 따라 서로 동일한 길이로 연장될 수 있다.

[0053] 채널 홀(hole1, hole2)은 하부 적층 구조체(210, 220) 와 상부 적층 구조체(230, 240)를 관통할 수 있다. 채널 홀(hole1, hole2)은 하부 적층 구조체(210, 220)를 관통하는 하부 채널 홀(hole1)과 상부 채널 구조체(230, 240)을 관통하는 상부 채널 홀(hole2)을 포함할 수 있다. 하부 채널 홀(hole1)과 상부 채널 홀(hole2)은 서로 연결되어 하나의 공간을 형성할 수 있다.

[0054] 채널 구조체들(CH2) 각각은 채널 홀들(hole1, hole2) 각각에 형성될 수 있다. 채널 구조체(CH2)의 외측면은 하부 적층 구조체(210, 220)와 상부 적층 구조체(230, 240)가 접하는 부분과 인접하는 영역에서 계단형 프로파일(step profile)로 형성될 수 있으며, 하부 적층 구조체(210, 220) 의 상면과 동일 평면(coplanar)을 이루는 수평면을 포함할 수 있다. 채널 구조체(CH2)의 수평면은 하부 적층 구조체(210, 220)의 최상층인 최상위 하부 절연층(221)의 상면과 실질적으로 동일 평면을 이룰 수 있다.

[0055] 게이트 패드들(R, P)은 게이트 전극들(210, 230) 각각의 일단이 일 방향으로 연장되어 형성될 수 있다. 게이트 패드들(R, P)은 R 패드(R)와 P 패드(P)를 포함할 수 있다. 일 실시예에 따르면, P 패드(P)는 최상위 하부 게이트 전극(211)이 연장되어 형성되는 제1 패드(Pd)를 포함할 수 있다. 제1 패드(Pd)의 상면은 최상위 하부 게이트 전극(211)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 또는, 제1 패드(Pd)의 상면은 리세스 되어 최상위 하부 게이트 전극(211)의 상면보다 다소 낮은 레벨에 형성될 수도 있다. 제1 패드(Pd)의 상면은 채널 구조체(CH2)의 수평면보다 낮은 레벨에 형성될 수 있다.

[0056] 층간 절연층들(261, 262)은 하부 층간 절연층(261), 상부 층간 절연층(262) 및 최상부 층간 절연층(163)을 포함할 수 있다. 하부 층간 절연층(261)은 패드 영역(PAD)에서 기판(101)의 상면과 하부 적층 구조체(210, 220) 측부의 일부를 덮을 수 있다. 하부 층간 절연층(261)의 상면은 제1 패드(Pd)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 하부 층간 절연층(261)의 상면은 최상위 하부 게이트 전극(211)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 하부 층간 절연층(261)의 상면은 채널 구조체(CH2)의 수평면보다 낮은 레벨에 형성될 수 있다. 하부 층간 절연층(261)의 상면은 최상위 하부 절연층(221)의 상면보다 낮은 레벨에 형성될 수 있다. 하부 층간 절연층(221), 최상위 하부 게이트 전극(211) 및 제1 패드(Pd) 각각에 포함되는 상면의 위치 관계는 반도체 소자의 제조 공정에 따라 결정될 수 있다.

[0057] 상부 층간 절연층(262)은 패드 영역(PAD)에서 하부 층간 절연층(261) 상에 형성되며, 하부 층간 절연층(261)의 상면, 하부 적층 구조체(210, 220) 측부의 일부 및 상부 적층 구조체(230, 240)의 측부를 덮을 수 있다. 상부 층간 절연층(262)의 하면은 제1 패드(Pd)의 상면과 접촉될 수 있다. 상부 층간 절연층(262)의 측면은 최상위 하부 절연층(221)의 측면과 접촉될 수 있다.

[0058] 최상위 층간 절연층(163)은 셀 영역(CELL)과 패드 영역(PAD)에 걸쳐 형성되며, 상부 적층 구조체(230, 240)의 상면과 상부 층간 절연층(163)의 상면을 덮을 수 있다.

[0059] 도 11을 참조하면, 반도체 소자(300)는 기판(101) 상에 형성되는 적층 구조체들(310, 320, 330, 340), 채널 홀

들(hole1, hole2), 채널 구조체들(CH3), 층간 절연층들(361, 362, 163), 비트라인들(BL), 플러그들(165), 콘택들(170), 및 배선들(180)을 포함할 수 있다.

[0060] 기판(101) 상에 하부 적층 구조체(310, 320)와 상부 적층 구조체(310, 320)가 차례로 적층될 수 있다. 하부 적층 구조체(310, 320)는 서로 교대로 적층되는 하부 게이트 전극들(310)과 하부 절연층들(320)을 포함할 수 있다. 하부 적층 구조체(310, 320)의 최상층에는 최상위 하부 절연층인 제2 절연층(321)이 배치될 수 있다 제2 절연층(321)의 두께는 다른 하부 절연층들의 두께와 다른 두께로 형성될 수 있다. 도 11에 도시된 바와 같이, 제2 절연층(321)의 두께는 다른 하부 절연층들보다 얇게 형성될 수 있다. 또는 제2 절연층(321)의 두께는 다른 하부 절연층들보다 두껍게 형성될 수 있다. 또는, 제2 절연층(321)의 두께는 다른 하부 절연층들의 두께와 동일한 두께로 형성될 수 있다.

[0061] 상부 적층 구조체(330, 340)는 하부 적층 구조체(310, 320) 상에 형성될 수 있다. 상부 적층 구조체(330, 340)는 서로 교대로 적층되는 상부 게이트 전극들(330)과 상부 절연층들(340)을 포함할 수 있다. 상부 적층 구조체(330, 340)의 최하층에는 최하위 상부 절연층(347)이 배치될 수 있다. 최상위 하부 절연층(321)과 최하위 상부 절연층(347)은 페어를 이루어 일 방향을 따라 서로 동일한 길이로 연장될 수 있다. 또한, 최하위 상부 절연층(347)은 최하위 상부 게이트 전극(336)과 페어를 이루어 일 방향을 따라 서로 동일한 길이로 연장될 수 있다.

[0062] 채널 홀(hole1, hole2)은 하부 적층 구조체(310, 320)와 상부 적층 구조체(330, 340)를 관통할 수 있다. 채널 홀(hole1, hole2)은 하부 적층 구조체(310, 320)를 관통하는 하부 채널 홀(hole1)과 상부 채널 구조체(330, 340)을 관통하는 상부 채널 홀(hole2)을 포함할 수 있다. 하부 채널 홀(hole1)과 상부 채널 홀(hole2)은 서로 연결되어 하나의 공간을 형성할 수 있다.

[0063] 채널 구조체들(CH3) 각각은 채널 홀들(hole1, hole2) 각각에 형성될 수 있다. 채널 구조체(CH3)의 외측면은 하부 적층 구조체(310, 320)와 상부 적층 구조체(330, 340)가 접하는 부분과 인접하는 영역에서 계단형 프로파일(step profile)로 형성될 수 있으며, 하부 적층 구조체(310, 320)의 상면과 동일 평면(coplanar)을 이루는 수평면을 포함할 수 있다. 채널 구조체(CH3)의 수평면은 하부 적층 구조체(310, 320)의 최상층인 최상위 하부 절연층(321)의 상면과 실질적으로 동일 평면을 이룰 수 있다.

[0064] 게이트 패드들(P)은 게이트 전극들(310, 330) 각각의 일단이 일 방향으로 연장되어 형성될 수 있다. 게이트 패드들은 R 패드(R)와 P 패드(P)를 포함할 수 있다. 일 실시예에 따르면, P 패드(P)는 최상위 하부 게이트 전극(311)이 연장되어 형성되는 제1 패드(Pe)를 포함할 수 있다. 제1 패드(Pe)의 상면은 최상위 하부 게이트 전극(311)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 또는, 제1 패드(Pe)의 상면은 리세스 되어 최상위 하부 게이트 전극(311)의 상면보다 다소 낮은 레벨에 형성될 수도 있다. 제1 패드(Pd)의 상면은 채널 구조체(CH3)의 수평면보다 낮은 레벨에 형성될 수 있다.

[0065] 층간 절연층들(361, 362, 163)은 하부 층간 절연층(361), 상부 층간 절연층(362) 및 최상부 층간 절연층(163)을 포함할 수 있다. 하부 층간 절연층(261)은 패드 영역에서 기판(101)의 상면과 하부 적층 구조체(310, 320) 측부의 일부를 덮을 수 있다. 하부 층간 절연층(361)의 상면은 제1 패드(Pe)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 하부 층간 절연층(361)의 상면은 최상위 하부 게이트 전극(311)의 상면과 실질적으로 동일 평면을 이룰 수 있다. 하부 층간 절연층(361)의 상면은 채널 구조체(CH3)의 수평면보다 낮은 레벨에 형성될 수 있다. 하부 층간 절연층(361)의 상면은 최상위 하부 절연층(321)의 상면보다 낮은 레벨에 형성될 수 있다. 하부 층간 절연층(321), 최상위 하부 게이트 전극(311) 및 제1 패드(Pe) 각각에 포함되는 상면의 위치 관계는 반도체 소자의 제조 공정에 따라 결정될 수 있다.

[0066] 상부 층간 절연층(362)은 패드 영역에서 하부 층간 절연층(361) 상에 형성되며, 하부 층간 절연층(361)의 상면, 하부 적층 구조체(310, 320) 측부의 일부 및 상부 적층 구조체(330, 340)의 측부를 덮을 수 있다. 상부 층간 절연층(362)의 하면은 제1 패드(Pe)의 상면과 접촉될 수 있다. 상부 층간 절연층(362)의 측면은 최상위 하부 절연층(321)의 측면과 접촉될 수 있다.

[0067] 도 12 및 도 13은 본 개시의 다른 실시예들에 따른 반도체 소자의 단면도들이다. 도 2, 도 8, 도 12 및 도 13에서 동일한 부호는 동일한 구성을 나타낸다. 이하에서는 도 2 및 도 8과 중복되는 구성은 설명을 생략한다.

[0068] 도 12를 참조하면, 반도체 소자(400)는 기판(101), 게이트 전극들(410, 415, 430, 435), 절연층들(420, 440, 441), 게이트 패드들(P, R), 채널 홀들(hole3), 채널 구조체들(CH4), 층간 절연층들(451, 452, 163), 비트라인들(BL), 플러그들(165), 콘택들(170), 및 배선들(180)을 포함할 수 있다.

[0069] 기판(101) 상에 게이트 전극들(410, 415, 430, 435)과 절연층들(420, 440, 441) 이 교대로 적층될 수 있다. 게

이트 전극들(410, 415, 430, 435)은 하부 게이트 전극들(410), 상부 게이트 전극들(430) 및 더미 워드 라인(415, 435)을 포함할 수 있다. 절연층들(420, 440, 441)은 하부 절연층들(420), 상부 절연층들(440) 및 최상위 절연층(441)을 포함할 수 있다.

[0070] 일 실시예에 있어서, 하부 게이트 전극들(410)과 하부 절연층들(420)은 기판(101) 상에 서로 교대로 적층되어 하부 적층 구조체(410, 420)를 이룰 수 있다. 상부 게이트 전극들(430)과 상부 절연층들(440)은 하부 적층 구조체(410, 420) 상에서 서로 교대로 적층되어 상부 적층 구조체(430, 440)를 이룰 수 있다. 도 12에서는 게이트 전극들과 절연층들이 하부 적층 구조체와 상부 적층 구조체로 구분되었지만, 본 발명이 이에 한정되는 것은 아니다. 반도체 소자는 single-stack 구조이면서도, 서로 다른 평탄화 공정을 통해 형성되는 적어도 2개의 적층 구조체들을 포함할 수 있다.

[0071] 게이트 전극들(410, 415, 430, 435) 중 적어도 하나는 더미 워드 라인(dummy word line)일 수 있다. 일 실시예에 있어서, 게이트 전극들(410, 415, 430, 435)은 제1 더미 워드 라인(415)을 포함할 수 있다. 제1 더미 워드 라인(415)은 하부 적층 구조체(410, 420)와 상부 적층 구조체(430, 440) 사이에 배치될 수 있다. 게이트 전극들(410, 415, 430, 435)은 제2 더미 워드 라인(435)을 더 포함할 수 있다. 제2 더미 워드 라인(435)은 상부 적층 구조체(430, 440) 상에 배치될 수 있다. 제2 더미 워드 라인(435) 상에는 최상위 절연층(441)이 배치될 수 있다. 본 발명이 포함하는 더미 워드 라인은 제1 더미 워드 라인과 제 2 더미 워드 라인에 한정되는 것은 아니다. Single-stack 구조의 반도체 소자에서 서로 다른 평탄화 공정을 통해 형성되는 적층 구조체들 사이에 더미 워드 라인이 배치될 수 있다.게이트 패드들(P, R)은 게이트 전극들(410, 415, 430, 435)의 일단으로부터 일 방향으로 연장되어 형성될 수 있다. 게이트 패드들(410, 415, 430, 435)은 R 패드(R)와 P 패드(P)를 포함할 수 있다. R 패드(R)는 하부 게이트 전극들(410)과 상부 게이트 전극들(430)에 접속될 수 있다. R 패드(R)는 접속된 게이트 전극의 두께보다 두꺼운 두께를 가질 수 있다. P 패드(P)는 더미 워드 라인(415, 435)에 접속될 수 있다. P 패드(P)는 R 패드(R)와 다른 두께를 가질 수 있다. P 패드(P)는 접속된 더미 워드 라인의 두께와 동일한 두께를 가질 수 있다.

[0072] 층간 절연층들(451, 452, 163)은 하부 층간 절연층(451), 상부 층간 절연층(452) 및 최상부 층간 절연층(163)을 포함할 수 있다. 하부 층간 절연층(451)은 패드 영역(PAD)에서 기판(101)의 상면과 하부 적층 구조체(410, 420)의 측부를 덮을 수 있다. 또한, 하부 층간 절연층(451)은 제1 더미 워드 라인(415)의 측면와 접촉될 수 있다. 하부 층간 절연층(451)의 상면은 제1 더미 워드 라인(415)의 상면과 동일 평면을 이룰 수 있다.

[0073] 상부 층간 절연층(452)은 패드 영역(PAD)에서 하부 층간 절연층(451) 상에 형성될 수 있다. 상부 층간 절연층(452) 상부 층간 절연층(451)의 상면과 상부 적층 구조체(430, 440)의 측부 및 제1 더미 워드 라인(415)의 상면을 덮을 수 있다. 또한, 상부 층간 절연층(452)은 제2 더미 워드 라인(435)의 측면과 최상위 절연층(441)의 측면에 접촉될 수 있다.

[0074] 채널 홀들(hole3)은 셀 영역(CELL)에 형성될 수 있다. 채널 홀들(hole3)은 게이트 전극들(410, 415, 430, 435)과 절연층들(420, 440, 441)을 수직으로 관통하여 형성될 수 있다. 채널 홀들(hole3)은 상단으로부터 하단까지 단면적이 일정하게 형성될 수 있다. 또는, 채널 홀들(hole3)은 상단으로부터 하단으로 갈수록 단면적이 작아지는 형태로 테이퍼져 형성될 수 있다.

[0075] 채널 구조체들(CH4) 각각은 채널 홀들(hole3) 각각에 형성될 수 있다. 채널 구조체들(CH4)은 에피텍시 패턴(157), 정보 저장 패턴, 채널 패턴, 코어 패턴 및 도전 패드(155)를 포함할 수 있다. 에피텍시 패턴(157)은 생략될 수 있다.

[0076] 콘택들(170)은 층간 절연층들(451, 452)을 관통하여 게이트 패드들(P, R)에 수직으로 접촉하거나 전기적으로 연결될 수 있다. 콘택들(170)은 R 패드(R)에 접촉되는 R 콘택과, P 패드(P)에 접촉되는 P 콘택을 포함할 수 있다.

[0077] 배선들(180)은 콘택들(170)의 상단과 연결될 수 있다. 배선들(180)은 R 패드(R)와 P 패드(P)에 공통으로 연결되는 결합 배선(180a)을 포함할 수 있다.

[0078] 도 13을 참조하면, 반도체 소자(400a)는 게이트 전극들(410, 415, 430, 435), 절연층들(420, 440, 441), 층간 절연층들(451, 452, 163), 채널 홀들(hole3), 채널 구조체들(CH4), 콘택들(170), 플러그들(165) 및 배선들(180)을 포함할 수 있다.

[0079] 일 실시예에 있어서, 게이트 전극들(410, 415, 430, 435) 중 최하위 게이트 전극(410d)에는 P 패드가 접속될 수 있다. 절연층들(420, 440, 441) 중 적어도 하나는 다른 절연층들보다 두께가 두꺼운 제1 절연층(420d-1)일 수 있다. 제1 절연층(420d-1)은 게이트 전극들 중 최하위 게이트 전극(410d)의 상면에 접하여 형성될 수 있다. 제1

절연층(420d-1)은 최하위 게이트 전극(410d)에 접속된 P 패드의 상면을 덮을 수 있다.

[0080] 도 14 내지 도 28은 본 개시의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위해 공정 순서에 따라 도시된 단면도들이다. 예를 들어, 도 14 내지 도 28은 도 8에 도시된 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.

[0081] 도 14을 참조하면, 기판(101) 상에 하부 절연층들(20) 및 하부 희생층들(10)이 교대로 반복적으로 적층된 하부 적층체가 형성될 수 있다. 하부 적층체의 측부가 단계적 부분적으로 식각되어 계단형 구조의 하부 구조체(10, 20)가 형성될 수 있다.

[0082] 기판(101)은 단결정 실리콘, 게르마늄 등과 반도체 물질을 포함할 수 있다. 하부 구조체(10, 20)의 최상부에는 최상층 하부 희생층(11)이 형성될 수 있다. 일 실시예에 있어서, 하부 절연층들(20) 중 적어도 하나는 다른 하부 절연층들(20)보다 두꺼운 두께를 가질 수 있다. 예를 들어, 두꺼운 하부 절연층(25)은 최하위 하부 희생층(16)의 상면과 접하여 형성될 수 있다. 다만, 이에 한정되는 것은 아니며, 하부 절연층들(20)은 모두 동일한 두께를 가질 수도 있다.

[0083] 하부 절연층들(20)은 실리콘 산화물, 실리콘 탄산화물 또는 실리콘 산불화물과 같은 산화물 계열의 물질로 형성될 수 있다. 하부 희생층들(10)은 절연층에 대하여 식각 선택비를 가질 수 있다. 하부 희생층들(10)은 습식 식각 공정에 의해 용이하게 제거될 수 있는 물질로 형성될 수 있다. 예를 들어, 하부 희생층들(10)은 실리콘 질화물 또는 실리콘 붕질화물과 같은 질화물 계열의 물질로 형성될 수 있다.

[0084] 하부 절연층들(20)과 희생층들은 화학 기상 증착 공정(Chemical Vapor Deposition: CVD) 공정, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정, 고밀도 플라즈마-화학 기상 증착 공정(High Density Plasma Chemical Vapor Deposition: HDP-CVD) 공정, 원자층 증착(Atomic Layer Deposition: ALD) 공정 또는 스퍼터링(sputtering) 공정 중 적어도 하나의 공정을 이용하여 형성될 수 있다.

[0085] 도 15을 참조하면, 추가 하부 희생층(30)이 하부 구조체(10, 20) 상에 형성될 수 있다. 추가 하부 희생층(30)은 희생층에 포함된 질화물 계열 물질과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다.

[0086] 추가 하부 희생층(30)은 낮은 스텝-커버리지(step-coverage) 조건에서 수행되는 증착 공정을 통해 실리콘 질화물을 포함하여 형성될 수 있다. 추가 하부 희생층(30)은 하부 구조체(10, 20)의 측벽들 상에서는 상대적으로 얇으며 하부 구조체(10, 20)의 상면 상에서는 상대적으로 두껍게 형성될 수 있다.

[0087] 도 16를 참조하면, 추가 하부 희생층(30)이 부분적으로 제거되어 추가 하부 희생층 패턴들(31)이 형성될 수 있다. 추가 하부 희생층(30)이 부분적으로 제거되는 공정에 의해 하부 구조체(10, 20) 측벽 상에 형성된 추가 하부 희생층 부분은 실질적으로 제거될 수 있다. 추가 하부 희생층(30)의 상면 상에 형성된 추가 하부 희생층 부분은 일부 잔류하여 하부 추가 희생막 패턴들(31)이 형성될 수 있다. 추가 하부 희생층 패턴들(31)은 하부 구조체(10, 20)의 각 계단부의 상면마다 형성될 수 있다. 추가 하부 희생층 패턴들(31)은 실질적으로 하부 희생층(20)과 병합될 수 있다.

[0088] 일 실시예에 있어서, 추가 하부 희생층 패턴(31)은 하부 절연층(25) 상에도 형성될 수 있다. 하부 구조체(10, 20)가 상대적으로 두꺼운 하부 절연층(25)을 포함하는 경우 두꺼운 하부 절연층(25)이 하부 구조체의 계단부 일부를 형성할 수 있다. 추가 하부 희생층 패턴(31)은 두꺼운 하부 절연층(25)이 형성하는 계단부 상면에 형성될 수 있다. 추가 하부 희생층 패턴(31)은 두꺼운 하부 절연층(25)의 하면과 접하는 하부 희생층(16)에는 형성되지 않을 수 있다.

[0089] 도 17를 참조하면, 두꺼운 하부 절연층(35)에 형성된 추가 하부 희생층 패턴(31)과 기판(101) 상에 형성된 추가 하부 희생층 패턴(31)이 제거될 수 있다. 하부 구조체(10, 20)의 일부 영역이 포토레지스트 막으로 덮히고, 노출된 추가 하부 희생층 패턴(31)이 제거될 수 있다. 일 실시예에 있어서, 하부 구조체(10, 20)의 하부 절연층들(20)의 두께가 일정한 경우에 본 공정은 생략될 수 있다.

[0090] 도 18을 참조하면, 하부 층간 절연층(161)이 하부 구조체(10, 20)의 측부를 커버하도록 형성될 수 있다. 채널 홀이 하부 구조체(10, 20)를 관통하도록 형성될 수 있다. 채널 홀 내에 더미 채널 구조체(32)가 형성될 수 있다. 하부 구조체(10, 20), 하부 층간 절연층(161) 및 더미 채널 구조체(32) 각각의 상부는 CMP 공정을 통해 평탄화 될 수 있다. 평탄화 공정에 의해 하부 구조체(10, 20)의 상면에 형성된 추가 희생층 패턴(31)이 제거될 수 있고, 하부 구조체(10, 20)의 상부에 최상위 하부 희생층(11)이 다시 노출될 수 있다. 평탄화 공정에 의해 하부 구조체(10, 20), 하부 층간 절연층(161), 채널 홀 및 더미 채널 구조체(32) 각각의 상단이 대응되는 레벨

에 형성될 수 있다. 평탄화 공정에 의해 하부 구조체(10, 20), 하부 층간 절연층(161) 및 더미 채널 구조체(32) 각각의 상면이 실질적으로 동일 평면을 이룰 수 있다.

[0091] 도 19을 참조하면, 하부 구조체(10, 20) 상에 상부 희생층들(40)과 상부 절연층들(50)이 교대로 적층된 상부 적층체(40, 50)가 형성될 수 있다. 상부 적층체(40,50)의 최상층에는 상부 절연층들(50) 중 최상위 상부 절연층(51)이 배치될 수 있다. 상부 적층체(40, 50)의 최하층에는 상부 절연층들(50)(50) 중 최하위 상부 절연층(57)이 배치될 수 있다.

[0092] 상부 희생층들(40)과 상부 절연층들(50) 각각은 하부 희생층들(10) 및 상부 절연층들(50)과 유사한 방법으로 형성될 수 있다. 상부 희생층들(40)과 및 상부 절연층들(50) 각각은 하부 희생층들(10) 및 상부 절연층들(50)과 실질적으로 동일한 물질을 포함할 수 있다.

[0093] 도 20을 참조하면, 상부 적층체의 측부가 단계적 부분적으로 식각되어 계단형 구조의 상부 구조체(40, 50)가 형성될 수 있다. 일 실시예에 있어서, 상부 구조체(40, 50)의 최하위 상부 희생층과 최하위 상부 절연층은 식각되지 않고 하부 구조체(10, 20)를 덮을 수 있다.

[0094] 도 21를 참조하면, 추가 상부 희생층 패턴들(61)이 상부 구조체(40, 50) 상에 형성될 수 있다. 상부 희생층 패턴들(61)은 상부 희생층들(50)에 포함된 질화물 계열 물질과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다. 상부 희생층 패턴들(61)은 하부 희생층 패턴들(31)과 유사한 공정을 통해 형성될 수 있다.

[0095] 도 22을 참조하면, 추가 상부 희생층 패턴들(61)이 형성된 상부 구조체(40, 50)의 일부 영역이 포토레지스트 막으로 덮히고, 추가 상부 희생층 패턴들(61)의 노출된 일부분이 제거될 수 있다. 최하위 상부 절연층(57)과 최하위 상부 희생층(11) 각각의 일부가 추가 상부 희생층 패턴들(61)의 노출된 일부분과 함께 제거될 수 있고, 하부 구조체(10, 20) 상면의 일부가 노출될 수 있다.

[0096] 도 23을 참조하면, 상부 층간 절연층이 상부 구조체(40, 50)의 측부를 커버하도록 형성될 수 있다. 상부 구조체(40, 50)와 상부 층간 절연층 각각의 상부는 CMP 공정을 통해 평탄화 될 수 있다. 평탄화 공정에 의해 상부 구조체(40, 50) 최상부의 추가 상부 희생층 패턴들(61)이 제거될 수 있다.

[0097] 상부 채널 홀(hole2)이 상부 구조체(40, 50)를 관통하여 형성될 수 있다. 상부 채널 홀(hole2)은 하부 채널 홀(hole1) 상에 하부 채널 홀(hole1)과 연결되어 형성될 수 있다. 더미 채널 구조체(32)의 상면이 상부 채널 홀(hole2)의 하단을 통해 노출될 수 있다.

[0098] 도 24를 참조하면, 하부 채널 홀(hole1) 내의 더미 채널 구조체(32)가 제거될 수 있다. 더미 채널 구조체(32)가 제거된 하부 채널 홀(hole1)과 하부 채널 홀(hole1) 상의 상부 채널 홀(hole2)이 서로 연결되어 하나의 공간을 형성하며, 하나의 채널 홀을 이룰 수 있다.

[0099] 채널 홀 내에 채널 구조체(CH1)가 형성될 수 있다. 채널 홀의 하부에 에피택시 패턴(도면 미도시)을 형성하고, 에피택시 패턴 상에 정보 저장 패턴, 채널 패턴, 코어 패턴 및 도전 패드를 형성할 수 있다. 일 실시예에 있어서, 에피택시 패턴은 생략될 수 있다.

[0100] 도 25을 참조하면, 하부 구조체(10, 20) 및 상부 구조체(40, 50) 각각의 하부 희생층들(10) 및 상부 희생층들(40)이 제거될 수 있다. 하부 구조체(10, 20), 상부 구조체(40, 50), 하부 층간 절연층(161) 및 상부 층간 절연층을 제2 방향을 따라 절단하여 하부 구조체(10, 20), 상부 구조체(40, 50), 하부 층간 절연층(161) 및 상부 층간 절연층(162) 각각의 측면을 노출시키는 개구부(도면 미도시)가 형성될 수 있다. 개구부를 통해 노출되는 하부 희생층들(10) 및 상부 희생층들(40)이 질화물에 식각 선택비를 갖는 식각액을 사용하는 습식 식각 공정을 통해 제거될 수 있다. 습식 식각 공정을 통해 추가 하부 희생층 패턴들(31)과 추가 상부 희생층 패턴들(61)이 함께 제거될 수 있다. 하부 희생층 패턴들(10), 상부 희생층 패턴들(40), 추가 하부 희생층 패턴들(31) 및 추가 상부 희생층 패턴들(61)이 제거되어 개방 영역(OA)들이 형성될 수 있다. 개방 영역(OA)들 각각은 제1 영역(Z1)과 제2 영역(Z2)을 포함할 수 있다. 제1 영역(Z1)과 제2 영역(Z2)은 연속적으로 이어지는 영역이며, 제2 영역(Z2)은 패드 영역에 배치될 수 있다. 개방 영역(OA)들 중 적어도 하나는 제2 영역(Z2)이 제1 영역(Z1)과 두께가 두꺼운 R 영역(ZR)으로 형성될 수 있다. 또는, 개방 영역(OA)들 중 적어도 하나는 제2 영역(Z2)이 제1 영역(Z1)과 두께가 동일한 P 영역(ZP)으로 형성될 수 있다. P 영역(ZP)은 추가 희생층 패턴이 형성되지 않은 희생층 패턴이 제거되어 형성될 수 있다. 일 실시예에 있어서, P 영역(ZP)은 최상위 하부 희생층(도 24 참조), 최하위 하부 희생층(도 24 참조) 및 최상위 상부 희생층 패턴(도 24 참조) 각각이 제거되어 형성될 수 있다.

[0101] 도 26를 참조하면, 도전성 물질들이 개구부를 통해 개방 영역(OA)들에 채워져 게이트 전극들(110, 130)과 게이

트 패드(P, R)들이 형성될 수 있다. 게이트 전극들(110, 130)각각이 개방 영역(OA)들 각각의 제1 영역(Z1)에 형성되며, 게이트 패드들(P, R) 각각이 개방 영역(OA)들의 각각의 제2 영역(Z2)에 형성될 수 있다. 게이트 전극들(110, 130)과 게이트 패드들(P, R)은 연속적으로 이어져 형성될 수 있다. 게이트 패드들(P, R) 중 R 영역(ZR)에 형성되는 게이트 패드는 게이트 전극보다 두꺼운 두께를 가지는 R 패드(R)일 수 있다. 게이트 패드들 중 P 영역(ZP)에 형성되는 게이트 패드는 게이트 전극과 동일한 두께를 가지는 P 패드(P)일 수 있다.

[0102] 도 27를 참조하면, 최상부 층간 절연층(163)이 형성되고, 콘택 홀들(hole4)이 형성될 수 있다. 콘택 홀들(hole4)은 최상부 층간 절연층(163) 및 상부 층간 절연층(162)을 관통할 수 있다. 콘택 홀들(hole4) 중 일부는 최상부 층간 절연층(163), 상부 층간 절연층(162) 및 하부 층간 절연층(161)을 관통할 수 있다. 콘택 홀들(hole4)은 게이트 패드들(P, R)의 적어도 일부 영역을 파고 들어가는 깊이를 가질 수 있다. 일 실시예에 있어서, 콘택 홀(hole4)이 형성되는 공정 진행 시, R 패드(R)가 P 패드(P)보다 더 많은 마진(margin)을 제공할 수 있으며, 콘택 홀(hole4)이 R 패드(R)를 관통하지 않고 형성될 수 있다. 일 실시예에 있어서, 콘택 홀(hole4)이 형성되는 공정 진행 시, P 패드(P)는 R 패드(R) 보다 적은 마진(margin)을 제공하며, 콘택 홀이 P 패드(P)를 관통하여 형성될 수 있으나, 이에 한정되는 것은 아니다.

[0103] 도 28을 참조하면, 콘택 홀들(hole4) 각각에 금속 등의 도전성 물질을 채워 콘택들(170)을 형성할 수 있다. 콘택들(170) 중 일부는 게이트 패드를 관통하여 2개 이상의 게이트 전극들에 연결될 수 있다.(도 7 참조) 예를 들어, 콘택들(170) 중 일부는 마진이 상대적으로 작은 P 패드(P)를 관통하여, P 패드(P) 하부에 배치된 게이트 전극에 연결될 수 있다.

[0104] 도 1 및 도 8을 다시 참조하면, 콘택들(170)과 전기적으로 연결되는 배선들이 형성될 수 있다. 배선들 각각은 콘택들(170)과 각각 연결되어 제2 방향으로 연장될 수 있다. 배선들은 적어도 2 개 이상의 콘택에 공통으로 연결되는 결합 배선(180a)을 포함할 수 있다. 결합 배선(180a)은 P 패드(P)에 연결되는 콘택 및 P 패드(P)의 하부에 배치된 R 패드(R)에 연결된 콘택에 공통으로 연결될 수 있다. 결합 배선은 P 패드(P)에 연결된 콘택이 P 패드(P)를 관통하여 P 패드(P) 하부에 연결된 게이트 패드와 전기적으로 연결되는 문제점에 대비할 수 있다.

[0105] 이상, 첨부된 도면을 참조하여 본 발명의 기술적 사상에 따른 실시 예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다.

부호의 설명

[0106] 100, 200, 300: 반도체 소자 101: 기판

110, 210 310: 하부 게이트 전극 120, 220, 320: 하부 절연층

130, 230, 330: 상부 게이트 전극 140, 240, 340: 상부 절연층

CH1, CH2, CH3, 150: 채널 구조체

151: 정보 저장 패턴 152: 채널 패턴

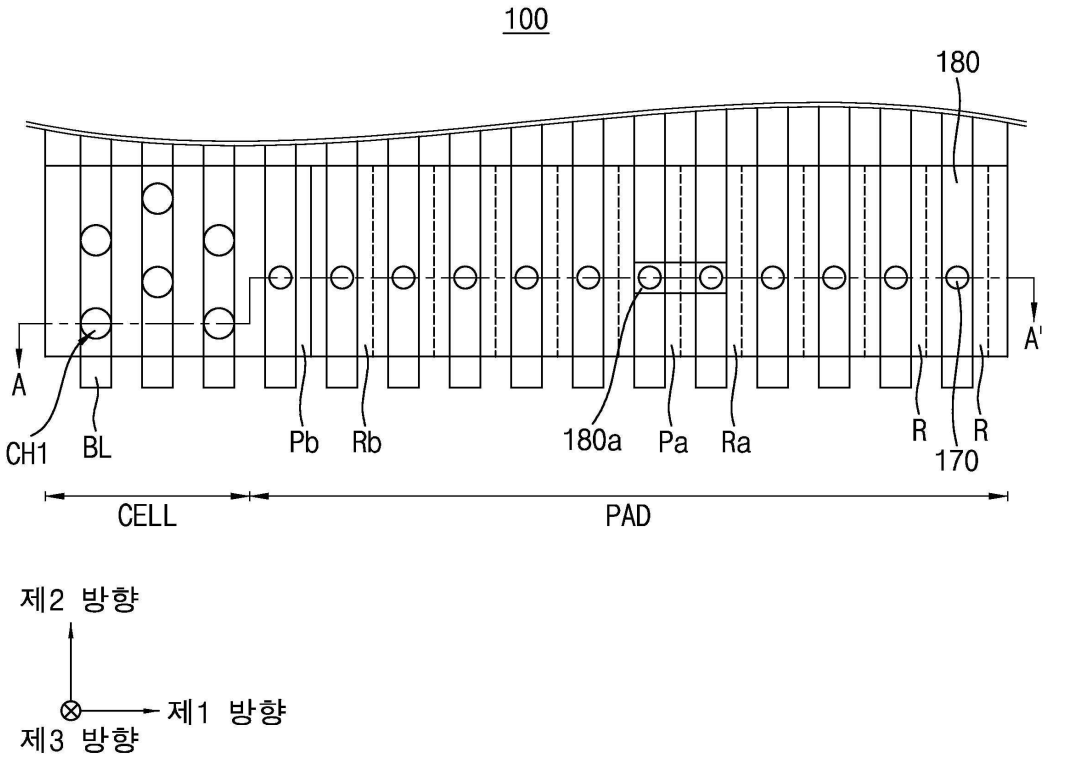
153: 코어 패턴 161: 하부 층간 절연층

162: 상부 층간 절연층 163: 최상위 층간 절연층

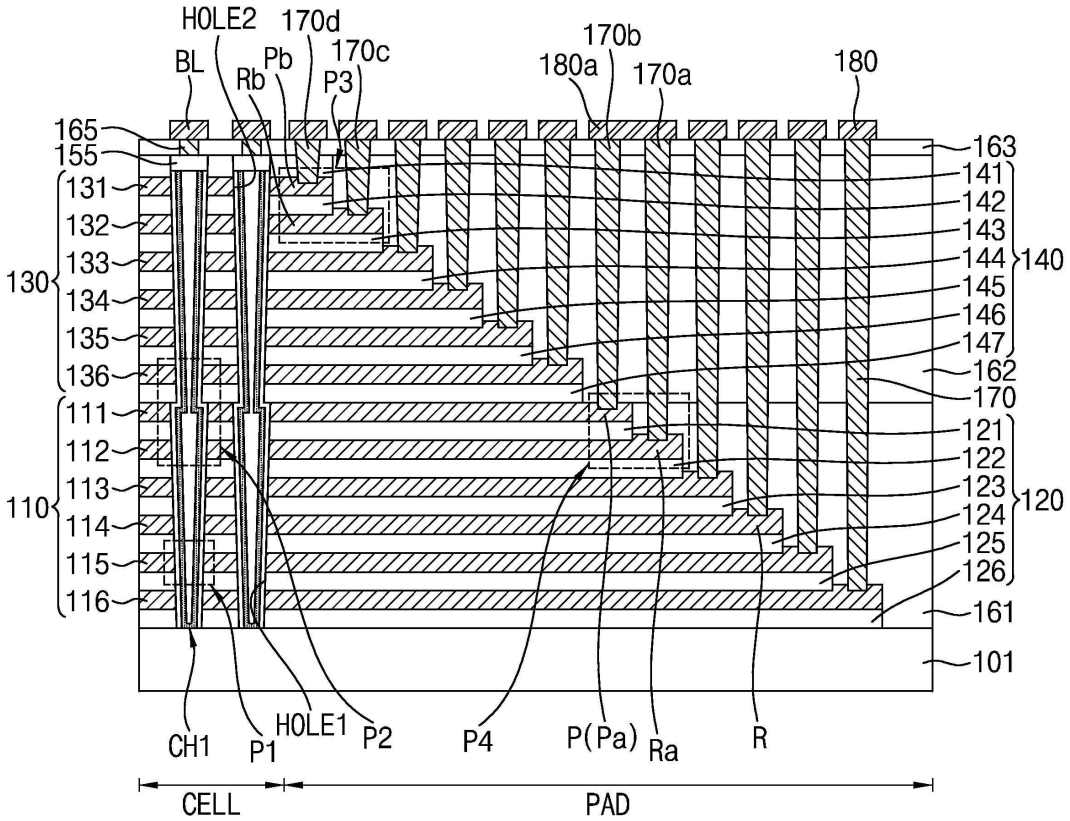
170: 콘택 180: 배선

도면

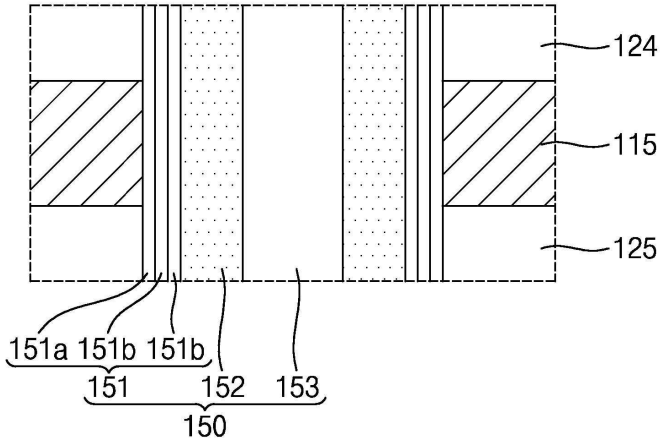
도면1


100
180
A
A'
CH1
BL
Pb
Rb
180a
Pa
Ra
R
170
R
CELL
PAD
제2 방향
제1 방향
제3 방향

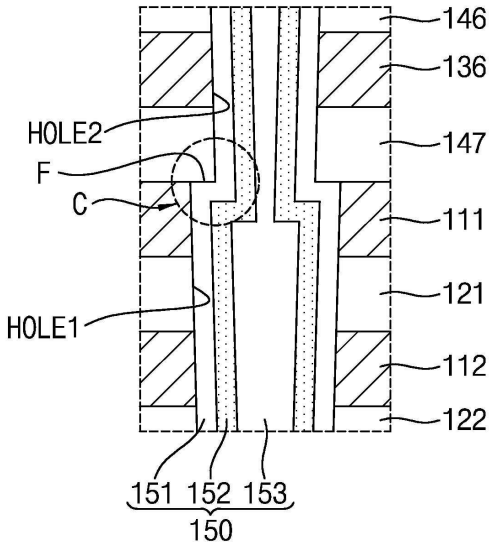
도면2


HOLE2
170d
170c
BL
Pb
Rb
P3
170b
180a
170a
180
165
155
131
132
133
130
134
135
136
111
112
113
110
114
115
116
163
141
142
143
144
140
145
146
147
162
170
121
122
123
120
124
125
126
161
101
CH1
P1
HOLE1
P2
P4
P(Pa)
Ra
R
CELL
PAD

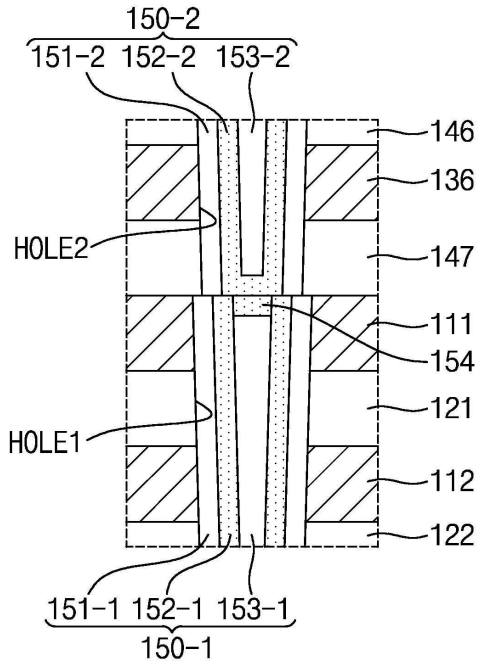
도면3


124
115
125
151a 151b 151b
151
152
153
150

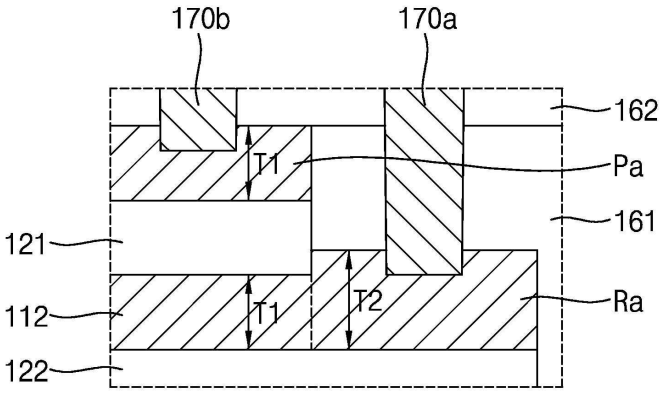
도면4


146
136
HOLE2
147
F
C
111
121
HOLE1
112
122
151 152 153
150

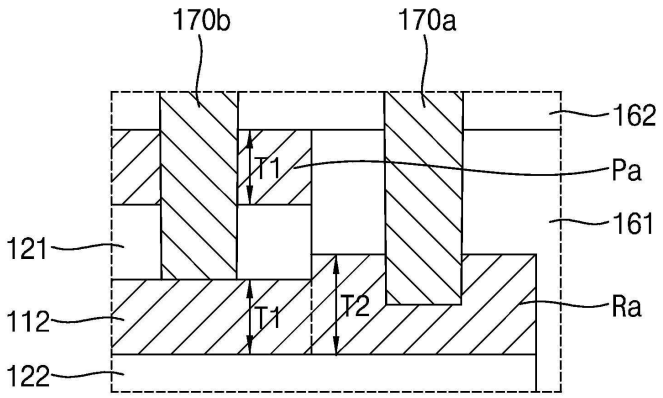
도면5


150-2
151-2 152-2 153-2
146
136
HOLE2
147
111
154
121
HOLE1
112
122
151-1 152-1 153-1
150-1

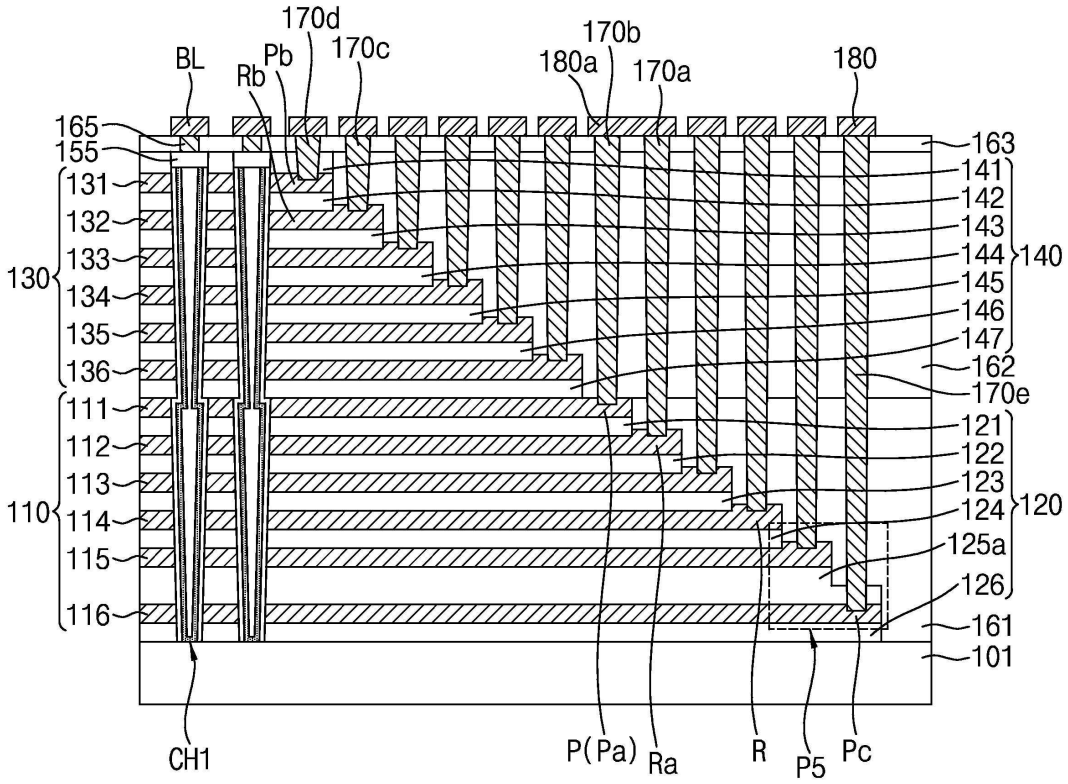
도면6


170b
170a
162
T1
Pa
161
121
T1
T2
Ra
112
122

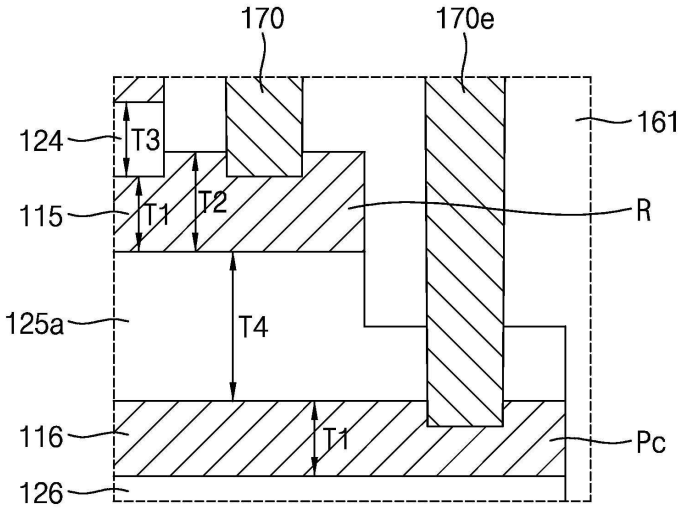
도면7


170b
170a
162
T1
Pa
161
121
T1
T2
Ra
112
122

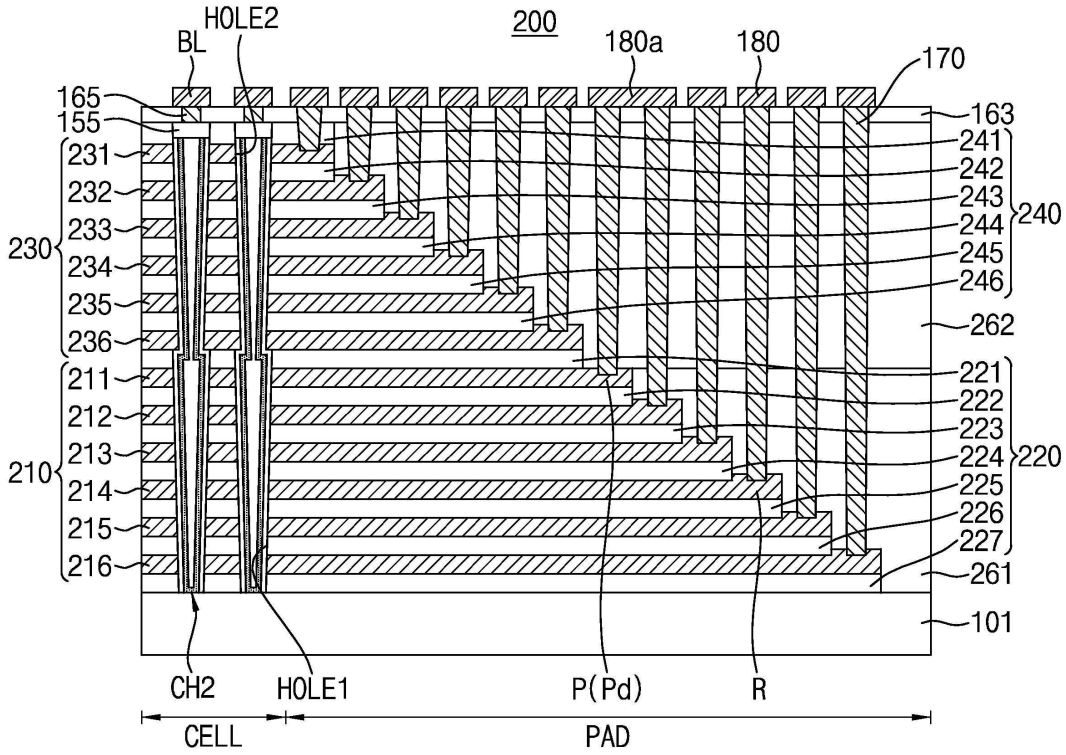
도면8


170d
170c
BL
Rb
Pb
170b
180a
170a
180
165
155
131
132
133
134
135
136
130
111
112
113
114
115
116
110
163
141
142
143
144
145
146
147
140
162
170e
121
122
123
124
120
125a
126
161
101
CH1
P(Pa)
Ra
R
P5
Pc

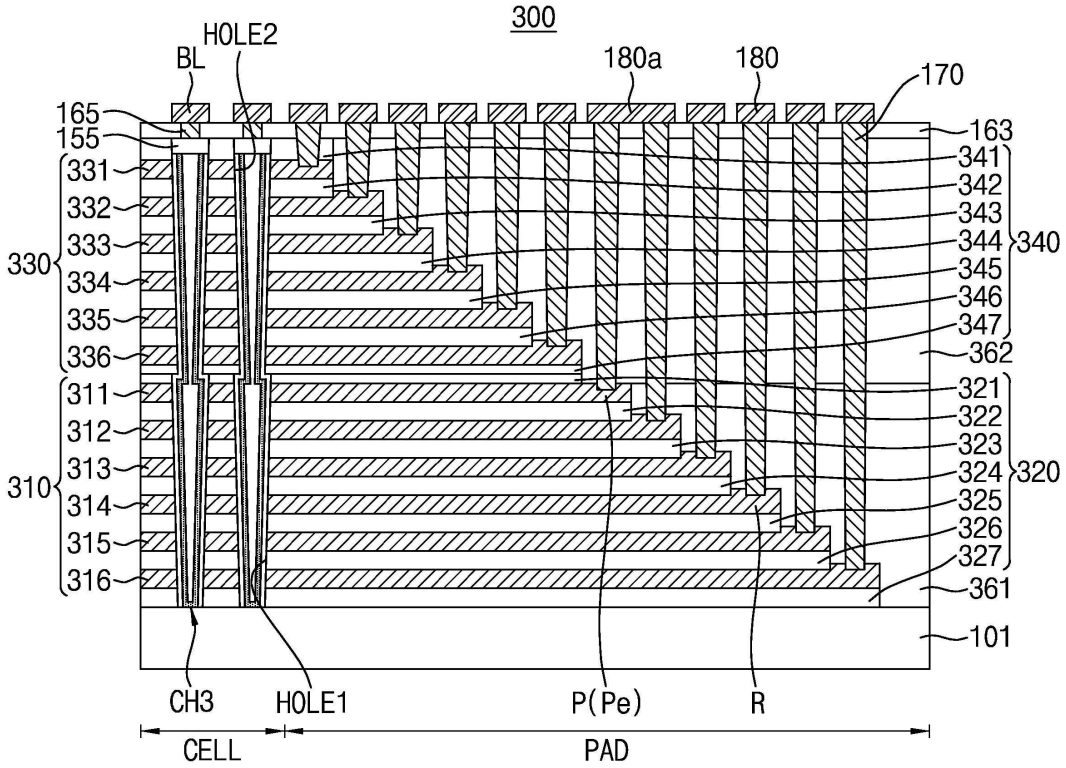
도면9


170
170e
161
124
T3
115
T1
T2
R
125a
T4
116
T1
Pc
126

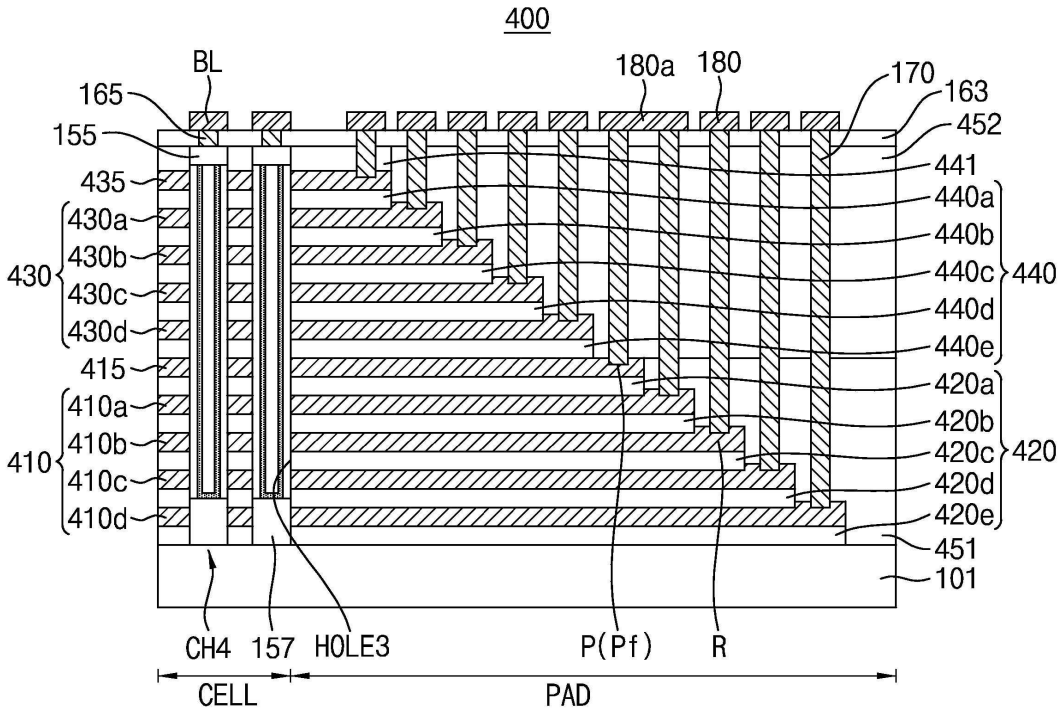
도면10


200
HOLE2
BL
180a
180
170
165
155
163
241
242
243
244
245
246
240
231
232
233
234
235
236
230
262
211
212
213
214
215
216
210
221
222
223
224
225
226
227
220
261
101
CH2
HOLE1
P(Pd)
R
CELL
PAD

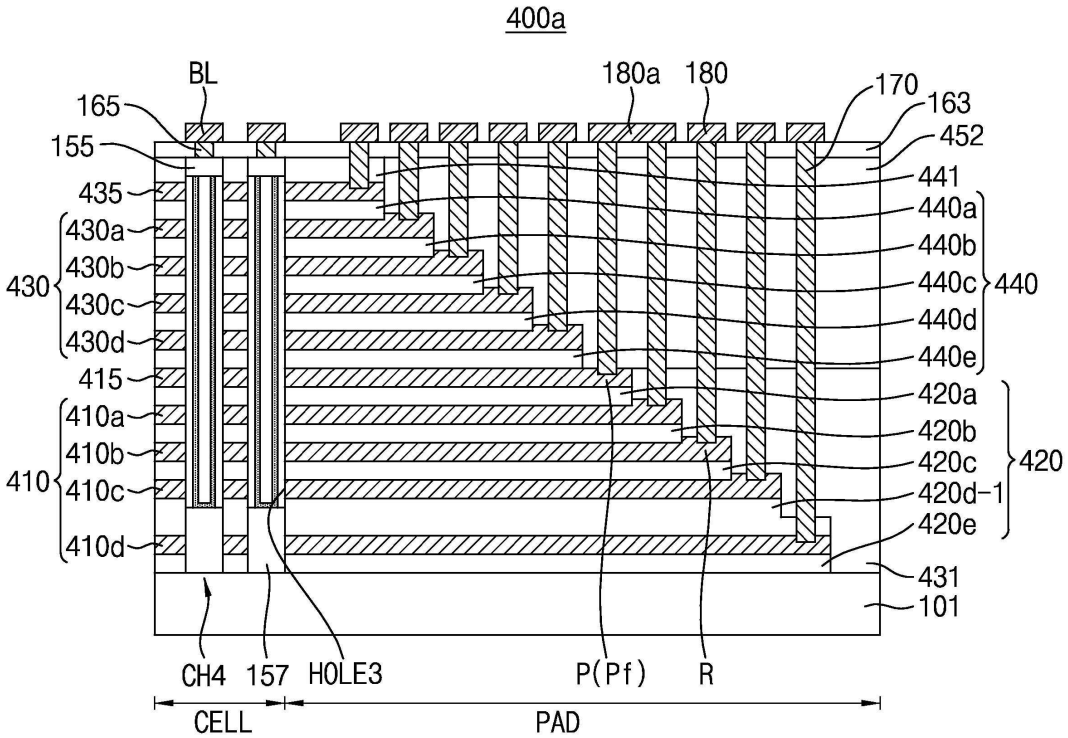
도면11


300
HOLE2
BL
180a
180
170
165
155
163
341
342
343
344
345
346
347
340
331
332
333
334
335
336
330
362
311
312
313
314
315
316
310
321
322
323
324
325
326
327
320
361
101
CH3
HOLE1
P(Pe)
R
CELL
PAD

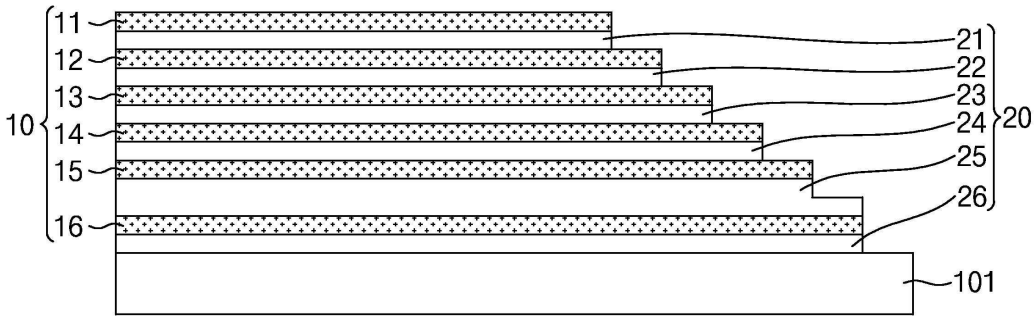
도면12


400
BL
180a
180
170
163
165
155
452
441
435
440a
430a
440b
430b
440c
440
430
430c
440d
430d
440e
415
420a
410a
420b
410b
420c
420
410
420d
410c
420e
410d
451
101
CH4
157
HOLE3
P(Pf)
R
CELL
PAD

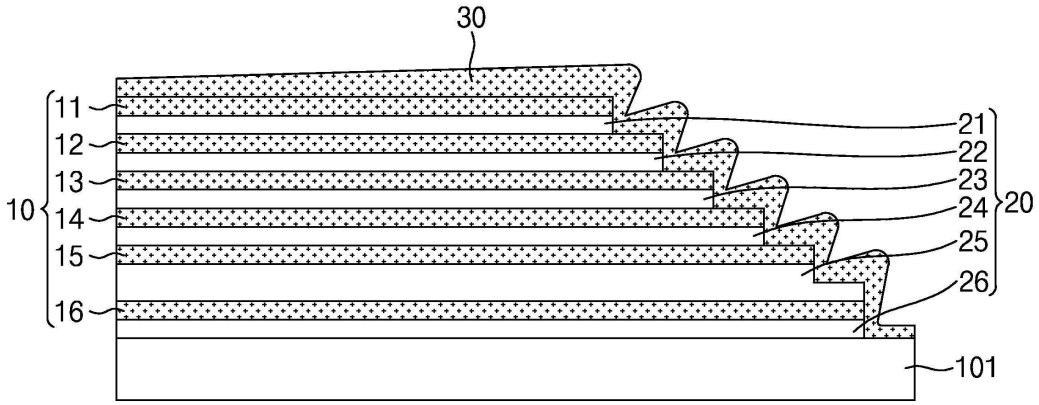
도면13


400a
BL
180a
180
170
163
165
155
452
441
435
440a
430a
440b
430b
440c
440
430
430c
440d
430d
440e
415
420a
410a
420b
410b
420c
420
410
420d-1
410c
420e
410d
431
101
CH4
157
HOLE3
P(Pf)
R
CELL
PAD

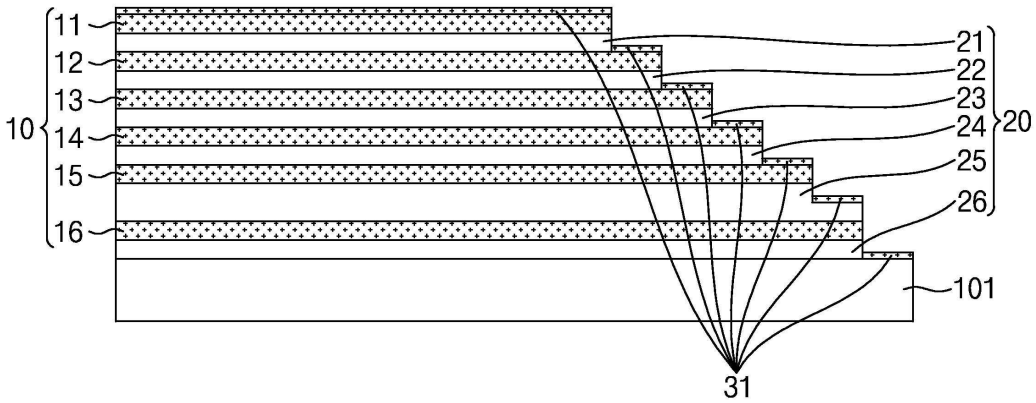
도면14



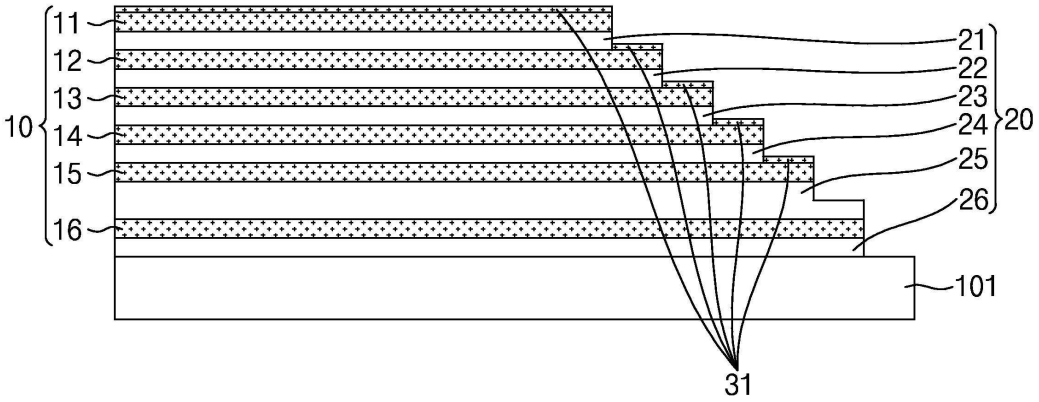
도면15



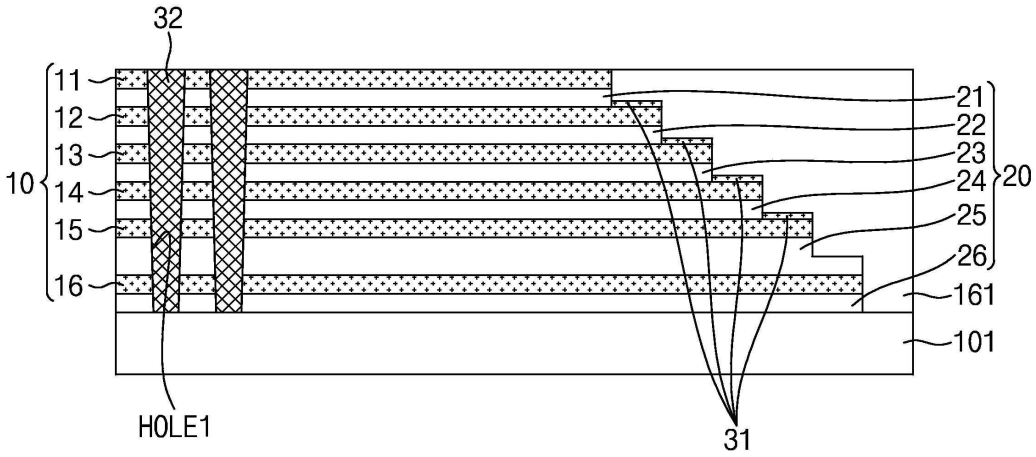
도면16



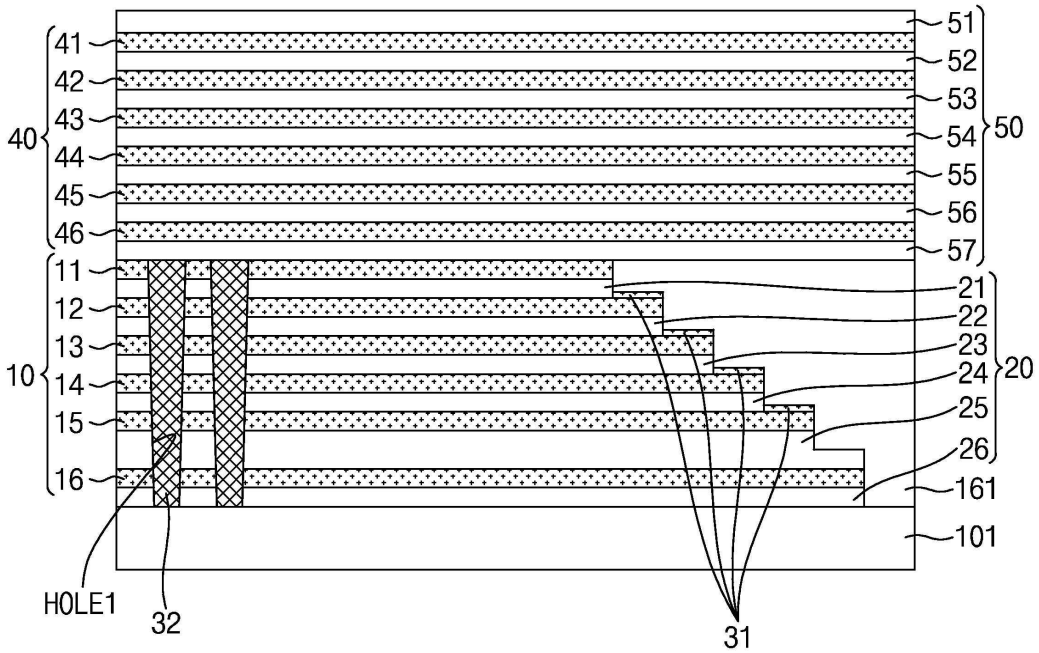
도면17



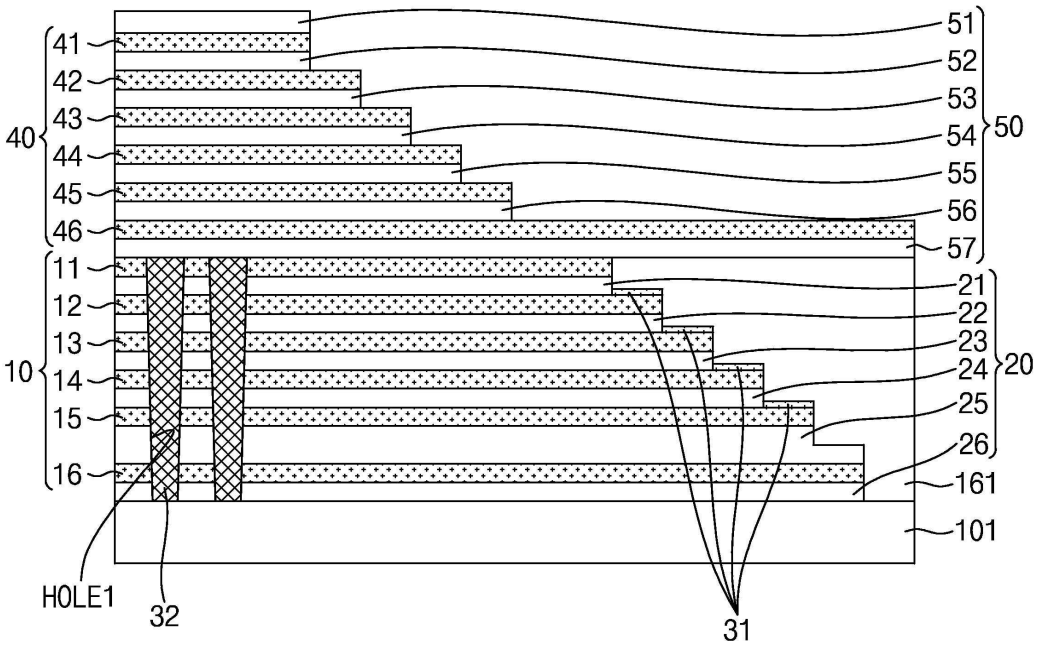
도면18



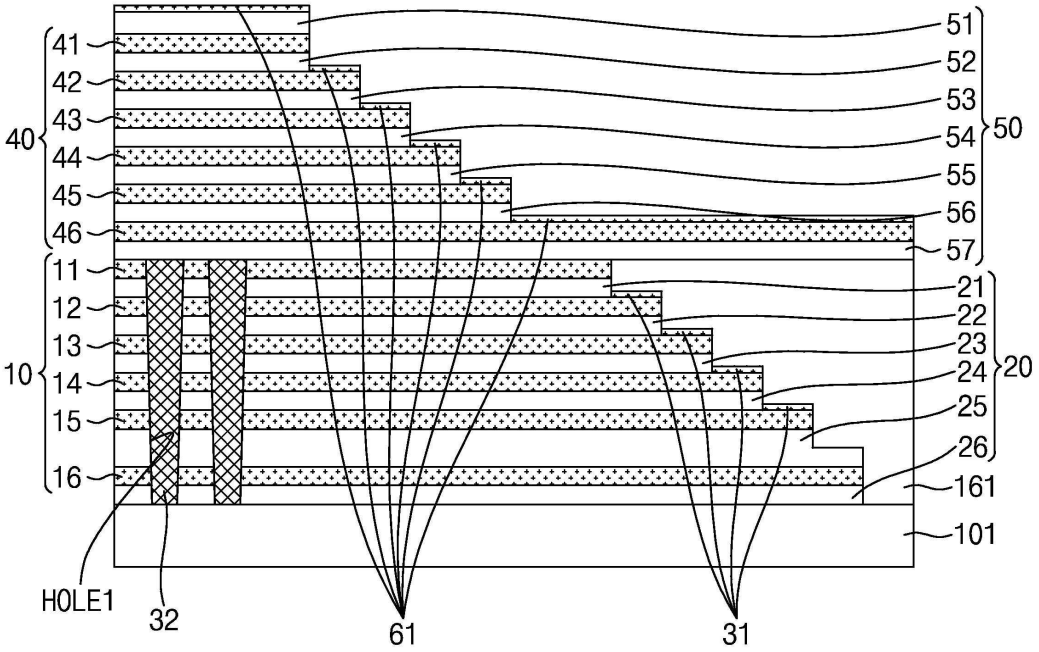
도면19



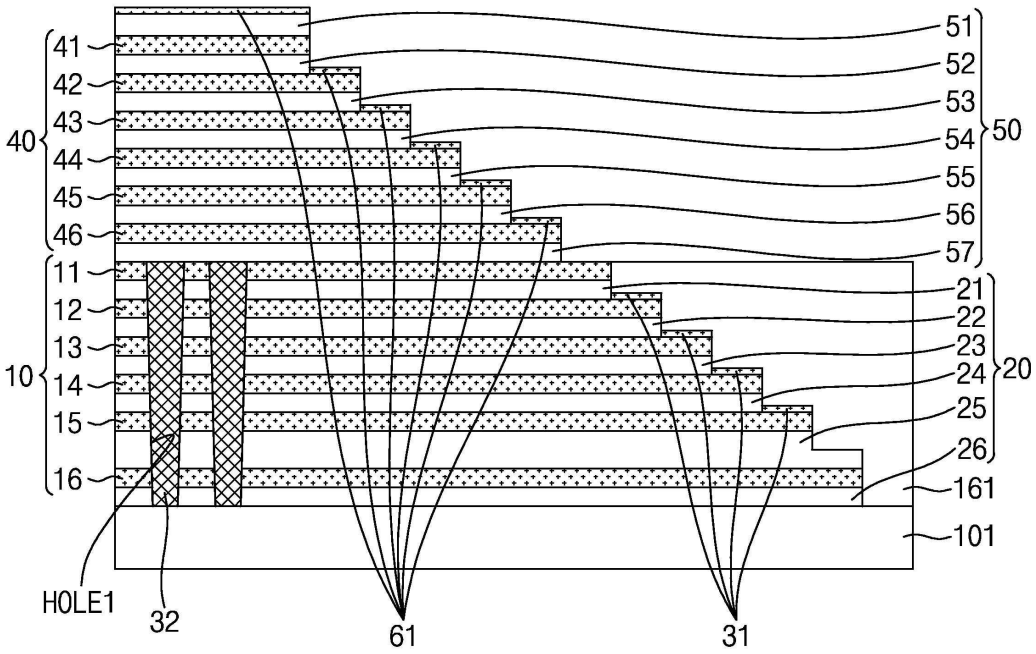
도면20


41
42
43
44
45
46
40
11
12
13
14
15
16
10
51
52
53
54
55
56
57
50
21
22
23
24
25
26
20
161
101
HOLE1
32
31

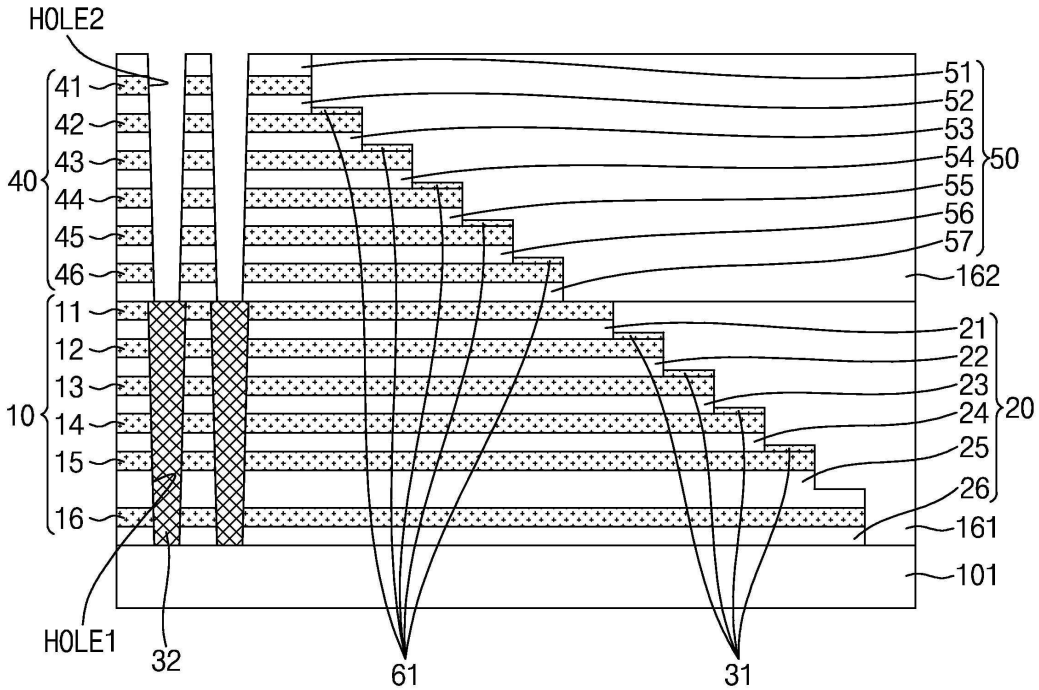
도면21


41
42
43
44
45
46
40
11
12
13
14
15
16
10
51
52
53
54
55
56
57
50
21
22
23
24
25
26
20
161
101
HOLE1
32
61
31

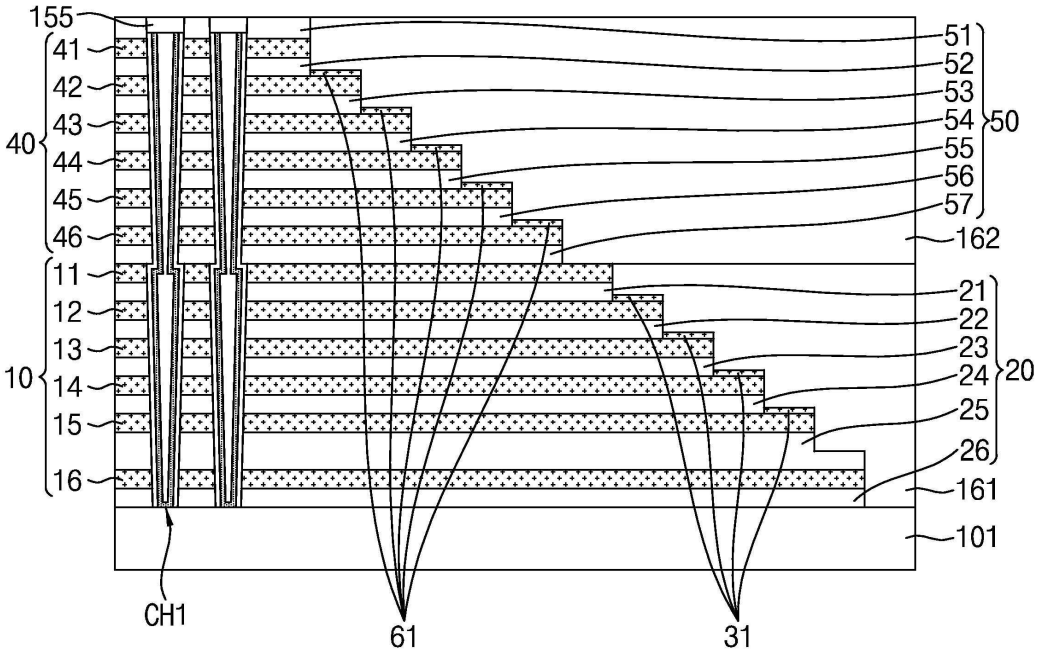
도면22


41
42
43
44
45
46
40
11
12
13
14
15
16
10
51
52
53
54
55
56
57
50
21
22
23
24
25
26
20
161
101
HOLE1
32
61
31

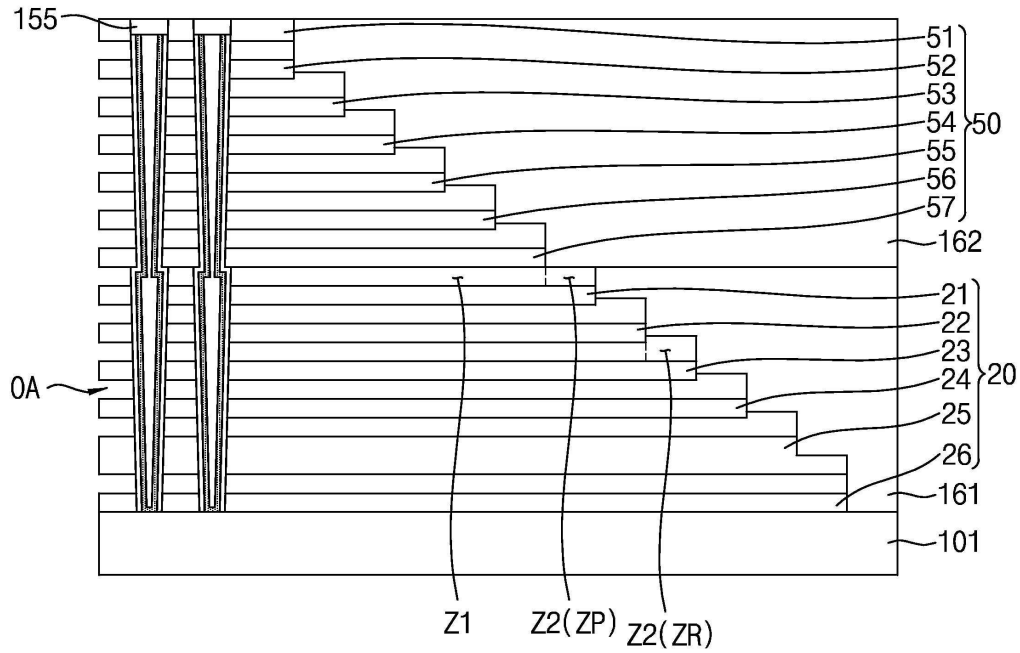
도면23


HOLE2
41
42
43
44
45
46
40
11
12
13
14
15
16
10
51
52
53
54
55
56
57
50
162
21
22
23
24
25
26
20
161
101
HOLE1
32
61
31

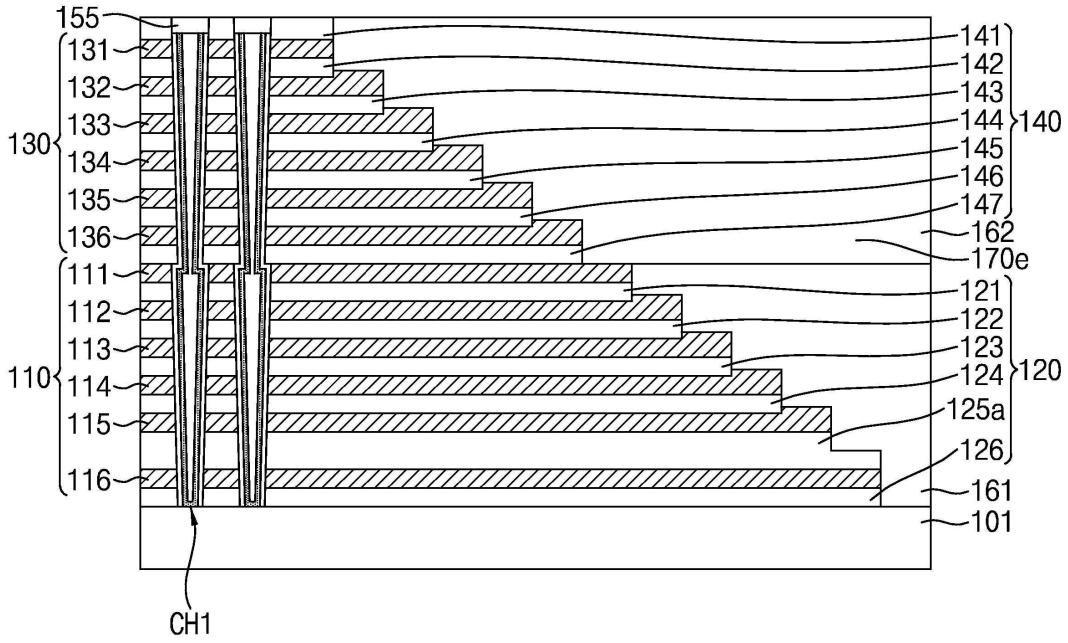
도면24


155
41
42
43
44
45
46
40
11
12
13
14
15
16
10
51
52
53
54
55
56
57
50
162
21
22
23
24
25
26
20
161
101
CH1
61
31

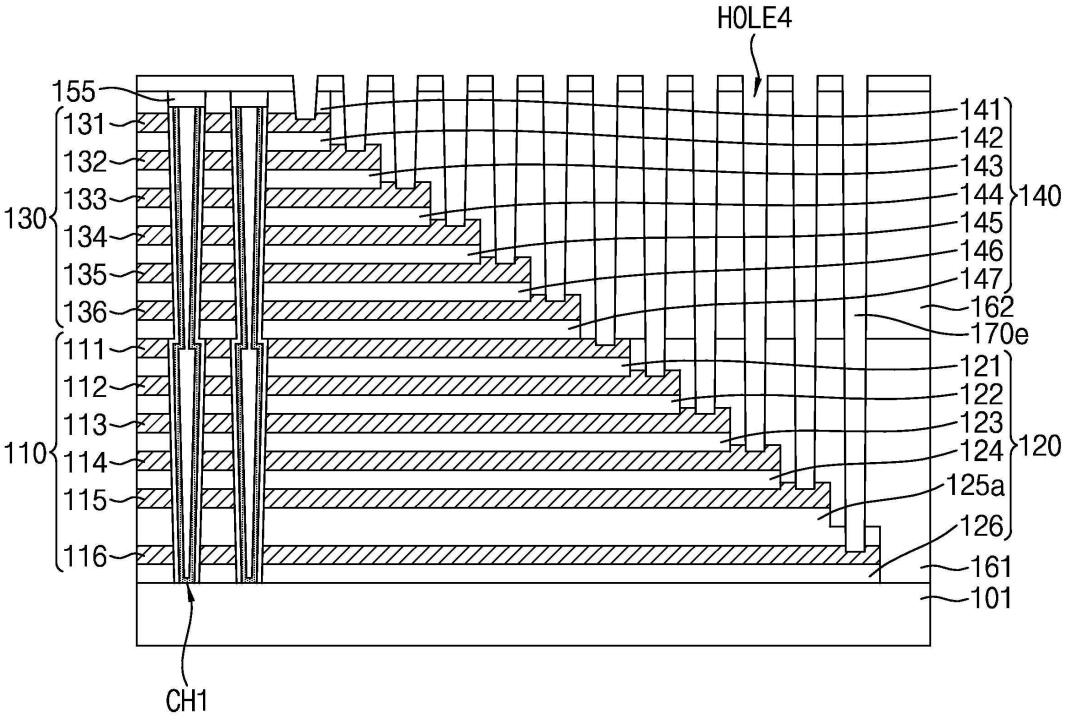
도면25


155
51
52
53
54
55
56
57
50
162
21
22
23
24
25
26
20
161
101
OA
Z1
Z2(ZP)
Z2(ZR)

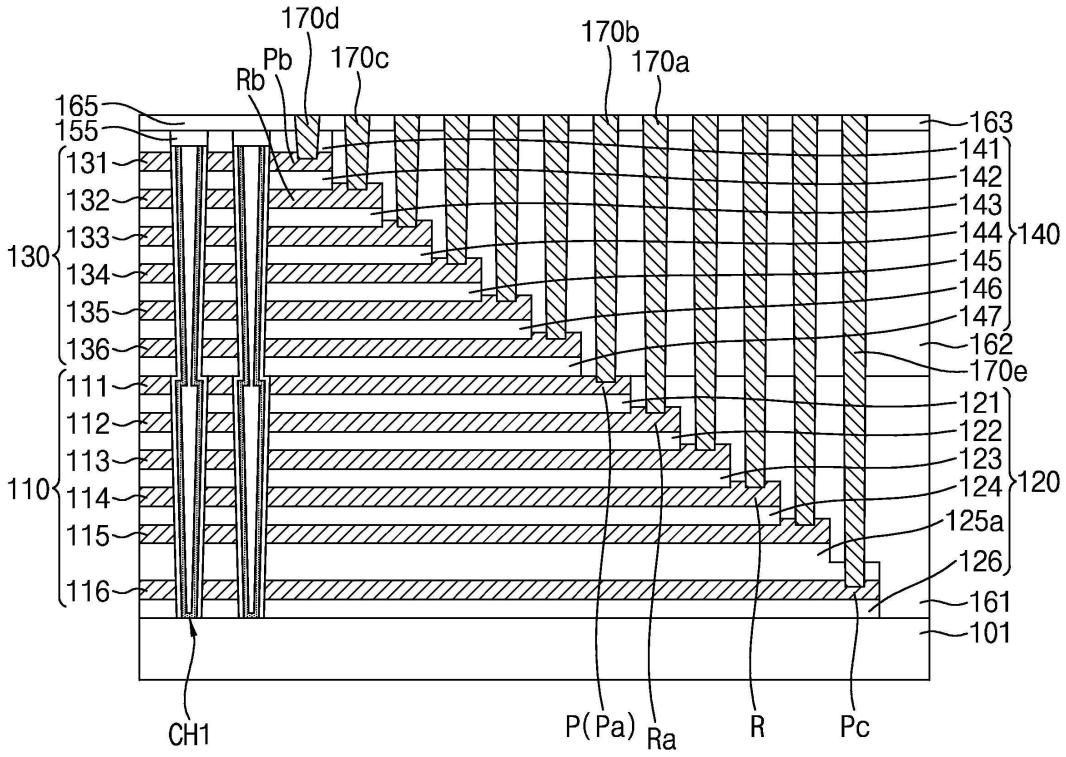
도면26


155
131
132
133
134
135
136
130
111
112
113
114
115
116
110
CH1
141
142
143
144
145
146
147
140
162
170e
121
122
123
124
125a
126
120
161
101

도면27


HOLE4
155
131
132
133
134
135
136
130
111
112
113
114
115
116
110
CH1
141
142
143
144
145
146
147
140
162
170e
121
122
123
124
125a
126
120
161
101

도면28


170d
Pb
Rb
170c
170b
170a
165
155
131
132
133
130
134
135
136
111
112
113
110
114
115
116
163
141
142
143
144
140
145
146
147
162
170e
121
122
123
124
120
125a
126
161
101
CH1
P(Pa)
Ra
R
Pc