

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6019330号
(P6019330)

(45) 発行日 平成28年11月2日(2016.11.2)

(24) 登録日 平成28年10月14日(2016.10.14)

(51) Int. Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 6 L		
HO 1 L 21/3205 (2006.01)	HO 1 L	29/78	6 1 2 C		
HO 1 L 21/768 (2006.01)	HO 1 L	29/78	6 1 7 S		
HO 1 L 23/532 (2006.01)	HO 1 L	29/78	6 1 9 A		
請求項の数 16 (全 23 頁) 最終頁に続く					

(21) 出願番号 特願2012-26250 (P2012-26250)
 (22) 出願日 平成24年2月9日(2012.2.9)
 (65) 公開番号 特開2013-165108 (P2013-165108A)
 (43) 公開日 平成25年8月22日(2013.8.22)
 審査請求日 平成27年1月13日(2015.1.13)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 藤森 隆成
 東京都港区港南1 丁目7 番1 号 ソニー株式会社内
 審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、薄膜トランジスタの製造方法、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極、ソース電極およびドレイン電極と、
 前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極に非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続された酸化物半導体層と、
 前記酸化物半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に設けられ、かつ前記酸化物半導体層よりも電気抵抗率の低い低抵抗酸化物層と、
 前記ゲート電極と同層に設けられた配線層と、
 前記配線層に対向して設けられると共に前記絶縁膜を貫通する貫通孔とを備え、
 前記低抵抗酸化物層は、前記貫通孔の内部まで延在すると共に前記配線層を覆って形成され、
 前記ソース電極または前記ドレイン電極は、前記貫通孔上に前記低抵抗酸化物層を介して設けられ、前記配線層に電氣的に接続されている
 薄膜トランジスタ。

【請求項 2】

前記ゲート電極上に、前記絶縁膜を介して、前記酸化物半導体層および前記低抵抗酸化物層が設けられ、

前記ソース電極および前記ドレイン電極は、前記低抵抗酸化層上に設けられている請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記酸化層および前記低抵抗酸化層は、互いに同一の酸化層材料からなる請求項 1 に記載の薄膜トランジスタ。

【請求項 4】

前記低抵抗酸化層は非晶質状態を有し、前記酸化層は、結晶化された状態を有する

請求項 3 に記載の薄膜トランジスタ。

【請求項 5】

前記酸化層材料は、前記ソース電極および前記ドレイン電極をパターンニングする際に用いる薬液に対して耐性を有する

請求項 3 に記載の薄膜トランジスタ。

【請求項 6】

前記酸化層、前記ソース電極および前記ドレイン電極を覆って、保護膜が設けられている

請求項 2 に記載の薄膜トランジスタ。

【請求項 7】

前記保護膜は酸化シリコン (SiO_x) または酸化アルミニウム (AlO_x) からなる請求項 6 に記載の薄膜トランジスタ。

【請求項 8】

ゲート電極、ソース電極およびドレイン電極を各々形成する工程と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極に非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続される酸化層を形成する工程と、

前記ゲート電極と同層に配線層を形成する工程と、

前記配線層に対向して前記絶縁膜を貫通する貫通孔を形成する工程と

を有し、

前記酸化層を形成する工程では、前記酸化層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に、前記酸化層よりも電気抵抗率の低い低抵抗酸化層を形成し、

前記低抵抗酸化層は、前記貫通孔の内部まで延在すると共に前記配線層を覆って形成され、

前記ソース電極または前記ドレイン電極は、前記貫通孔上に前記低抵抗酸化層を介して設けられ、前記配線層に電氣的に接続されている

薄膜トランジスタの製造方法。

【請求項 9】

前記ゲート電極を形成した後、

前記ゲート電極上に、前記絶縁膜を介して、一部が前記低抵抗酸化層に対応する酸化物膜を成膜し、

成膜した酸化物膜上に、前記ソース電極および前記ドレイン電極を形成し、

前記ソース電極および前記ドレイン電極を形成した後、前記酸化物膜のうちの前記ソース電極および前記ドレイン電極から露出した選択的な領域に高抵抗化処理を施すことにより、前記酸化層を形成する

請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 10】

前記高抵抗化処理として、酸素雰囲気における加熱処理を行う

請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 11】

前記ソース電極および前記ドレイン電極を形成した後、酸素雰囲気において保護膜を形

10

20

30

40

50

成する工程を含み、

前記保護膜の形成過程において、前記酸化物膜の前記選択的な領域を酸素雰囲気曝すことにより、前記高抵抗化処理を行う

請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 2】

前記保護膜として、酸化シリコン (SiO_x) または酸化アルミニウム (AlO_x) を形成する

請求項 1 1 に記載の薄膜トランジスタの製造方法。

【請求項 1 3】

前記酸化物膜を非晶質状態となるように成膜し、

前記高抵抗化処理として、前記酸化物膜の前記選択的な領域を結晶化させる処理を行う
請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 4】

前記酸化物膜は、前記ソース電極および前記ドレイン電極をパターニングする際に用いる薬液に対して耐性を有する

請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 5】

ゲート電極、ソース電極およびドレイン電極と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極と非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続された酸化物半導体層と、

前記酸化物半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に設けられ、かつ前記酸化物半導体層よりも電気抵抗率の低い低抵抗酸化物層と、

前記ゲート電極と同層に設けられた配線層と、

前記配線層に対向して設けられると共に前記絶縁膜を貫通する貫通孔とを備え、

前記低抵抗酸化物層は、前記貫通孔の内部まで延在すると共に前記配線層を覆って形成され、

前記ソース電極または前記ドレイン電極は、前記貫通孔上に前記低抵抗酸化物層を介して設けられ、前記配線層に電氣的に接続されている

薄膜トランジスタを有する表示装置。

【請求項 1 6】

薄膜トランジスタを有する表示装置を備え、

前記薄膜トランジスタは、

ゲート電極、ソース電極およびドレイン電極と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極と非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続された酸化物半導体層と、

前記酸化物半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に設けられ、かつ前記酸化物半導体層よりも電気抵抗率の低い低抵抗酸化物層と、

前記ゲート電極と同層に設けられた配線層と、

前記配線層に対向して設けられると共に前記絶縁膜を貫通する貫通孔とを備え、

前記低抵抗酸化物層は、前記貫通孔の内部まで延在すると共に前記配線層を覆って形成され、

前記ソース電極または前記ドレイン電極は、前記貫通孔上に前記低抵抗酸化物層を介して設けられ、前記配線層に電氣的に接続されている

電子機器。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、酸化物半導体を用いた薄膜トランジスタ（TFT：Thin Film Transistor）、薄膜トランジスタの製造方法、表示装置および電子機器に関する。

【背景技術】

【0002】

亜鉛（Zn）、インジウム（In）、ガリウム（Ga）、スズ（Sn）あるいはそれらの混合物の酸化物（酸化物半導体）は、優れた半導体特性を示すことが知られている。例えば、酸化物半導体を用いた薄膜トランジスタは、アモルファスシリコンを用いたものと比べて10倍以上の電子移動度を示し、かつ良好なオフ特性を示す。従って、この酸化物半導体を用いた薄膜トランジスタは、大画面、高精細および高フレームレートの液晶表示装置や、有機EL（Electro Luminescence）表示装置向けの駆動素子として応用が期待されている。

10

【0003】

ところが、酸化物半導体は耐熱性が十分ではなく、薄膜トランジスタの製造プロセスでの熱処理やプラズマ処理により酸素が脱離し、格子欠陥を形成する。この格子欠陥は、電気的には浅い不純物準位を形成し、酸化物半導体の低抵抗化を引き起こす。そのため、酸化物半導体を活性層に用いた場合、欠陥準位の増大によって閾値電圧が小さくなり、リーク電流が増大する。これにより、ゲート電流を印加しなくてもドレイン電流が流れる、いわゆるデプレッション型の動作を引き起こす。更には、欠陥準位が増大し続けると、トランジスタ動作から導電体動作へと移行してしまう。これは、特に多元系の酸化物半導体の場合、熱的に不安定な元素の含有比率によって安定性が変化することによると考えられる。また、上記したような格子欠陥の他にも、浅い不純物準位を形成する元素として、水素が報告されている（非特許文献1）。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-016163号公報

【非特許文献】

30

【0005】

【非特許文献1】Cetin Kilic他1著、「n-type doping of oxides by hydrogen」, APPLIED PHYSICS LETTERS, 2002年7月1日Vol.81, No.1, p.73 - 75

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記のように、酸化物半導体を用いた薄膜トランジスタでは、その製造プロセスにおいて酸化物半導体の特性が劣化し、電気的特性に影響を与え易い。このため、酸化物半導体の特性劣化の抑制し、電気的特性を向上することが望まれる。

【0007】

40

本開示はかかる問題点に鑑みてなされたもので、その目的は、電気的特性の向上を実現することが可能な薄膜トランジスタ、薄膜トランジスタの製造方法、表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【0008】

本開示の薄膜トランジスタは、ゲート電極、ソース電極およびドレイン電極と、ゲート電極の一方の側に絶縁膜を介して設けられると共に、ソース電極およびドレイン電極に非対向な領域に設けられ、かつソース電極およびドレイン電極に電気的に接続された酸化物半導体層と、酸化物半導体層に隣接すると共に、ソース電極およびドレイン電極の各々に対向する領域に設けられ、かつ酸化物半導体層よりも電気抵抗率の低い低抵抗酸化物層と

50

、ゲート電極と同層に設けられた配線層と、配線層に対向して設けられると共に絶縁膜を貫通する貫通孔とを備える。低抵抗酸化層は、貫通孔の内部まで延在すると共に配線層を覆って形成され、ソース電極またはドレイン電極は、貫通孔上に低抵抗酸化層を介して設けられ、配線層に電氣的に接続されているものである。

【0009】

本開示の薄膜トランジスタでは、ソース電極およびドレイン電極に非対向な領域に酸化層半導体層が設けられ、ソース電極およびドレイン電極の各々に対向し、かつ酸化層半導体層に隣接する領域に、低抵抗酸化層が設けられている。これにより、製造プロセスにおいて、酸化層半導体層（チャンネル層）の形成をソース電極およびドレイン電極の形成後に行うことができる。酸化層半導体では、電極の成膜時やパターニング時に受けるダメージによって酸素が離脱し、これによって格子欠陥を生じるが、上記のように電極形成後に酸化層半導体層が形成されることで、そのような格子欠陥の発生が抑制され、酸化層半導体層の劣化が抑制される。また、この酸化層半導体層に隣接して低抵抗酸化層が設けられることにより、酸化層半導体層とソース電極およびドレイン電極との良好な電氣的接続が確保される。

10

【0010】

本開示の薄膜トランジスタの製造方法は、ゲート電極、ソース電極およびドレイン電極を各々形成する工程と、ゲート電極の一方の側に絶縁膜を介して設けられると共に、ソース電極およびドレイン電極に非対向な領域に設けられ、かつソース電極およびドレイン電極に電氣的に接続される酸化層半導体層を形成する工程と、ゲート電極と同層に配線層を形成する工程と、配線層に対向して絶縁膜を貫通する貫通孔を形成する工程とを含むものである。酸化層半導体層を形成する工程では、酸化層半導体層に隣接すると共に、ソース電極およびドレイン電極の各々に対向する領域に、酸化層半導体層よりも電気抵抗率の低い低抵抗酸化層を形成する。低抵抗酸化層は、貫通孔の内部まで延在すると共に配線層を覆って形成され、ソース電極またはドレイン電極は、貫通孔上に低抵抗酸化層を介して設けられ、配線層に電氣的に接続されている。

20

【0011】

本開示の薄膜トランジスタの製造方法では、酸化層半導体層を形成する工程において、ソース電極およびドレイン電極に非対向な領域に酸化層半導体層を形成し、ソース電極およびドレイン電極の各々に対向し、かつ酸化層半導体層に隣接する領域に、低抵抗酸化層を形成する。これにより、酸化層半導体層（チャンネル層）の形成をソース電極およびドレイン電極形成後に行うことができる。酸化層半導体では、電極の成膜時やパターニング時に受けるダメージによって酸素が離脱し、これによって格子欠陥を生じるが、上記のように電極形成後に酸化層半導体層が形成されることで、そのような格子欠陥の発生が抑制され、酸化層半導体層の劣化が抑制される。また、酸化層半導体層に隣接して低抵抗酸化層が形成されることにより、酸化層半導体層とソース電極およびドレイン電極との良好な電氣的接続が確保される。

30

【0012】

本開示の表示装置は、上記本開示の薄膜トランジスタを備えたものである。

【0013】

本開示の電子機器は、上記本開示の薄膜トランジスタを備えた表示装置を有するものである。

40

【発明の効果】

【0014】

本開示の薄膜トランジスタによれば、ソース電極およびドレイン電極に非対向な領域に酸化層半導体層を設け、ソース電極およびドレイン電極の各々に対向し、かつ酸化層半導体層に隣接する領域に、低抵抗酸化層を設けたので、製造プロセスにおける酸化層半導体層の劣化を抑制できる。また、低抵抗酸化層により、酸化層半導体層とソース電極およびドレイン電極との良好な電氣的接続を確保することができる。よって、電氣的特性の向上を実現可能となる。

50

【 0 0 1 5 】

本開示の薄膜トランジスタの製造方法によれば、ソース電極およびドレイン電極に非対向な領域に酸化物半導体層を形成し、ソース電極およびドレイン電極の各々に対向し、かつ酸化物半導体層に隣接する領域に、低抵抗酸化物層を形成するようにしたので、酸化物半導体層の劣化を抑制できる。また、低抵抗酸化物層により、酸化物半導体層とソース電極およびドレイン電極との良好な電氣的接続が確保される。よって、電氣的特性の向上を実現可能となる。

【 0 0 1 6 】

本開示の表示装置によれば、上記本開示の薄膜トランジスタを備えるようにしたので、薄膜トランジスタにおける電氣的特性の向上を実現可能となる。

10

【 0 0 1 7 】

本開示の電子機器によれば、上記本開示の薄膜トランジスタを備えた表示装置を有するので、薄膜トランジスタにおける電氣的特性の向上を実現可能となる。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 本開示の第 1 の実施の形態に係る薄膜トランジスタの断面図である。

【 図 2 】 図 1 に示した薄膜トランジスタの製造方法を説明するための断面図である。

【 図 3 】 図 2 に続く工程を表す断面図である。

【 図 4 】 図 3 に続く工程を表す断面図である。

【 図 5 】 図 4 に続く工程を表す断面図である。

20

【 図 6 】 図 5 に続く工程を表す断面図である。

【 図 7 】 高抵抗化処理前後の電氣的特性を表す図である。

【 図 8 】 比較例に係る薄膜トランジスタの断面図である。

【 図 9 】 図 8 に示した薄膜トランジスタの製造方法を説明するための断面図である。

【 図 1 0 】 変形例に係る薄膜トランジスタの製造方法を説明するための断面図である。

【 図 1 1 】 図 1 0 に続く工程を表す断面図である。

【 図 1 2 】 本開示の第 2 の実施の形態に係る薄膜トランジスタの断面図である。

【 図 1 3 】 図 1 2 に示した薄膜トランジスタの製造方法を説明するための断面図である。

【 図 1 4 】 図 1 3 に続く工程を表す断面図である。

【 図 1 5 】 図 1 4 に続く工程を表す断面図である。

30

【 図 1 6 】 各実施の形態の表示装置の周辺回路を含む全体構成を表す図である。

【 図 1 7 】 図 1 6 に示した表示装置の画素回路構成を表す図である。

【 図 1 8 】 図 1 6 に示した表示装置を含むモジュールの概略構成を表す平面図である。

【 図 1 9 】 適用例 1 の外観を表す斜視図である。

【 図 2 0 】 (A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【 図 2 1 】 適用例 3 の外観を表す斜視図である。

【 図 2 2 】 適用例 4 の外観を表す斜視図である。

【 図 2 3 】 (A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

40

【 図 2 4 】 適用例 5 の外観を表す斜視図である。

【 発明を実施するための形態 】

【 0 0 1 9 】

以下、本開示の実施の形態について図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

- 1 . 第 1 の実施の形態 (ソース・ドレイン電極形成後に、低抵抗な酸化物膜の一部を高抵抗化することで、チャンネルとしての酸化物半導体層を形成する薄膜トランジスタの例)
- 2 . 変形例 1 (高抵抗化処理を保護膜形成時に行う場合の例)
- 3 . 第 2 の実施の形態 (酸化物膜の一部を結晶化させることにより酸化物半導体層を形成

50

する薄膜トランジスタの例)

4. 適用例 (表示装置, 電子機器の例)

【0020】

<第1の実施の形態>

[構成]

図1は、本開示の第1の実施の形態に係る薄膜トランジスタ(薄膜トランジスタ10A)の断面構造を表すものである。薄膜トランジスタ10Aは、例えばアクティブマトリクス型の有機EL表示装置(後述)や液晶表示装置の駆動素子として用いられるものである。この薄膜トランジスタ10Aでは、ゲート電極12Aの一面側に、ゲート絶縁膜13を介して酸化物半導体層14Cが配置され、この酸化物半導体層14Cに電氣的に接続されるように一対のソース・ドレイン電極15A, 15Bが設けられている。

10

【0021】

ここでは、薄膜トランジスタ10Aは、いわゆるボトムゲート構造(逆スタガー構造)を有しており、例えばガラス等よりなる基板11上の選択的な領域にゲート電極12Aを備えている。ゲート電極12Aを覆うように基板11の全面に渡ってゲート絶縁膜13が形成され、ゲート絶縁膜13上の選択的な領域(ゲート電極12Aに対向する領域)には、酸化物半導体層14Cが形成されている。酸化物半導体層14Cよりも上層には、ソース・ドレイン電極15A, 15Bが配設されており、これらの酸化物半導体層14Cおよびソース・ドレイン電極15A, 15Bを覆うように、保護膜16が設けられている。

20

【0022】

本実施の形態の薄膜トランジスタ10Aでは、酸化物半導体層14Cが、ソース・ドレイン電極15A, 15Bに非対向の領域(ソース・ドレイン電極15A, 15Bから露出した領域)に形成されている。ゲート絶縁膜13上には、この酸化物半導体層14Cに隣接すると共に、ソース・ドレイン電極15A, 15Bの各々と対向する領域に、低抵抗酸化物層14A, 14Bが設けられている。即ち、本実施の形態では、酸化物半導体層14Cとソース・ドレイン電極15A, 15Bの各々とは、低抵抗酸化物層14A, 14Bを介して電氣的に接続されている。

【0023】

薄膜トランジスタ10Aには、また、基板11上の任意の領域に、ゲート電極12Aと同層に設けられた電極または配線(ゲート層)と、ソース・ドレイン電極15A, 15Bと同層に設けられた電極または配線(ソース・ドレイン層)との層間接続のためのコンタクト部(配線コンタクト部20)が設けられている。配線コンタクト部20において、ゲート絶縁膜13は、ゲート電極12Aと同層に設けられた配線層12B上にコンタクトホールHを有している。このコンタクトホールHの内部を覆って、低抵抗酸化物層14Bが形成されており、更に、このコンタクトホールH上に、低抵抗酸化物層14Bを介してソース・ドレイン電極15Bが設けられている。以下、各構成要素について説明する。

30

【0024】

ゲート電極12Aは、薄膜トランジスタ10Aに印加されるゲート電圧(V_g)によって酸化物半導体層14C中のキャリア密度を制御するものである。このゲート電極12Aは、例えばモリブデン(Mo), アルミニウム, 銀(Ag)および銅(Cu)のうちの1種からなる単体もしくは合金、もしくはこれらのうちの2種以上からなる積層膜である。アルミニウム合金としては、例えばアルミニウムとネオジウム(Nd)との合金(AlNd合金)が挙げられる。ゲート電極12Aは、あるいはITO(酸化インジウム錫)、AZO(アルミニウムドープ酸化亜鉛)およびGZO(ガリウムドープ酸化亜鉛)等の透明導電膜から構成されていてもよい。

40

【0025】

配線層12Bは、例えばゲート電極12Aと同層に設けられ、かつゲート電極12Aと同一材料により構成されている。これらの配線層12Bおよびゲート電極12Aは、互いに同一の工程において、一括してパターン形成される。この配線層12Bは、例えば後述の表示装置における駆動回路に設けられた、いずれかの配線に相当するものである。こ

50

で、駆動回路内には、後述するように、複数のトランジスタ、キャパシタ、およびそれらを接続する配線が設けられるが、これらのうちの電極および配線はいずれも、ゲート層またはソース・ドレイン層に配設される。つまり、ゲート層およびソース・ドレイン層の各層では、複雑な配線のレイアウトを実現するために、トランジスタのゲート、ソースおよびドレインとして機能する電極だけでなく、他の様々な配線を引き回したり、配線同士を層間接続させたりする必要がある。例えば、より厚膜（即ち低抵抗）な金属を使用可能なソース・ドレイン層において、配線を引き回すのが理想であるが、このソース・ドレイン層には、多くの信号線が張り巡らされている。そのため、ソース・ドレイン層からゲート層に配線の形成領域をシフトさせることで、様々な配線を交差させて設けることができ、複雑な配線のレイアウトを実現可能となる。配線層 1 2 B および配線コンタクト部 2 0 は、そのようなソース・ドレイン層とゲート層とのコンタクト部分（ブリッジ）に相当する。

10

【 0 0 2 6 】

ゲート絶縁膜 1 3 は、例えば酸化シリコン（ SiO_x ）、窒化シリコン（ SiN ）および酸化窒化シリコン（ SiON ）等のうちの 1 種よりなる単層膜、または 2 種以上よりなる積層膜である。

【 0 0 2 7 】

酸化物半導体層 1 4 C は、活性層（チャネル）として機能する（ゲート電圧の印加によりチャネルを形成する）ものであり、例えばインジウム（ In ）、ガリウム（ Ga ）、スズ（ Sn ）および亜鉛（ Zn ）等のうちの 1 種または 2 種以上の混合物の酸化物よりなる。このような酸化物としては、例えば、酸化インジウムガリウム亜鉛（ IGZO 、 InGaZnO ）が挙げられる。この酸化物半導体層 1 4 C の厚みは、例えば $20\text{nm} \sim 100\text{nm}$ である。この酸化物半導体層 1 4 C は、詳細は後述するが、低抵抗酸化物層 1 4 A、1 4 B を構成する酸化物膜（低抵抗酸化物膜 1 4）の一部が高抵抗化されることにより形成されたものである（高抵抗化された部分に相当する）。

20

【 0 0 2 8 】

低抵抗酸化物層 1 4 A、1 4 B は、酸化物半導体層 1 4 C と互いに同一の酸化物により構成され、酸化物半導体層 1 4 C と同等の厚みを有する。この低抵抗酸化物層 1 4 A、1 4 B は、詳細は後述するが、後述の酸化物膜（低抵抗酸化物膜 1 4）の一部が高抵抗化された後（酸化物半導体層 1 4 C の形成後）、高抵抗化されることなく残存した他の領域に相当するものである。このため、低抵抗酸化物層 1 4 A、1 4 B では、酸化物半導体層 1 4 C よりも電気抵抗率が低くなっており、具体的には、 $20\mu\text{m} \sim 40\mu\text{m}$ 程度である。このような低抵抗酸化物層 1 4 A、1 4 B 上に、ソース・ドレイン電極 1 5 A、1 5 B が積層されており、これらの基板面に沿った面形状は略等しくなっている。これにより、低抵抗酸化物層 1 4 A、1 4 B は、酸化物半導体層 1 4 C とソース・ドレイン電極 1 5 A、1 5 B との電氣的なコンタクト層として機能する。

30

【 0 0 2 9 】

これらの酸化物半導体層 1 4 C および低抵抗酸化物層 1 4 A、1 4 B を構成する上記酸化物は、ソース・ドレイン電極 1 5 A、1 5 B のパターニング時に使用する薬液に対して耐性を有している。例えば、薬液として、PAN 系（リン酸 - 酢酸 - 硝酸系）、フッ酸系または塩酸系のものが用いられる場合には、それぞれ使用される薬液に対してエッチング耐性を有していればよい。あるいは、酸化物半導体層 1 4 C およびソース・ドレイン電極 1 5 A、1 5 B の各構成材料が、ウェットエッチング選択性が得られない組み合わせである場合には、ドライエッチングのガスを適当に選択することにより、選択的な加工が可能である。また、本実施の形態では、このような酸化物が、結晶性（結晶化可能な性質）を有しておらず、酸化物半導体層 1 4 C および低抵抗酸化物層 1 4 A、1 4 B のいずれも非晶質となっている。

40

【 0 0 3 0 】

ソース・ドレイン電極 1 5 A、1 5 B は、ソース電極またはドレイン電極として機能するものであり、ここでは、一方がソース電極、他方がドレイン電極となっている。このソ

50

ース・ドレイン電極 15 A, 15 B の構成材料としては、上記ゲート電極 12 A において列挙したものと同等の金属または透明導電膜が挙げられるが、例えば厚み 50 nm のチタン (Ti)、厚み 200 nm ~ 1 μm のアルミニウム (Al) および厚み 50 nm のモリブデン (Mo) を積層した 3 層膜から構成されている。

【0031】

保護膜 16 は、例えば酸化アルミニウム (AlO_x) または酸化シリコン (SiO_x) よりなり、薄膜トランジスタ 10 A 内部を保護すると共に、酸化物半導体層 14 C への外気 (例えば水素) の混入を抑制するものである。

【0032】

[製造方法]

図 2 ~ 図 6 は、薄膜トランジスタ 10 A の製造方法を説明するための断面図である。薄膜トランジスタ 10 A は、例えば次のようにして製造することができる。

【0033】

まず、図 2 (A) に示したように、ゲート電極 12 A, 配線層 12 B を形成した後、ゲート絶縁膜 13 を成膜する。具体的には、まず、基板 11 上の全面に、上述した材料よりなる金属膜を、例えばスパッタリング法 (以下、単に「スパッタ法」という) あるいは CVD (Chemical Vapor Deposition ; 化学気相成長) 法により堆積させた後、例えばフォトリソグラフィ法を用いたエッチングによりパターンニングする。これにより、基板 11 上の選択的な領域にゲート電極 12 A および配線層 12 B を形成する。続いて、基板 11 上の全面に渡って、例えば CVD 法により、ゲート絶縁膜 13 を成膜する。この際、原料ガスとしては、ゲート絶縁膜 13 としてシリコン窒化膜を形成する場合には、例えばシラン (SiH_4)、アンモニア (NH_3)、窒素を含む混合ガスを用いる。あるいは、ゲート絶縁膜 13 としてシリコン酸化膜を形成する場合には、例えばシランおよび一酸化二窒素 (N_2O) を含む混合ガスを用いる。

【0034】

次いで、図 2 (B) に示したように、成膜したゲート絶縁膜 13 の配線層 12 B 上の領域 (配線層 12 B に対向する領域) に、例えばフォトリソグラフィ法を用いたエッチングによりコンタクトホール H を形成する。尚、このコンタクトホール H は、ゲート層に設けられた配線層 12 B と、ソース・ドレイン層に設けられた配線 (ここでは、ソース・ドレイン電極 15 A, 15 B) との間において、良好な電氣的接続が得られるように加工されることが望ましい。

【0035】

次に、図 3 (A) に示したように、酸化物膜 14 (後工程において最終的に酸化物半導体層 14 C および低抵抗酸化物層 14 A, 14 B となる膜) を、例えばスパッタ法により、基板 11 の全面にわたって成膜する。この際、酸化物膜 14 は、コンタクトホール H の内部までも覆って形成する。尚、スパッタ法を用いて成膜することにより、大型基板への成膜やプロセスの低温化が可能となり、シリコン系の薄膜トランジスタの製造ラインで使用されている既存の設備を利用できる、といった利点がある。

【0036】

具体的には、酸化物として IGZO を用いる場合には、IGZO のセラミックをターゲットとした反応性スパッタ (DC スパッタ, RF スパッタ あるいは AC スパッタ) を行う。例えば、スパッタ装置において、チャンパー内を所定の真空度 (例えば、 1×10^{-4} Pa 以下) となるまで排気した後、ターゲットおよび基板 11 を配置し、例えばアルゴン (Ar) と酸素 (O_2) の混合ガスを導入してプラズマ放電させる。これにより、ゲート絶縁膜 13 上に、IGZO よりなる酸化物膜 14 が堆積する。

【0037】

但し、この際、成膜される酸化物膜 14 が低い電気抵抗率を示すように、上記スパッタの各条件を調整する。具体的には、スパッタ出力 (パワー)、酸素濃度、水蒸気濃度およびスパッタ背圧のうちの少なくとも 1 つを調整することにより、成膜材料中の金属元素の組成比や結晶性を変化させ、電気抵抗率 (キャリア密度) を制御することができる。特に

10

20

30

40

50

、上記各条件のうち、酸素濃度を低く設定することにより、低抵抗を実現し易い。この酸化物膜14の一部が、最終的に低抵抗酸化物層14A, 14Bとなるため、酸化物膜14の成膜直後の電気抵抗率が、上述した低抵抗酸化物層14A, 14Bの電気抵抗率となる(酸化物膜14および低抵抗酸化物層14A, 14Bの電気抵抗率は同等である)。

【0038】

次いで、図3(B)に示したように、金属層15(ソース・ドレイン電極15A, 15B)を成膜する。具体的には、酸化物膜14上に、上述した電極材料(例えばチタン, アルミニウム, モリブデン)をこの順に、例えばスパッタ法により堆積させることにより、金属層15(ソース・ドレイン電極15A, 15B)を成膜する。

【0039】

この金属層15の成膜工程は、上記酸化物膜14の成膜工程に連続して行い、即ち、酸化物膜14をパターニングする前に、ソース・ドレイン電極15A, 15Bとなる金属層15を成膜する。

【0040】

続いて、図4に示したように、金属層15を、例えばフォトリソグラフィ法を用いたウェットエッチングまたはドライエッチングによりパターニングし、ソース・ドレイン電極15A, 15Bを形成する。この際、下層の酸化物膜14とエッチング選択比をとることが可能な条件において、エッチングを行う。例えば、PAN系、フッ酸系または塩酸系等の、酸化物膜14が耐性を有する薬液を用いて、エッチングを行う。このようにして、酸化物膜14上において、ソース・ドレイン電極15A, 15Bのみを選択的にパターニングする。尚、この際、ソース・ドレイン電極15Bの一部をコンタクトホールH上の領域に残存させることにより、ソース・ドレイン電極15Bが、酸化物膜14(低抵抗酸化物層14B)を介して配線層12Bに電氣的に接続される。

【0041】

次いで、図5に示したように、酸化物膜14を、例えばフォトリソグラフィ法を用いたエッチングにより、例えば島形状にパターニングする。これにより、酸化物膜14を、ソース・ドレイン電極15A, 15Bと、これらのソース・ドレイン電極15A, 15B間の領域にのみ残存させ、他の領域との導通を防ぐことができる。但し、後の高抵抗化処理が施された状態において特に支障が生じない場合には、酸化物膜14はパターニングしなくともよく、基板11上の全面に形成されていてもよい。あるいは、後の保護膜16の形成工程において、保護膜16と共に酸化物膜14をパターニングしてもよい。

【0042】

この後、図6に示したように、酸化物膜14の選択的な領域、具体的には、ソース・ドレイン電極15A, 15B間のソース・ドレイン電極15A, 15Bから露出した領域に対し、高抵抗化処理を施す。例えば、酸化雰囲気において、加熱処理あるいはプラズマ処理を施すことにより、高抵抗化が可能である。この際、先に形成したソース・ドレイン電極15A, 15Bがマスクとなり、上記選択的な領域が酸化されて高抵抗化され、この高抵抗化された部分が酸化物半導体層14Cとなる。一方、酸化物膜14のうちのソース・ドレイン電極15A, 15Bに対向する領域では、酸素雰囲気に曝されないために、高抵抗化されず、酸化物膜14の電気抵抗率が維持される。また、コンタクトホールH内に延在形成された部分についても、ソース・ドレイン電極15A, 15Bによってマスクされるため、低抵抗が保持される。これらの高抵抗化されなかった部分(低抵抗が保持された部分)が、低抵抗酸化物層14A, 14Bとなる。このようにして、ソース・ドレイン電極15A, 15Bの形成後に、酸化物膜14の選択的な領域を高抵抗化させることにより、酸化物半導体層14Cを形成することができる。また、同時に、酸化物半導体層14Cとソース・ドレイン電極15A, 15Bとのコンタクト層となる低抵抗酸化物層14A, 14Bを形成することができる。

【0043】

最後に、保護膜16を形成する。具体的には、上述した材料よりなる酸化膜を、例えばスパッタ法またはCVD法により、基板11の全面にわたって成膜する。例えば、酸化ア

10

20

30

40

50

ルミニウムを用いる場合には、スパッタ法を用い、例えばアルミニウムもしくは酸化アルミニウムをターゲットとして使用して、アルゴンと酸素の混合ガスによるプラズマ放電を行って形成する。あるいは、酸化シリコンを用いる場合には、CVD法により、例えばシランおよび一酸化二窒素を含むガス雰囲気において成膜を行う。この後、保護膜16を、例えばフォトリソグラフィ法を用いたエッチングにより、所望の形状にパターンニングする。以上により、図1に示した薄膜トランジスタ10Aを完成する。

【0044】

[作用、効果]

本実施の形態では、薄膜トランジスタ10Aの製造プロセスにおいて、ソース・ドレイン電極15A、15Bに非対向な領域に酸化物半導体層14Cを形成する一方、ソース・ドレイン電極15A、15Bの各々に対向し、かつ酸化物半導体層14Cに隣接する領域に、低抵抗酸化物層14A、14Bを形成する。これにより、酸化物半導体層14Cの形成をソース・ドレイン電極15A、15Bの形成後に行うことができる。ここで、酸化物半導体では、一般に、電極の成膜時やパターンニング時に受けるダメージにより酸素が離脱し、これによって格子欠陥を生じるが、本実施の形態のように電極形成後に酸化物半導体層14Cが形成されることで、そのような格子欠陥の発生が抑制され、酸化物半導体層の劣化が抑制される。また、酸化物半導体層14Cに隣接して低抵抗酸化物層14A、14Bが形成されることにより、酸化物半導体層14Cとソース・ドレイン電極15A、15Bとの良好な電氣的接続が確保される。

【0045】

図7に、薄膜トランジスタ10Aの電気特性の一例を示す。図中実線は、高抵抗化処理を行った（酸化物半導体層14Cを有する）薄膜トランジスタのIV特性（ドレイン電流 I_{ds} とゲート電圧 V_{gs} との関係）を示し、図中破線は、高抵抗化処理をせずに作製した（酸化物膜14をそのままチャネルに用いた）薄膜トランジスタのIV特性を示している。また、酸化物半導体層14Cとしては、スパッタ成膜時の酸素分圧を0%として、膜厚40nmのIGZOを成膜し、パターンニング後に、酸素雰囲気において加熱処理（300、2時間）を行った。このように、高抵抗化処理を施すことにより、特に、オフ動作時のドレイン電流が抑制され、トランジスタ動作を示すことがわかる。

【0046】

また、本実施の形態では、酸化物半導体層14Cおよび低抵抗酸化物層14A、14Bとなる酸化物膜14と、ソース・ドレイン電極15A、15Bとなる金属層15とを連続成膜した後、金属層15をパターンニングしてソース・ドレイン電極15A、15Bを形成する。この後、ソース・ドレイン電極15A、15Bをマスクとした高抵抗化処理を行うことで、上記のような酸化物半導体層14Cおよび低抵抗酸化物層14A、14Bを形成することができる。

【0047】

ここで、本実施の形態の比較例に係る薄膜トランジスタ（薄膜トランジスタ100）について説明する。図8は、薄膜トランジスタ100の断面構造を表したものであり、図9は、その製造方法を説明するためのものである。薄膜トランジスタ100においても、本実施の形態と同様、基板11上において、ゲート電極102Aおよび配線層102Bを覆うように、ゲート絶縁膜103が形成され、このゲート絶縁膜103には、配線層102Bに対向してコンタクトホールHが設けられている。但し、比較例では、ゲート絶縁膜103上の選択的な領域（ゲート電極102Aに対向する領域）にのみ、酸化物半導体層104がパターン形成されており、この酸化物半導体層104の一部に重畳して、ソース・ドレイン電極105A、105Bが設けられている。コンタクトホールHには、ソース・ドレイン電極105Bのみが埋め込まれており、これにより配線層102Bと、ソース・ドレイン電極105Bとの電氣的接続が確保されている。

【0048】

このような比較例の薄膜トランジスタ100の製造プロセスでは、ゲート絶縁膜103の形成後、図8(A)に示したように、酸化物半導体層104を形成する。この際、まず

、基板 10 の全面にわたって酸化物半導体膜を成膜した後、フォトリソグラフィ法を用いたエッチングによりパターニングする工程を経る。この後、図 8 (B) に示したように、ソース・ドレイン電極 105 A , 105 B を形成するが、この際も、成膜工程およびパターニング工程を順に行う。従って、比較例のような製造プロセスでは、酸化物半導体層 104 とソース・ドレイン電極 105 A , 105 B とのスパッタリングによる成膜プロセスがそれぞれ必要となり、コスト高となり易い。

【 0049 】

本実施の形態では、上述のように、低抵抗な状態で酸化物膜 14 を予め成膜しておき、ソース・ドレイン電極 15 A , 15 B の形成後において、これらのソース・ドレイン電極 15 A , 15 B をマスクとして酸化処理（高抵抗化処理）を行う。これにより、酸化物膜 14 のうち、必要な部分のみを選択的に高抵抗化し、チャンネルとして機能する酸化物半導体層 14 C を形成することができる。また、酸化物膜 14 のうち、酸化物半導体層 14 C に隣接すると共に、ソース・ドレイン電極 15 A , 15 B に対向する領域では、低抵抗状態が維持され、良好なコンタクト層となる。一般的な製造プロセスに比べ、スパッタリングによる成膜プロセスが削減され、低コスト化を図ることもできる。

10

【 0050 】

また、上記比較例では、酸化物半導体層 104 がコンタクトホール H 内を覆ってしまうと、配線層 102 B とソース・ドレイン電極 105 B との電氣的接続を確保しにくくなることから、パターニング時にコンタクトホール H 内に成膜された半導体材料を除去する必要がある。これに対し、本実施の形態では、酸化物膜 14 を予め低抵抗な状態で成膜しておくことから、コンタクトホール H 内から除去する必要がなく、パターニングも不要である。

20

【 0051 】

以上説明したように、本実施の形態では、ソース・ドレイン電極 15 A , 15 B に非対向な領域に酸化物半導体層 14 C を設け、ソース・ドレイン電極 15 A , 15 B の各々に対向し、かつ酸化物半導体層 14 C に隣接する領域に、低抵抗酸化物層 14 A , 14 B を設けたので、製造プロセスにおける酸化物半導体層 14 C の劣化を抑制できる。また、低抵抗酸化物層 14 A , 14 B により、酸化物半導体層 14 C とソース・ドレイン電極 15 A , 15 B との良好な電氣的接続を確保することができる。よって、電氣的特性の向上を実現可能となる。

30

【 0052 】

以下、上記第 1 の実施の形態の変形例および他の実施の形態について説明する。尚、上記第 1 の実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

【 0053 】

< 変形例 1 >

上記第 1 の実施の形態では、製造プロセスにおいて、酸化物膜 14 の高抵抗化を、酸化雰囲気における加熱処理あるいはプラズマ処理によって、保護膜 16 の形成前に行ったが、本変形例のように、高抵抗化処理を、保護膜 16 の形成過程において行ってもよい。即ち、上述のように、保護膜 16 は、例えば酸素ガスを用いたスパッタ法、あるいは一酸化二窒素を含むガスを用いた CVD 法により、成膜する。このため、図 10 に示したように、保護膜 16 の成膜雰囲気（酸素雰囲気）に、酸化物膜 14 を曝すことにより、酸化物膜 14 を選択的に酸化することができる。即ち、保護膜 16 の形成工程が、上記第 1 の実施の形態における酸化工程（高抵抗化工程）を兼ねることができる。これにより、図 11 に示したように、保護膜 16 の形成と同時に、酸化物半導体層 14 C および低抵抗酸化物層 14 A , 14 B をそれぞれ形成可能となる。

40

【 0054 】

< 第 2 の実施の形態 >

図 12 は、本開示の第 2 の実施の形態に係る薄膜トランジスタ（薄膜トランジスタ 10 B）の断面構造を表すものである。薄膜トランジスタ 10 B は、上記第 1 の実施の形態の

50

薄膜トランジスタ10Aと同様、ボトムゲート構造を有し、ゲート絶縁膜13上において、ソース・ドレイン電極15A, 15Bに非対向な領域に酸化物半導体層17Cが形成されたものである。また、この酸化物半導体層17Cに隣接し、かつソース・ドレイン電極15A, 15Bに対向する領域には、低抵抗酸化物層17A, 17Bが形成されている。

【0055】

酸化物半導体層17Cおよび低抵抗酸化物層17A, 17Bは、上記第1の実施の形態の酸化物半導体層14Cと同様の元素(インジウム等)を含む酸化物から構成されている。また、低抵抗酸化物層17A, 17Bは、酸化物半導体層17Cよりも低い電気抵抗率を示し、低抵抗酸化物層17Bは、コンタクトホールH内を覆って形成されている。

【0056】

但し、本実施の形態では、酸化物半導体層17Cおよび低抵抗酸化物層17A, 17Bを構成する酸化物として、結晶性(結晶化可能な性質)を有するものが用いられる。製造プロセスにおいて、非晶質状態で成膜された後、ソース・ドレイン電極15A, 15Bの形成後に、選択的な領域において結晶化されるようになっている。これにより、酸化物半導体層17Cでは、結晶化された状態を有し、低抵抗酸化物層17A, 17Bでは、非晶質状態を有している。以下、本実施の形態の製造プロセスについて説明する。

【0057】

具体的には、まず、上記第1の実施の形態と同様にして、基板11上に、ゲート電極12Aおよび配線層12Bを形成した後、コンタクトホールHを有するゲート絶縁膜13を成膜する。この後、図13に示したように、ゲート絶縁膜13上に、酸化物膜17および金属層15を、例えば上述したようなスパッタ法により連続成膜する。この際、酸化物膜17は、低い電気抵抗率を示し、かつ非晶質状態で成膜されるように、スパッタ条件を調整する。

【0058】

続いて、図14に示したように、上記第1の実施の形態と同様にして、金属層15のパターニングを行って、ソース・ドレイン電極15A, 15Bを形成した後、酸化物膜17をパターニングする。

【0059】

この後、図15に示したように、酸化物膜17の選択的な領域、具体的には、ソース・ドレイン電極15A, 15B間のソース・ドレイン電極15A, 15Bから露出した領域に対し、高抵抗化処理を施す。例えば、酸化雰囲気において、加熱処理あるいはプラズマ処理を施すことにより、非晶質状態にあった酸化物膜17の上記選択的な領域を酸素雰囲気に曝しつつ、結晶化させ、これにより高抵抗化させることが可能である。この際、上記第1の実施の形態と同様、先に形成したソース・ドレイン電極15A, 15Bがマスクとなり、上記選択的な領域が高抵抗化され、この高抵抗化された部分が酸化物半導体層17Cとなる。一方、酸化物膜17のうちのソース・ドレイン電極15A, 15Bに対向する領域では、その一部が結晶化される可能性もあるが、仮に結晶化されたとしても、酸素雰囲気には曝されないために、十分な低抵抗率を保持することができる。この高抵抗化に寄与しなかった部分が、低抵抗酸化物層17A, 17Bとなる。このようにして、本実施の形態においても、ソース・ドレイン電極15A, 15Bの形成後に、酸化物膜17の選択的な領域を高抵抗化させることにより、酸化物半導体層17Cを形成すると共に、コンタクト層としての低抵抗酸化物層14A, 14Bを形成することができる。

【0060】

最後に、上記第1の実施の形態と同様にして、保護膜16を形成することにより、図12に示した薄膜トランジスタ10Bを完成する。

【0061】

上記のように、結晶性を有する酸化物を用いて酸化物膜17を成膜し、この酸化物膜17を選択的に結晶化させることにより、高抵抗化させることもできる。このような場合であっても、低抵抗酸化物層17A, 17Bでは、酸化物膜17とほぼ同等の電気抵抗率を保持できるため、上記第1の実施の形態と同等の効果を得ることができる。

10

20

30

40

50

【 0 0 6 2 】

< 適用例 >

[表示装置]

次に、上記各実施の形態および変形例に係る薄膜トランジスタ（薄膜トランジスタ 1 0 A , 1 0 B ）は、例えば以下に説明するような表示装置および電子機器に適用可能である。図 1 6 は、有機 E L ディスプレイとして用いられる表示装置の周辺回路を含む全体構成を表すものである。このように、例えば基板 1 1 上には、有機 E L 素子を含む複数の画素 P X L C がマトリクス状に配置されてなる表示領域 3 0 が形成され、この表示領域 3 0 の周辺に、信号線駆動回路としての水平セクタ（H S E L ） 3 1 と、走査線駆動回路としてのライトスキャナ（W S C N ） 3 2 と、電源線駆動回路としての電源スキャナ（D S C N ） 3 3 とが設けられている。

10

【 0 0 6 3 】

表示領域 3 0 において、列方向には複数（整数 n 個）の信号線 D T L 1 ~ D T L n が配置され、行方向には、複数（整数 m 個）の走査線 W S L 1 ~ W S L m および電源線 D S L 1 ~ D S L m がそれぞれ配置されている。また、各信号線 D T L と各走査線 W S L との交差点に、各画素 P X L C （ R 、 G 、 B に対応する画素のいずれか 1 つ）が設けられている。各信号線 D T L は水平セクタ 3 1 に接続され、この水平セクタ 3 1 から各信号線 D T L へ映像信号が供給されるようになっている。各走査線 W S L はライトスキャナ 3 2 に接続され、このライトスキャナ 3 2 から各走査線 W S L へ走査信号（選択パルス）が供給されるようになっている。各電源線 D S L は電源スキャナ 3 3 に接続され、この電源スキャナ 3 3 から各電源線 D S L へ電源信号（制御パルス）が供給されるようになっている。

20

【 0 0 6 4 】

図 1 7 は、画素 P X L C における具体的な回路構成例を表したものである。各画素 P X L C は、有機 E L 素子 3 D を含む画素回路 4 0 を有している。この画素回路 4 0 は、サンプリング用トランジスタ 3 A および駆動用トランジスタ 3 B と、保持容量素子 3 C と、有機 E L 素子 3 D とを有するアクティブ型の駆動回路である。これらのうち、トランジスタ 3 A （またはトランジスタ 3 B ）が、上記実施の形態等の薄膜トランジスタ 1 0 A , 1 0 B に相当する。

【 0 0 6 5 】

サンプリング用トランジスタ 3 A は、そのゲートに対応する走査線 W S L に接続され、そのソースおよびドレインのうち的一方に対応する信号線 D T L に接続され、他方が駆動用トランジスタ 3 B のゲートに接続されている。駆動用トランジスタ 3 B は、そのドレインに対応する電源線 D S L に接続され、ソースが有機 E L 素子 3 D のアノードに接続されている。また、この有機 E L 素子 3 D のカソードは、接地配線 5 H に接続されている。なお、この接地配線 5 H は、全ての画素 P X L C に対して共通に配線されている。保持容量素子 3 C は、駆動用トランジスタ 3 B のソースとゲートとの間に配置されている。

30

【 0 0 6 6 】

サンプリング用トランジスタ 3 A は、走査線 W S L から供給される走査信号（選択パルス）に応じて導通することにより、信号線 D T L から供給される映像信号の信号電位をサンプリングし、保持容量素子 3 C に保持するものである。駆動用トランジスタ 3 B は、所定の第 1 電位（図示せず）に設定された電源線 D S L から電流の供給を受け、保持容量素子 3 C に保持された信号電位に応じて、駆動電流を有機 E L 素子 3 D へ供給するものである。有機 E L 素子 3 D は、この駆動用トランジスタ 3 B から供給された駆動電流により、映像信号の信号電位に応じた輝度で発光するようになっている。

40

【 0 0 6 7 】

このような回路構成では、走査線 W S L から供給される走査信号（選択パルス）に応じてサンプリング用トランジスタ 3 A が導通することにより、信号線 D T L から供給された映像信号の信号電位がサンプリングされ、保持容量素子 3 C に保持される。また、上記第 1 電位に設定された電源線 D S L から駆動用トランジスタ 3 B へ電流が供給され、保持容量素子 3 C に保持された信号電位に応じて、駆動電流が有機 E L 素子 3 D （赤色、緑色お

50

よび青色の各有機EL素子)へ供給される。そして、各有機EL素子3Dは、供給された駆動電流により、映像信号の信号電位に応じた輝度で発光する。これにより、表示装置において、映像信号に基づく映像表示がなされる。

【0068】

上記のような薄膜トランジスタ10A, 10Bを用いた表示装置は、例えば次のような電子機器に適用可能である。電子機器としては、例えばテレビジョン装置, デジタルカメラ, ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラ等が挙げられる。言い換えると、上記表示装置は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

10

【0069】

(モジュール)

上記表示装置は、例えば図18に示したようなモジュールとして、後述の適用例1~6などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板11の一辺に、封止用基板60から露出した領域210を設け、この露出した領域210に、水平セクタ31、ライトスキャナ32および電源スキャナ33の配線を延長して外部接続端子(図示せず)を形成したものである。この外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC; Flexible Printed Circuit)220が設けられていてもよい。

【0070】

(適用例1)

図19は、テレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300が上記表示装置に相当する。

20

【0071】

(適用例2)

図20は、デジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、この表示部420が上記表示装置に相当する。

【0072】

(適用例3)

図21は、ノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、この表示部530が上記表示装置に相当する。

30

【0073】

(適用例4)

図22は、ビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有している。この表示部640が上記表示装置に相当する。

40

【0074】

(適用例5)

図23は、携帯電話機の外観を表したものである。この携帯電話機は、例えば上側筐体710と下側筐体720とを連結部(ヒンジ部)730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そして、これらのうちのディスプレイ740またはサブディスプレイ750が、上記表示装置に相当する。

【0075】

(適用例6)

50

図24は、スマートフォンの外観を表している。このスマートフォンは、例えば、表示部810および非表示部(筐体)820と、操作部830とを備えている。操作部830は、(A)に示したように非表示部820の前面に設けられていてもよいし、(B)に示したように上面に設けられていてもよい。

【0076】

以上、実施の形態および変形例を挙げて本開示を説明したが、本開示はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、ボトムゲート構造の薄膜トランジスタを例に挙げて説明したが、本開示の薄膜トランジスタは、トップゲート構造の薄膜トランジスタであってもよい。

【0077】

また、上記実施の形態等では、ソース・ドレイン電極とゲート配線層との配線コンタクト部を有する場合を例示したが、この配線コンタクト部は設けられていなくともよい。例えば、有機EL表示装置では、配線コンタクト部が形成されるが、液晶表示装置では、形成されないことが多い。

【0078】

更に、本開示の薄膜トランジスタは、上記実施の形態で説明した積層構造に限定されず、各層の材料や厚み、製造プロセス等も、上述したものに限定されない。

【0079】

尚、本開示内容は、以下のような構成であってもよい。

(1)

ゲート電極、ソース電極およびドレイン電極と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極に非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続された酸化物半導体層と、

前記酸化物半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に設けられ、かつ前記酸化物半導体層よりも電気抵抗率の低い低抵抗酸化物層と

を備えた薄膜トランジスタ。

(2)

前記ゲート電極上に、前記絶縁膜を介して、前記酸化物半導体層および前記低抵抗酸化物層が設けられ、

前記ソース電極および前記ドレイン電極は、前記低抵抗酸化物層上に設けられている
上記(1)に記載の薄膜トランジスタ。

(3)

前記酸化物半導体層および前記低抵抗酸化物層は、互いに同一の酸化物材料からなる
上記(1)または(2)に記載の薄膜トランジスタ。

(4)

前記低抵抗酸化物層は非晶質状態を有し、前記酸化物半導体層は、結晶化された状態を有する

上記(1)~(3)のいずれかに記載の薄膜トランジスタ。

(5)

前記酸化物材料は、前記ソース電極および前記ドレイン電極をパターンニングする際に用いる薬液に対して耐性を有する

上記(1)~(4)のいずれかに記載の薄膜トランジスタ。

(6)

前記絶縁膜は、前記ゲート電極と同層に設けられた配線層上に貫通孔を有し、
前記低抵抗酸化物層の一部は、前記貫通孔の内部を覆って形成されている

上記(1)~(5)のいずれかに記載の薄膜トランジスタ。

(7)

前記ソース電極または前記ドレイン電極は、前記貫通孔上に、前記低抵抗酸化物層を介

10

20

30

40

50

して設けられ、前記配線層と電気的に接続されている

上記(6)に記載の薄膜トランジスタ。

(8)

前記酸化物半導体層、前記ソース電極および前記ドレイン電極を覆って、保護膜が設けられている

上記(1)~(7)のいずれかに薄膜トランジスタ。

(9)

前記保護膜は酸化シリコン(SiO_x)または酸化アルミニウム(AlO_x)からなる

上記(8)に記載の薄膜トランジスタ。

(10)

ゲート電極、ソース電極およびドレイン電極を各々形成する工程と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極に非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電気的に接続される酸化物半導体層を形成する工程とを含み、

前記酸化物半導体層を形成する工程では、

前記酸化物半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に、前記酸化物半導体層よりも電気抵抗率の低い低抵抗酸化物層を形成する

薄膜トランジスタの製造方法。

(11)

前記ゲート電極を形成した後、

前記ゲート電極上に、前記絶縁膜を介して、一部が前記低抵抗酸化物層に対応する酸化物膜を成膜し、

成膜した酸化物膜上に、前記ソース電極および前記ドレイン電極を形成し、

前記ソース電極および前記ドレイン電極を形成した後、前記酸化物膜のうちの前記ソース電極および前記ドレイン電極から露出した選択的な領域に高抵抗化処理を施すことにより、前記酸化物半導体層を形成する

上記(10)に記載の薄膜トランジスタの製造方法。

(12)

前記高抵抗化処理として、酸素雰囲気における加熱処理を行う

上記(11)に記載の薄膜トランジスタの製造方法。

(13)

前記ソース電極および前記ドレイン電極を形成した後、酸素雰囲気において保護膜を形成する工程を含み、

前記保護膜の形成過程において、前記酸化物膜の前記選択的な領域を酸素雰囲気に曝すことにより、前記高抵抗化処理を行う

上記(11)または(12)に記載の薄膜トランジスタの製造方法。

(14)

前記保護膜として、酸化シリコン(SiO_x)または酸化アルミニウム(AlO_x)を形成する

上記(13)に記載の薄膜トランジスタの製造方法。

(15)

前記酸化物膜を非晶質状態となるように成膜し、

前記高抵抗化処理として、前記酸化物膜の前記選択的な領域を結晶化させる処理を行う

上記(11)に記載の薄膜トランジスタの製造方法。

(16)

前記酸化物膜は、前記ソース電極および前記ドレイン電極をパターンニングする際に用いる薬液に対して耐性を有する

上記(11)~(15)のいずれかに記載の薄膜トランジスタ。

(17)

10

20

30

40

50

前記絶縁膜のうちの前記ゲート電極と同層に設けられた配線層上に貫通孔を形成し、
前記酸化膜を、前記貫通孔の内部を覆って形成する
上記(11)～(16)のいずれかに記載の薄膜トランジスタの製造方法。

(18)

前記ソース電極または前記ドレイン電極を、前記貫通孔内または前記貫通孔上に、前記酸化膜を介して形成することにより、前記ソース電極または前記ドレイン電極を前記配線層と電氣的に接続させる

上記(17)に記載の薄膜トランジスタの製造方法。

(19)

ゲート電極、ソース電極およびドレイン電極と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極と非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続された酸化膜半導体層と、

前記酸化膜半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に設けられ、かつ前記酸化膜半導体層よりも電気抵抗率の低い低抵抗酸化膜層と

を備えた薄膜トランジスタを有する表示装置。

(20)

薄膜トランジスタを有する表示装置を備え、

前記薄膜トランジスタは、

ゲート電極、ソース電極およびドレイン電極と、

前記ゲート電極の一方の側に絶縁膜を介して設けられると共に、前記ソース電極および前記ドレイン電極と非対向な領域に設けられ、かつ前記ソース電極および前記ドレイン電極に電氣的に接続された酸化膜半導体層と、

前記酸化膜半導体層に隣接すると共に、前記ソース電極および前記ドレイン電極の各々に対向する領域に設けられ、かつ前記酸化膜半導体層よりも電気抵抗率の低い低抵抗酸化膜層と

を備えた電子機器。

【符号の説明】

【0080】

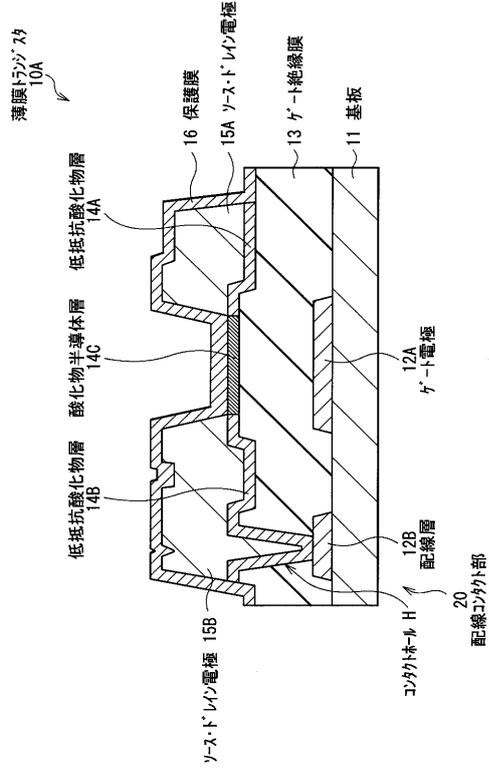
10A, 10B ... 薄膜トランジスタ、11 ... 基板、12A ... ゲート電極、13 ... ゲート絶縁膜、14C, 17C ... 酸化膜半導体層、14A, 14B, 17A, 17B ... 低抵抗酸化膜層、15A, 15B ... ソース・ドレイン電極、16 ... 保護膜、14 ... 酸化膜、15 ... 金属層、20 ... 配線コンタクト部、12B ... 配線層、H ... コンタクトホール。

10

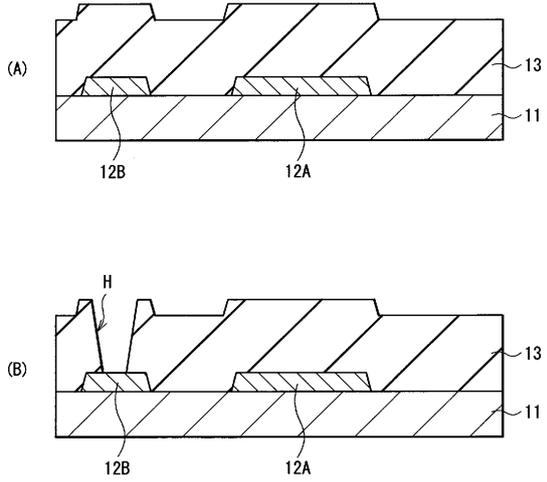
20

30

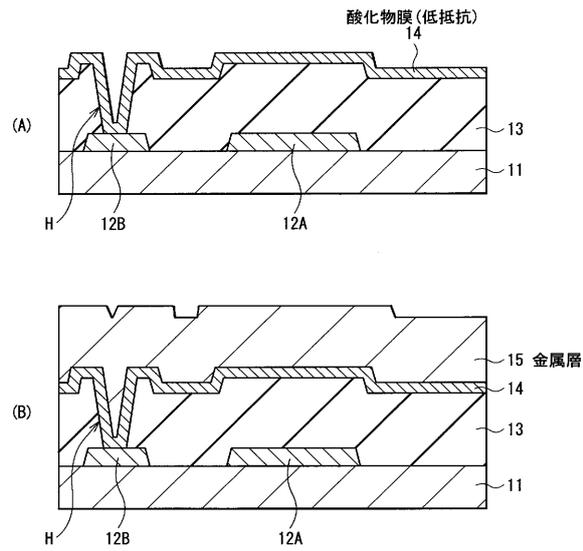
【図1】



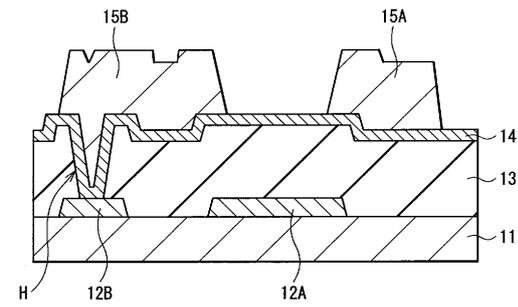
【図2】



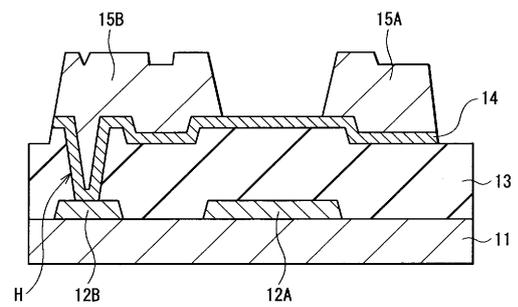
【図3】



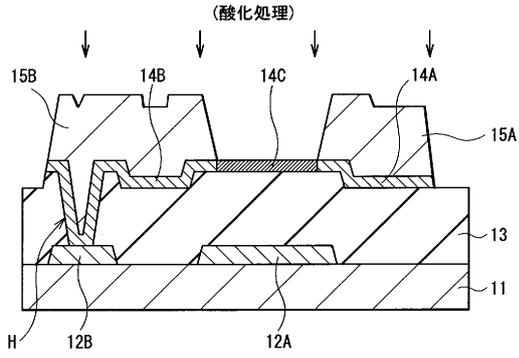
【図4】



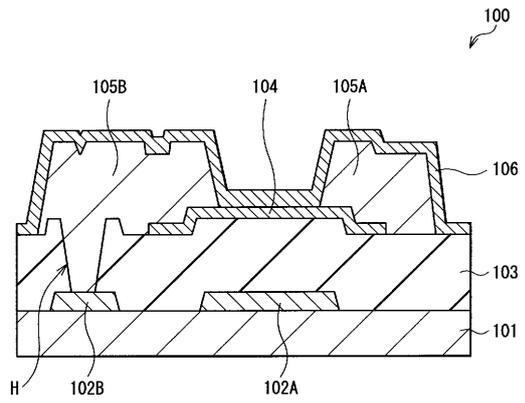
【図5】



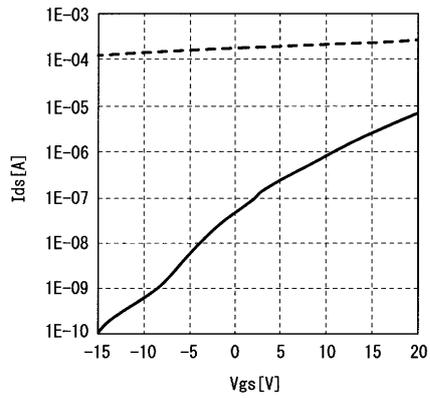
【 図 6 】



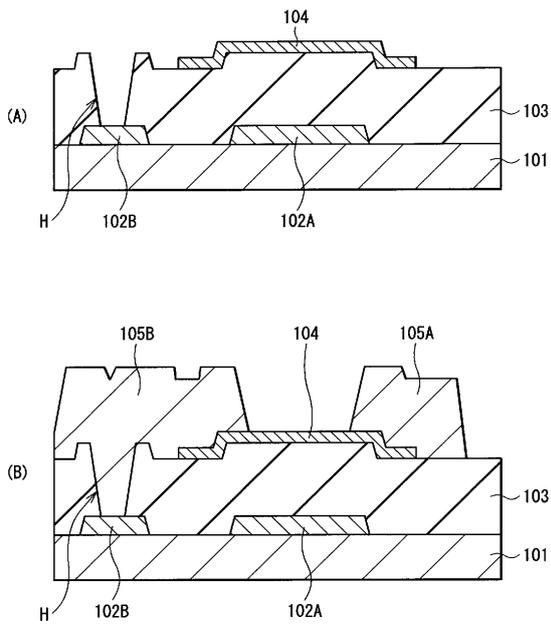
【 図 8 】



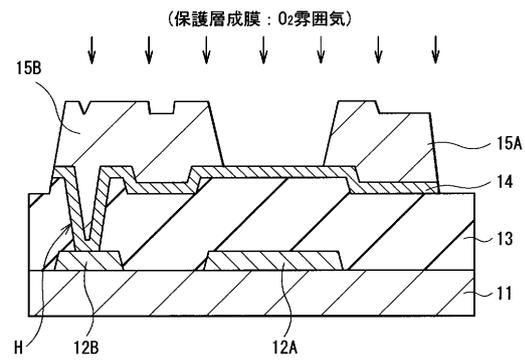
【 図 7 】



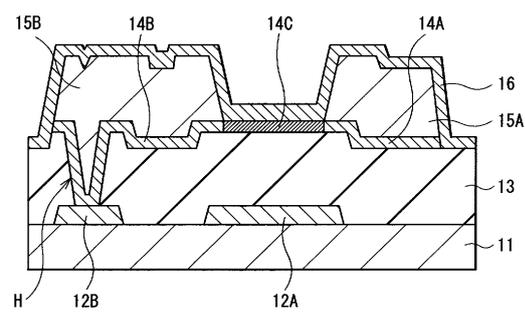
【 図 9 】



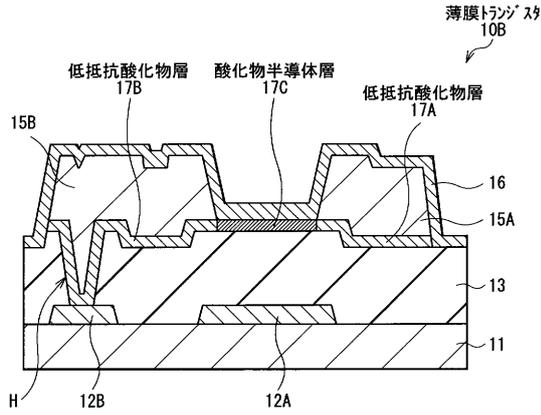
【 図 10 】



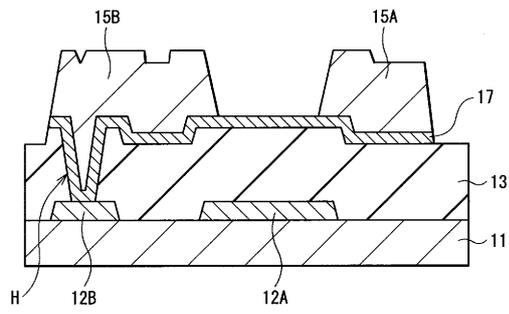
【 図 11 】



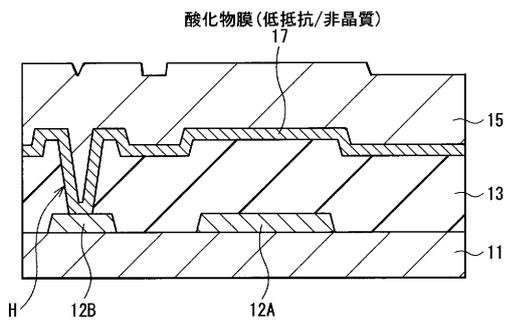
【図12】



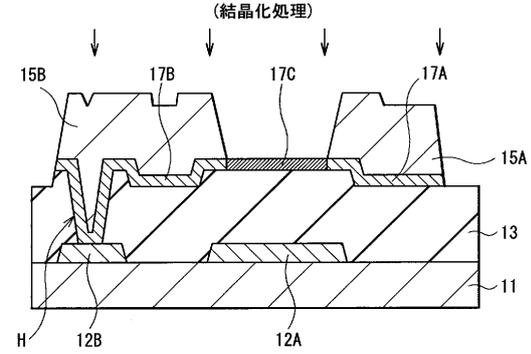
【図14】



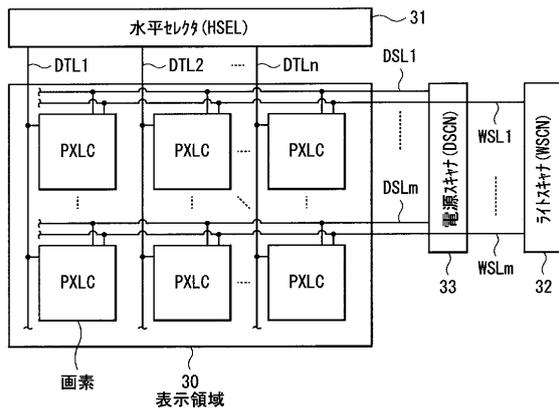
【図13】



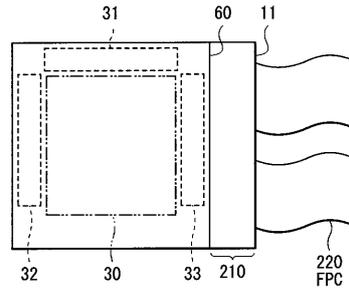
【図15】



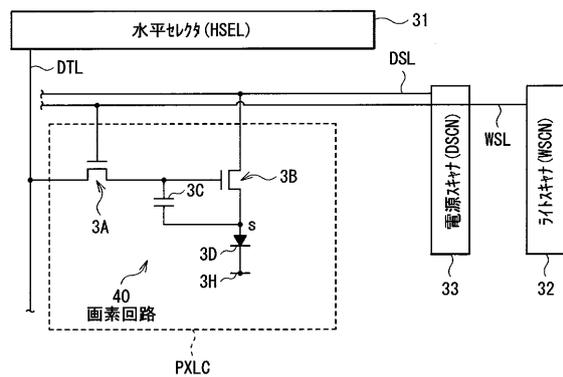
【図16】



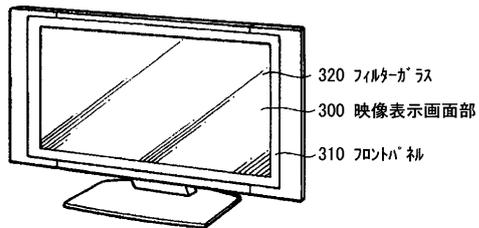
【図18】



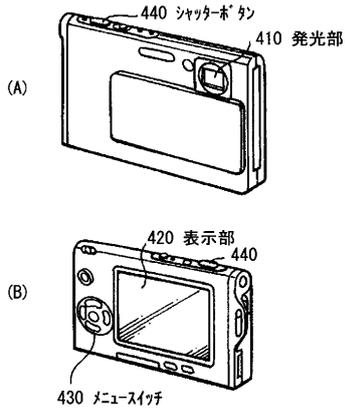
【図17】



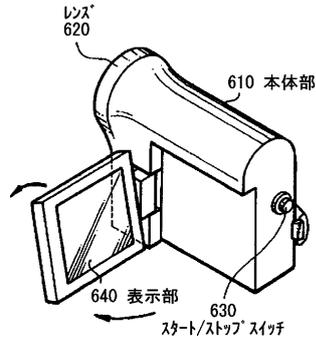
【図19】



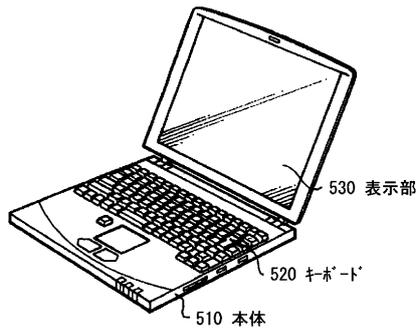
【図20】



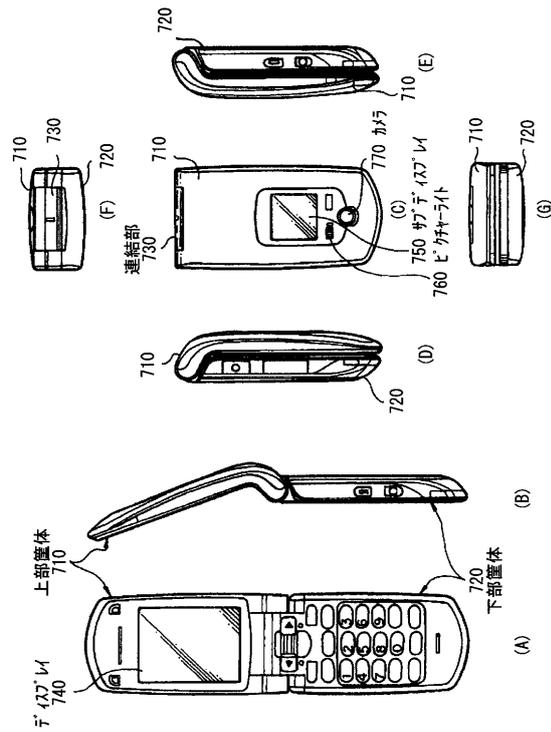
【図22】



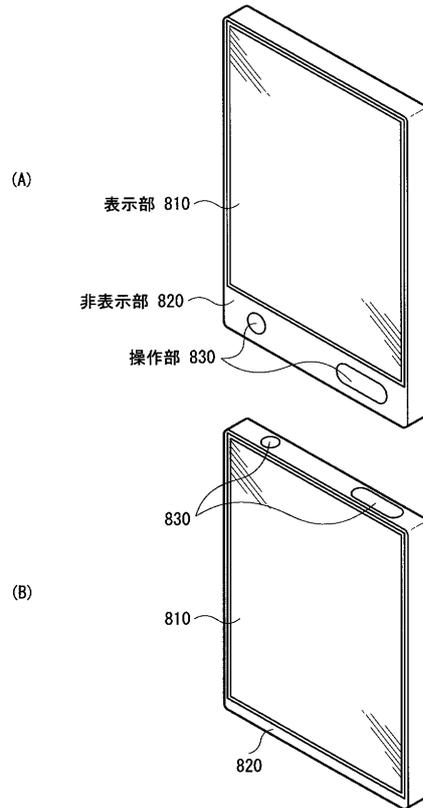
【図21】



【図23】



【図24】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/363	(2006.01)	H 0 1 L	29/78 6 1 8 A
H 0 1 L	51/50	(2006.01)	H 0 1 L	21/88 Q
			H 0 1 L	21/88 B
			H 0 1 L	21/363
			H 0 5 B	33/14 A

- (56)参考文献 特開2009-290113(JP,A)
 国際公開第2009/091013(WO,A1)
 特開2011-091372(JP,A)
 特開2011-091110(JP,A)
 特開平08-036192(JP,A)
 特開2011-029626(JP,A)
 特開2009-260002(JP,A)
 特開2010-232647(JP,A)
 国際公開第2008/096768(WO,A1)
 特開2011-103452(JP,A)
 特開2005-268724(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 3 2 0 5
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 3 6 3
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 3 / 5 3 2
 H 0 1 L 5 1 / 5 0