

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4467901号
(P4467901)

(45) 発行日 平成22年5月26日(2010.5.26)

(24) 登録日 平成22年3月5日(2010.3.5)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 1 6 A	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 3 A	
HO 1 L 27/08	(2006.01)	HO 1 L 29/78	6 1 7 U	
HO 1 L 21/8238	(2006.01)	HO 1 L 27/08	3 3 1 E	
HO 1 L 27/092	(2006.01)	HO 1 L 27/08	3 2 1 E	

請求項の数 3 (全 24 頁)

(21) 出願番号 特願2003-91437(P2003-91437)
 (22) 出願日 平成15年3月28日(2003.3.28)
 (65) 公開番号 特開2004-303761(P2004-303761A)
 (43) 公開日 平成16年10月28日(2004.10.28)
 審査請求日 平成18年3月3日(2006.3.3)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 黒澤 紀雄
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内
 (72) 発明者 平野 琢也
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、第1、第2導電型の第1の薄膜トランジスタと、前記第1の薄膜トランジスタのゲート絶縁膜と異なる膜厚のゲート絶縁膜を有する第1、第2導電型の第2の薄膜トランジスタと、を有する薄膜トランジスタ装置の製造方法において、

表面にバッファ層を形成してなる前記基板上的前記第1の薄膜トランジスタを形成する第1の薄膜トランジスタ形成領域と前記第2の薄膜トランジスタを形成する第2の薄膜トランジスタ形成領域とに半導体層を形成する工程(S1)と、

全面に第1の絶縁膜を形成し、前記第1の薄膜トランジスタ形成領域の前記第1の絶縁膜上に第1のゲート電極を形成する工程(S2)と、

全面に第2の絶縁膜を形成し、前記第2の薄膜トランジスタ形成領域の前記第2の絶縁膜上に第2のゲート電極を形成する工程(S3)と、

第1導電型にすべき前記第1の薄膜トランジスタ形成領域の前記第1の絶縁膜および前記第2の絶縁膜を前記第1のゲート電極よりも幅広に残存するように加工するとともに、前記第2の薄膜トランジスタ形成領域の前記第1の絶縁膜と前記第2の絶縁膜とを前記第2のゲート電極よりも幅広に残存するように加工する工程(S4)と、

前記第1のゲート電極と前記第2のゲート電極とをマスクにして前記半導体層に第2導電型の不純物を導入して第2導電型の高濃度不純物層を形成する工程(S5)と、

前記第1のゲート電極と前記第2のゲート電極とをマスクにして前記半導体層に前記第1の絶縁膜と前記第2の絶縁膜とを透過させて第2導電型の不純物を導入して第2導電型

の低濃度不純物層のLDD領域を形成する工程(S6)と、

第1導電型にすべき前記第1の薄膜トランジスタ形成領域と第1導電型にすべき前記第2の薄膜トランジスタ形成領域とに、前記第1のゲート電極と前記第2のゲート電極とをマスクにして第1導電型の不純物を導入して前記第2導電型の不純物層を第1導電型の高濃度不純物層に反転させる工程(S7)と、

を有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項2】

基板上に、第1、第2導電型の第1の薄膜トランジスタと、前記第1の薄膜トランジスタのゲート絶縁膜と異なる膜厚のゲート絶縁膜を有する第1、第2導電型の第2の薄膜トランジスタと、を有する薄膜トランジスタ装置の製造方法において、

表面にパッファ層を形成してなる前記基板上的前記第1の薄膜トランジスタを形成する第1の薄膜トランジスタ形成領域と前記第2の薄膜トランジスタを形成する第2の薄膜トランジスタ形成領域とに半導体層を形成する工程(S11)と、

全面に第1の絶縁膜を形成し、前記第1の薄膜トランジスタ形成領域の前記第1の絶縁膜上に第1のゲート電極を形成する工程(S12)と、

全面に第2の絶縁膜を形成し、前記第2の薄膜トランジスタ形成領域の前記第2の絶縁膜上に第2のゲート電極を形成する工程(S13)と、

第1導電型にすべき前記第1の薄膜トランジスタ形成領域に前記第1のゲート電極よりも幅広に第1のマスク膜を形成するとともに、前記第2の薄膜トランジスタ形成領域に前記第2のゲート電極よりも幅広に第1のマスク膜を形成する工程(S14)と、

前記第1のマスク膜と第1のゲート電極とをマスクにして前記半導体層に第2導電型の不純物を導入して第2導電型の高濃度不純物層を形成する工程(S15)と、

前記第1のマスク膜を除去した後、前記第1のゲート電極と前記第2のゲート電極とをマスクにして前記半導体層に前記第1の絶縁膜と前記第2の絶縁膜とを透過させて第2導電型の不純物を導入して第2導電型の低濃度不純物層のLDD領域を形成する工程(S16)と、

第1導電型にすべき前記第1の薄膜トランジスタ形成領域と第1導電型にすべき前記第2の薄膜トランジスタ形成領域を開口した第2のマスク膜をマスクにして、第1導電型の不純物を導入して前記第1導電型の薄膜トランジスタ形成領域の前記第2導電型の不純物層を第1導電型の高濃度不純物層に反転させる工程(S17)と、

を有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項3】

基板上に、第1、第2導電型の第1の薄膜トランジスタと、前記第1の薄膜トランジスタのゲート絶縁膜と異なる膜厚のゲート絶縁膜を有する第1、第2導電型の第2の薄膜トランジスタと、を有する薄膜トランジスタ装置の製造方法において、

表面にパッファ層を形成してなる前記基板上的前記第1の薄膜トランジスタを形成する第1の薄膜トランジスタ形成領域と前記第2の薄膜トランジスタを形成する第2の薄膜トランジスタ形成領域とに半導体層を形成する工程(S21)と、

全面に第1の絶縁膜を形成し、前記第1の薄膜トランジスタ形成領域の前記第1の絶縁膜上に第1のゲート電極を形成する工程(S22)と、

全面に第2の絶縁膜を形成し、前記第2の薄膜トランジスタ形成領域の前記第2の絶縁膜上に第2のゲート電極を形成する工程(S23)と、

前記第1のゲート電極および第2のゲート電極をマスクにして、前記第1の絶縁膜および第2の絶縁膜をエッチング除去して前記半導体層を露出させる工程(S24)と、

第1導電型にすべき前記第1の薄膜トランジスタ形成領域に前記第1のゲート電極よりも幅広に第1のマスク膜を形成するとともに、前記第2の薄膜トランジスタ形成領域に前記第2のゲート電極よりも幅広に第1のマスク膜を形成する工程(S25)と、

前記第1のマスク膜と第1のゲート電極とをマスクにして前記半導体層に第2導電型の不純物を導入して第2導電型の高濃度不純物層を形成する工程(S26)と、

前記第1のマスク膜を除去した後、第2導電型の不純物を導入して第2導電型の低濃度

10

20

30

40

50

不純物層のLDD領域を形成する工程(S27)と、

第1導電型にすべき前記第1の薄膜トランジスタ形成領域と第1導電型にすべき前記第2の薄膜トランジスタ形成領域を開口した第2のマスク膜をマスクにして、第1導電型の不純物を導入して前記第1導電型の薄膜トランジスタ形成領域の前記第2導電型の不純物層を第1導電型の高濃度不純物層に反転させる工程(S28)と、

を有することを特徴とする薄膜トランジスタ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ(Thin Film Transistor, TFT)装置の製造方法に関し、特に非晶質シリコン、多結晶シリコンその他の半導体を用いて形成されるTFTを集積したTFT装置の製造方法に関する。

【0002】

【従来の技術】

TFT装置は、例えばアクティブマトリクス型の液晶表示パネルやEL(Electro-Luminescence)パネル駆動用として用いられている。最近では、電子移動度の大きいポリシリコンなどを用いてチャネルを形成し、画素TFTだけでなく周辺のゲートドライバ、データドライバ、表示コントローラ(以下「周辺回路」という。)なども同一基板上に集積した周辺回路一体型のTFT装置が用いられるようになってきている(例えば特許文献1参照)。

【0003】

図21は従来の周辺回路一体型のTFT装置の一構成例である。TFT装置100は、表示装置の表示エリアとなる領域に多数の画素部がマトリクス状に配置された画素マトリクス部101を有しているとともに、その周辺回路であるゲートドライバ102、データドライバ103および表示コントローラ104を有している。ゲートドライバ102およびデータドライバ103に伝達される信号は、表示コントローラ104によって制御される。これら画素マトリクス部101、ゲートドライバ102、データドライバ103および表示コントローラ104は、すべて1枚の透明絶縁性基板100a上に形成されている。

【0004】

画素マトリクス部101には、各画素部に画素TFT101aが形成され、この画素TFT101aは、ゲート配線101bおよびデータ配線101cに接続されている。さらに、画素マトリクス部101には補助容量配線101dに接続された補助容量部101eが設けられ、補助容量部101eは画素TFT101aに接続されている。ゲートドライバ102は、シフトレジスタ102a、レベルシフタ102bおよび出力バッファ102cが接続して設けられ、ゲートドライバ102からの信号は、画素マトリクス部101のゲート配線101bに伝達されるようになっている。データドライバ103は、シフトレジスタ103a、レベルシフタ103bおよびアナログスイッチ103cが接続して設けられ、アナログスイッチ103cには、画像信号が外部入力されるようになっている。このデータドライバ103からの信号は、画素マトリクス部101のデータ配線101cに伝達されるようになっている。表示コントローラ104は、外部入力される制御信号に応じて、これらゲートドライバ102およびデータドライバ103の処理動作を制御するようになっている。

【0005】

このようなTFT装置100において、ゲートドライバ102、データドライバ103および表示コントローラ104は、通常、N型TFTとP型TFTを組み合わせたCMOS(Complementary Metal Oxide Semiconductor)構造で形成される。このうち、N型TFTは、ホットキャリア劣化やオフリーク電流を抑制するため、LDD(Lightly Doped Drain)領域が形成されることが多い。

【0006】

10

20

30

40

50

ところで、TFT装置100内の論理回路部分や信号処理回路部分をより高速にするためには、素子を微細化してチャンネル長を小さくしたり、N型TFTのN型LDD領域をなくしたりすることが必要になる場合がある。その場合、論理回路部分や信号処理回路部分に形成されるP型、N型TFTは、液晶やELの駆動用にある程度大きな電圧(10V~20V)が必要とされる画素TFT101aなどに比べ、ゲート絶縁膜の膜厚を薄くして動作電圧を低くすることが必要になる。ゲート絶縁膜を薄くすることで閾値電圧を下げることができ、動作電圧を低くすることができるので、チャンネル長を小さくしたりN型LDD領域をなくしたりしてもホットキャリア劣化を抑制できるようになるためである。

【0007】

上記のTFT装置100においては、シフトレジスタ102a, 103aおよび表示コントローラ104は、ゲート絶縁膜が薄く、3V~5V程度の低電源電圧(VL)で高速動作するTFT(低電圧用TFT)で構成される。一方、画素マトリクス部101、出力バッファ102cおよびアナログスイッチ103cは、ゲート絶縁膜が厚く、10V~20V程度の高電源電圧(VH)で低速動作するTFT(高電圧用TFT)で構成される。また、レベルシフト102b, 103bには、低電圧用TFTと高電圧用TFTを混載することができる。

10

【0008】

このような周辺回路一体型のTFT装置100の場合、低電圧用TFTおよび高電圧用TFTをそれぞれCMOS構造とすると、低電圧用P型TFT, 低電圧用N型TFT、高電圧用P型TFT、高電圧用N型TFTの計4種のTFTが同一基板上に形成されることになる。

20

【0009】

図22から図26は従来のTFT装置の製造方法の一例を示す図であって、図22は従来の第1の絶縁膜および第1のゲート電極形成工程、図23は従来の第2の絶縁膜および第2のゲート電極形成工程、図24は従来の絶縁膜加工およびN型不純物注入工程、図25は従来のP型不純物注入工程、図26は従来の層間絶縁膜および配線形成工程を示す図である。

【0010】

まず、図22に示すように、ガラスなどの透明絶縁性基板200上に、SiO₂からなる膜厚約80nmのバッファ層201、およびポリシリコンなどからなる膜厚約50nmの半導体層202を形成する。続いてSiO₂からなる膜厚約40nmの第1の絶縁膜203、およびCrなどからなる膜厚約300nmの第1のゲート電極204を形成する。この第1の絶縁膜203、第1のゲート電極204はそれぞれ、低電圧用P型TFTおよび低電圧用N型TFTのゲート絶縁膜、ゲート電極となる。

30

【0011】

次いで、図23に示すように、SiO₂からなる膜厚約80nmの第2の絶縁膜205およびCrなどからなる膜厚約300nmの第2のゲート電極206を形成する。第1の絶縁膜203と第2の絶縁膜205との積層体、第2のゲート電極206はそれぞれ、高電圧用P型TFTおよび高電圧用N型TFTのゲート絶縁膜、ゲート電極となる。

40

【0012】

次いで、図24に示すように、レジストマスクなどを用い、高電圧用P型TFT形成領域および高電圧用N型TFT形成領域の第1の絶縁膜203および第2の絶縁膜205が第2のゲート電極206よりも1μm~3μm程度幅広に残るようにエッチング加工する。一方、低電圧用P型TFT形成領域および低電圧用N型TFT形成領域では、このエッチング加工の際、第1のゲート電極204をマスクにして、第1のゲート電極204の直下にのみ第1の絶縁膜203を残した形状にする。

【0013】

高電圧用P型TFT形成領域および高電圧用N型TFT形成領域では、第2のゲート電極206より幅広に残った第1の絶縁膜203および第2の絶縁膜205直下の半導体層202が、低濃度不純物層であるLDD領域となるようにする。すなわち、まず、第1の

50

絶縁膜 203 および第 2 の絶縁膜 205 をマスクにして、リンなどの N 型不純物を加速エネルギー 10 keV 、濃度 $6 \times 10^{14} \text{ cm}^{-2}$ の条件で注入し、半導体層 202 に N 型高濃度不純物層 207 を形成する。続いて、第 1 のゲート電極 204 および第 2 のゲート電極 206 をマスクにして、リンなどの N 型不純物を加速エネルギー 90 keV 、濃度 $4 \times 10^{13} \text{ cm}^{-2}$ の条件で、第 1 の絶縁膜 203 および第 2 の絶縁膜 205 を通過させて注入する。これにより、高電圧用 P 型 T F T および高電圧用 N 型 T F T 形成領域には、N 型高濃度不純物層 207 とともに N 型 L D D 領域 208 が形成される。一方、低電圧用 P 型 T F T 形成領域および低電圧用 N 型 T F T 形成領域には、N 型高濃度不純物層 207 のみが形成される。

【0014】

次に、図 25 に示すように、P 型 T F T にすべき領域を開口したレジストマスク 209 を形成し、ボロンなどの P 型不純物を注入する。その際には、第 1 の絶縁膜 203 および第 2 の絶縁膜 205 をマスクにして、ボロンを加速エネルギー 10 keV 、濃度 $1.5 \times 10^{15} \text{ cm}^{-2}$ で注入し、低電圧用 P 型 T F T 形成領域および高電圧用 P 型 T F T 形成領域の N 型高濃度不純物層 207 を P 型高濃度不純物層 210 に反転する。さらに、第 1 のゲート電極 204 および第 2 のゲート電極 206 をマスクにして、ボロンを加速エネルギー 70 keV 、濃度 $1.0 \times 10^{14} \text{ cm}^{-2}$ の条件で、第 1 の絶縁膜 203 および第 2 の絶縁膜 205 を通過させて注入し、高電圧用 P 型 T F T 形成領域にあった N 型 L D D 領域 208 を P 型 L D D 領域 211 に反転する。これにより、高電圧用 P 型 T F T 形成領域には P 型高濃度不純物層 210 とともに P 型 L D D 領域 211 が形成され、また、低電圧用 P 型 T F T 形成領域には P 型高濃度不純物層 210 のみが形成される。

【0015】

レジストマスク 209 を除去した後、注入した N 型不純物および P 型不純物を活性化するために、透明絶縁性基板 200 の歪み点以下の温度、例えばガラスの場合には温度 550 程度で熱処理する。あるいは、より低温で処理できるエキシマレーザや R T A (Rapid Thermal Anneal) 法によって活性化してもよい。

【0016】

次いで、図 26 に示すように、SiN などからなる膜厚約 300 nm の層間絶縁膜 212 を形成して、コンタクトホールを開口し、続けて Mo などからなる膜厚約 300 nm の配線 213 を形成して T F T を完成する。なお、図示しないが、この上に保護膜および画素電極などを形成して、T F T 装置が完成する。

【0017】

この例では、高電圧用 P 型 T F T および高電圧用 N 型 T F T のゲート絶縁膜は、2 層の絶縁膜を積層して形成している。また、低電圧用 P 型 T F T および低電圧用 N 型 T F T は高速動作させるため L D D 領域は形成せず、高電圧用 P 型 T F T および高電圧用 N 型 T F T でのみゲート電極とゲート絶縁膜を階段状にして不純物注入を打ち分けることによって P 型、N 型高濃度不純物層と P 型、N 型 L D D 領域を形成している。

【0018】

このように、従来の周辺回路一体型の T F T 装置の製造では、P 型 T F T の P 型高濃度不純物層は、半導体層に一旦 N 型不純物を注入した後、それよりも 2 倍強の濃度の P 型不純物を注入して N 型を P 型に反転して形成される。これにより、P 型高濃度不純物層のシート抵抗は $1 \text{ k} / \square$ 程度の十分低い値になる。

【0019】

なお、この例では、高電圧用 P 型 T F T および高電圧用 N 型 T F T の両方に L D D 領域を形成している。画素 T F T を高電圧用 N 型 T F T で構成すると、オフリークを抑制するためおよびホットキャリア耐圧向上のために N 型 L D D 領域が必要になるが、周辺回路で使用される高電圧用 P 型 T F T には P 型 L D D 領域は必ずしも必要ない。これは、周辺回路を構成する P 型 T F T では、C M O S として動作可能であればそれほどオフリーク電流を低くする必要はなく、また、P 型 T F T ではあまりホットキャリア劣化が問題とならないためである。

10

20

30

40

50

【 0 0 2 0 】

図 27 は高電圧用 P 型 T F T に P 型 L D D 領域を形成しない場合の説明図である。高電圧用 N 型 T F T 形成領域では、第 2 のゲート電極 206 と第 1 の絶縁膜 203 および第 2 の絶縁膜 205 とを階段状に形成する。一方、P 型 L D D 領域を形成しない高電圧用 P 型 T F T 形成領域では、第 2 のゲート電極 206 と第 1, 第 2 の絶縁膜 203, 205 とを階段状に形成しないようにする。これにより、高電圧用 N 型 T F T 形成領域に N 型 L D D 領域 208 が形成され、高電圧用 P 型 T F T 形成領域には P 型高濃度不純物層 210 のみ形成されて P 型 L D D 領域が形成されないようになる。

【 0 0 2 1 】

【特許文献 1】

特開 2002 - 057339 号公報

【 0 0 2 2 】

【発明が解決しようとする課題】

しかし、従来のように同一基板上に低電圧用 P 型, N 型 T F T と高電圧用 P 型, N 型 T F T を形成する場合、低電圧用 P 型 T F T には、そのチャンネル外側に N 型高濃度不純物層から反転した P 型高濃度不純物層が形成されるが、このような P 型 T F T は、N 型高濃度不純物層から反転させずにチャンネル外側に P 型高濃度不純物層を形成した P 型 T F T に比べて、その移動度などの特性が劣るといった問題点があった。

【 0 0 2 3 】

それに対し、高電圧用 P 型 T F T には、そのチャンネル外側に N 型 L D D 領域から反転した P 型 L D D 領域が形成され、その P 型 L D D 領域外側に N 型高濃度不純物層から反転した P 型高濃度不純物層が形成されるが、このような P 型 T F T は、N 型から反転させずに P 型 L D D 領域および P 型高濃度不純物層を形成した P 型 T F T と同程度の特性が得られる。

【 0 0 2 4 】

このように、N 型高濃度不純物層から反転した P 型高濃度不純物層が N 型 L D D 領域から反転した P 型 L D D 領域の外側に形成されている場合には、その特性が良好であり、N 型高濃度不純物層から反転した P 型高濃度不純物層がチャンネルに隣接している場合には、その特性が劣化する。これには、半導体層に高濃度に N 型不純物が注入されることによってチャンネルと不純物領域との接合部に欠陥が発生してしまっていることが影響しているものと考えられる。

【 0 0 2 5 】

このような P 型 T F T の特性劣化を抑制するためには、その形成過程で不純物注入による N 型から P 型への反転を行なわないようにすればよい。すなわち、上記図 24 に示したように第 1 の絶縁膜 203 および第 2 の絶縁膜 205 をエッチングした後、P 型 T F T 形成領域はレジストマスクで覆って N 型不純物の注入を行なえばよい。

【 0 0 2 6 】

しかし、S i ウェハ上に多数形成される L S I とは異なり、1 枚のガラス基板から作製できる T F T 装置は数個からせいぜい 10 個ないし 20 個程度である。そのため、既に高電圧用 T F T と低電圧用 T F T を作り分けるために電極形成工程を 2 回に分けている上、N 型から反転させずに P 型高濃度不純物層を形成するためにマスク工程を 1 工程増やすことは、T F T 装置 1 台当たりの製造コストを大幅に増加させることになる。また、工程数が多くなることで歩留まり低下を招く恐れもある。

【 0 0 2 7 】

本発明はこのような点に鑑みてなされたものであり、同一基板上に低電圧用 T F T と高電圧用 T F T を集積した T F T 装置を、低コスト化と T F T の高特性化を両立して製造することのできる T F T 装置の製造方法および T F T 装置を提供することを目的とする。

【 0 0 2 8 】

【課題を解決するための手段】

本発明では上記課題を解決するために、図 1 に例示する流れによって実現可能な T F T

10

20

30

40

50

装置の製造方法が提供される。本発明のTFT装置の製造方法は、基板上に、第1, 第2導電型の第1のTFTと、前記第1のTFTのゲート絶縁膜と異なる膜厚のゲート絶縁膜を有する第1, 第2導電型の第2のTFTと、を有するTFT装置の製造方法において、表面にバッファ層を形成してなる前記基板上的前記第1のTFTを形成する第1のTFT形成領域と前記第2のTFTを形成する第2のTFT形成領域とに半導体層を形成する工程と、全面に第1の絶縁膜を形成し、前記第1のTFT形成領域の前記第1の絶縁膜上に第1のゲート電極を形成する工程と、全面に第2の絶縁膜を形成し、前記第2のTFT形成領域の前記第2の絶縁膜上に第2のゲート電極を形成する工程と、第1導電型にすべき前記第1の薄膜トランジスタ形成領域の前記第1の絶縁膜および前記第2の絶縁膜を前記第1のゲート電極よりも幅広に残存するように加工するとともに、前記第2の薄膜トランジスタ形成領域の前記第1の絶縁膜と前記第2の絶縁膜とを前記第2のゲート電極よりも幅広に残存するように加工する工程と、前記第1のゲート電極と前記第2のゲート電極とをマスクにして前記半導体層に第2導電型の不純物を導入して第2導電型の高濃度不純物層を形成する工程と、前記第1のゲート電極と前記第2のゲート電極とをマスクにして前記半導体層に第2導電型の不純物を導入して第2導電型の低濃度不純物層のLDD領域を形成する工程と、第1導電型にすべき前記第1のTFT形成領域と第1導電型にすべき前記第2のTFT形成領域とに、前記第1のゲート電極と前記第2のゲート電極とをマスクにして第1導電型の不純物を導入して前記第2導電型の低濃度不純物層を第1導電型の高濃度不純物層に反転させる工程と、を有することを特徴とする。

10

【0029】

20

図1に例示するようなTFT装置の製造方法によれば、まず、基板上に半導体層を形成した後(ステップS1)、第1, 第2導電型の第1のTFT、例えば低電圧用P型, N型TFTを形成する領域に、第1の絶縁膜および第1のゲート電極を形成し(ステップS2)、さらに、第1, 第2導電型の第2のTFT、例えば高電圧用P型, N型TFTを形成する領域に、第2の絶縁膜および第2のゲート電極を形成する(ステップS3)。そして、第1のゲート電極と第2のゲート電極とをマスクにして半導体層にリンなどのN型不純物を注入し、N型の低濃度不純物層であるN型LDD領域を形成する(ステップS6)。その後、P型TFTを形成すべき領域に第1のゲート電極と第2のゲート電極とをマスクにしてボロンなどのP型不純物を注入し、先に形成したN型LDD領域をP型高濃度不純物層に反転する(ステップS7)。

30

【0030】

これにより、同一の基板上にゲート絶縁膜の膜厚が異なるP型, N型TFTを形成する際、低電圧用・高電圧用の別なく、P型TFTを形成するすべての領域で、N型LDD領域から反転したP型高濃度不純物層を形成することが可能になる。したがって、マスク工程などを増加させることなく、TFT装置に形成されるTFTについて良好な特性が得られるようになる。P型LDD領域から反転してN型高濃度不純物層を形成する場合も同様である。

【0031】

また、本発明のTFT装置の製造方法では、基板上に、第1の動作半導体層と第1の絶縁膜と第1のゲート電極とが順に積層された構造を有する第1, 第2導電型の第1のTFTと、第2の動作半導体層と第1の絶縁膜と第2の絶縁膜と第2のゲート電極とが順に積層された構造を有する第1, 第2導電型の第2のTFTと、を有するTFT装置において、第1導電型の前記第1のTFTの前記第1の絶縁膜と前記第1のゲート電極との上部に前記第2の絶縁膜が前記第1のゲート電極より幅広に残存しており、前記第2のTFTの前記第1の絶縁膜と前記第2の絶縁膜とが前記第2のゲート電極より幅広に残存していることを特徴とするTFT装置が提供される。

40

【0032】

このようなTFT装置によれば、第1導電型の第1のTFTは、第1のゲート電極下層にある第1の絶縁膜および第2の絶縁膜を、第1のゲート電極より幅広に残存させて形成されている。一方、第2のTFTは、第2のゲート電極下層にある第1の絶縁膜と第2の

50

絶縁膜を、第2のゲート電極より幅広に残存させて形成されている。これにより、第1のゲート電極と第2のゲート電極をマスクにして第2導電型の不純物を導入して第2導電型の低濃度不純物層を形成した後、第1導電型の不純物を導入することによって、その低濃度不純物層を第1導電型の高濃度不純物層に反転させることが可能になっている。

【0033】

また、本発明のTFT装置の製造方法では、動作半導体層が画素電極に電氣的に接続されて前記画素電極を駆動するTFTを有するTFT装置において、前記動作半導体層と、前記動作半導体層上に形成された第1の絶縁膜と、前記第1の絶縁膜を介して形成された第1電極とからなる第1容量部と、前記第1電極と、前記第1電極上に形成された第2の絶縁膜と、前記第2の絶縁膜を介して形成された第2電極とからなる第2容量部と、を有し、前記動作半導体層と前記第2電極とは電氣的に接続されていることを特徴とするTFT装置が提供される。

10

【0034】

このようなTFT装置によれば、第1容量部と第2容量部とが積層状態で並列接続され、それらの容量の和をその画素部の補助容量とすることができるので、各画素部に小さな面積で大きな補助容量部を設けることができるようになる。

【0035】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して詳細に説明する。まず第1の実施の形態について説明する。

20

【0036】

図1は第1の実施の形態のTFT装置の製造方法の流れの一例を示す図である。また、図2から図6は第1の実施の形態のTFT装置の製造工程を説明する図であって、図2は第1の実施の形態における第1の絶縁膜および第1のゲート電極形成工程、図3は第1の実施の形態における第2の絶縁膜および第2のゲート電極形成工程、図4は第1の実施の形態における絶縁膜加工およびN型不純物注入工程、図5は第1の実施の形態におけるP型不純物注入工程、図6は第1の実施の形態における層間絶縁膜および配線形成工程を示す図である。以下、図1に示す流れに従って、この第1の実施の形態のTFT装置の製造方法を説明する。

【0037】

第1の実施の形態のTFT装置の製造方法では、まず、図2に示すように、ガラスなどの透明絶縁性基板1上にSiO₂からなるバッファ層2を膜厚約80nmで形成し、更に半導体材料、例えばポリシリコンを膜厚約50nmで形成する。ポリシリコンの場合、まずCVD (Chemical Vapor Deposition) などでアモルファスシリコンを成膜した後、エキシマレーザを用いてアニールすることにより結晶化する。このようにして形成したポリシリコンを加工し、P型、N型の第1のTFTである低電圧用P型TFTおよび低電圧用N型TFT、P型、N型の第2のTFTである高電圧用P型TFTおよび高電圧用N型TFTを形成するそれぞれの領域に半導体層3を形成する(ステップS1)。なお、ここでは、低電圧用P型TFTを形成する領域を低電圧用P型TFT形成領域と、低電圧用N型TFTを形成する領域を低電圧用N型TFT形成領域と、高電圧用P型TFTを形成する領域を高電圧用P型TFT形成領域と、高電圧用N型TFTを形成する領域を高電圧用N型TFT形成領域という。

30

40

【0038】

続いて全面にSiO₂を膜厚約40nmで成膜して第1の絶縁膜4を形成し、その上にCrなどの金属材料を膜厚約300nmで成膜して加工し、低電圧用P型TFT形成領域および低電圧用N型TFT形成領域にそれぞれ第1のゲート電極5a、5bを形成する(ステップS2)。ここで、第1の絶縁膜4は、後に低電圧用P型TFTおよび低電圧用N型TFTのゲート絶縁膜となり、第1のゲート電極5a、5bは、それぞれ低電圧用P型TFTおよび低電圧用N型TFTのゲート電極となる。

【0039】

50

次いで、図3に示すように、全面に SiO_2 を膜厚約80nmで成膜して第2の絶縁膜6を形成し、その上にCrなどの金属材料を膜厚約300nmで成膜して加工し、高電圧用P型TF T形成領域および高電圧用N型TF T形成領域にそれぞれ第2のゲート電極7a, 7bを形成する(ステップS3)。ここで、第2の絶縁膜6と先に形成した第1の絶縁膜4との積層体(合計膜厚約120nm)は、後に高電圧用P型TF Tおよび高電圧用N型TF Tのゲート絶縁膜となり、第2のゲート電極7a, 7bは、それぞれ高電圧用P型TF Tおよび高電圧用N型TF Tのゲート電極となる。

【0040】

次いで、レジストマスクなどを用い、図4に示すように、第1の絶縁膜4および第2の絶縁膜6を、高電圧用P型TF T形成領域および高電圧用N型TF T形成領域では第2のゲート電極7a, 7bよりも $0.3\mu\text{m} \sim 3\mu\text{m}$ 程度幅広に残すように加工し、低電圧用P型TF T形成領域では第1のゲート電極5aよりも $0.3\mu\text{m} \sim 3\mu\text{m}$ 程度幅広に残すように加工する(ステップS4)。これにより、低電圧用P型TF T形成領域では、第1のゲート電極5a下部に第1の絶縁膜4が幅広に残り、第1のゲート電極5a上部に第2の絶縁膜6が幅広に残るようになる。低電圧用N型TF T形成領域は、第1のゲート電極5bをマスクにして、第1のゲート電極5b直下にのみ第1の絶縁膜4が残るようにする。

【0041】

続いて、第1のゲート電極5b、第2のゲート電極7a, 7bおよび第2の絶縁膜6をマスクにして、リンなどのN型不純物を加速エネルギー 10keV 、濃度 $6 \times 10^{14}\text{cm}^{-2}$ の条件で注入し、露出する半導体層3にN型高濃度不純物層8を形成する(ステップS5)。さらに、第1のゲート電極5a, 5bおよび第2のゲート電極7a, 7bをマスクにして、リンなどのN型不純物を加速エネルギー 90keV 、濃度 $4 \times 10^{13}\text{cm}^{-2}$ の条件で、第1の絶縁膜4および第2の絶縁膜6を通過させて注入し、第1の絶縁膜4および第2の絶縁膜6の幅広に残した部分の直下にN型LDD領域9を形成する(ステップS6)。これにより、低電圧用P型TF T形成領域、高電圧用P型TF T形成領域および高電圧用N型TF T形成領域には、半導体層3のそれぞれのチャネルとなる領域(以下「チャネル領域」という。)の外側にN型LDD領域9が形成され、このN型LDD領域9の外側にN型高濃度不純物層8が形成される。一方、低電圧用N型TF T形成領域には、第1のゲート電極5bより幅広に第1の絶縁膜4および第2の絶縁膜6が残っていないため、そのチャネル領域の外側にN型高濃度不純物層8のみが形成される。

【0042】

次いで、図5に示すように、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域を開口したレジストマスク10を形成し、ボロンなどのP型不純物を注入する。その際は、まず、第1のゲート電極5a、第2のゲート電極7aおよび第2の絶縁膜6をマスクにして、加速エネルギー 10keV 、濃度 $1.5 \times 10^{15}\text{cm}^{-2}$ の条件で注入し、さらに第1のゲート電極5aおよび第2のゲート電極7aをマスクにして、加速エネルギー 70keV 、濃度 $1 \times 10^{15}\text{cm}^{-2}$ の条件で、第1の絶縁膜4および第2の絶縁膜6を通過させて注入する。これにより、図5に示したように、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域では、図4に示したN型高濃度不純物層8およびN型LDD領域9がP型高濃度不純物層11に反転する(ステップS7)。その後、レジストマスク10は除去する。このように、ここでは高電圧用P型TF T形成領域にP型LDD領域は形成しない。高電圧用P型TF TにP型LDD領域を形成すると、工程上、高速動作が必要な低電圧用P型TF TにもP型LDD領域が形成されてしまうことになり、低電圧用P型TF Tの移動度が低下するためである。なお、高電圧用P型TF TにもP型LDD領域は必ずしも必要とはならない。

【0043】

次いで、注入したP型, N型不純物を活性化するため、透明絶縁性基板1の歪み点以下の温度、例えばガラスの場合には温度 550 程度で熱処理する。あるいは、より低温で処理できるエキシマレーザやRTA法によって活性化してもよい。その後、図6に示すよ

10

20

30

40

50

うに、SiNなどからなる膜厚約300nmの層間絶縁膜12を形成して、コンタクトホールを開口し、続けてMoなどからなる膜厚約300nmの配線13を形成してTF Tを完成する(ステップS8)。ここでは図示しないが、最後にこのTF T上に保護膜および画素電極などを形成してTF T装置が完成する。

【0044】

このように、第1の実施の形態のTF T装置の製造方法によれば、高電圧用P型TF T形成領域だけでなく、低電圧用P型TF T形成領域においても第1の絶縁膜4および第2の絶縁膜6を第1のゲート電極5aより幅広に残してN型不純物を注入する。これにより、高電圧用P型TF T形成領域および低電圧用P型TF T形成領域には、それぞれのチャンネル領域の外側にまずN型LDD領域9が形成され、いずれの形成領域においてもチャンネル領域に隣接するN型高濃度不純物層は形成されない。そのため、チャンネル領域外側に形成されたN型LDD領域9にP型不純物を注入し、このN型LDD領域9をP型高濃度不純物層11に反転することにより、低電圧用P型TF Tおよび高電圧用P型TF Tの特性を良好に保つことができる。したがって、P型TF Tの特性を劣化させることなく、また、N型不純物注入時にP型TF T形成領域を覆うためのマスク工程などを増加させることなく低コストで、TF T装置の製造が可能になる。

10

【0045】

なお、上記第1の実施の形態のTF T装置の製造方法において、半導体層3に注入する不純物は質量分離し、分離されたイオンのみ注入するようにしてもよく、あるいは質量分離せずにリンの水素化物イオンやボロンの水素化物イオンを注入してもよい。

20

【0046】

また、回路の要求特性によって低電圧用N型TF TにもN型LDD領域を形成するようにしてもよい。その場合には、上記図4に示した工程で低電圧用P型TF T形成領域と同様に低電圧用N型TF T形成領域においても、第1のゲート電極5b下部および上部にそれぞれ第1の絶縁膜4および第2の絶縁膜6が第1のゲート電極5bより幅広に残るように加工する。勿論、TF T装置に形成される全部または一部の低電圧用N型TF TにN型LDD領域を形成することが可能である。

【0047】

さらに、図1において、ステップS5、S6、S7の各工程は、この順序に限定されることはなく、例えば、ステップS7、S6、S5のような順序としても構わない。

30

【0048】

また、上記の説明では低電圧用P型TF T、低電圧用N型TF T、高電圧用P型TF Tおよび高電圧用N型TF Tの形成方法について述べたが、それらの形成過程でTF T装置内に補助容量部を形成することができる。補助容量は、主にTF T装置の各画素部において液晶への書き込み電圧を保持するのに用いられる。また、補助容量は、TF T装置の周辺回路の中で用いられることのある容量分割方式のDA(デジタル-アナログ)コンバータなどの容量としても用いることができる。

【0049】

図7はTF T装置に形成される画素部の要部平面図、図8は図7のA-A断面図である。ただし、図7および図8では、図2から図6に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。TF T装置では、図7に示すように、画素マトリクス部の端部でゲートドライバに接続されたゲート配線21および画素マトリクス部の端部でデータドライバに接続されたデータ配線22が直交するようにして形成されている。ゲート配線21とデータ配線22で画定される領域が画素部20となり、それらの交点近傍に画素TF Tが形成され、さらに、画素部20には、ゲート配線21と略平行に補助容量配線23が形成されている。

40

【0050】

ここでは画素TF Tとして高電圧用N型TF T24を用いている。高電圧用N型TF T24は、図8に示すように、透明絶縁性基板1に形成されたバッファ層2上に、半導体層3のチャンネル領域外側にN型LDD領域9が形成され、更にその外側にN型高濃度不純物

50

層 8 が形成されている。高電圧用 N 型 T F T 2 4 の半導体層 3 および N 型 L D D 領域 9 上には第 1 の絶縁膜 4 および第 2 の絶縁膜 6 を介して第 2 のゲート電極 7 b が形成され、その上には層間絶縁膜 1 2 が形成されている。また、図 8 に示したように、補助容量配線 2 3 の下層および上層には、それぞれ第 1 の絶縁膜 4 および第 2 の絶縁膜 6 が形成されている。半導体層 3 は、高電圧用 N 型 T F T 2 4 が形成されている領域のほか、補助容量配線 2 3 下層にある第 1 の絶縁膜 4 の直下にも形成されている。

【 0 0 5 1 】

高電圧用 N 型 T F T 2 4 は、層間絶縁膜 1 2 に開口したコンタクトホールを介して、ソース側の N 型高濃度不純物層 8 とデータ配線 2 2 とが接続され、さらに、ドレイン側の N 型高濃度不純物層 8 と第 1 電極 2 5 とが接続されている。この第 1 電極 2 5 は、保護膜 2 6 に開口したコンタクトホールを介して画素電極 2 7 に接続されている。さらに、第 1 電極 2 5 は、補助容量配線 2 3 上層の第 2 の絶縁膜 6 上に形成された第 2 電極 2 8 に接続されている。

10

【 0 0 5 2 】

画素部 2 0 をこのように構成する場合、ゲート配線 2 1 は高電圧用 N 型 T F T 2 4 のゲート電極である第 2 のゲート電極 7 b と同一工程で形成することができる。データ配線 2 2 は、上記図 6 に示した配線 1 3 に相当し、第 1 電極 2 5 と同一工程で形成される。補助容量配線 2 3 は、低電圧用 P 型 T F T および低電圧用 N 型 T F T のゲート絶縁膜である第 1 の絶縁膜 4 の形成後に、そのゲート電極となる第 1 のゲート電極 5 a , 5 b と同一工程で形成することができる。さらに、第 2 電極 2 8 は、第 2 の絶縁膜 6 形成後に、高電圧用 N 型 T F T 2 4 の第 2 のゲート電極 7 b と同一工程で形成することができる。保護膜 2 6 および画素電極 2 7 はそれぞれ所定の領域に形成される。

20

【 0 0 5 3 】

このようにして形成される補助容量部は、半導体層 3、第 1 の絶縁膜 4 および補助容量配線 2 3 よりなる M O S 型の第 1 容量部と、補助容量配線 2 3、第 2 の絶縁膜 6 および第 2 電極 2 8 よりなる第 2 容量部との 2 つから構成されている。半導体層 3 と第 2 電極 2 8 は、第 1 電極 2 5 および N 型高濃度不純物層 8 を介して電氣的に接続されているので、第 1、第 2 容量部は積層状態で並列接続されることになり、トータルの補助容量はそれらの容量の和となる。

【 0 0 5 4 】

このように、補助容量部は、平面的に同じ場所で 2 つの容量部が並列接続されて構成されるので、レイアウト上、小さな面積で大きな容量を得ることができる。さらに、この補助容量部は T F T の形成過程で形成することができるので、このような構造の補助容量部を形成するために T F T 装置の製造工程を変更することは不要である。また、補助容量部を構成する第 1、第 2 の絶縁膜 4、6 は、T F T のゲート絶縁膜と同一工程で形成されるため数十～百 n m 程度と薄く、他の層間絶縁膜で構成するよりも大きな容量を得ることも可能である。

30

【 0 0 5 5 】

次に、第 2 の実施の形態について説明する。

【 0 0 5 6 】

図 9 は第 2 の実施の形態の T F T 装置の製造方法の流れの一例を示す図である。この第 2 の実施の形態では、透明絶縁性基板上にバッファ層、半導体層を形成した後（ステップ S 1 1）、第 1 の絶縁膜および第 1 のゲート電極を形成し（ステップ S 1 2）、第 2 の絶縁膜および第 2 のゲート電極を形成する（ステップ S 1 3）工程までは、第 1 の実施の形態と同じである。ここでは以降の工程について、図 9 に示す流れに従って、この第 2 の実施の形態の T F T 装置の製造方法を説明する。

40

【 0 0 5 7 】

ここで、図 1 0 から図 1 3 は第 2 の実施の形態の T F T 装置の製造工程を説明する図であって、図 1 0 は第 2 の実施の形態における第 1 の N 型不純物注入工程、図 1 1 は第 2 の実施の形態における第 2 の N 型不純物注入工程、図 1 2 は第 2 の実施の形態における P 型

50

不純物注入工程、図13は第2の実施の形態における層間絶縁膜および配線形成工程を示す図である。ただし、図10から図13では、図2から図6に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0058】

この第2の実施の形態では、透明絶縁性基板1上に、バッファ層2、半導体層3、第1の絶縁膜4、第1のゲート電極5a、5b、第2の絶縁膜6および第2のゲート電極7a、7bを形成した後、図10に示すように、第1のレジストマスク30を形成する(ステップS14)。この第1のレジストマスク30は、第1のゲート電極5aおよび第2のゲート電極7a、7bよりも $0.3\mu\text{m}\sim 3\mu\text{m}$ 程度幅広に形成する。この状態で、第1のレジストマスク30および第1のゲート電極5bをマスクにして、リンなどのN型不純物を加速エネルギー 90keV 、濃度 $2\times 10^{15}\text{cm}^{-2}$ の条件で、第1の絶縁膜4および第2の絶縁膜6を通過させて注入し、半導体層3にN型高濃度不純物層8を形成する(ステップS15)。その後、第1のレジストマスク30は除去する。

10

【0059】

次いで、図11に示すように、第1のゲート電極5a、5bおよび第2のゲート電極7a、7bをマスクにして、リンなどのN型不純物を加速エネルギー 90keV 、濃度 $4\times 10^{13}\text{cm}^{-2}$ の条件で、第1の絶縁膜4および第2の絶縁膜6を通過させて注入し、高電圧用N型TF T形成領域にN型LDD領域9を形成する。その際、同時に、高電圧用P型TF T形成領域および低電圧用P型TF T形成領域にもN型LDD領域9が形成される(ステップS16)。また、図10に示した第1のレジストマスク30が形成されなかった低電圧用N型TF T形成領域には、チャネル領域外側にN型高濃度不純物層8のみが形成される。

20

【0060】

次いで、図12に示すように、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域を開口した第2のレジストマスク31を形成し、ボロンなどのP型不純物を注入する。その際は、第1のゲート電極5aおよび第2のゲート電極7aをマスクにして、加速エネルギー 70keV 、濃度 $4\times 10^{15}\text{cm}^{-2}$ の条件で、第1の絶縁膜4および第2の絶縁膜6を通過させて注入する。これにより、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域では、図11に示したN型高濃度不純物層8およびN型LDD領域9がP型高濃度不純物層11に反転する(ステップS17)。その後、第2のレジストマスク31は除去する。

30

【0061】

次いで、第1の実施の形態と同じく、注入したP型、N型不純物を活性化するための熱処理などを行い、その後、図13に示すように、層間絶縁膜12および配線13を形成してTF Tを完成させ(ステップS18)、図示しない保護膜および画素電極などを形成してTF T装置を完成する。

【0062】

このように、第2の実施の形態のTF T装置の製造方法によれば、第1の実施の形態と同様、チャネル領域外側に、N型LDD領域9から反転したP型高濃度不純物層11が形成されるので、P型TF Tの特性を良好に保つことができる。さらに、この第2の実施の形態のTF T装置の製造方法では、P型不純物注入を1回で行なうことができ、注入工程を簡略化することができる。また、N型高濃度不純物層8の形成時にマスク工程が必要になるが、第1のN型不純物注入工程前に第1の絶縁膜4および第2の絶縁膜6のエッチング加工が不要であるため、トータルのマスク工程数としては第1の実施の形態と同じになる。

40

【0063】

なお、この第2の実施の形態では、上記図10に示した工程で形成する第1のレジストマスク30は、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域については、第1のゲート電極5aおよび第2のゲート電極7aよりもそれぞれ幅広に形成されていれば、そのサイズは上記の例には限定されない。

50

【 0 0 6 4 】

図 1 4 は第 1 のレジストマスクの別の形成例を示す図である。この図 1 4 に示すように、第 1 のレジストマスク 3 0 は、低電圧用 P 型 T F T 形成領域および高電圧用 P 型 T F T 形成領域については、下層にある半導体層 3 全体を覆うように形成することもできる。上記図 1 0 に示した工程で第 1 のレジストマスク 3 0 を半導体層 3 全体を覆うように形成した場合には、その後の図 1 1 に示した工程では、低電圧用 P 型 T F T 形成領域および高電圧用 P 型 T F T 形成領域に N 型 L D D 領域しか形成されなくなる。そのため、図 1 2 に示した工程では、第 2 のレジストマスク 3 1 を用いて P 型不純物を注入する際に、P 型高濃度不純物層 1 1 への反転が容易になる。例えば、P 型不純物の注入は、加速エネルギー 7 0 k e V、濃度 $2 \times 1 0^{15} \text{ cm}^{-2}$ の条件でよくなり、注入に要する時間を短縮することができるようになる。

10

【 0 0 6 5 】

また、上記図 1 0 から図 1 2 に示した工程は、第 2 のゲート電極 7 a , 7 b 形成後から不純物活性化前までの間であれば、その順序を変更して行なうこともできる。例えば、第 2 のゲート電極 7 a , 7 b 形成後に、上記第 2 のレジストマスク 3 1 を形成して P 型高濃度不純物層 1 1 を形成し、次にその第 2 のレジストマスク 3 1 を除去して N 型不純物を注入して N 型 L D D 領域 9 を形成し、最後に、上記第 1 のレジストマスク 3 0 を形成して N 型高濃度不純物層 8 を形成することも可能である。

【 0 0 6 6 】

また、回路の要求特性によって低電圧用 N 型 T F T にも N 型 L D D 領域を形成するようにしてもよく、その場合には、上記図 1 0 に示した工程で低電圧用 N 型 T F T 形成領域においても、第 1 のレジストマスク 3 0 を第 1 のゲート電極 5 b より幅広に形成する。勿論、T F T 装置に形成される全部または一部の低電圧用 N 型 T F T に N 型 L D D 領域を形成することが可能である。

20

【 0 0 6 7 】

また、この第 2 の実施の形態においても、第 1 の実施の形態と同様にして、2 つの容量部を積層して並列接続し、小さな面積で大きな容量を得ることのできる補助容量部を T F T 装置の製造工程の変更なく形成することが可能である。

【 0 0 6 8 】

次に第 3 の実施の形態について説明する。

30

【 0 0 6 9 】

図 1 5 は第 3 の実施の形態の T F T 装置の製造方法の流れの一例を示す図である。この第 3 の実施の形態では、透明絶縁性基板上にバッファ層、半導体層を形成した後（ステップ S 2 1）、第 1 の絶縁膜および第 1 のゲート電極を形成し（ステップ S 2 2）、第 2 の絶縁膜および第 2 のゲート電極を形成する（ステップ S 2 3）工程までは、第 1 の実施の形態と同じである。ここでは以降の工程について、図 1 5 に示す流れに従って、この第 3 の実施の形態の T F T 装置の製造方法を説明する。

【 0 0 7 0 】

ここで、図 1 6 から図 2 0 は第 3 の実施の形態の T F T 装置の製造工程を説明する図であって、図 1 6 は第 3 の実施の形態における絶縁膜エッチング工程、図 1 7 は第 3 の実施の形態における第 1 の N 型不純物注入工程、図 1 8 は第 3 の実施の形態における第 2 の N 型不純物注入工程、図 1 9 は第 3 の実施の形態における P 型不純物注入工程、図 2 0 は第 3 の実施の形態における層間絶縁膜および配線形成工程を示す図である。ただし、図 1 6 から図 2 0 では、図 2 から図 6 に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

40

【 0 0 7 1 】

この第 3 の実施の形態では、透明絶縁性基板 1 上に、バッファ層 2、半導体層 3、第 1 の絶縁膜 4、第 1 のゲート電極 5 a , 5 b、第 2 の絶縁膜 6 および第 2 のゲート電極 7 a , 7 b を形成した後、図 1 6 に示すように、第 1 のゲート電極 5 a , 5 b および第 2 のゲート電極 7 a , 7 b をマスクにして、第 1 の絶縁膜 4 および第 2 の絶縁膜 6 をエッチング

50

除去する（ステップS24）。これにより、第1のゲート電極5a, 5b直下以外の半導体層3および第2のゲート電極7a, 7b直下以外の半導体層3が露出するようになる。

【0072】

次いで、図17に示すように、第1のレジストマスク40を第1のゲート電極5aおよび第2のゲート電極7a, 7bよりも $0.3\mu\text{m} \sim 3\mu\text{m}$ 程度幅広に形成する（ステップS25）。この状態で、第1のレジストマスク40および第1のゲート電極5bをマスクにして、リンなどのN型不純物を加速エネルギー 10keV 、濃度 $6 \times 10^{14}\text{cm}^{-2}$ の条件で注入し、半導体層3にN型高濃度不純物層8を形成する（ステップS26）。その後、第1のレジストマスク40は除去する。

【0073】

次いで、図18に示すように、第1のゲート電極5a, 5bおよび第2のゲート電極7a, 7bをマスクにして、リンなどのN型不純物を加速エネルギー 10keV 、濃度 $2 \times 10^{13}\text{cm}^{-2}$ の条件で注入し、高電圧用N型TF T形成領域にN型LDD領域9を形成する。その際、同時に、高電圧用P型TF T形成領域および低電圧用P型TF T形成領域にもN型LDD領域9が形成される（ステップS27）。低電圧用N型TF T形成領域には、チャンネル領域外側にN型高濃度不純物層8のみが形成される。

【0074】

次いで、図19に示すように、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域を開口した第2のレジストマスク41を形成し、ボロンなどのP型不純物を注入する。その際は、第1のゲート電極5aおよび第2のゲート電極7aをマスクにして、加速エネルギー 10keV 、濃度 $1.5 \times 10^{15}\text{cm}^{-2}$ の条件で注入する。これにより、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域では、図18に示したN型高濃度不純物層8およびN型LDD領域9がP型高濃度不純物層11に反転する（ステップS28）。その後、第2のレジストマスク41は除去する。

【0075】

次いで、第1の実施の形態と同じく、注入したP型, N型不純物を活性化するための熱処理などを行い、その後、図20に示すように、層間絶縁膜12および配線13を形成してTF Tを完成させ（ステップS29）、図示しない保護膜および画素電極などを形成してTF T装置を完成する。

【0076】

このように、第3の実施の形態のTF T装置の製造方法によれば、P型不純物の注入を1回で行なえ、さらにP型, N型不純物の注入が低加速エネルギーで行なえるため、基板温度の上昇や第1, 第2のレジストマスク40, 41へのダメージが減少する。それにより、基板割れや基板の反りなどの基板変形を回避することができ、また、第1, 第2のレジストマスク40, 41の剥離性を向上させることができる。

【0077】

なお、この第3の実施の形態においては、上記第2の実施の形態と同様、第1のレジストマスク40は、低電圧用P型TF T形成領域および高電圧用P型TF T形成領域については、第1のゲート電極5aおよび第2のゲート電極7aよりもそれぞれ幅広に形成されていればよく、例えば下層の半導体層3全体を覆うように形成してもよい。それによってP型高濃度不純物層11への反転を容易にし、P型不純物注入に要する時間を短縮することができるようになる。

【0078】

また、上記図17から図19に示した工程は、第1の絶縁膜4および第2の絶縁膜6のエッチング後から不純物活性化前までの間であれば、その順序を変更して行なうこともできる。さらに、N型LDD領域9の形成は、第2のゲート電極7a, 7bの形成後であれば、第1の絶縁膜4および第2の絶縁膜6のエッチング前に行なってもよい。これは、N型LDD領域9を形成する際のN型不純物の注入量が少ないため、高加速エネルギーであっても基板温度の上昇を抑制することができるためである。

【0079】

10

20

30

40

50

また、この第3の実施の形態においても上記第1, 第2の実施の形態と同様、TFT装置に形成される全部または一部の低電圧用N型TFTにN型LDD領域を形成することが可能である。また、第1, 第2の実施の形態と同様にして、2つの容量部を積層して並列接続し、小さな面積で大きな容量を得ることのできる補助容量部を製造工程の変更なく形成することが可能である。

【0080】

なお、以上の例では、チャンネル領域外側に隣接してN型LDD領域から反転させたP型高濃度不純物層を形成する場合について述べたが、チャンネル領域外側に隣接してP型LDD領域から反転させてN型高濃度不純物層を形成する場合も同様に行なうことが可能であり、上記同様の効果を得ることができる。

10

【0081】

【発明の効果】

以上説明したように本発明では、第1, 第2導電型の第1のTFTと、第1のTFTと異なる膜厚のゲート絶縁膜を有する第1, 第2導電型の第2のTFTとを形成する際に、第1導電型の第1, 第2のTFTに形成される第1導電型の高濃度不純物層を、第2導電型の低濃度不純物層に第1導電型不純物を導入して反転させることにより形成するようにした。これにより、低コスト化とTFTの高特性化とを両立してTFT装置を製造することができる。

【0082】

また、本発明では、積層して並列接続した第1容量部と第2容量部とをTFT装置内に形成することにより、各画素部に小さな面積で大きな補助容量が設けられたTFT装置を製造することができる。

20

【図面の簡単な説明】

【図1】 第1の実施の形態のTFT装置の製造方法の流れの一例を示す図である。

【図2】 第1の実施の形態における第1の絶縁膜および第1のゲート電極形成工程を示す図である。

【図3】 第1の実施の形態における第2の絶縁膜および第2のゲート電極形成工程を示す図である。

【図4】 第1の実施の形態における絶縁膜加工およびN型不純物注入工程を示す図である。

30

【図5】 第1の実施の形態におけるP型不純物注入工程を示す図である。

【図6】 第1の実施の形態における層間絶縁膜および配線形成工程を示す図である。

【図7】 TFT装置に形成される画素部の要部平面図である。

【図8】 図7のA-A断面図である。

【図9】 第2の実施の形態のTFT装置の製造方法の流れの一例を示す図である。

【図10】 第2の実施の形態における第1のN型不純物注入工程を示す図である。

【図11】 第2の実施の形態における第2のN型不純物注入工程を示す図である。

【図12】 第2の実施の形態におけるP型不純物注入工程を示す図である。

【図13】 第2の実施の形態における層間絶縁膜および配線形成工程を示す図である。

【図14】 第1のレジストマスクの別の形成例を示す図である。

40

【図15】 第3の実施の形態のTFT装置の製造方法の流れの一例を示す図である。

【図16】 第3の実施の形態における絶縁膜エッチング工程を示す図である。

【図17】 第3の実施の形態における第1のN型不純物注入工程を示す図である。

【図18】 第3の実施の形態における第2のN型不純物注入工程を示す図である。

【図19】 第3の実施の形態におけるP型不純物注入工程を示す図である。

【図20】 第3の実施の形態における層間絶縁膜および配線形成工程を示す図である。

【図21】 従来の周辺回路一体型のTFT装置の一構成例である。

【図22】 従来の第1の絶縁膜および第1のゲート電極形成工程を示す図である。

【図23】 従来の第2の絶縁膜および第2のゲート電極形成工程を示す図である。

【図24】 従来の絶縁膜加工およびN型不純物注入工程を示す図である。

50

【図 2 5】 従来の P 型不純物注入工程を示す図である。

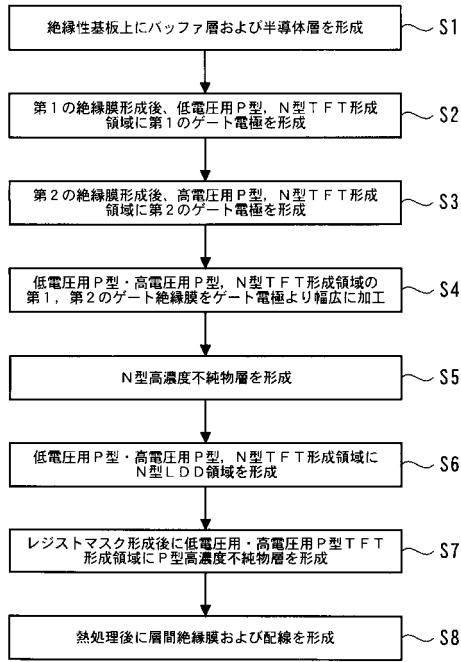
【図 2 6】 従来の層間絶縁膜および配線形成工程を示す図である。

【図 2 7】 高電圧用 P 型 T F T に P 型 L D D 領域を形成しない場合の説明図である。

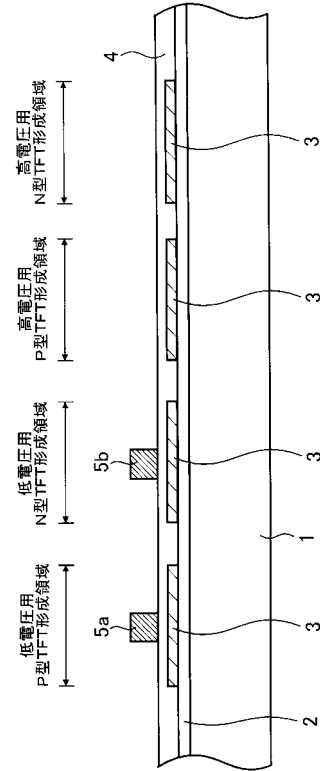
【符号の説明】

- | | | |
|-----------|----------------|----|
| 1 | 透明絶縁性基板 | |
| 2 | バッファ層 | |
| 3 | 半導体層 | |
| 4 | 第 1 の絶縁膜 | |
| 5 a , 5 b | 第 1 のゲート電極 | |
| 6 | 第 2 の絶縁膜 | 10 |
| 7 a , 7 b | 第 2 のゲート電極 | |
| 8 | N 型高濃度不純物層 | |
| 9 | N 型 L D D 領域 | |
| 1 0 | レジストマスク | |
| 1 1 | P 型高濃度不純物層 | |
| 1 2 | 層間絶縁膜 | |
| 1 3 | 配線 | |
| 2 0 | 画素部 | |
| 2 1 | ゲート配線 | |
| 2 2 | データ配線 | 20 |
| 2 3 | 補助容量配線 | |
| 2 4 | 高電圧用 N 型 T F T | |
| 2 5 | 第 1 電極 | |
| 2 6 | 保護膜 | |
| 2 7 | 画素電極 | |
| 2 8 | 第 2 電極 | |
| 3 0 , 4 0 | 第 1 のレジストマスク | |
| 3 1 , 4 1 | 第 2 のレジストマスク | |

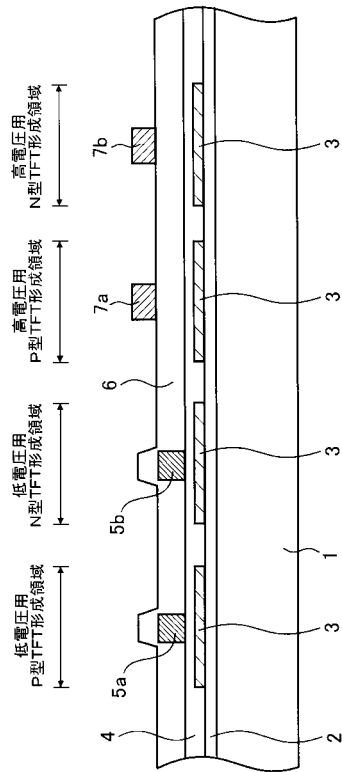
【図 1】



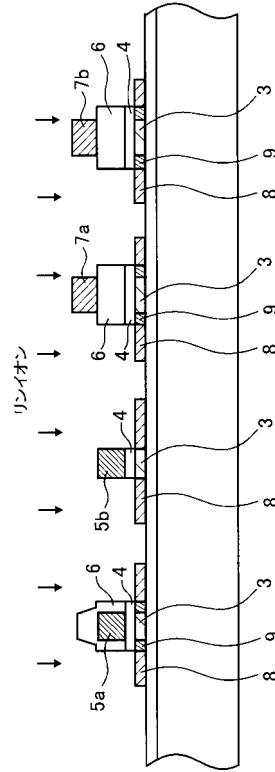
【図 2】



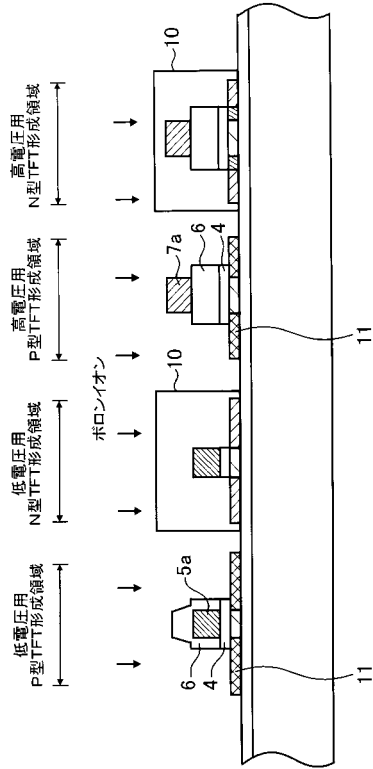
【図 3】



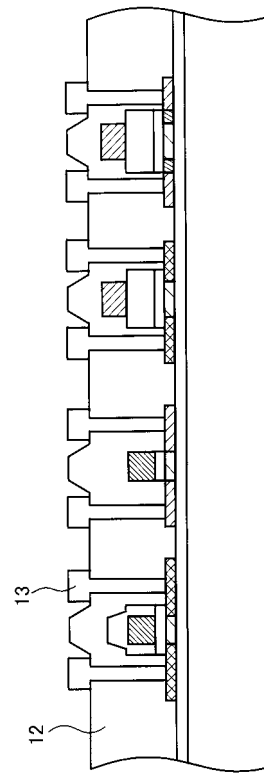
【図 4】



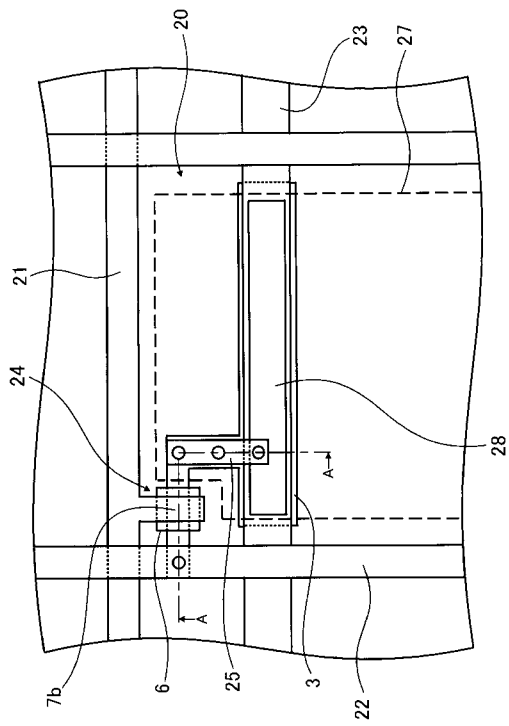
【図5】



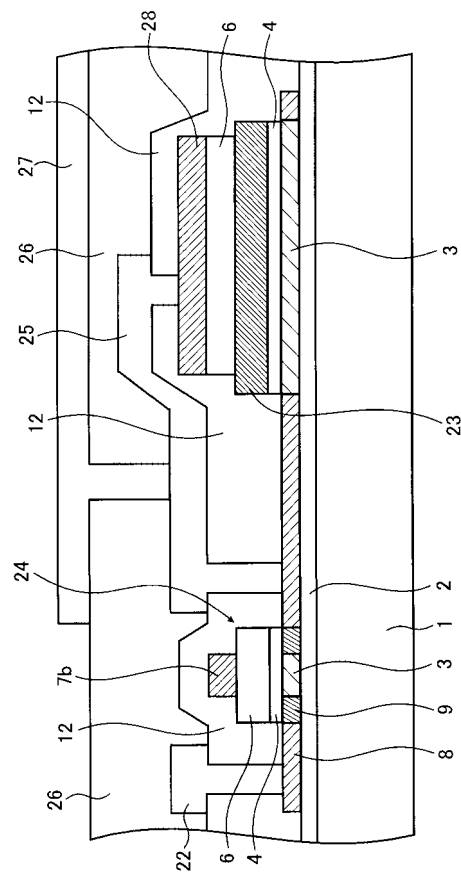
【図6】



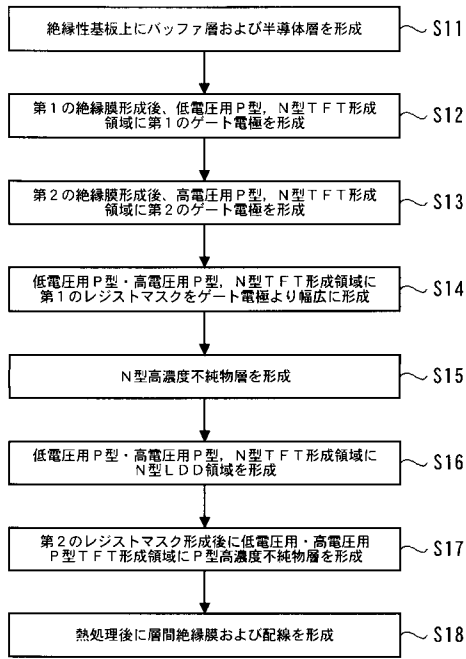
【図7】



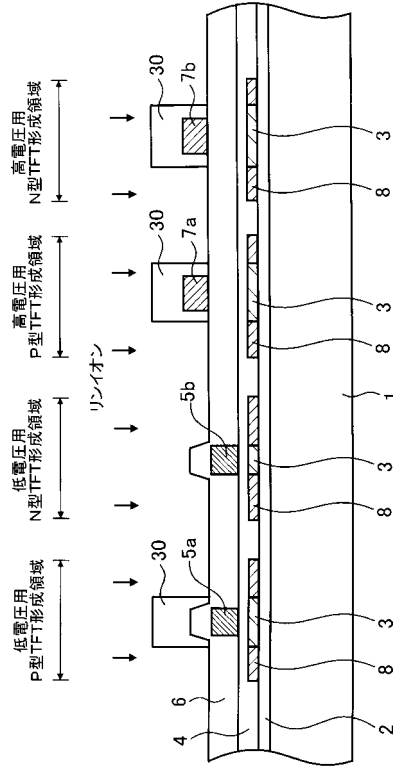
【図8】



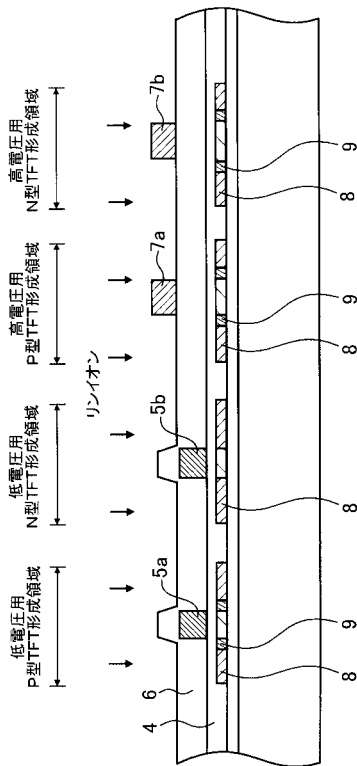
【図 9】



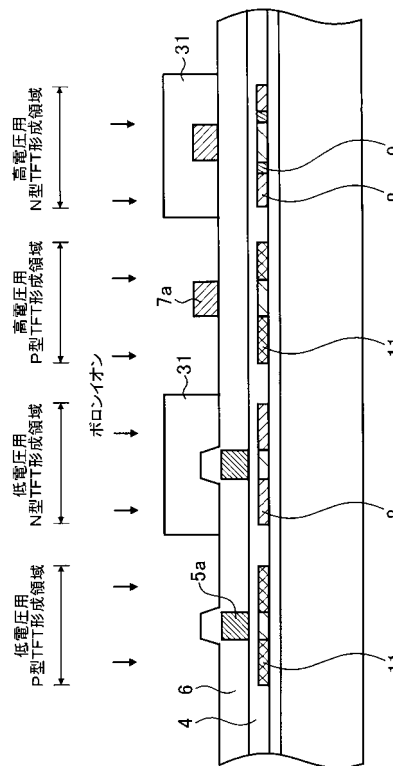
【図 10】



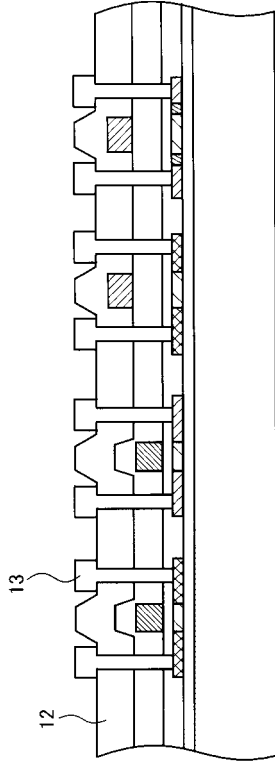
【図 11】



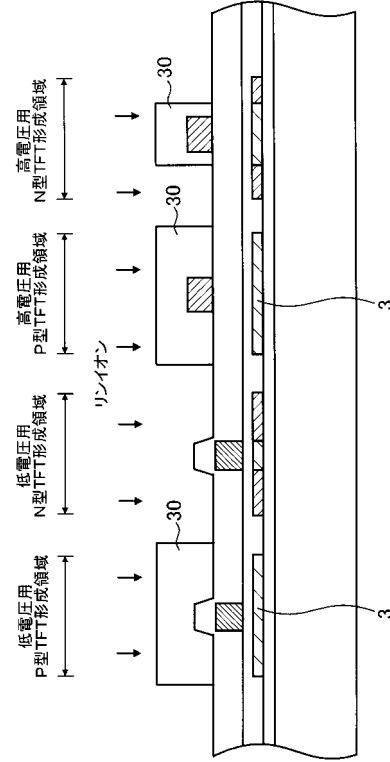
【図 12】



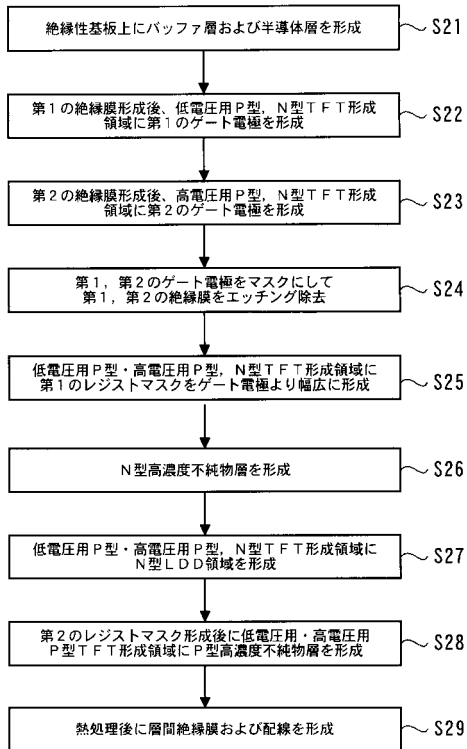
【図13】



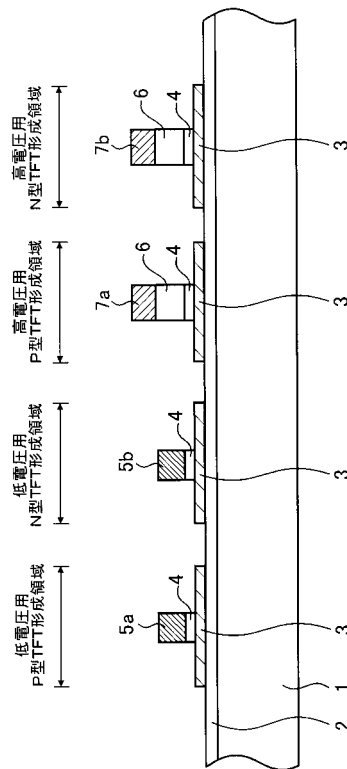
【図14】



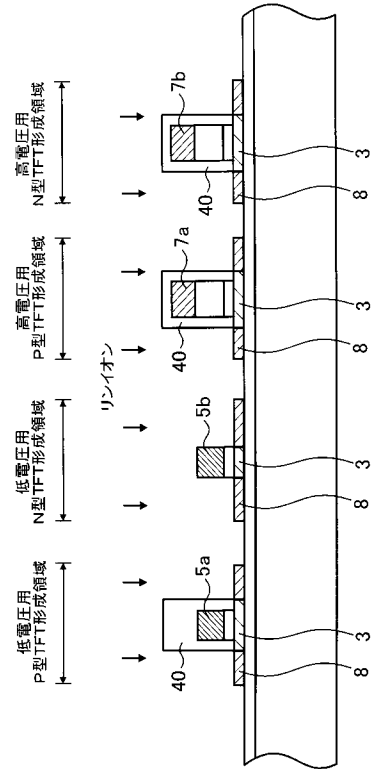
【図15】



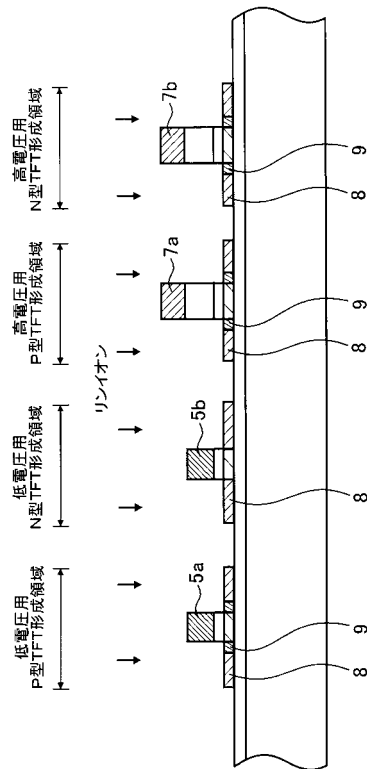
【図16】



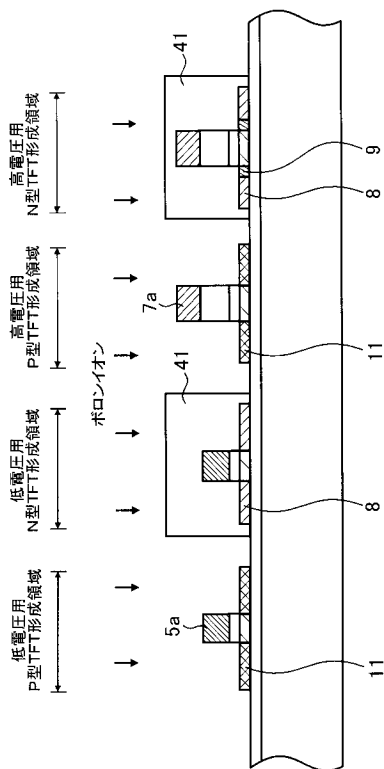
【図 17】



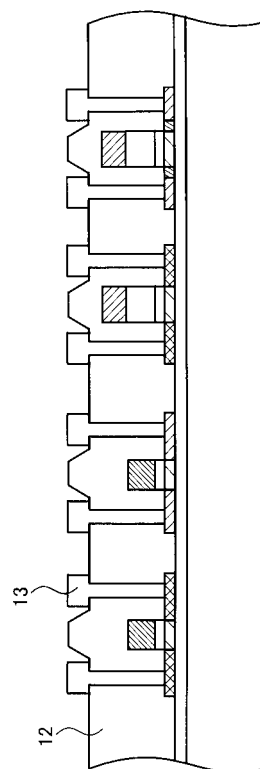
【図 18】



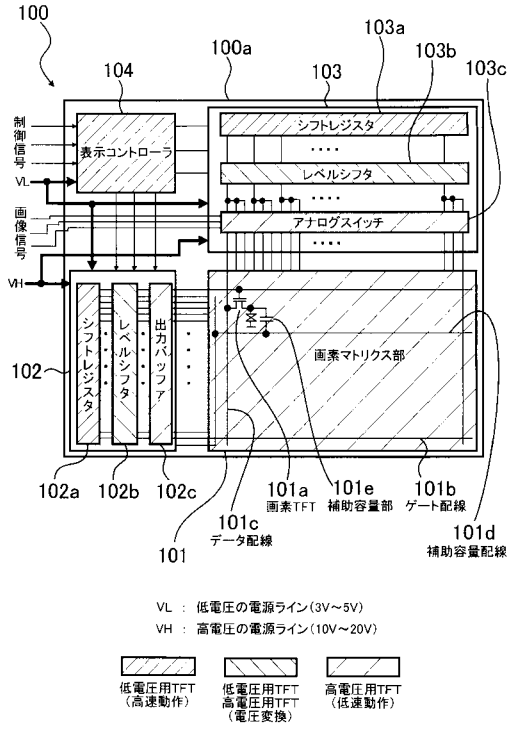
【図 19】



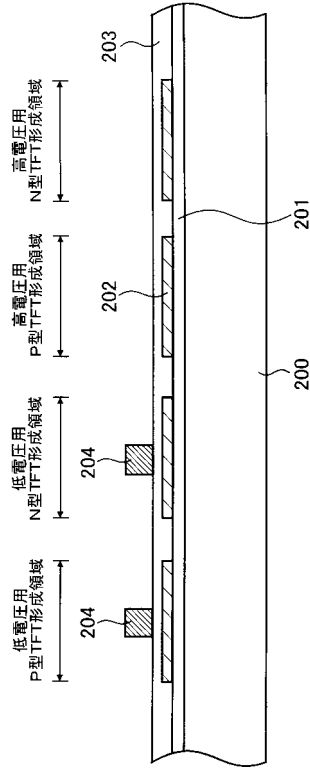
【図 20】



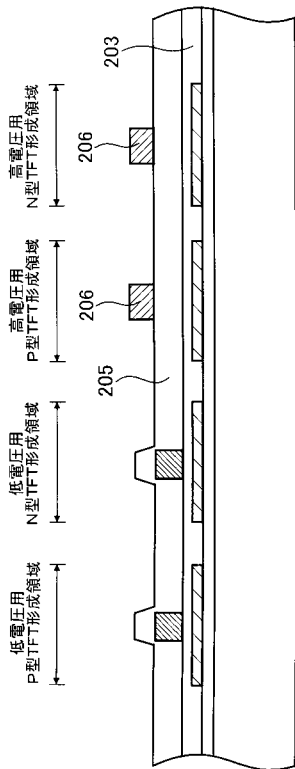
【図 2 1】



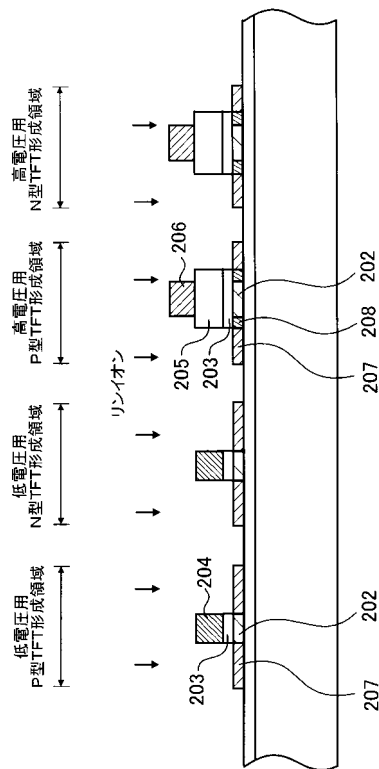
【図 2 2】



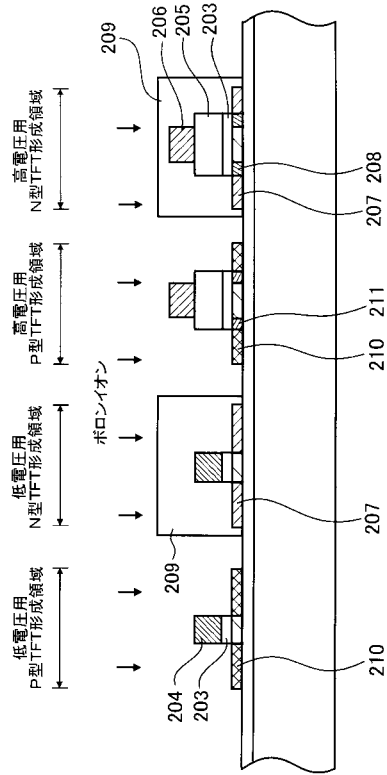
【図 2 3】



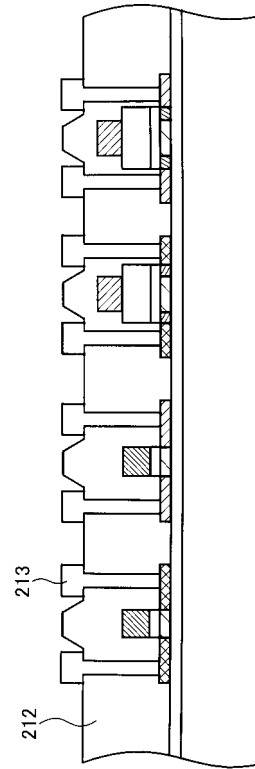
【図 2 4】



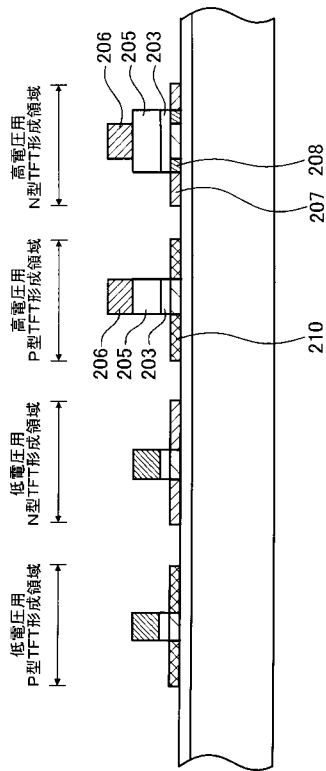
【図 25】



【図 26】



【図 27】



フロントページの続き

- (56)参考文献 特開2000-349299(JP,A)
特開2003-332581(JP,A)
特開平05-335573(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/336
H01L 21/8238
H01L 27/08
H01L 27/092