



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I610372 B

(45) 公告日：中華民國 107 (2018) 年 01 月 01 日

(21) 申請案號：105135733 (22) 申請日：中華民國 102 (2013) 年 11 月 12 日
 (51) Int. Cl. : *H01L21/336 (2006.01)* *H01L29/78 (2006.01)*
 (30) 優先權：2012/12/21 美國 13/725,546
 (71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
 美國
 (72) 發明人：陳 漢威 THEN, HAN WUI (US)；達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK
 (IN)；拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；朱功 班傑明
 CHU-KUNG, BENJAMIN (US)；宋承宏 SUNG, SEUNG HOON (KR)；珈納 薩納
 斯 GARDNER, SANAZ K. (US)；喬 羅伯特 CHAU, ROBERT S. (US)
 (74) 代理人：林志剛
 (56) 參考文獻：
 US 2010/0065923A1
 審查人員：施喻懷
 申請專利範圍項數：14 項 圖式數：6 共 43 頁

(54) 名稱

具有組成分層半導體通道的非平面三族氮化物電晶體

NONPLANAR III-N TRANSISTORS WITH COMPOSITIONALLY GRADED SEMICONDUCTOR CHANNELS

(57) 摘要

三族氮化物半導體通道係組成分層於轉換層與三族氮化物極化層之間。在實施例中，閘極堆疊係沈積在包含分層之三族氮化物半導體通道的鰭之側壁上，而允許鄰接至少兩面側壁表面的三族氮化物半導體通道中之傳輸通道的形成，以回應閘極偏壓。在實施例中，閘極堆疊係完全沈積在包含組成分層之三族氮化物半導體通道的奈米佈線之周圍，而致能鄰接極化層及轉換層二者的三族氮化物半導體通道中之傳輸通道的形成以回應閘極偏壓。

A III-N semiconductor channel is compositionally graded between a transition layer and a III-N polarization layer. In embodiments, a gate stack is deposited over sidewalls of a fin including the graded III-N semiconductor channel allowing for formation of a transport channel in the III-N semiconductor channel adjacent to at least both sidewall surfaces in response to a gate bias voltage. In embodiments, a gate stack is deposited completely around a nanowire including a III-N semiconductor channel compositionally graded to enable formation of a transport channel in the III-N semiconductor channel adjacent to both the polarization layer and the transition layer in response to a gate bias voltage.

指定代表圖：

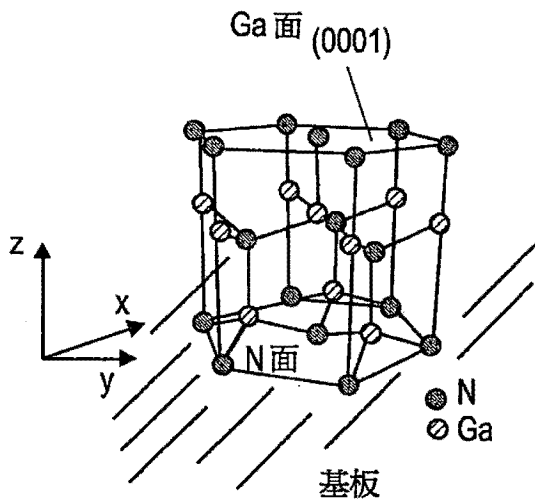
符號簡單說明：

115 ···· 轉換層

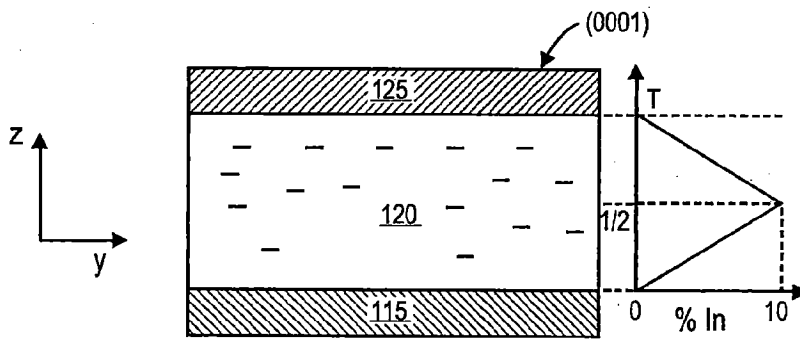
120 ···· 三族氮化物
半導體通道

125 ···· 極化層

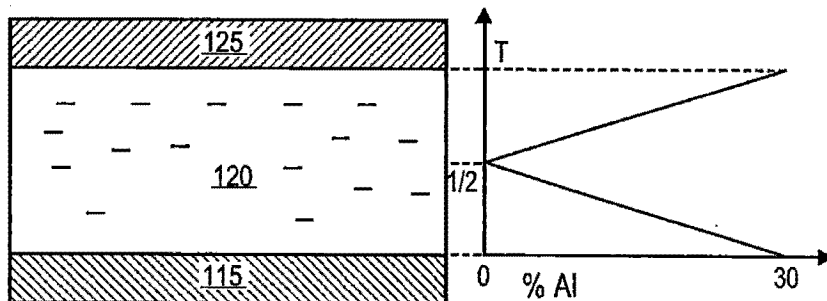
210A ···· 三族氮化物
半導體通道側壁



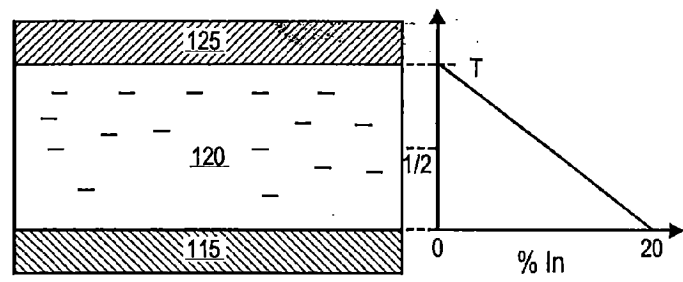
第 1A 圖



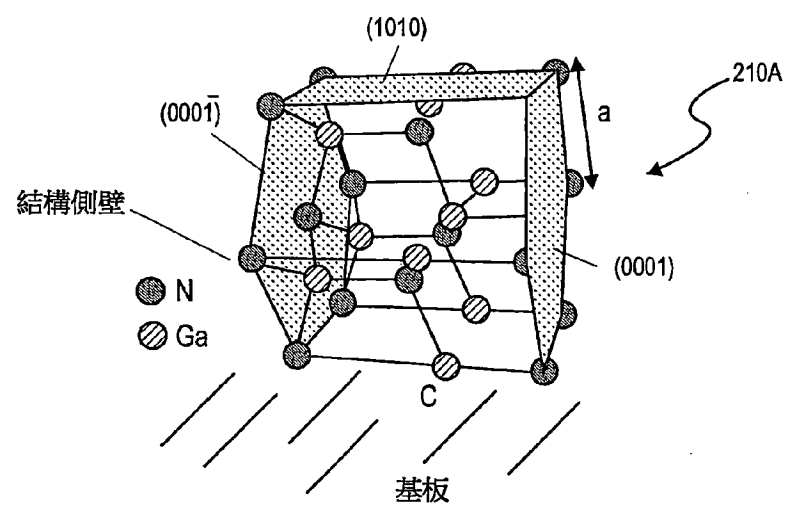
第 1B 圖



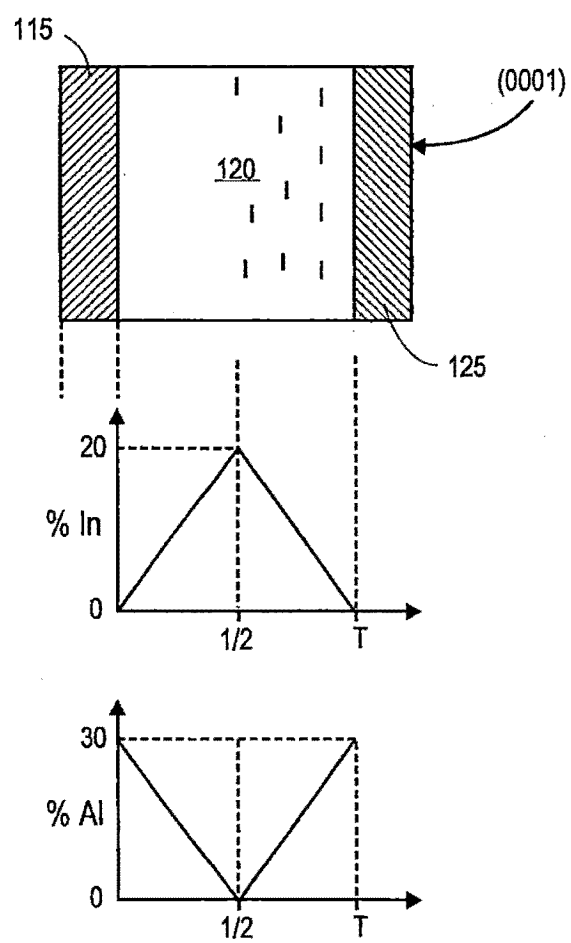
第 1C 圖



第 1D 圖



第 1E 圖



第 1F 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有組成分層半導體通道的非平面三族氮化物電晶體
Nonplanar III-N transistors with compositionally graded semiconductor channels

【技術領域】

本發明之實施例大致地有關微電子裝置及製造，且更特別地，有關三族氮化物電晶體構造。

【先前技術】

行動計算（例如，智慧型手機及平板電腦）市場得益於較小組件形成因子及較低功率消耗。因為用於智慧型手機及平板電腦之當代平台解決方法依賴所安裝於電路板上的多重封裝積體電路（IC），所以對更小及更多功率有效率形成因子的進一步縮放會受到限制。例如，除了個別的邏輯處理器 IC 外，智慧型手機將包含個別的功率管理 IC（PMIC）、射頻 IC（RFIC）、及 Wi-Fi/藍牙/GPS IC。系統單晶片（SoC）構造提供縮放的益處，其無法由板層次之組件整合所相比。雖然邏輯處理器 IC 本身可被考慮為整合記憶體及邏輯功能二者的系統單晶片（SoC），但因為 PMIC 及 RFIC 操作以二或更多個高壓、高功率、及高頻，所以用於行動計算平台之更擴展的 SoC 解決方法依然

係捉摸不定。

就此而論，習知的行動計算平台典型地使用不相容的電晶體技術，其係特別定做以供 PMIC 及 RFIC 所執行的不同功能之用。例如，側向擴散之矽 MOS (LDMOS) 技術係典型地使用於 PMIC 中，用以管理電壓轉換及電力配置（包含升壓及／或降壓轉換之電池電壓調整，等等）。諸如 GaAs 異質接面雙極性電晶體 (HBT) 之三、五族化合物半導體係典型地使用於 RFIC 中，用以在 GHz 載波頻率產生足夠的功率放大。實施 CMOS 技術之習知的矽場效電晶體則帶來第三電晶體技術，而在行動計算平台內被使用於邏輯及控制功能。除了在行動計算平台中的種種 IC 間之基本的半導體材料不相容性之外，用於 PMIC 中之 DC 至 DC 轉換的電晶體設計已與用於 RFIC 中之高頻功率放大器的電晶體設計大致地不相容。例如，使矽之相對低的崩潰電壓在直直流轉換器開關中所需要之源極對汲極分離變得更大，可根據載波頻率而准許用於需要超過 20 GHz 且可直至 500 GHz 之 F_t 的功率放大器電晶體（例如，WPAN 係 60 GHz，且因此，電晶體需 60 GHz 許多倍的 F_t ）。該等不同的電晶體層次之設計需求使得用於種種電晶體設計之製造處理變成不同，且難以整合成為單一處理。

因此，雖然用以改善可擴充性、降低成本、及增進平台功率效益之用於行動計算空間之將整合 PMIC 及 RFIC 功能的 SoC 解決方法係引人注意，但 SoC 之一障礙則在

於缺少具有足夠的速度（亦即，足夠高的增益截止頻率 F_t ）及足夠高的崩潰電壓（ BV ）二者之可擴充的電晶體技術。

三族氮化物（III-N）裝置以 CMOS 提供用於 PMIC 及 RFIC 功能之整合的希望之路，因為可獲得高的 BV 及 F_t 二者。惟現今，三族氮化物電晶體使用二維電子氣體（2DEG）或片電荷做為傳輸通道。例如，此二維片電荷係形成於藉由諸如 AlN 之膜在 GaN 上的磊晶沈積所形成之陡峭的異質介面處，而具有較大的自生及壓電的極化。因為極化場係高度方向性的，所以二維片電荷僅形成於該異質介面處的頂部（0001）纖維鋅礦晶體平面中。此材料為主的不對稱對於實施諸如目前由產業領導者所施用於矽中之雙閘極及三閘極設計的多重閘極電晶體構造，打出難題。就此而論，三族氮化物電晶體的足跡可係不利地變大，且與激勵非平面矽裝置（例如，短通道效應）之躍遷的該等者同樣地遭遇種種的性能限制。

【圖式簡單說明】

本發明之實施例係藉實例而予以描繪，且並非做為限制，以及當結合圖式而加以考慮時，可參閱詳細說明而呈更完整的瞭解，其中：

第 1A 圖係依據實施例之用於非平面三族氮化物電晶體的 GaN 晶體取向之等距圖式；

第 1B、1C、及 1D 圖係依據實施例之對應橫剖面中所

示且具有第 1A 圖中所描繪的晶體取向之組成分層三族氮化物半導體通道的區域之合金含量的圖形；

第 1E 圖係依據實施例之用於非平面三族氮化物電晶體的 GaN 晶體取向之等距圖式；

第 1F 圖係依據實施例之對應橫剖面中所示且具有第 1E 圖中所描繪的晶體取向之組成分層三族氮化物半導體通道的區域之合金含量的圖形；

第 2A 圖描繪依據本發明實施例之三閘極非平面三族氮化物電晶體的通道區之貫穿橫剖面；

第 2B 圖描繪依據本發明實施例之第 2A 圖中所描繪的通道區內之模型化電荷；

第 2C 圖描繪依據本發明實施例之環繞式閘極非平面三族氮化物電晶體的通道區之貫穿橫剖面；

第 2D 圖描繪依據本發明實施例之第 2C 圖中所描繪的通道區內之模型化電荷；

第 3 圖係流程圖，描繪依據實施例之非平面高壓電晶體的製造方法；

第 4A、4B、4C、及 4D 圖係依據第 3 圖中所描繪之方法實施例所製造的非平面高壓奈米佈線電晶體之等距圖式；

第 5 圖係依據本發明實施例之行動計算平台的 SoC 實施之功能方塊圖；以及

第 6 圖係依據本發明一實施例之計算裝置的功能方塊圖。

【發明內容及實施方式】

在以下說明中將陳述許許多多的細節；惟，對熟習本項技藝之人士將呈明顯的是，本發明可無需該等特定的細節而被施行。在若干情況中，為避免使本發明混淆，熟知的方法及裝置係以方塊圖形式予以顯示，而非以細節。在此說明書中對“實施例”之引用意指的是，與實施例連結而加以敘述之特殊的特性、結構、功能、或特徵係包含在本發明之至少一實施例中。因此，在此說明書中之種種位置中之片語“在實施例中”的出現無需一定要意指本發明之相同的實施例。再者，該等特殊的特性、結構、功能、或特徵可在一或多個實施例中以任一合適之方式予以結合。例如，第一實施例與第二實施例可在該兩實施例並不相互排斥的任何處結合。

“耦接”及“連接”之用語及它們的衍生語可被一起使用於此，以敘述組件間之結構性的關係。應瞭解的是，該等用語並不打算成為彼此互相的同義字。而是，在特殊實施例中，可使用“連接”以指出二或更多個元件係在彼此互相直接的實體或電性接觸中。“耦接”可被使用以指出二或更多個元件係在彼此互相直接或間接（具有其他中介元件於其間）的實體或電性接觸中，及／或該二或更多元件彼此互相協力操作或相互作用（例如，如在因果關係中）。

“在...之上面”、“在...之下面”、“在...之間”、

及“在...之上”係使用於此以指示一材料層相對於其他層的相關位置。就此而論，例如，設置在另一層之上面或下面的一層可與其他層直接接觸，或可具有一或多個中介層。此外，設置在兩層之間的一層可與該兩層直接接觸，或可具有一或多個中介層。對照地，在第二層之上的第一層係與該第二層直接接觸。

在此所敘述的係具有三族氮化物半導體通道之非平面三族氮化物電晶體的實施例，該三族氮化物半導體通道係以形成三維電子氣體（3DEG）於三族氮化物半導體通道內之方式而予以組成分層。實用上，在此所敘述的非平面三族氮化物電晶體構造有利地提供低的非本徵電阻及／或降低基板表面面積，用於所給定之驅動電流。在實施例中，所分層之三族氮化物半導體通道具有多重閘控表面，而致能降低的短通道效應且致能較高的汲極崩潰電壓（ BV_{DD} ）。

在實施例中，敘述於此的高電子遷移率場效電晶體（FET）係使用於整合 RFIC 與 PMIC 以實施高電壓及／或高功率電路的 SoC 解決方法中。透過此處所敘述的電晶體結構，SoC 解決方法可送出用於行動計算平台所需之產品特定電流及功率需求。快速開關的高壓電晶體能在 RF 頻率處操縱高的輸入電壓擺動，及提供高的功率附加效率。在實施例中，敘述於此的三族氮化物電晶體構造係單片整合以諸如平面及非平面矽 CMOS 電晶體技術之四族電晶體構造。在特殊實施例中，敘述於此的三族氮化物電晶體係

於以低功率 CMOS 邏輯資料處理整合高功率無線資料傳輸及／或高電壓功率管理功能的 SoC 構造中使用。適用於寬頻無線資料傳輸應用的高頻操作係可能的，而大帶隙三族氮化物材料的使用亦提供足夠 RF 之高的 BV 產生以供無線資料傳輸應用之用。此高的 F_t/F_{max} 及高電壓能力之組合亦使此處所敘述的三族氮化物 FET 構造能被使用於利用降低尺寸之感應元件的直直流轉換器中之高速開關應用。當功率放大及直直流開關應用係智慧型手機、平板電腦、及其他行動平台中的關鍵功能區塊時，則此處所敘述之該等結構可被使用於用於該等裝置的 SoC 解決方法之中。做為一實例，第一個三族氮化物 FET 係使用於 PMIC 的直直流開關電路之中，以及第二個三族氮化物 FET 係使用於 RFIC 的放大器電路之中。

在實施例中，三族氮化物 FET 的三族氮化物半導體通道包含三族氮化物三元素或四元素組成分層的合金。在一三元素實施例中，該三族氮化物半導體通道包含氮化銦鎵 ($In_xGa_{1-x}N$)，其中 x 係沿著半導體通道的纖維鋅礦晶體 c 軸而加以變化。在另一三元素實施例中，三族氮化物半導體通道包含氮化鋁鎵 ($Al_xGa_{1-x}N$)，其中 x 係沿著半導體通道的 c 軸而加以變化。在四元素實施例中，銦及鋁二者係呈現為 $In_xAl_yGa_{1-x-y}N$ 合金，而 x 及／或 y 沿著半導體通道的 c 軸而變化。第 1A 圖係依據實施例之用於非平面三族氮化物電晶體之 GaN 晶體取向的等距圖式。第 1B 圖係具有第 1A 圖中所描繪之晶體取向的以 InGaN 為

基之組成分層三族氮化物半導體通道的橫剖面視圖。對應該三族氮化物半導體通道的區域之合金含量的圖形被進一步描繪出。

在第 1A 圖中所描繪的 GaN 晶體係非中心對稱的，意指的是，該三族氮化物晶體缺少反對稱性，且更特別地，該等 $\{0001\}$ 平面並不相等。對於純 GaN 而言， (0001) 平面係典型地稱為 Ga 面（+c 極性，或在 $[0001]$ 方向中），以及另一者之 $(000\bar{1})$ 平面係稱為 N 面（-c 極性，或在 $[000\bar{1}]$ 方向中）。因此，第 1A 圖中之取向係 Ga 面或 (0001) ，而該 (0001) 平面具有晶格常數 a 於三族氮化物半導體通道的頂部表面上。

由於極性接合及晶體不對稱性的結果，自生極化場 P_{SP} 係存在於三族氮化物半導體之內，且當三族氮化物半導體係在平行於 (0001) 平面之方向中的拉伸應變之下時（沿著如第 1B 圖中所示之 y 維），則壓電極化場 P_{PE} 係以 P_{SP} 予以配向（遠離 (0001) 平面且朝向 $(000\bar{1})$ 平面）。在三族氮化物半導體內的組成分層可散開該等極化場，而提供相對於特殊晶體面 Ga 或 N 之所欲的分佈極化感應電荷載子（例如，n 型）。明顯地，當被沈積於 GaN 的 Ga 面時，InN 及 AlN 中的自生極化場係彼此互相相反地取向，且因此，在此之實施例藉由以相對於 Ga 或 N 面之第一方向分層 In 含量（例如，增加 In 百分比），而在三族氮化物半導體通道容積內達成極化載子電荷之所欲分佈，且同時，分層 Al 含量之實施例亦以相反的方向達成

(例如，減少 Al 百分比)。

在實施例中，In 含量係分層而在寬帶隙材料的介面處具有相對更純的 GaN (例如，0% 的 In)。透過該分層，可形成 3D 電子氣體於分層的半導體之內，而無電荷載子存在於基板區域的鄰近處，此可有利於降低或防止漏洩路徑，如本文就第 2A 至 2B 圖而論之其他處所進一步敘述地。如第 1B 圖中所示，In 含量之分層係有利地對稱於在有關寬帶隙轉換層 115 的介面與寬帶隙三族氮化物極化層 125 的介面間的中心之平面。在實施例中，In 含量係自個別的二族氮化物面提高地分層，而在所分層之三族氮化物半導體通道 120 的 c 軸厚度之約略一半處會合。有關獲得具有最小範圍之合金含量於 Ga 與 N 面之間的特殊傳輸通道幾何形狀，該分層輪廓可係有利的。其中 In 分層係有關中心平面的不對稱之變化例亦係可能的。

對於第 1B 圖中所示之對稱分層實施例，三族氮化物半導體通道 120 係在與轉換層 115 之介面處開始分層，而在第一距離上以遞增之銦含量予以分層，該第一距離約相等於三族氮化物半導體通道 120 之厚度的一半 ($1/2T$)。然後，三族氮化物半導體通道 120 係在第二距離上進一步以遞減之銦含量予以分層，該第二距離約相等於對極化層 125 之介面的 $1/2T$ 。在該代表性實施例中，於半導體通道 120 與寬帶隙轉換層及極化層 115、125 之各者的介面處，In 含量係 0% (亦即，具有 $x=0$ 之 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，或純 GaN)。如藉由電荷符號之概括位置而於第 1B 圖中以在

三族氮化物半導體通道 120 的 (000 $\bar{1}$) 面之純 GaN 予以描繪地，電荷載子係缺席於與寬帶隙轉換層 115 的介面。

在該代表性實施例中，最大的 In 含量到達大約 10%，雖然在其他實施例中可係更高（例如，15 至 20%）。在此範圍上，分層係在分層距離上有利地均勻，以便獲得均勻的極化電荷密度。在該代表性實施例中，分層係在遠離三族氮化物半導體通道 120 之 (0001) 表面及 (000 $\bar{1}$) 表面而朝向一半厚度或中心平面的方向中呈線性的。當然，非線性分層（例如，在半導體通道 120 的厚度上呈拋物線，等等）亦係可能的。

第 1C 圖係依據實施例之具有第 1A 圖中所描繪之晶體取向的以 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 為基之組成分層三族氮化物半導體通道 120 的橫剖面視圖。三族氮化物半導體通道 120 係在與轉換層 115 之介面處開始分層，而在第一距離上以遞減之 Al 含量予以分層，該第一距離約相等於三族氮化物半導體通道 120 之厚度的一半 ($1/2T$)。進一步地，三族氮化物半導體通道 120 係在第二距離上以遞增之 Al 含量予以分層，該第二距離約相等於對極化層 125 之介面的 $1/2T$ 。在該代表性實施例中，於與寬帶隙轉換層及極化層 115、125 之各者的介面處具有最大 Al 含量（例如，30% 或更大）之半導體通道 120 的一半厚度或中心平面處，Al 含量係 0%（亦即，純 GaN）。如第 1C 圖中所描繪地，電荷載子係再次缺席於與寬帶隙轉換層 115 的介面。

在半導體通道 120 內，Al 分層係有利地均勻，以便

獲得均勻的極化電荷密度。在該代表性實施例中，分層係自三族氮化物半導體通道 120 的 (0001) 及 (000 $\bar{1}$) 表面朝向一半厚度或中心平面而呈線性的。當然，非線性之分層（例如，在半導體通道 120 的厚度上呈拋物線，等等）係再次可能的。

對於四元素之實施例，Al 及 / 或 In 之分層係與第 1B、1C 圖中所描繪之該等者一致，而 Al 及 In 含量的至少一者在第一距離上變化自轉換層 115（例如，減少或增加），該第一距離約相等於三族氮化物半導體通道 120 之厚度的一半（ $1/2T$ ），且然後，在第二距離上對稱地變化（例如，增加或減少），該第二距離約相等於對極化層 125 之三族氮化物半導體通道 120 之厚度的一半（ $1/2T$ ）。

在其他實施例中，In 含量係分層而具有最高 In 含量於 N 面 (000 $\bar{1}$) 之寬帶隙材料的介面處，及最低 In 含量於 Ga 面 (0001) 之寬帶隙材料的介面處。此交變的分層輪廓係伴隨三族氮化物半導體通道 120 及高帶隙層 115、125 的對應橫剖面視圖，而被描繪於第 1D 圖中。如所示地，在與高帶隙轉換層 115 之介面處的 In 含量係足夠高，以便當高於臨限電壓的偏壓係施加至閘極電極時，用於將存在於鄰接寬帶隙轉換層 115 之三族氮化物半導體通道 120 之內的電荷載子（電子）。在代表性實施例中，峰值 In 含量係 20%，雖然其可在 15-20% 的範圍。再者，依據代表性的實施例，均勻分層係有利的，該代表性實施

例係線性分層，以致使一半厚度處之 In 含量係再大約 10%，而具有實質地純的 GaN 於極化層 125 之介面處。明顯地，即使具有與用於 In 所敘述之該者相反的輪廓，分層 Al 含量將不具有相同的功效，因為 GaN 帶隙係比用於 InGaN 實施例之該者更寬。

附註地，第 1B 及 1C 圖中所示之實施例伴有由於 Al 及 In 三元素合金之不同極化強度的結果而彼此相對地反轉的分層輪廓，該分層輪廓可被更便利地表示為帶隙的函數。透過比 GaN 的帶隙更小之 InGaN 的帶隙及比 GaN 的帶隙更寬之 AlGaN 的帶隙，於第 1B、1C，且甚至 1D 圖中之分層輪廓的各者將在距離該兩寬帶隙材料層 115 及 125 的至少一者之一距離上（朝向第 1B 及 1C 圖中之半導體通道的中心平面以及朝向第 1D 圖中之第二寬帶隙材料層），降低帶隙。換言之，對於第 1B 及 1C 圖中所描繪之實施例，帶隙自該兩寬帶隙材料層 115 及 125 二者朝向中心平面而減少。對於第 1D 圖中所描繪之實施例，帶隙自寬帶隙材料層 125 朝向寬帶隙材料層 115 而減少。

明顯地，在第 1A-1D 圖中所描繪之分層輪廓可相等地應用至成長於基板之側壁表面上的外延通道層，例如，其可針對提供 (110) 或 (100) 基板之 (111) 或 (110) 引晶表面的目的而予以做成。用於該等實施例，如第 1E 圖中所示，結構的樣板表面延伸自基板，以致使三族氮化物纖維鋅礦晶體被旋轉以具有 {0001} 面形式側壁，以及 {1010} 面形式頂部及底部表面的其中一者。第 1F 圖描

繪用於具有第 1E 圖中的取向之三族氮化物半導體通道 120 的代表性 In 及 / 或 Al 分層輪廓。

第 2A 圖描繪依據本發明實施例之三閘極非平面三族氮化物電晶體 201 的通道區之貫穿橫剖面。概括地，電晶體 201 使用分層之三族氮化物半導體通道 120，如就第 1A-1B 圖之情況而在本文其他處所敘述地，且因此，參考符號係保留以供在前所敘述的特徵之用。三族氮化物電晶體 201 係閘極電壓控制裝置（亦即，FinFET），且在代表性實施例中，係包含設置在基板層 205 上之至少一非平面晶體半導體通道 120 的 n 型 FinFET。

在實施例中，基板層 205 包含緩衝層，該緩衝層係由成長於支撐基板（未描繪）上之三族氮化物半導體（描繪於第 1A 圖中）所構成。在特殊實施例中，基板層 205 包含設置在矽支撐基板上之一或多層的 GaN。在代表性實施例中，矽支撐基板係實質單晶的，且係（100）矽（亦即，具有（100）頂部表面）或（110）矽（亦即，具有（110）頂部表面）。該支撐基板亦可係交變材料的，其可與矽或不與矽結合包含鍺、銻化銮、銻化鉛、砷化銮、磷化銮、砷化鎵、或銻化鎵、碳（SiC）、及藍寶石，但並未受到限制。

如第 2A 圖中所進一步顯示地，電晶體 201 包含非平面三族氮化物半導體本體，其係藉由轉換層 115 而與基板層 205 分離。在代表性實施例中，轉換層 115 係合成的，且相對於三族氮化物半導體道 120 而被實體地定位，以便

防止或至少降低來自電晶體 201 直至基板層 205 內的漏洩（亦即，子鰭漏洩）。因此，轉換層 115 係比與該轉換層 115 直接接觸之三族氮化物半導體材料更寬帶隙的材料。轉換層 115 亦准許三族氮化物半導體通道 120 的外延成長，且因此，亦具有纖維鋅礦晶體性。就此而論，轉換層 115 可係一或多個三族氮化物材料或具有包含 AlN、AlGa_N（例如，Al < 0.3Ga > 0.7N）、或 AlInN（例如，Al_{0.83}In_{0.17}N）之代表性三族氮化物材料的晶體電介質，以及包含諸如 TiN、SiN、AlN 之纖維鋅礦晶體氮化物及諸如 Al₂O₃、Gd₂O₃、Sc₂O₃、Ta₂O₅、及 TiO₂ 之纖維鋅礦晶體氧化物的代表性晶體電介質。該等電介質材料層係典型地沈積為多晶層，且當遭受到三族氮化物半導體的高成長溫度時，則易於形成適合做為用於三族氮化物成長之樣板的晶體。

三族氮化物半導體通道 120 係設置在轉換層 115 上。依據實施例，三族氮化物半導體通道 120 具有纖維鋅礦結構，且係沿著與 {0001} 底部平面垂直的成長方向（亦即，沿著三族氮化物半導體晶體的 c 軸）而被組成分層，如就第 1A 至 1C 圖的情況所敘述地。在實施例中，三族氮化物半導體通道 120 具有 25 奈米（nm）與 100 奈米（nm）之間的厚度（在第 2A 圖中之 z 軸）。在實施例中，三族氮化物半導體通道 120 具有本徵雜質摻雜位準，而無故意的摻雜物。如第 2A 圖中所示地，三族氮化物半導體通道 120 包含複數個層 120A-120N，用以強調沿著 c

軸之三族氮化物半導體通道厚度內的組成分層。在代表性實施例中，In 係在大約半導體通道厚度 T 的一半處被分層為峰值濃度。在代表性實施例中，三族氮化物半導體通道 120 包含 InGaN，其具有當 InGaN 之極化場係與 AlGaN 及 GaN 的該者相反而被取向時之凌駕 AlGaN 實施例的優點，且同時，其中距離寬帶隙轉換層 115 之導電帶偏置將變得更大。此導致相對較佳之載子約束用於給定的轉換層材料及／或放鬆在轉換層組成上之制約（例如，容許較低的 Al 含量於 AlGaN 轉換層中）。

如在第 2A 圖中所進一步描繪地，極化層 125 係設置在三族氮化物半導體通道 120 的 (0001) 表面上。極化層 125 係功能地用作電荷感應層，用以可控制地供應載子至三族氮化物半導體通道 120。在代表性實施例中，於厚度中，極化層 125 係在 1 奈米與 20 奈米之間的範圍。該極化層可進一步用作其中帶隙係足夠寬之載子約束的裝置。在代表性實施例中，極化層 125 包含 AlInGaN、AlGaN、AlInN、或 AlN 的至少一者。極化層 125 亦可伴有複數個組成不同層，例如，不同組成之第一電荷感應層及覆蓋式頂部勢壘層，用以容許電晶體臨限電壓調諧，且同時，針對降低之合金散射及高的載子遷移率以確保薄的（例如， >0.5 奈米）寬帶隙材料在半導體通道層之表面處。

透過如在第 1A-1B 圖之情況中所敘述的組成分層，極化場（及帶隙）係在分層的三族氮化物半導體通道 120 之內變化，而容許該三族氮化物半導體通道 120 內之大量電

荷的形成，其可接著藉由透過閘極電介質 240 的電場效應而予以調變，成為閘極電極 250 上之電壓電位的函數。透過用於閘極電極 250 之功函數的選擇，可設定臨限電壓 (V_t) 以界定半導體通道 120 的源極及汲極端間之導電性的開及關狀態。例如，可使用任何習知的源極/汲極構造以供電晶體 201 之用，該等源極/汲極區之進一步細節將予以省略。

第 2B 圖描繪依據本發明實施例之第 2A 圖中所描繪的電晶體 201 之三族氮化物通道區內之模型化電荷。三族氮化物半導體通道 120 的厚度 (z 維) 係模型化為 50 奈米及 10 奈米的 y 維寬度。如所顯示地，相對於區域 220M，與傳輸通道相關聯之較高電荷密度區係在大於臨限電壓之閘極偏壓情形下，沿著三族氮化物半導體通道 120 內的多重表面平面而存在。因此，除了鄰近 (0001) 頂部三族氮化物半導體通道表面 110C 之具有較高電荷密度的傳輸通道 220C 外，亦具有鄰近三族氮化物半導體通道側壁 210A 及 210B (亦即，鄰近 {1010} 平面) 之額外的傳輸通道 220A 及 220B。此更大的傳輸通道尺寸 (亦即，三維而非僅只二維) 係由於以與就第 1A-1B 圖的情況所敘述之實施例相同的方式，組成分層該三族氮化物半導體通道 120 之結果。明顯地，透過轉換層 115 的介面處之實質純的 GaN，即使在大於臨限電壓之閘極偏壓的情形下，亦無鄰近轉換層 115 之傳輸通道存在。就此而論，側壁傳輸通道 220A 及 220B 係夾止於非平面電晶體 201 的

基底 220N 處，而使子鰭漏洩降低。因此，該三族氮化物 FinFET 201 具有有利的多側傳輸通道，其係回應存在於該三族氮化物半導體通道 120 之側壁上的閘極堆疊。

第 2C 圖描繪依據本發明實施例之多重閘極非平面三族氮化物電晶體 202 的通道區之貫穿橫剖面。概括地，電晶體 202 使用分層之三族氮化物半導體通道 120，如就第 1D 圖之情況而在本文其他處所敘述地；且因此，參考符號係保留以供在前所敘述的特徵之用。三族氮化物電晶體 202 係閘極電壓控制裝置（亦即，“環繞式閘極”或“奈米佈線” FET），且在代表性實施例中，係包含設置在基板層 205 上之至少一非平面晶體半導體通道 120 的 n 型奈米佈線 FET。

如第 2C 圖中所示，電晶體 202 包含非平面三族氮化物半導體本體，其係藉由轉換層 115，以及閘極電介質 240 及閘極電極 250，而與基板層 205 分離。三族氮化物半導體通道 120 係設置在轉換層 115 上。依據代表性實施例，三族氮化物半導體通道 120 係沿著與 {0001} 底部平面垂直的成長方向（亦即，沿著三族氮化物半導體晶體的 c 軸）而被組成分層，如就第 1D 圖的情況所敘述地。在實施例中，三族氮化物半導體通道 120 具有厚度（在第 2C 圖中之 z 軸），該厚度係小於電晶體 201 之該者，例如，小於 30 奈米。三族氮化物半導體通道 120 的 y 維，或寬度係大於 z 軸厚度，例如大於等於 50 奈米，以供“帶狀物”幾何形狀之用。當然，其他尺寸係可能的。通

道摻雜係選用的，且在某些實施例，該三族氮化物半導體通道 120 再次地具有本徵雜質摻雜位準，而無故意的摻雜物。如第 2C 圖中所示地，三族氮化物半導體通道 120 包含複數個層 120A-120N，用以強調組成分層。在代表性實施例中，In 係自轉換層 115 之介面處的峰值濃度（例如，約 20%）分層至極化層 125 之介面處的 0%（純 GaN）。

第 2D 圖描繪依據本發明實施例之在施加正電位於閘極電極 250 上之下，於第 2C 圖中所描繪的電晶體 202 之三族氮化物半導體通道內的模型化電荷。與傳輸通道相關聯的電荷密度係再次在大於臨限電壓的閘極偏壓情形之下，沿著三族氮化物半導體通道 120 內的多重表面平面而存在。除了鄰近 (0001) 表面 110C 的傳輸通道 220C 之外，亦具有鄰近三族氮化物半導體通道 120 的 (000 $\bar{1}$) 表面之額外的傳輸通道 220D。此更大的傳輸通道尺寸（亦即，三維而非僅只二維）係由於以與就第 1D 圖的情況所敘述之實施例相同的方式，組成分層該三族氮化物半導體通道 120 之結果。明顯地，透過轉換層 115 的介面處之 20% 的 In 含量，鄰近轉換層 115 之傳輸通道 220D 可在大於臨限電壓的閘極偏壓情形之下，與傳輸通道 220C 重疊，以供朝向奈米佈線中心的最高載子濃度之用。因此，奈米佈線半導體之頂部及底部表面二者係功能地閘極耦接。

第 3 圖係流程圖，其描繪依據本發明實施例之非平面三族氮化物場效電晶體 (FET) 的製造方法 300。雖然方

法 300 強調主要操作，但各自操作可伴有更多的處理程序，且在第 3 圖中之操作的編號及該等操作的相關定位並不暗指順序。該方法 300 藉由諸如 MOCVD、MOVPE、或 MBE，但未受限制之技術，而在操作 301 處，以成長三族氮化物半導體堆疊開始。更特別地，操作 301 伴有形成諸如在本文其他處針對轉換層 115 所敘述之該等者的任一者之晶體寬帶隙轉換層。三族氮化物三元素或四元素半導體通道層係接著在轉換層之上成長，而合金組分的分壓係適當變化以在該通道層的厚度上分層該三族氮化物半導體通道層的組成，如本文其他處所敘述地（例如，朝向鄰近極化層之較窄帶隙組成）。

進一步地，分層可在有關三族氮化物半導體通道層的一半厚度予以均勻且對稱地執行。例如，在由轉換層之外延成長期間，三族氮化物半導體通道層的組成可以以朝向最窄帶隙組成之單調遞增的銦含量，且以直至第二較寬帶隙組成之單調遞減的銦含量，自鄰近轉換層之第一較低銦含量予以變化。選擇性地，對於奈米佈線實施例，在操作 301，三族氮化物半導體通道層的組成可在成長自鄰近轉換層之最高銦含量的期間，以朝向最窄帶隙組成之單調遞減的銦含量，在改變用於極化層之成長的反應器情形之前，予以變化。例如，自 0% 至 10%，或更多之 In 的分層可在操作 301 之期間發生。做為另一實例，自 30% 或更多，向下至 0% 並回到 30% 或更多之 Al 的分層可被執行於操作 301。緊隨著三族氮化物半導體通道的分層，寬

帶隙極化層係接著在鄰近寬帶隙組成的三族氮化物半導體通道層上被外延成長。

操作 301 係可應用至鰭式 FET 實施例或奈米佈線實施例，且選擇性外延技術可被使用以成長鰭或奈米佈線結構，或選擇性地，圖案化處理可予以執行於操作 303 而由全面性（非選擇性）外延成長形成鰭或奈米佈線結構。第 4A、4B、4C、及 4D 圖係依據方法 300 的實施例所製造之非平面三族氮化物奈米佈線電晶體的等距圖式。明顯地，在第 4A 圖中所描繪的鰭結構 410 係鰭式 FET 之更複雜的種類，其具備均勻的鰭式 FET 201 而具有實質相同的概括結構，且具備單一的三族氮化物半導體層而具有第 1B-1C 圖中的分層。因此，第 4A-4D 圖可相等地應用至做為奈米佈線電晶體 202 之鰭式 FET 201 的形成。

第 4A 圖描繪奈米佈線 210A 及 210B 的垂直堆疊，其各具有設置在寬帶隙轉換與極化層之間的分層半導體通道，如第 1D 圖中所描繪地。不同組成的犧牲材料 212A、212B、及 212C 係設置在奈米佈線 210A，210B 之間。層厚度 T_1 - T_4 係根據所欲的奈米佈線尺寸而定，且亦根據以閘極堆疊回填厚度 T_1 、 T_3 之能力而定。絕緣體層 407 係在基板層 205 上藉由例如，淺溝渠隔離技術，而被形成於鰭結構 410 的兩側上。

請翻閱第 3 圖，在操作 305，汲極接點係形成以部分地或全部地環繞奈米佈線 210A 及 210B。在操作 310，源極接點係相似地形成。在操作 315，閘極導體係同軸地完

全環繞三族氮化物堆疊 210A 及 210B 內之分層半導體通道。然後，裝置係使用例如，習知互連技術，而被完成於操作 320。

第 4B 圖描繪操作 305、310、及 315 的一實施例，其伴有形成被設置在鰭結構 410 上之犧牲閘極 412。請參閱第 4C 圖，犧牲閘極 412 已被去除，而留下間隔物 255 及層間電介質層 (ILD) 420 之部分。如第 4C 圖中所進一步顯示地，犧牲半導體層 212A、212B、及 212C 係在由犧牲閘極 412 所原始覆蓋的通道區中被去除。然後，保留第一半導體材料之分離的奈米佈線 210A 及 210B。

如第 4D 圖中所示，閘極堆疊係接著同軸地環繞通道區 245 內的奈米佈線 210A、210B。閘極 250 係在蝕刻外延堆疊成為分離的三族氮化物奈米佈線之後，被形成於層間電介質層 420 中的溝渠中。此外，第 4D 圖描繪源極及汲極區 235B 中之層間電介質層 420 之隨後的去除了源極/汲極接點 421 的形成之結果 (為描繪之緣故，伴隨著繪製有被暴露之第二源極/汲極末端的區域 220)。

第 5 圖係依據本發明實施例之行動計算平台之 SoC 實施的功能方塊圖。行動計算平台 500 可係用於電子資料顯示，電子資料處理及無線電子資料傳輸所組構之任何可攜帶式裝置。例如，行動計算平台 500 可係平板電腦、智慧型手機、膝上型電腦、及其類似者的任一者，且包含顯示螢幕 505、SoC 510、及電池 513，該顯示螢幕 505 在代表性實施例中係觸控螢幕 (例如，電容性、電感性、電阻

性、等等)，而准許使用者輸入的接收。如所描繪地，SoC 510 之整合的層次愈大，則在行動計算平台 500 內的形成因子愈多，該形成因子可由充電間之用於最長操作壽命的電池 513 所占有，或由用於最大功能之諸如固態硬碟的記憶體（未描述）所占有。

根據其應用，行動計算平台 500 可包含其他組件，該等其他組件包含揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功效放大器、全球定位系統（GPS）裝置、羅盤、加速計、陀螺儀、揚聲器、相機、及主儲存裝置（諸如硬碟驅動器、小型碟片（CD）、數位多功能碟片（DVD）、及其類似物），但並未受到限制。

SoC 510 係進一步描繪於擴展視圖 521 中。根據實施例，SoC 510 包含基板 102（亦即，晶片）之部分，其中兩個或更多個功率管理積體電路（PMIC）515、包含 RF 發射器及／或接收器之 RF 積體電路（RFIC）525、其控制器 511、及一或多個中央處理器核心 530、531 係製造於其上。RFIC 525 可實施許多無線電標準或協定的任一者，包含 Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、

GPRS、CDMA、TDMA、DECT、藍牙、其衍生物、以及被指明為 3G、4G、5G、及以上之任何其他的無線電協定，但並未受到限制。RFIC 525 可包含複數個通訊晶片。例如，第一通訊晶片可予以專用於諸如 Wi-Fi 及藍牙之較短距離無線電通訊，以及第二通訊晶片可被專用於諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、及其類似者之較長距離無線電通訊。

如將由熟習於本項技藝之人士所理解地，除了在 PMIC 515 及 RFIC 525 中之外，該等功能不同的電路模組之 CMOS 電晶體係典型獨有地使用。在本發明之實施例中，PMIC 515 及 RFIC 525 使用一或多個如本文所敘述之三族氮化物電晶體（例如，三族氮化物電晶體 401），該等電晶體使用本文所敘述之水平 c 軸三族氮化物外延堆疊。在進一步的實施例中，使用本文所敘述之三族氮化物電晶體的 PMIC 515 及 RFIC 525 係整合以一或多個控制器 511 及處理器核心 530、531，而以矽 CMOS 技術所提供之該等控制器 511 及處理器核心 530、531 係與 PMIC 515 及／或 RFIC 525 單片地整合至（矽）基板 102 上。將被理解的是，在 PMIC 515 及／或 RFIC 525 內，本文所敘述之具有高壓、高頻能力的三族氮化物電晶體無需排除 CMOS 地予以使用，而是矽 CMOS 可被進一步包含於 PMIC 515 及 RFIC 525 的各者之中。

在此所敘述之三族氮化物電晶體可被特別地使用於其中高壓擺動存在之處（例如，PMIC 515 內之 7 至 10 伏特

電池電力調整、直直流轉換、等等)。如所描繪地，在代表性實施例中，PMIC 515 具有被耦接至電池 513 的輸入，且具有提供電流供應至 SoC 510 中之所有其他功能模組的輸出。在進一步實施例中，於其中額外的 IC 係設置在行動計算平台 500 內，但與 SoC 510 分離之處，PMIC 515 輸出進一步提供電流供應至與 SoC 510 分離之所有該等額外的 IC。

如進一步所描繪地，在代表性實施例中，PMIC 515 具有被耦接至天線的輸出，且可進一步具有被耦接至諸如 RF 類比及數位式基帶模組（未描述）的 SoC 510 上之通訊模組的輸入。選擇性地，可將該等通訊模組設置在與 SoC 510 分離的 IC 晶片上，且耦接至 SoC 510 內，以供傳輸之用。根據所使用的三族氮化物材料，在此所敘述的三族氮化物電晶體（例如，三族氮化物電晶體 401）可進一步提供由具有至少 10 倍載波頻率之 F_t （例如，在設計用於 3G 或 GSM 行動通訊的 RFIC 525 中之 1.9 GHz）的功率放大器電晶體所需之大功率添加效率（PAE）。

第 6 圖描繪依據本發明一實施例之計算裝置 600。該計算裝置 600 收容板 602。該板 602 可包含若干組件，包含處理器 604 及至少一通訊晶片 606，但並未受到限制。處理器 604 係實體地及電性地耦接至板 602。在若干實施例中，該至少一通訊晶片 606 亦係實體地及電性地耦接至板 602。在進一步的實施例中，該通訊晶片 606 係處理器 604 的一部分。

根據其應用，計算裝置 600 可包含其他組件，其可以或並未實體地及電性地耦接至板 602。該等其他組件包含揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、陀螺儀、揚聲器、相機、及主儲存裝置（諸如硬碟驅動器、小型碟片（CD）、數位多功能碟片（DVD）、及其類似物），但並未受到限制。

通訊晶片 606 致能無線電通訊，用於資料至計算裝置 600 及來自計算裝置 600 之資料的轉移。“無線電”之用語及其衍生之用語可被使用以敘述電路、裝置、系統、方法、技術、通訊頻道、等等，而可透過非固態媒體之調變電磁輻射的使用以通訊資料。該用語並未暗指關聯的裝置不包含任何佈線，雖然在若干實施例中，它們可不包含。通訊晶片 606 可實施許多無線電標準或協定的任一者，包含 Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生物、以及被指明為 3G、4G、5G、及以上之任何其他的無線電協定，但並未受到限制。計算裝置 600 可包含複數個通訊晶片 606。例如，第一通訊晶片 606 可予以專用於諸如 Wi-Fi 及藍牙之

較短距離無線電通訊，以及第二通訊晶片 606 可被專用於諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、及其類似者之較長距離無線電通訊。

計算裝置 600 的處理器 604 包含被封裝於處理器 604 內之積體電路晶粒。在本發明之若干實施例中，該處理器的積體電路晶粒包含一或多個裝置，例如，依據本文其他處所敘述之實施例所建立的三族氮化物分層通道 MOS-FET。“處理器”之用語可意指任何裝置或部分之裝置，其處理例如，來自暫存器及／或記憶體之電子資料，以轉換該電子資料成為可被儲存於暫存器及／或記憶體中之其他的電子資料。

通訊晶片 606 亦包含被封裝於該通訊晶片 606 內之積體電路晶粒。依據本發明之另一實施例，通訊晶片的積體電路晶粒包含一或多個裝置，例如，具有依據本文其他處所敘述的實施例之特性及／或所製造的 MOS-FET。

在進一步的實施例中，收容於計算裝置 600 內之另一組件可包含積體電路晶粒，其包含一或多個裝置，例如，具有依據本文其他處所敘述的實施例之特性及／或所製造的 MOS-FET。

在實施例中，計算裝置 600 可係膝上型電腦、小筆電、筆電、超筆電、智慧型手機、平板電腦、個人數位助理（PDA）、超級行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜帶式音樂播放器、或數位錄影機。

將瞭解的是，上述說明僅係解說的，且非限制的。例如，雖然在圖式中的流程圖顯示由本發明之某些實施例所執行之操作的特殊順序，但應瞭解的是，該順序可非必要的（例如，選擇性實施例可以以不同順序而執行該等操作，可結合若干操作，可重疊若干操作，等等）。再者，一旦閱讀且瞭解上述說明，許多其他的實施例將呈明顯於熟習本項技藝之該等人士。雖然本發明已參照特定例示的實施例而予以敘述，但將認知的是，本發明並未受限於所敘述之實施例，且可以以在附錄申請專利範圍的精神及範疇內之修正例及選擇例而加以施行。因此，本發明之範疇應參照附錄的申請專利範圍，伴隨該等申請專利範圍所賦予權利之等效範圍的全部範疇，而予以決定。

【符號說明】

115：轉換層

120：三族氮化物半導體通道

125：極化層

201, 202：三族氮化物電晶體

205：基板層

120A-120N：層

240：閘極電介質

250：閘極電極

210A, 210B：三族氮化物半導體通道側壁

220A-220D：傳輸通道

220M：區域
220N：基底
300：方法
301-320：操作
410：鰭結構
407：絕緣體層
412：犧牲閘極
420：層間電介質層(ILD)
255：間隔物
245：通道區
421：源極/汲極接點
235B：源極/汲極區
500：計算平台
510：系統單晶片(SoC)
513：電池
511：控制器
515：功率管理積體電路
525：射頻積體電路
530, 531：處理器核心
600：計算裝置
602：板
604：處理器
606：通訊晶片

發明摘要

※申請案號：105135733(由104142483分割)

※申請日：102年11月12日

※IPC分類：H01L 21/336 (2006.01)
H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

具有組成分層半導體通道的非平面三族氮化物電晶體
Nonplanar III-N transistors with compositionally graded semiconductor channels

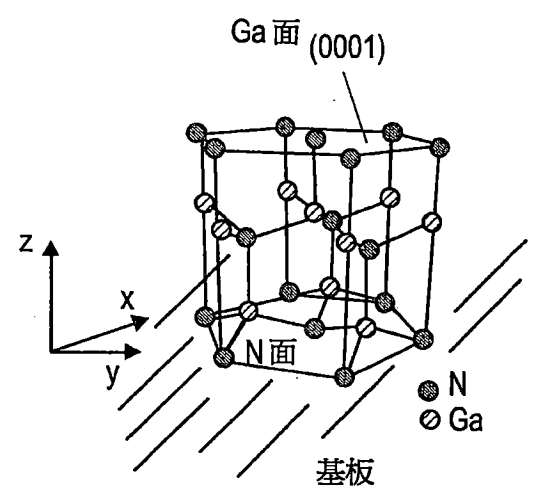
【中文】

三族氮化物半導體通道係組成分層於轉換層與三族氮化物極化層之間。在實施例中，閘極堆疊係沈積在包含分層之三族氮化物半導體通道的鰭之側壁上，而允許鄰接至少兩面側壁表面的三族氮化物半導體通道中之傳輸通道的形成，以回應閘極偏壓。在實施例中，閘極堆疊係完全沈積在包含組成分層之三族氮化物半導體通道的奈米佈線之周圍，而致能鄰接極化層及轉換層二者的三族氮化物半導體通道中之傳輸通道的形成以回應閘極偏壓。

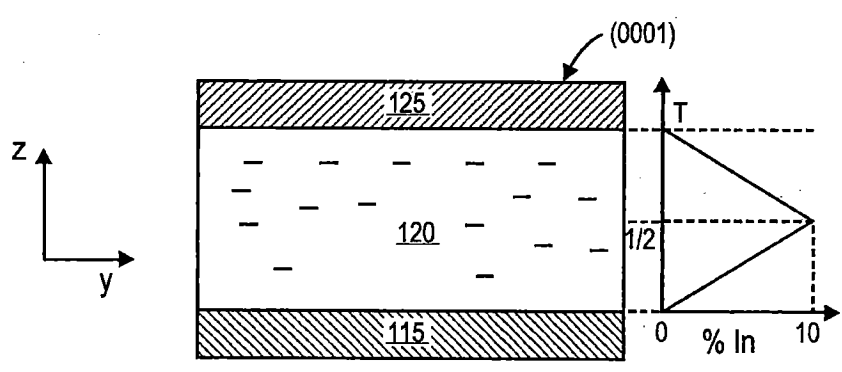
【英文】

A III-N semiconductor channel is compositionally graded between a transition layer and a III-N polarization layer. In embodiments, a gate stack is deposited over sidewalls of a fin including the graded III-N semiconductor channel allowing for formation of a transport channel in the III-N semiconductor channel adjacent to at least both sidewall surfaces in response to a gate bias voltage. In embodiments, a gate stack is deposited completely around a nanowire including a III-N semiconductor channel compositionally graded to enable formation of a transport channel in the III-N semiconductor channel adjacent to both the polarization layer and the transition layer in response to a gate bias voltage.

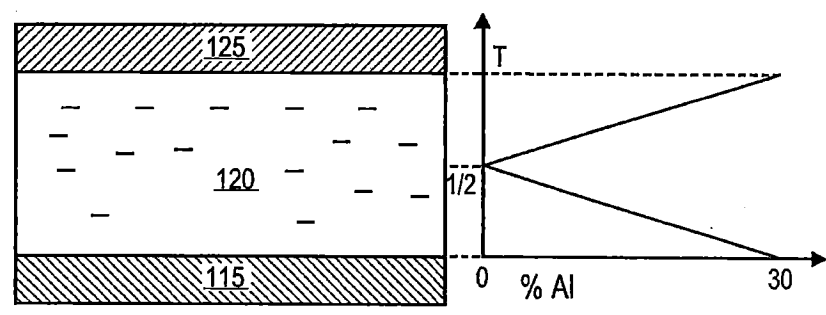
圖式



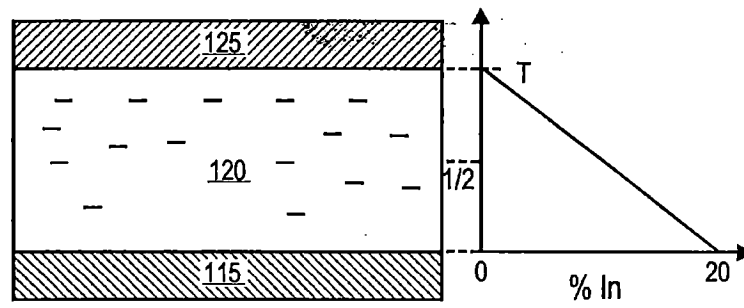
第 1A 圖



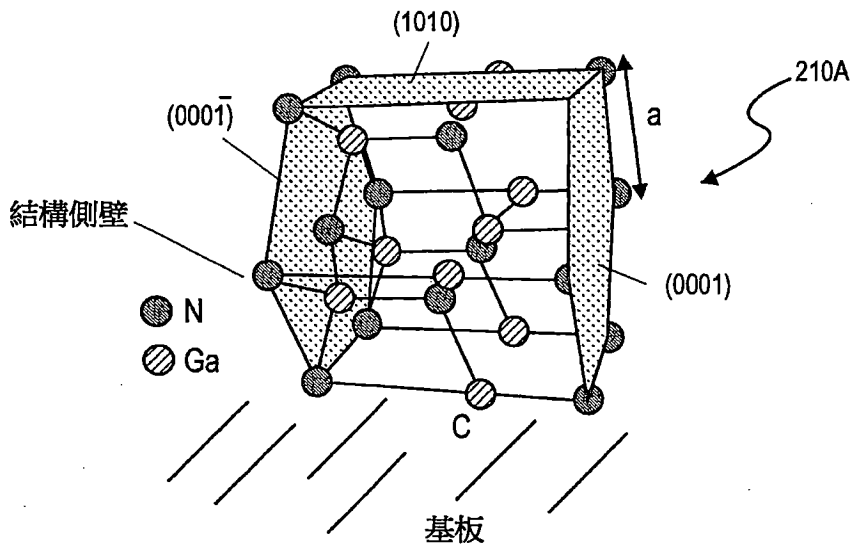
第 1B 圖



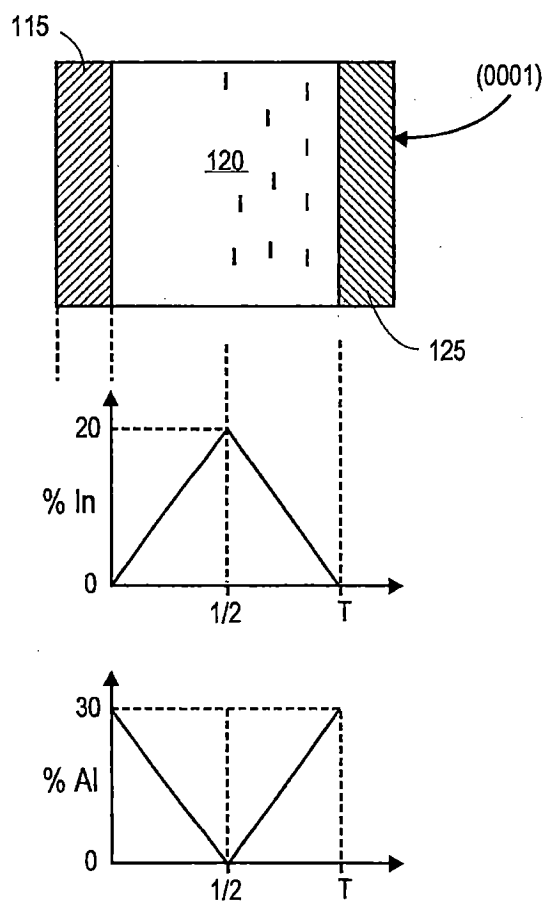
第 1C 圖



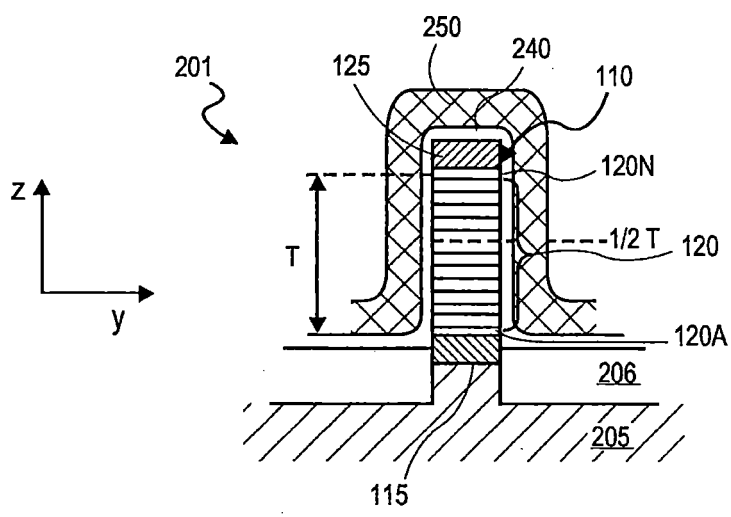
第 1D 圖



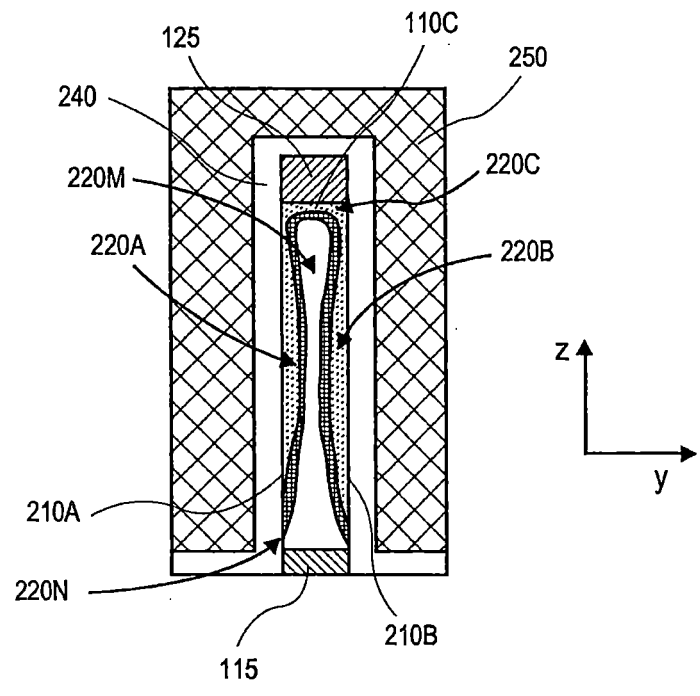
第 1E 圖



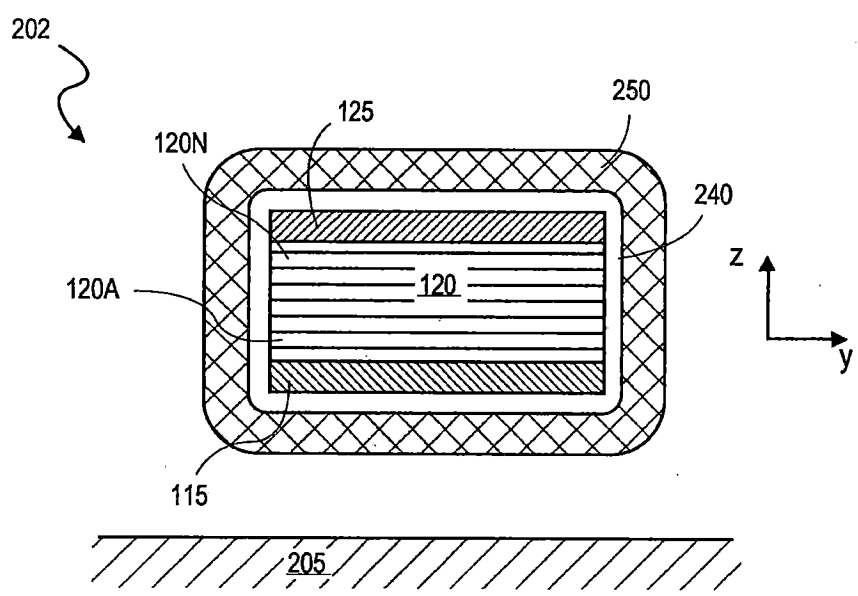
第 1F 圖



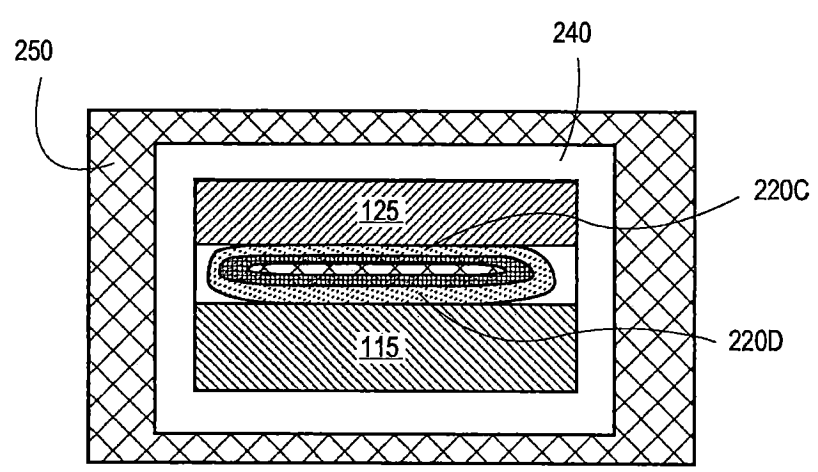
第 2A 圖



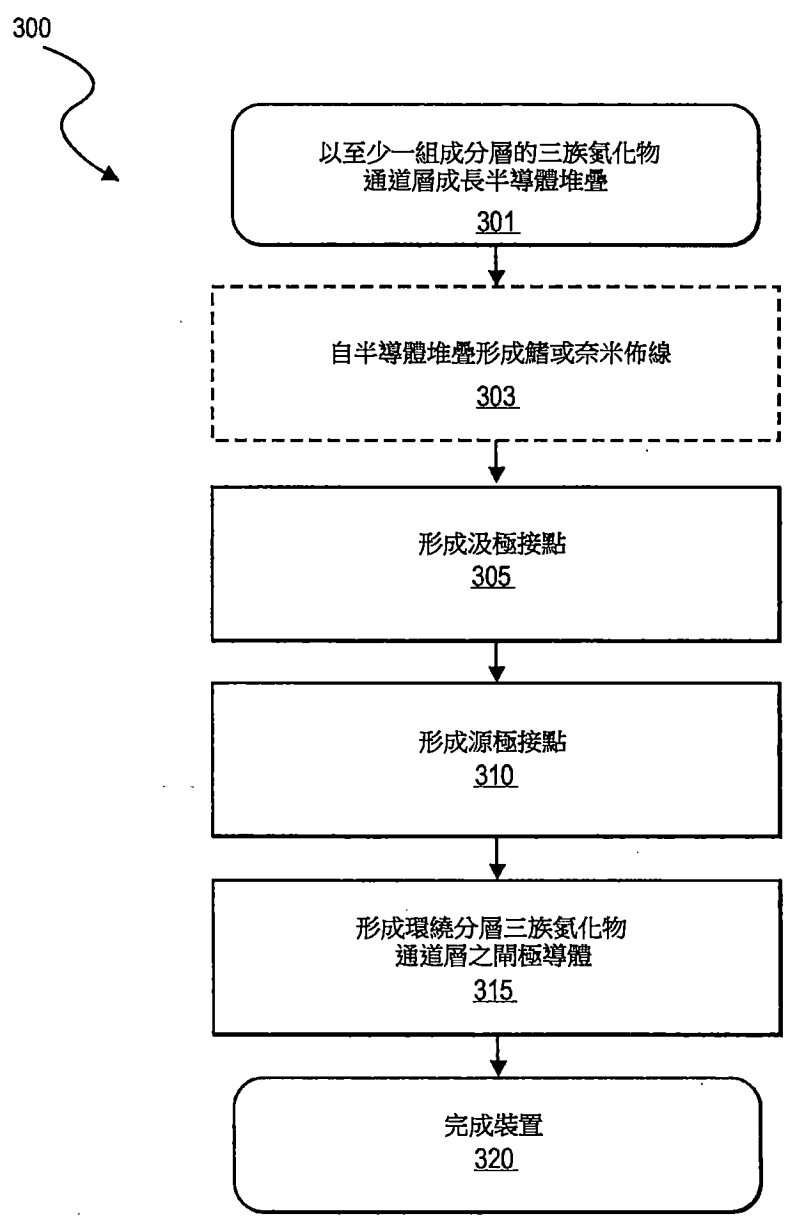
第 2B 圖



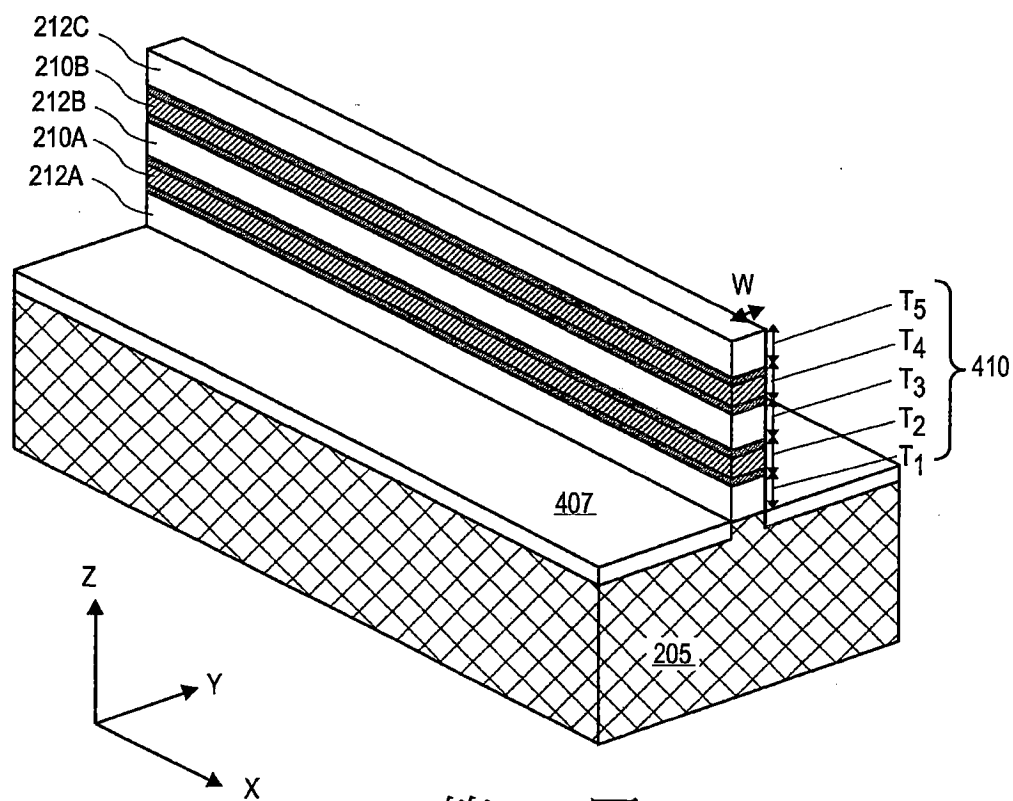
第 2C 圖



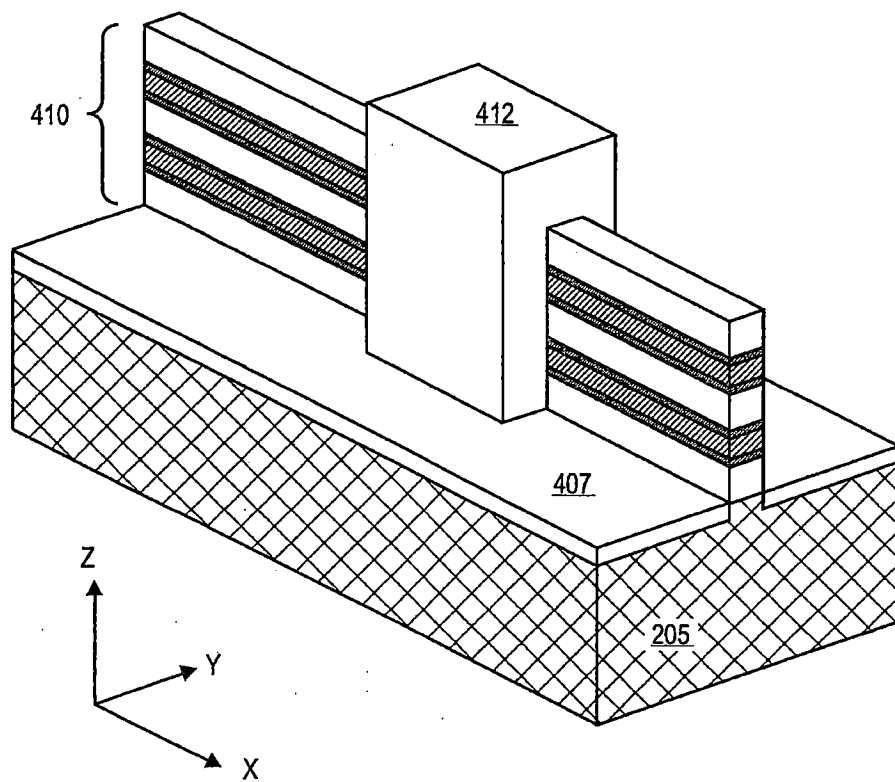
第 2D 圖



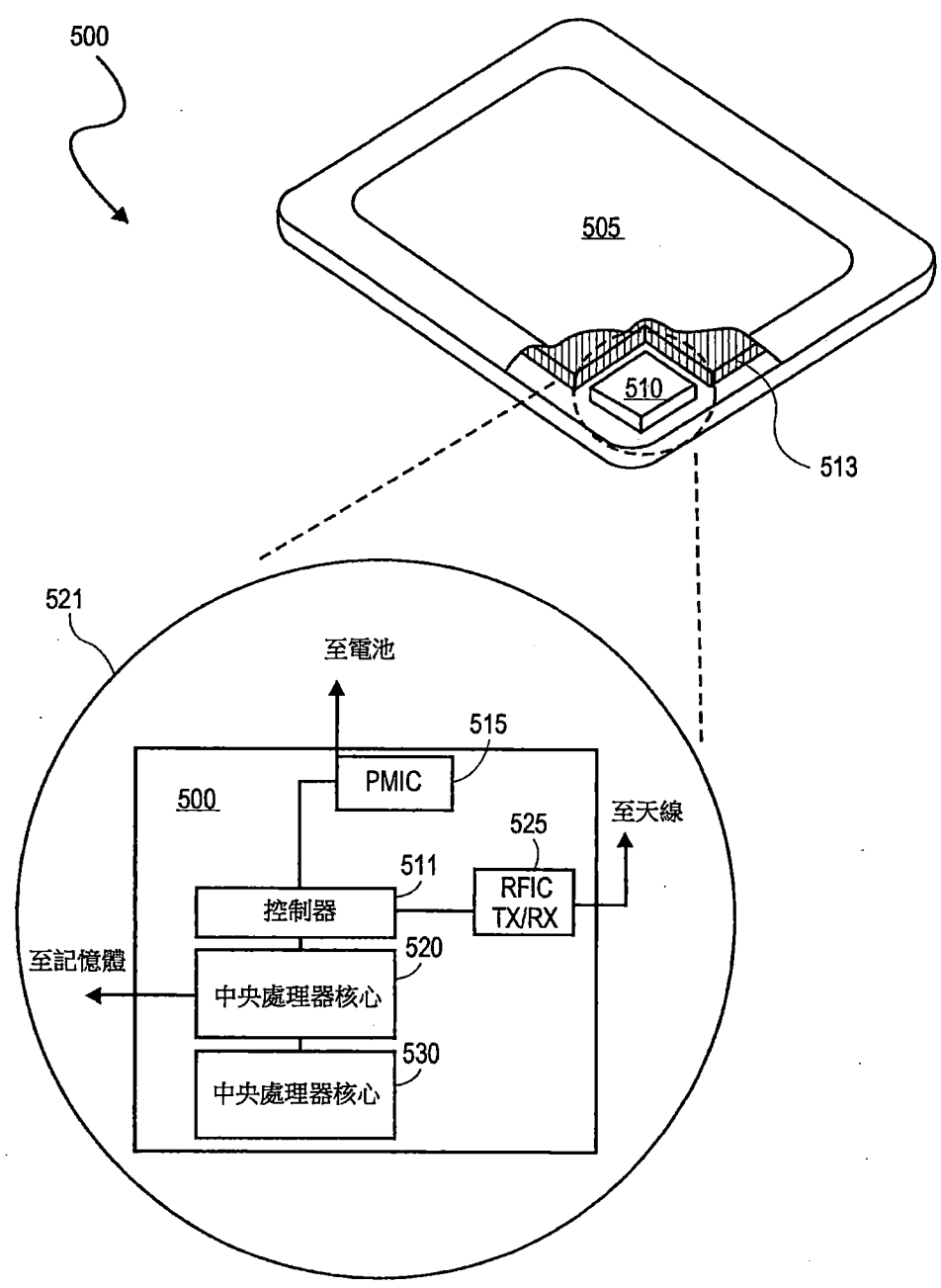
第 3 圖



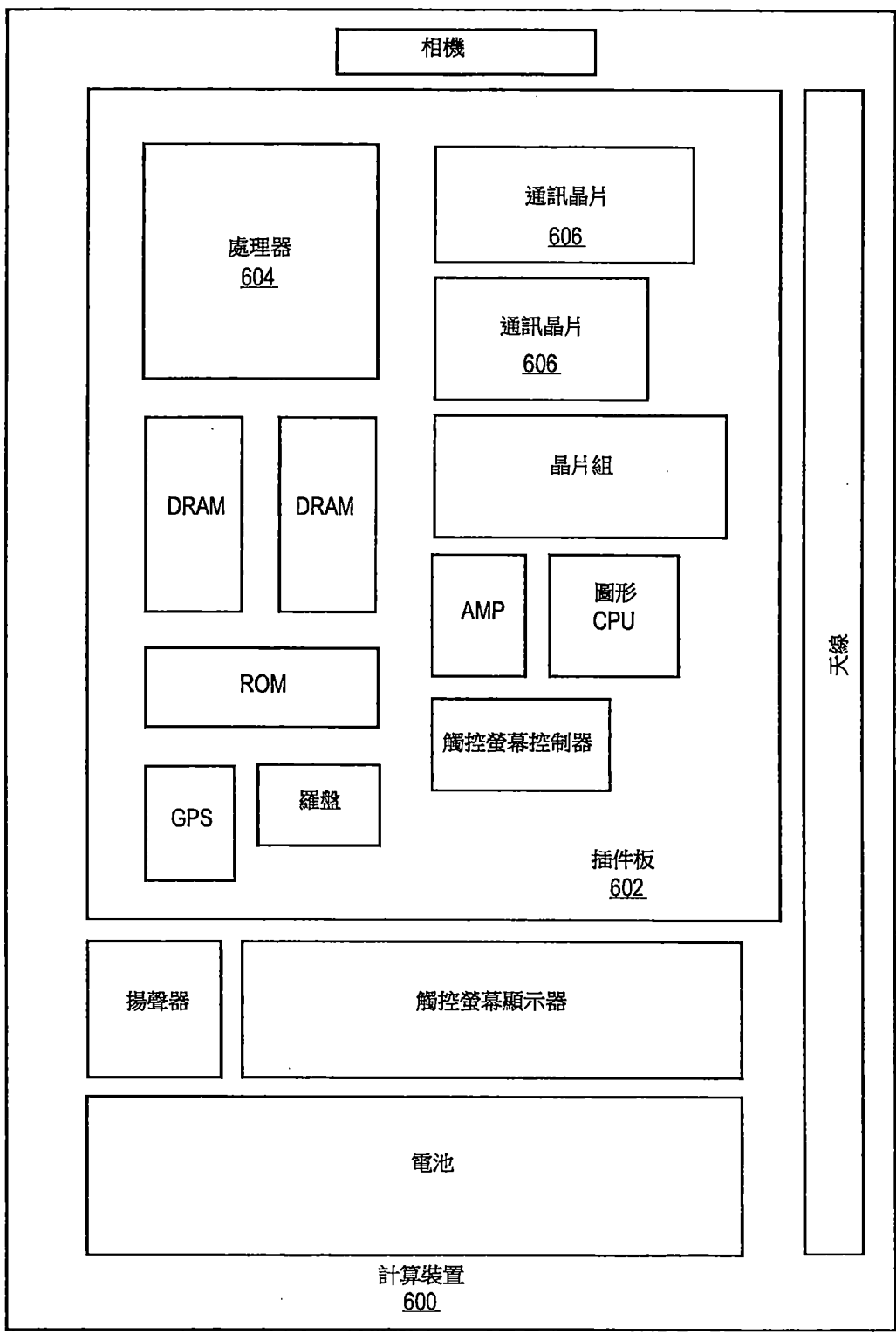
第 4A 圖



第 4B 圖



第 5 圖



第 6 圖

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

115：轉換層

120：三族氮化物半導體通道

125：極化層

210A：三族氮化物半導體通道側壁

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

申請專利範圍

1. 一種非平面三族氮化物電晶體，係設置在基板上，該電晶體包含：

奈米佈線通道，該奈米佈線通道包含在三族氮化物半導體材料的相對表面上的兩個寬帶隙材料層；

閘極堆疊，其包含閘極電介質和閘極電極，該閘極堆疊環繞該奈米佈線通道；

源極區，在該閘極堆疊的第一側耦接至該奈米佈線通道；以及

汲極區，在該閘極堆疊的第二側耦接至該奈米佈線通道，該閘極堆疊的該第二側與該閘極堆疊的該第一側相對。

2. 如申請專利範圍第 1 項之非平面三族氮化物電晶體，其中該兩個寬帶隙材料層係設置於該三族氮化物半導體材料的垂直相對表面上。

3. 如申請專利範圍第 1 項之非平面三族氮化物電晶體，其中該兩個寬帶隙材料層係設置於該三族氮化物半導體材料的相對 {0001} 表面上。

4. 如申請專利範圍第 1 項之非平面三族氮化物電晶體，其中該三族氮化物半導體材料具有沿著該兩個寬帶隙材料層間之 c 軸的組成分層。

5. 如申請專利範圍第 4 項之非平面三族氮化物電晶體，其中該三族氮化物半導體材料具有自該兩個寬帶隙材料層的至少一者朝向中心平面減少的帶隙，該中心平面係

與該 c 軸正交且於該三族氮化物半導體材料內的中心位置。

6. 如申請專利範圍第 5 項之非平面三族氮化物電晶體，其中有關該中心平面的該組成分層係均勻且對稱的。

7. 如申請專利範圍第 6 項之非平面三族氮化物電晶體，其中該組成分層包含鄰近該兩個寬帶隙材料層之各者的最高 Al 含量，朝向該中心平面而遞減。

8. 一種製造非平面三族氮化物電晶體的方法，該電晶體設置在基板上，該方法包含：

形成奈米佈線通道，該奈米佈線通道包含在三族氮化物半導體材料的相對表面上的兩個寬帶隙材料層；

形成閘極堆疊，其包含閘極電介質和閘極電極，該閘極堆疊環繞該奈米佈線通道；以及

形成源極區和汲極區在該奈米佈線通道相對側上，其中該閘極堆疊係在該源極區和該汲極區之間。

9. 如申請專利範圍第 8 項之方法，其中該兩個寬帶隙材料層被形成於該三族氮化物半導體材料的垂直相對表面上。

10. 如申請專利範圍第 8 項之方法，其中該兩個寬帶隙材料層被形成於該三族氮化物半導體材料的相對 $\{0001\}$ 表面上。

11. 如申請專利範圍第 8 項之方法，其中該三族氮化物半導體材料具有沿著該兩個寬帶隙材料層間之 c 軸的組成分層。

12. 如申請專利範圍第 11 項之方法，其中該三族氮化物半導體材料具有自該兩個寬帶隙材料層的至少一者朝向中心平面減少的帶隙，該中心平面係與該 c 軸正交且於該三族氮化物半導體材料內的中心位置。

13. 如申請專利範圍第 12 項之方法，其中有關該中心平面的該組成分層係均勻且對稱的。

14. 如申請專利範圍第 13 項之方法，其中該組成分層包含鄰近該兩個寬帶隙材料層之各者的最高 Al 含量，朝向該中心平面而遞減。