



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년11월23일 10-0648290 2006년11월14일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0068039 2005년07월26일 2005년07월26일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	이철호 경기 수원시 영통구 영통동 벽적골8단지아파트 972-2 벽적골주공아파트 832동 2002호 이진엽 서울특별시 서초구 잠원동 신반포 4차APT 207동 904호
(74) 대리인	임창현 권혁수 송윤호 오세준

심사관 : 조명관

전체 청구항 수 : 총 22 항

(54) 프로그램 속도를 향상시킬 수 있는 불 휘발성 메모리 장치및 그것의 프로그램 방법

(57) 요약

여기에는 불 휘발성 메모리 장치를 프로그램하는 방법이 제공되며, 이 방법은 선택된 메모리 셀들을 프로그램하는 단계와; 상기 프로그램된 메모리 셀들로부터 데이터 비트들을 읽는 단계와; 상기 읽혀진 데이터 비트들이 일정 단위로 순차적으로 선택되고 상기 선택된 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부가 판별되는 제 1 열 스캔 동작을 수행하는 단계와; 그리고 상기 제 1 열 스캔 동작 도중 페일이 발생할 때, 프로그램 루프 횟수에 따라 상기 읽혀진 데이터에 포함된 페일 비트 수를 검출하기 위한 제 2 열 스캔 동작을 수행하는 단계와; 그리고 상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때, 프로그램 패스로서 프로그램 동작을 종료하는 단계를 포함한다.

대표도

도 3

특허청구의 범위

청구항 1.

불 휘발성 메모리 장치를 프로그램하는 방법에 있어서:

선택된 메모리 셀들을 프로그램하는 단계와;

상기 프로그램된 메모리 셀들로부터 데이터 비트들을 읽는 단계와;

상기 읽혀진 데이터 비트들이 일정 단위로 순차적으로 선택되고 상기 선택된 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부가 판별되는 제 1 열 스캔 동작을 수행하는 단계와; 그리고

상기 제 1 열 스캔 동작 도중 페일이 발생할 때, 프로그램 루프 횟수에 따라 상기 읽혀진 데이터에 포함된 페일 비트 수를 검출하기 위한 제 2 열 스캔 동작을 수행하는 단계와; 그리고

상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때, 프로그램 패스로서 프로그램 동작을 종료하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2.

제 1 항에 있어서,

상기 제 2 열 스캔 동작은 프로그램 루프 횟수가 2회 내지 3회 진행된 후 수행되는 것을 특징으로 하는 방법.

청구항 3.

제 1 항에 있어서,

상기 에러 정정 가능한 비트 수보다 많은 페일 비트 수가 검출될 때 상기 제 2 열 스캔 동작을 중지하는 것을 특징으로 하는 방법.

청구항 4.

제 3 항에 있어서,

상기 제 2 열 스캔 동작이 중지된 후, 상기 프로그램 단계, 상기 읽기 단계, 그리고 상기 제 1 및 제 2 열 스캔 단계들이 반복되는 것을 특징으로 하는 방법.

청구항 5.

제 1 항에 있어서,

상기 제 2 열 스캔 동작은 상기 제 1 열 스캔 동작시 페일이 발생한 데이터 비트들부터 시작되는 것을 특징으로 하는 방법.

청구항 6.

불 휘발성 메모리 장치를 프로그램하는 방법에 있어서:

선택된 메모리 셀들을 프로그램하는 단계와;

상기 선택된 메모리 셀들이 프로그램된 후 검증 읽기 동작을 수행하는 단계와;

상기 검증 읽기 동작이 수행된 후 제 1 열 스캔 동작을 수행하는 단계와; 그리고

상기 제 1 열 스캔 동작 중에 페일이 발생할 때 제 2 열 스캔 동작을 수행하는 단계를 포함하되,

상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때, 프로그램 동작이 프로그램 패스로서 종료되는 것을 특징으로 하는 방법.

청구항 7.

제 6 항에 있어서,

상기 제 1 열 스캔 동작 동안, 상기 읽혀진 데이터 비트들이 일정 단위로 순차적으로 선택되고 상기 선택된 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부가 판별되는 것을 특징으로 하는 방법.

청구항 8.

제 6 항에 있어서,

상기 제 2 열 스캔 동작 동안, 상기 읽혀진 데이터에 포함된 페일 비트 수가 검출되는 것을 특징으로 하는 방법.

청구항 9.

제 6 항에 있어서,

상기 제 2 열 스캔 동작은 프로그램 루프 횟수에 따라 수행되는 것을 특징으로 하는 방법.

청구항 10.

제 6 항에 있어서,

상기 제 2 열 스캔 동작은 프로그램 루프 횟수가 2회 내지 3회 진행된 후 수행되는 것을 특징으로 하는 방법.

청구항 11.

제 6 항에 있어서,

상기 에러 정정 가능한 비트 수보다 많은 페일 비트 수가 검출될 때 상기 제 2 열 스캔 동작을 중지하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 12.

제 11 항에 있어서,

상기 제 2 열 스캔 동작이 중지된 후, 상기 프로그램 동작, 상기 검증 읽기 동작, 그리고 상기 제 1 및 제 2 열 스캔 동작들이 반복되는 것을 특징으로 하는 방법.

청구항 13.

제 6 항에 있어서,

상기 제 2 열 스캔 동작은 상기 제 1 열 스캔 동작시 페일이 발생한 데이터 비트들부터 시작하는 것을 특징으로 하는 방법.

청구항 14.

행들 및 열들로 배열된 메모리 셀들의 어레이와;

검증 읽기 동작시, 선택된 행의 메모리 셀들로부터 데이터 비트들을 읽는 페이지 버퍼 회로와;

열 어드레스에 응답하여 상기 페이지 버퍼 회로 내의 데이터비트들을 일정 단위로 선택하는 열 선택 회로와;

제 1 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부를 판별하는 패스/페일 점검 회로와;

제 2 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들에 포함된 페일 비트를 계산하는 페일 비트 카운터 회로와; 그리고

상기 제 1 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들 중 적어도 하나가 프로그램 페일 데이터 비트임을 나타낼 때, 상기 제 2 열 스캔 동작이 수행되도록 상기 페일 비트 카운터 회로를 활성화시키는 제어 로직 회로를 포함하며,

상기 제어 로직 회로는 상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때 프로그램 패스로서 프로그램 동작을 종료시키는 불 휘발성 메모리 장치.

청구항 15.

제 14 항에 있어서,

상기 제어 로직 회로는 상기 제 1 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들 중 적어도 하나가 프로그램 페일 데이터 비트임을 나타낼 때 상기 패스/페일 점검 회로를 비활성화시키는 불 휘발성 메모리 장치.

청구항 16.

제 14 항에 있어서,

상기 제 1 열 스캔 동작시 상기 제어 로직 회로에 의해서 제어되며, 상기 열 선택 회로에 공급될 제 1 열 어드레스들을 순차적으로 발생하는 제 1 어드레스 발생 회로와; 그리고

상기 제 2 열 스캔 동작시 상기 제어 로직 회로에 의해서 제어되며, 상기 제 1 열 스캔 동작 동안 상기 제 1 어드레스 발생 회로에서 마지막으로 출력된 제 1 열 어드레스를 시작 어드레스로서 입력받고, 상기 입력된 어드레스에 응답하여 상기 열 선택 회로에 공급될 제 2 열 어드레스들을 순차적으로 발생하는 제 2 어드레스 발생 회로를 더 포함하는 불 휘발성 메모리 장치.

청구항 17.

제 14 항에 있어서,

상기 제 2 열 스캔 동작은 프로그램 루프 횟수가 2회 내지 3회 진행된 후 수행되는 불 휘발성 메모리 장치.

청구항 18.

제 14 항에 있어서,

상기 제어 로직 회로는 상기 에러 정정 가능한 비트 수보다 많은 패일 비트 수가 검출될 때 상기 제 2 열 스캔 동작을 중지시키는 불 휘발성 메모리 장치.

청구항 19.

제 18 항에 있어서,

상기 제 2 열 스캔 동작이 중지된 후, 상기 제어 로직 회로는 다음의 프로그램 루프가 진행되게 하는 불 휘발성 메모리 장치.

청구항 20.

제 14 항에 있어서,

상기 제어 로직 회로에 의해서 제어되며, 프로그램 루프 횟수를 계산하는 루프 카운터 회로와; 그리고

최대 프로그램 루프 횟수를 저장하기 위한 프로그램 회로를 더 포함하며, 상기 프로그램 회로에 저장된 상기 최대 프로그램 루프 횟수는 상기 제어 로직 회로로 공급되는 불 휘발성 메모리 장치.

청구항 21.

제 20 항에 있어서,

상기 프로그램 회로는 상기 최대 프로그램 루프 횟수가 조절 가능하도록 프로그램되는 불 휘발성 메모리 장치.

청구항 22.

제 20 항에 있어서,

상기 제어 로직 회로는 상기 루프 카운터 회로로부터 제공되는 프로그램 루프 횟수가 상기 최대 프로그램 루프 횟수에 도달할 때 프로그램 동작을 종료시키는 불 휘발성 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 불 휘발성 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

반도체 메모리 장치에 저장된 데이터의 리프래시 없이 전기적으로 소거 및 프로그램 가능한 반도체 메모리 장치들에 대한 요구가 점차적으로 증가되고 있다. 또한, 메모리 장치의 저장 용량 및 집적도를 높이는 것이 주된 흐름이다. 저장된 데이터의 리프래시 없이 대용량 및 높은 집적도를 제공하는 불 휘발성 반도체 메모리 장치의 일 예가 낸드형 플래시 메모리 장치이다. 파워-오프시 조차 데이터를 그대로 유지하기 때문에, 그러한 플래시 메모리 장치는 전원이 갑자기 차단될 수 있는 전자 장치들 (예들 들면, 휴대용 단말기, 휴대용 컴퓨터, 등등)에 폭넓게 사용되고 있다.

예시적인 불 휘발성 메모리 장치가 U.S. Patent No. 5,677,873에 "*METHOD OF PROGRAMMING FLASH EEPROM INTEGRATED CIRCUIT MEMORY DEVICES TO PREVENT INADVERTENT PROGRAMMING OF NONDESIGNATED NAND MEMORY CELLS THEREIN*"라는 제목으로, 그리고 U.S. Patent No. 5,991,202에 "*METHOD FOR REDUCING PROGRAM DISTURB DURING SELF-BOOSTING IN A NAND FLASH MMEORY*"라는 제목으로 개시되어 있고, 이 출원의 레퍼런스로 포함된다.

도 1은 일반적인 불 휘발성 메모리 장치의 프로그램 절차를 보여주는 흐름도이다. 이하, 일반적인 불 휘발성 메모리 장치의 프로그램 방법이 도 1을 참조하여 설명될 것이다.

프로그램 동작이 개시되면, 먼저, 프로그램될 데이터가 불 휘발성 메모리 장치의 레지스터 내에 로드된다(S10). 일단 프로그램될 데이터의 로드가 완료되면, 로드된 데이터는 메모리 셀 어레이에 프로그램된다(S20). 프로그램된 메모리 셀들이 원하는 문턱 전압을 갖는지의 여부를 판별하기 위해서 검증 읽기 동작이 수행된다(S30). 검증 동작에 따라 읽혀진 데이터는 레지스터 내에 임시 저장된다. 레지스터 내에 저장된 데이터는 일정 단위로 선택되어 내부 데이터 버스에 실린다(S40). 이러한 동작은 이하 "열 스캔 동작(column scan operation)"이라 칭한다. 내부 데이터 버스 상에 실린 일정 단위의 데이터 비트들이 동일한 값(예를 들면, 프로그램 패스 데이터 값)을 갖는지의 여부가 판별된다(S50). 즉, 프로그램 동작이 성공하였는지의 여부가 판별된다. 만약 내부 데이터 버스 상에 실린 일정 단위의 데이터 비트들 중 적어도 하나의 데이터 비트가 프로그램 페일 데이터 값을 가지면, 현재의 프로그램 루프가 최대 프로그램 루프인 지의 여부가 판별된다(S60). 만약 현재의 프로그램 루프가 최대 프로그램 루프가 아니면, 절차는 S20 단계로 진행한다. 만약 현재의 프로그램 루프가 최대 프로그램 루프이면, 프로그램 동작이 프로그램 페일로서 처리되고(S70), 프로그램 절차가 종료된다. S50 단계에 있어서, 만약 내부 데이터 버스 상에 실린 일정 단위의 데이터 비트들이 모두 프로그램 패스 데이터 값을 가지면, 프로그램 동작은 프로그램 패스로서 처리되고(S80), 프로그램 절차가 종료된다.

앞서의 설명에서 알 수 있듯이, 프로그램 동작은 다수의 프로그램 루프들을 통해 수행되며, 각 프로그램 루프는 프로그램 구간(S20)과 프로그램 검증 구간(S30~S50)으로 구성된다. 프로그램 루프는 선택된 메모리 셀들이 모두 프로그램될 때까지 최대 프로그램 루프 횟수 내에서 반복적으로 수행된다. 만약 프로그램 동작이 최대 프로그램 루프 횟수 내에서 프로그램 페일로 처리되면, 프로그램 페일된 메모리 블록은 결함 블록(bad block)으로 분류된다. 결함 블록으로의 분류는 페일 비트 수(fail bit number)(이는 프로그램되어야 하지만 프로그램되지 않은 데이터 비트들의 수를 의미함)에 관계없이 행해진다. 만약 페일 비트 수가 여러 정정 회로에 의해서 가능한 비트 수 내에 포함되면, 그러한 페일 데이터 비트들은 읽기 동작시 여러 정정 회로에 의해서 정정될 수 있다. 다시 말해서, 프로그램 동작이 페일 비트 수에 따라 선택적으로 프로그램 패스로서 처리된다면, 결함 블록의 생성을 억제할 수 있을 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 프로그램 시간을 줄이고, 결함 블록의 생성을 억제하고, 프로그램 루프 횟수를 조절할 수 있는 불 휘발성 메모리 장치 및 그것의 프로그램 방법을 제공하는 것이다.

발명의 구성

상술한 제반 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 불 휘발성 메모리 장치를 프로그램하는 방법은 선택된 메모리 셀들을 프로그램하는 단계와; 상기 프로그램된 메모리 셀들로부터 데이터 비트들을 읽는 단계와; 상기 읽혀진 데이터

비트들이 일정 단위로 순차적으로 선택되고 상기 선택된 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부가 판별되는 제 1 열 스캔 동작을 수행하는 단계와; 그리고 상기 제 1 열 스캔 동작 도중 페일이 발생할 때, 프로그램 루프 횟수에 따라 상기 읽혀진 데이터에 포함된 페일 비트 수를 검출하기 위한 제 2 열 스캔 동작을 수행하는 단계와; 그리고 상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때, 프로그램 패스로서 프로그램 동작을 종료하는 단계를 포함한다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작은 프로그램 루프 횟수가 2회 내지 3회 진행된 후 수행된다.

예시적인 실시예에 있어서, 상기 에러 정정 가능한 비트 수보다 많은 페일 비트 수가 검출될 때 상기 제 2 열 스캔 동작이 중지된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작이 중지된 후, 상기 프로그램 단계, 상기 읽기 단계, 그리고 상기 제 1 및 제 2 열 스캔 단계들이 반복된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작은 상기 제 1 열 스캔 동작시 페일이 발생한 데이터 비트들부터 시작한다.

본 발명의 다른 특징에 따르면, 불 휘발성 메모리 장치를 프로그램하는 방법은 선택된 메모리 셀들을 프로그램하는 단계와; 상기 선택된 메모리 셀들이 프로그램된 후 검증 읽기 동작을 수행하는 단계와; 상기 검증 읽기 동작이 수행된 후 제 1 열 스캔 동작을 수행하는 단계와; 그리고 상기 제 1 열 스캔 동작 중에 페일이 발생할 때 제 2 열 스캔 동작을 수행하는 단계를 포함하되, 상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때, 프로그램 동작이 프로그램 패스로서 종료된다.

예시적인 실시예에 있어서, 상기 제 1 열 스캔 동작 동안, 상기 읽혀진 데이터 비트들이 일정 단위로 순차적으로 선택되고 상기 선택된 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부가 판별된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작 동안, 상기 읽혀진 데이터에 포함된 페일 비트 수가 검출된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작은 프로그램 루프 횟수에 따라 수행된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작은 프로그램 루프 횟수가 2회 내지 3회 진행된 후 수행된다.

예시적인 실시예에 있어서, 상기 에러 정정 가능한 비트 수보다 많은 페일 비트 수가 검출될 때 상기 제 2 열 스캔 동작을 중지하는 단계가 더 포함된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작이 중지된 후, 상기 프로그램 동작, 상기 검증 읽기 동작, 그리고 상기 제 1 및 제 2 열 스캔 동작들이 반복된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작은 상기 제 1 열 스캔 동작시 페일이 발생한 데이터 비트들부터 시작한다.

본 발명의 또 다른 특징에 따르면, 플래시 메모리 장치는 행들 및 열들로 배열된 메모리 셀들의 어레이와; 검증 읽기 동작시, 선택된 행의 메모리 셀들로부터 데이터 비트들을 읽는 페이지 버퍼 회로와; 열 어드레스에 응답하여 상기 페이지 버퍼 회로 내의 데이터비트들을 일정 단위로 선택하는 열 선택 회로와; 제 1 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들이 모두 프로그램 패스 데이터 비트인 지의 여부를 판별하는 패스/페일 점검 회로와; 제 2 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들에 포함된 페일 비트를 계산하는 페일 비트 카운터 회로와; 그리고 상기 제 1 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들 중 적어도 하나가 프로그램 페일 데이터 비트임을 나타낼 때, 상기 제 2 열 스캔 동작이 수행되도록 상기 페일 비트 카운터 회로를 활성화시키는 제어 로직 회로를 포함하며, 상기 제어 로직 회로는 상기 제 2 열 스캔 동작 동안 에러 정정 가능한 비트 수보다 적은 페일 비트 수가 상기 읽혀진 데이터 비트들로부터 검출될 때 프로그램 패스로서 프로그램 동작을 종료시킨다.

예시적인 실시예에 있어서, 상기 제어 로직 회로는 상기 제 1 열 스캔 동작시 상기 열 선택 회로로부터의 데이터 비트들 중 적어도 하나가 프로그램 페일 데이터 비트임을 나타낼 때 상기 패스/페일 점검 회로를 비활성화시킨다.

예시적인 실시예에 있어서, 상기 제 1 열 스캔 동작시 상기 제어 로직 회로에 의해서 제어되며, 상기 열 선택 회로에 공급될 제 1 열 어드레스들을 순차적으로 발생하는 제 1 어드레스 발생 회로와; 그리고 상기 제 2 열 스캔 동작시 상기 제어 로직 회로에 의해서 제어되며, 상기 제 1 열 스캔 동작 동안 상기 제 1 어드레스 발생 회로에서 마지막으로 출력된 제 1 열 어드레스를 시작 어드레스로서 입력받고, 상기 입력된 어드레스에 응답하여 상기 열 선택 회로에 공급될 제 2 열 어드레스들을 순차적으로 발생하는 제 2 어드레스 발생 회로가 더 제공된다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작은 프로그램 루프 횟수가 2회 내지 3회 진행된 후 수행된다.

예시적인 실시예에 있어서, 상기 제어 로직 회로는 상기 여러 정정 가능한 비트 수보다 많은 페이지 비트 수가 검출될 때 상기 제 2 열 스캔 동작을 중지시킨다.

예시적인 실시예에 있어서, 상기 제 2 열 스캔 동작이 중지된 후, 상기 제어 로직 회로는 다음의 프로그램 루프가 진행되게 한다.

예시적인 실시예에 있어서, 상기 제어 로직 회로에 의해서 제어되며, 프로그램 루프 횟수를 계산하는 루프 카운터 회로와; 그리고 최대 프로그램 루프 횟수를 저장하기 위한 프로그램 회로가 더 제공된다. 상기 프로그램 회로에 저장된 상기 최대 프로그램 루프 횟수는 상기 제어 로직 회로로 공급된다.

예시적인 실시예에 있어서, 상기 프로그램 회로는 상기 최대 프로그램 루프 횟수가 조절 가능하도록 프로그램된다.

예시적인 실시예에 있어서, 상기 제어 로직 회로는 상기 루프 카운터 회로로부터 제공되는 프로그램 루프 횟수가 상기 최대 프로그램 루프 횟수에 도달할 때 프로그램 동작을 종료시킨다.

앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다.

참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

아래에서, 불 휘발성 메모리 장치로서 낸드 플래시 메모리 장치가 본 발명의 특징 및 기능을 설명하기 위한 한 예로서 사용된다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.

도 2는 본 발명에 따른 불 휘발성 메모리 장치를 보여주는 블록도이다.

도 2를 참조하면, 본 발명의 불 휘발성 메모리 장치(1000)는 메모리 셀 어레이(120)를 포함하며, 비록 도면에는 도시되지 않았지만, 메모리 셀 어레이(120)는 행들(또는 워드 라인들) 및 열들(또는 비트 라인들)의 매트릭스 형태로 배열된 메모리 셀들로 구성된다. 메모리 셀들은 낸드 구조를 갖도록 또는 노어 구조를 갖도록 배열될 것이다. 예시적인 실시예에 있어서, 메모리 셀들은 낸드 구조를 갖도록 배열된다.

제어 로직 회로(140)은 불 휘발성 메모리 장치(1000)의 전반적인 동작을 제어하도록 구성된다. 본 발명의 예시적인 실시예의 경우, 제어 로직 회로(140)는 프로그램 동작과 관련된 일련의 동작들을 제어한다. 하지만, 제어 로직 회로(140)가 여기에 개시된 내용에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 예를 들면, 제어 로직 회로(140)는 불 휘발성 메모리 장치의 읽기 동작, 소거 동작, 테스트 동작, 등을 제어하도록 구성된다. 제어 로직 회로(140)에는 상태 레지스터(142)가 제공되며, 상태 레지스터(142)에는 프로그램 상태 정보(예를 들면, 프로그램 페이지 정보, 프로그램 패스 정보, 등)가 저장된다. 상태 레지스터(142)에 저장된 정보는 특정 명령(예를 들면, 상태 읽기 명령)의 입력에 따라 외부로 출력된다.

계속해서 도 2를 참조하면, 행 선택 회로(160)는 제어 로직 회로(140)에 의해서 제어되며, 행 어드레스에 응답하여 메모리 셀 어레이(120)의 행들을 선택한다. 페이지 버퍼 회로(180)는 동작 모드에 따라 감지 증폭기로서 또는 기입 드라이버로서 동작한다. 예를 들면, 읽기 동작시, 페이지 버퍼 회로(180)는 메모리 셀 어레이(120)로부터 데이터를 읽고 읽혀진 데이터를 임시 저장한다. 프로그램 동작시, 페이지 버퍼 회로(180)는 열 선택 회로(200)를 통해 입력되는 데이터를 임시 저장하

고, 저장된 데이터에 따라 비트 라인들을 비트 라인 바이어스 전압으로 구동한다. 제 1 어드레스 발생 회로(220)는 제어 로직 회로(140)에 의해서 제어되며, 제 1 열 스캔 동작시 열 어드레스를 발생한다. 제 2 어드레스 발생 회로(240)는 제어 로직 회로(140)에 의해서 제어되며, 제 2 열 스캔 동작시 제 1 어드레스 발생 회로(220)로부터의 출력(즉, 마지막으로 생성된 어드레스)를 이용하여 열 어드레스를 발생한다. 제 1 열 스캔 동작은 프로그램된 메모리 셀들의 셀 데이터가 모두 프로그램 패스 데이터인 지의 여부를 판별하고자 할 때 수행되는 반면에, 제 2 열 스캔 동작은 제 1 열 스캔 동작의 결과로서 프로그램 페일이 발생할 때 페일 비트 수를 계산하고자 할 때 수행된다. 이는 이후 상세히 설명될 것이다.

계속해서 도 2를 참조하면, 열 선택 회로(200)는 제 1 열 스캔 동작시 제 1 어드레스 발생 회로(220)로부터의 열 어드레스에 응답하여 페이지 버퍼 회로(180)에 저장된 데이터를 일정 단위로 선택하고, 제 2 열 스캔 동작시 제 2 어드레스 발생 회로(240)로부터의 열 어드레스에 응답하여 페이지 버퍼 회로(180)에 저장된 데이터를 일정 단위로 선택한다. 이때, 제 2 열 스캔 동작시 처음으로 선택된 데이터는 제 1 열 스캔 동작시 마지막으로 선택된 데이터이며, 이는 이후 상세히 설명될 것이다. 패스/페일 점검 회로(260)는 제어 로직 회로(140)에 의해서 제어되며, 제 1 열 스캔 동작시 열 선택 회로(260)에 의해서 선택된 데이터 비트들이 동일한 데이터 값(예를 들면, 프로그램 패스 데이터 값)을 갖는 지의 여부를 점검한다. 패스/페일 점검 회로(260)의 판별 결과는 제어 로직 회로(140)로 전달된다. 페일 비트 카운터 회로(280)는 제어 로직 회로(140)에 의해서 제어되며, 제 2 열 스캔 동작시 열 선택 회로(260)에 의해서 선택된 데이터 비트들의 페일 비트 수를 계산한다. 페일 비트 카운터 회로(280)의 계산 결과는 제어 로직 회로(140)로 전달된다. 루프 카운터 회로(320)는 제어 로직 회로(140)에 의해서 제어되며, 프로그램 루프 횟수를 계산한다. 프로그램 회로(300)는 최대 프로그램 루프 횟수를 프로그램하도록 구성된다. 프로그램 회로(300)에 저장된 최대 프로그램 루프 횟수는 프로그램 동작시 제어 로직 회로(140)에 의해서 참조된다.

본 발명의 불 휘발성 메모리 장치에 따르면, 프로그램 루프의 제 1 열 스캔 동작시 프로그램 페일이 발생하면 제 1 열 스캔 동작이 종료된다. 다음 프로그램 루프의 진행에 앞서 제 2 열 스캔 동작이 수행된다. 즉, 매 프로그램 루프는 제 1 열 스캔 동작과 제 2 열 스캔 동작을 포함한다. 제 2 열 스캔 동작시, 프로그램 페일로 판정된 데이터로부터 페일 비트 수가 계산된다. 만약 페일 비트 수가 에러 정정 회로에 의해서 정정 가능한 비트 수와 같거나 그 보다 작으면, 프로그램 동작은 프로그램 패스로 처리되고, 프로그램 절차가 종료된다. 이는 이후 상세히 설명될 것이다. 이러한 프로그램 방법에 의하면, 프로그램 속도를 향상시킬 수 있을 뿐만 아니라 정정 가능한 페일 비트들로 인한 결함 블록으로의 분류를 방지할 수 있다. 게다가, 이후 설명될 프로그램 방법을 통해 결정되는 적절한 프로그램 루프 횟수를 프로그램 회로(300)에 프로그램함으로써 최대 프로그램 루프 횟수를 조절하는 것이 가능하다.

도 3은 도 2에 도시된 불 휘발성 메모리 장치의 프로그램 절차를 보여주는 블록도이다. 본 발명에 따른 불 휘발성 메모리 장치의 프로그램 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

불 휘발성 메모리 장치가 프로그램 동작 모드로 진입하면, 먼저, 프로그램될 데이터가 열 선택 회로(200)를 통해 페이지 버퍼 회로(180) 내에 로드된다(S100). 잘 알려진 바와 같이, 페이지 버퍼 회로(180)는 선택된 비트 라인들에 각각 대응하는 복수의 페이지 버퍼들로 구성된다. 열 선택 회로(200)는 제 1 어드레스 발생 회로(220)로부터의 열 어드레스에 응답하여 페이지 버퍼들을 일정 단위(예를 들면, x8, x16, x32, 등)로 선택하고, 선택된 페이지 버퍼들로 데이터 비트들을 전달한다. 일단 프로그램될 데이터의 로드가 완료되면, 행 선택 회로(160)에 의해서 선택된 행의 메모리 셀들이 제어 로직 회로(140)의 제어하에 프로그램된다(S110). 프로그램 동작은 복수의 프로그램 루프들을 통해 수행되며, 각 프로그램 루프는 프로그램 구간 및 검증 구간으로 구성된다. 특히, 본 발명의 검증 구간 동안에 제 1 및 제 2 열 스캔 동작들이 연속적으로 수행되며, 이는 이하 상세히 설명될 것이다.

일단 첫 번째 프로그램 루프의 프로그램 구간 동안 프로그램 동작이 수행되면, 제어 로직 회로(140)의 제어하에 검증 읽기 동작이 수행된다(S120). 검증 읽기 동작에 따르면, 프로그램된 메모리 셀들의 셀 데이터가 페이지 버퍼 회로(180)에 의해서 읽혀진다. 이후, 제 1 열 스캔 동작이 수행된다(S130). 제 1 열 스캔 동작에 따르면, 페이지 버퍼 회로(180)의 페이지 버퍼들은 제 1 어드레스 발생 회로(220)로부터의 열 어드레스에 따라 열 선택 회로(200)에 의해서 일정 단위로 순차적으로 선택되고, 선택된 페이지 버퍼들의 데이터 비트들은 열 선택 회로(200)를 통해 패스/페일 점검 회로(260)로 전달된다. 패스/페일 점검 회로(260)는 입력된 데이터 비트들이 모두 패스 데이터 비트인 지의 여부를 점검한다(S140). 패스/페일 점검 회로(260)의 출력(즉, 패스/페일 정보)은 제어 로직 회로(140)로 전달된다. 만약 입력된 데이터 비트들이 모두 패스 데이터 비트이면, 패스/페일 점검 회로(260)의 동작은 계속해서 진행된다. 즉, 열 선택 회로(200)는 제 1 어드레스 발생 회로(220)에서 순차적으로 생성되는 열 어드레스들에 따라 페이지 버퍼들을 일정 단위로 순차적으로 선택한다. 만약 모든 페이지 버퍼들이 선택될 때까지 열 스캔 동작이 수행되면, 즉 프로그램 동작이 프로그램 패스로서 판별되면, 제어 로직 회로(140)는 패스/페일 점검 회로(260)로부터의 패스/페일 정보를 이용하여 상태 레지스터(142) 내에 프로그램 패스 정보를 저장한다(S150). 이후, 프로그램 동작은 종료된다.

만약 입력된 데이터 비트들 중 적어도 하나가 페일 데이터 비트이면, 패스/페일 점검 회로(260)는 페일 정보를 제어 로직 회로(140)로 출력한다. 제어 로직 회로(140)는 패스/페일 점검 회로(260)로부터 페일 정보가 제공될 때 제 1 열 스캔 동작이 중지되게 한다. 즉, 패스/페일 점검 회로(260)로부터 페일 정보가 제공될 때, 제어 로직 회로(140)는 제 1 어드레스 발생 회로(220)의 어드레스 생성을 중지시킨다. 그 다음에, 제어 로직 회로(140)는 루프 카운터 회로(320)에서 제공되는 현재의 프로그램 루프 횟수가 기준값(M)보다 큰지의 여부를 판별한다(S160). 만약 현재의 프로그램 루프 횟수가 기준값(M)보다 작으면, 절차는 S170 단계로 진행한다. S170 단계에 있어서, 제어 로직 회로(140)는 현재의 프로그램 루프 횟수가 프로그램 회로(300)로부터의 최대 프로그램 루프 횟수(N)에 도달하였는지의 여부를 판별한다. 만약 현재의 프로그램 루프 횟수가 최대 루프 횟수가 프로그램 회로(300)로부터의 최대 프로그램 루프 횟수(N)보다 작으면, 제어 로직 회로(140)는 프로그램 루프 횟수가 1만큼 증가되도록 루프 카운터 회로(320)를 제어한다(S180). 그 다음에, 절차는 S110 단계로 진행한다.

여기서, 기준값(M)은 미리 설정된 프로그램 루프 횟수를 나타낸다. 예시적인 실시예에 있어서, 2번째 또는 3번째 프로그램 루프 횟수를 갖도록 설정될 것이다. 기준값(M)은 최대 프로그램 루프 횟수(N)보다 작다. 하지만, 기준값(M)이 여기에 개시된 내용에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

만약 현재의 프로그램 루프 횟수가 기준값(M)보다 크면, 제어 로직 회로(140)는 페일 비트 수를 계산하기 위한 제 2 열 스캔 동작이 수행되게 한다. 좀 더 구체적으로 설명하면, 제 1 열 스캔 동작이 중지되고 현재의 프로그램 루프 횟수가 기준값(M)보다 클 때, 제어 로직 회로(140)는 제 1 어드레스 발생 회로(220)에 의해서 최종적으로 생성된 열 어드레스가 제 2 어드레스 발생 회로(240)로 전달되도록 제 1 및 제 2 어드레스 발생 회로들(220, 240)을 제어한다. 제 2 어드레스 발생 회로(240)는 시작 어드레스로서 제 1 어드레스 발생 회로(220)로부터의 어드레스에 응답하여 일련의 열 어드레스들을 순차적으로 생성한다. 이는 제 1 열 스캔 동작 동안 프로그램 페일 비트를 포함한 데이터가 제 2 열 스캔 동작시 처음으로 선택됨을 의미한다. 열 선택 회로(200)는 제 2 어드레스 발생 회로(240)로부터의 열 어드레스에 응답하여 페이지 버퍼들을 일정 단위로 순차적으로 선택한다. 선택된 페이지 버퍼들의 데이터 비트들은 열 선택 회로(200)를 통해 페일 비트 카운터 회로(280)로 전달된다. 페일 비트 카운터 회로(280)는 입력된 데이터 비트들로부터 페일 비트 수를 계산한다(S190). 페일 비트 카운터 회로(280)의 계산 동작은 연속적으로 수행된다. 계산된 페일 비트 수는 제어 로직 회로(140)로 전달된다. 제어 로직 회로(140)는 페일 비트 카운터 회로(280)로부터 제공되는 페일 비트 수가 에러 정정 회로에 의해서 정정될 수 있는 비트 수를 초과하였는지의 여부를 판별한다(S190).

만약 제 1 열 스캔 동작이 종료된 후 페이지 버퍼들이 모두 선택되었음에도 불구하고 페일 비트 카운터 회로(280)로부터 제공되는 페일 비트 수가 에러 정정 회로에 의해서 정정될 수 있는 비트 수보다 적으면, 제어 로직 회로(140)는 패스/페일 점검 회로(260)로부터의 패스/페일 정보를 이용하여 상태 레지스터(142) 내에 프로그램 패스 정보를 저장한다(S150). 이후, 프로그램 동작은 종료된다. 이에 반해서, 만약 제 2 열 스캔 동작이 수행되는 동안 페일 비트 카운터 회로(280)로부터 제공되는 페일 비트 수가 에러 정정 회로에 의해서 정정될 수 있는 비트 수를 초과하면, 제어 로직 회로(140)는 제 2 열 스캔 동작이 중지되게 한다(S200). 즉, 제어 로직 회로(140)는 제 2 어드레스 발생 회로(240)의 어드레스 생성 및 페일 비트 카운터 회로(280)의 페일 비트 계산을 중지시킨다. 절차는 S170 단계로 진행한다. S170 단계에 있어서, 제어 로직 회로(140)는 현재의 프로그램 루프 횟수가 프로그램 회로(300)로부터의 최대 프로그램 루프 횟수(N)에 도달하였는지의 여부를 판별한다. 만약 현재의 프로그램 루프 횟수가 최대 루프 횟수가 프로그램 회로(300)로부터의 최대 프로그램 루프 횟수(N)에 도달하면, 제어 로직 회로(140)는 프로그램 동작이 페일되었음을 알리는 프로그램 페일 정보를 상태 레지스터(142)에 저장한다. 이후, 프로그램 동작은 종료된다. 만약 현재의 프로그램 루프 횟수가 프로그램 회로(300)로부터의 최대 프로그램 루프 횟수(N)보다 작으면, 절차는 S180 단계로 진행한다. 이후, 프로그램 루프들이 앞서 언급된 방식에 따라 반복될 것이다.

이상의 설명으로부터 알 수 있듯이, 에러 정정 회로에 의해서 정정될 수 있는 비트 수만큼 페일 비트가 존재하더라도 프로그램 동작은 프로그램 패스로서 종료된다. 그러한 페일 비트는 최대 프로그램 루프 횟수 내에서 추가적인 프로그램 루프를 필요로 한다. 하지만, 에러 정정 회로에 의해서 정정될 수 있는 비트 수만큼 페일 비트가 존재할 때 프로그램 동작을 종료함으로써 그러한 페일 비트로 인한 추가적인 프로그램 루프는 필요로 하지 않는다. 이는 프로그램 시간 또는 프로그램 속도가 향상될 수 있음을 의미한다. 비록 프로그램된 데이터가 페일 비트를 포함하더라도, 페일 비트를 포함한 데이터는 읽기 동작시 에러 정정 회로에 의해서 정정된다.

도 1에 도시된 종래 기술의 경우, 에러 정정 가능한 비트 수만큼 페일 비트들이 존재할 때 모든 프로그램 루프들이 수행될 뿐만 아니라 최종적으로 결함 블록으로 분류된다. 이에 반해서, 본 발명의 경우, 에러 정정 가능한 비트 수만큼 페일 비트들이 존재할 때 프로그램 동작이 프로그램 페일로서 판별된다. 경우에 따라서 프로그램 루프들이 모두 수행될 수도 있고 그렇지 않을 수도 있다. 좀 더 구체적으로 설명하면 다음과 같다.

종래 기술의 경우, 매 프로그램 루프에서 열 스캔 동작이 수행된다. 열 스캔 동작 도중에 패스/페이일 점검 회로에 의해서 페일이 검출되면, 열 스캔 동작의 종료 후에 다음의 프로그램 루프가 진행된다. 비록 에러 정정 가능한 비트 수만큼 페일 비트들이 존재하더라도, 프로그램 루프는 최대 프로그램 루프 횟수 내에서 반복된다. 최대 프로그램 루프 횟수만큼 프로그램 루프가 진행되었음에도 불구하고 에러 정정 가능한 비트 수의 페일 비트들이 존재하는 경우, 도 4a에 도시된 바와 같이, 프로그램 동작은 프로그램 페일로 처리된다. 도 4a에 있어서, 설명의 편의상, 프로그램 루프들(PL#n)(n=1-Y)에는 단지 열 스캔 동작들(PL1S~PLYS)만이 도시되어 있다.

본 발명의 경우, 프로그램 루프 횟수가 정해진 횟수(예를 들면, 3회)에 도달하기 이전까지 프로그램 루프에서는 종래 기술과 같은 제 1 열 스캔 동작이 수행된다. 프로그램 루프 횟수가 정해진 횟수(예를 들면, 3회)에 도달하면, 각 프로그램 루프에서는 제 1 열 스캔 동작 뿐만 아니라 제 2 열 스캔 동작이 수행된다. 예를 들면, 도 4b를 참조하면, 3번째 프로그램 루프(PL#3)의 제 1 열 스캔 동작(PL3S1)이 수행되는 도중 페일이 발생하면, 제 2 열 스캔 동작(PL3S2)이 개시된다. 앞서 설명된 바와 같이, 제 2 열 스캔 동작은 페일이 발생된 열(또는 페이지 버퍼들)부터 나머지 열들(또는 페이지 버퍼들)의 데이터 비트들에 포함된 페일 비트들을 검출하기 위한 것이다. 제 2 열 스캔 동작이 수행되는 도중에, 도 4b에 도시된 바와 같이, 페일 비트 수가 에러 정정 가능한 비트 수를 초과하면(FBN>X), 제 2 열 스캔 동작(PS3S2)이 종료된다. 제 2 열 스캔 동작(PS3S2)이 종료되고 다음의 프로그램 루프가 개시된다. 이후, 모든 열들의 데이터 비트들이 모두 스캔될 때까지 페일 비트 수가 에러 정정 가능한 비트 수를 초과하지 않으면(FBN<X), 프로그램 동작은 프로그램 패스로 처리된다. 프로그램 동작이 최대 프로그램 루프 횟수만큼 수행되지 않더라도 프로그램 패스로 처리되기 때문에, 프로그램 속도(또는 프로그램 시간)를 향상(단축)시키는 것이 가능하다.

본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

발명의 효과

상술한 바와 같이, 에러 정정 가능한 비트 수와 같은 또는 그 보다 적은 페일 비트 수가 검출될 때 프로그램 동작을 종료함으로써 프로그램 시간을 단축하는 것이 가능하다.

도면의 간단한 설명

도 1은 일반적인 불 휘발성 메모리 장치의 프로그램 절차를 설명하기 위한 흐름도이다.

도 2는 본 발명에 따른 불 휘발성 메모리 장치를 보여주는 블록도이다.

도 3은 도 2에 도시된 불 휘발성 메모리 장치의 프로그램 절차를 설명하기 위한 흐름도이다.

* 도면의 주요 부분에 대한 부호 설명 *

120 : 메모리 셀 어레이 140 : 제어 로직 회로

160 : 행 선택 회로 180 : 페이지 버퍼 회로

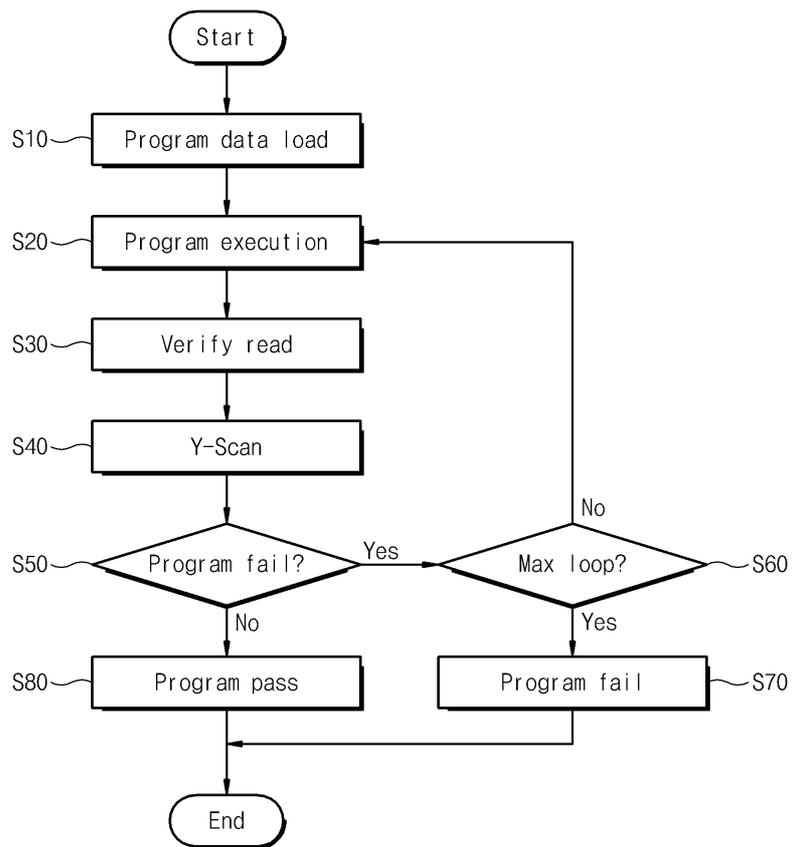
200 : 열 선택 회로 220, 240 : 어드레스 발생 회로

260 : 패스/페이일 점검 회로 280 : 페일 비트 카운터 회로

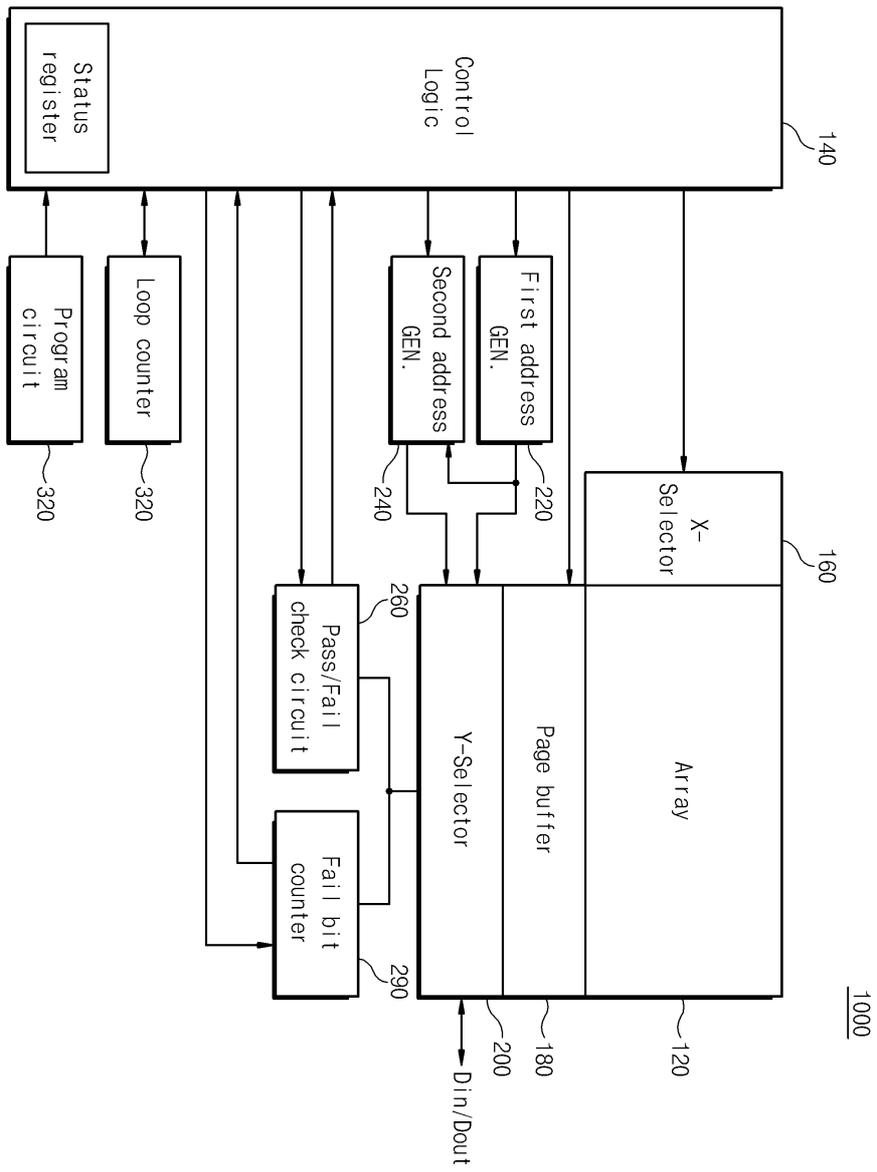
300 : 프로그램 회로

도면

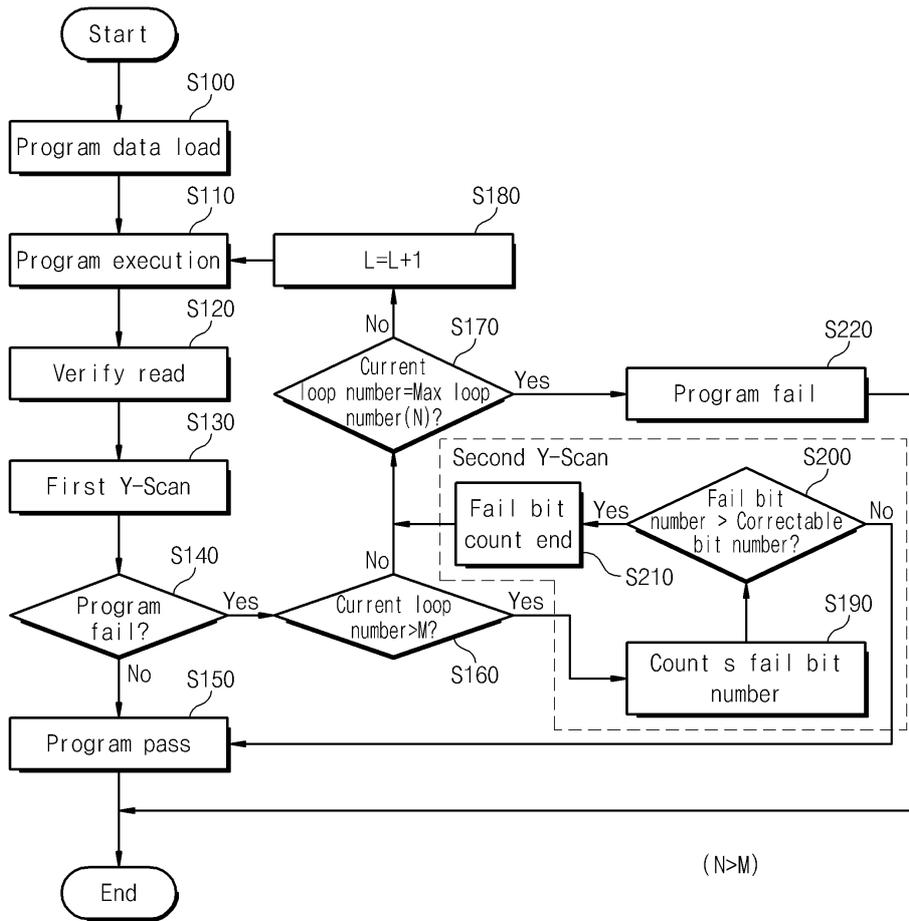
도면1



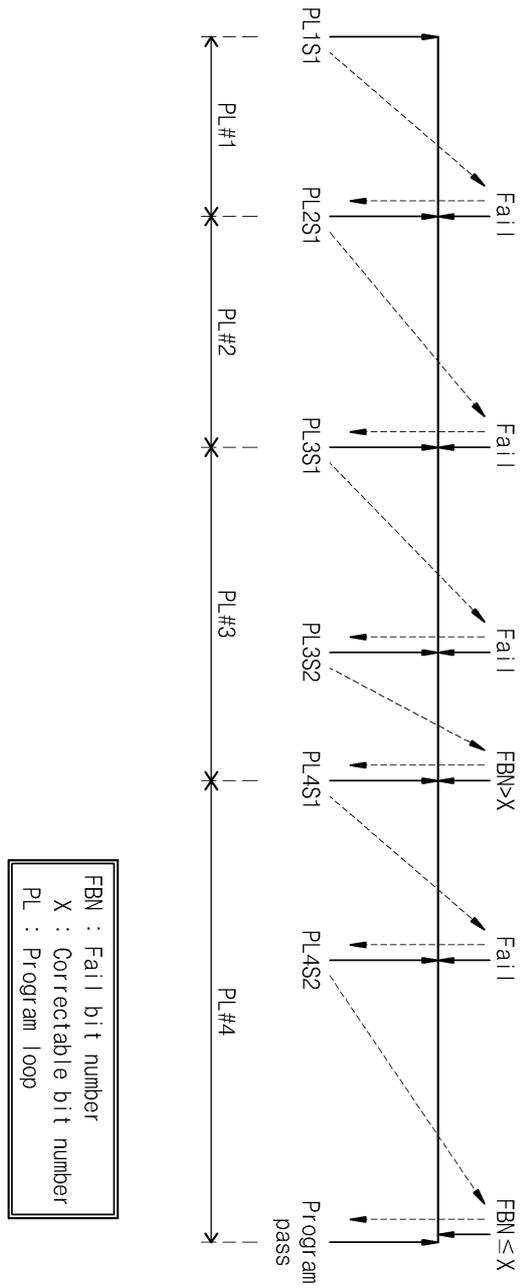
도면2



도면3



도면4a



FBN : Fail bit number
 X : Correctable bit number
 PL : Program loop

도면4b

