

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5541349号
(P5541349)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl.		F I	
H03K	17/08	(2006.01)	H03K 17/08 C
H02M	1/00	(2007.01)	H02M 1/00 F
H02M	1/08	(2006.01)	H02M 1/08 A
H03K	17/695	(2006.01)	H03K 17/687 B

請求項の数 15 (全 26 頁)

(21) 出願番号	特願2012-258499 (P2012-258499)	(73) 特許権者	000004260
(22) 出願日	平成24年11月27日(2012.11.27)		株式会社デンソー
(65) 公開番号	特開2014-107662 (P2014-107662A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成26年6月9日(2014.6.9)	(74) 代理人	110000567
審査請求日	平成25年12月10日(2013.12.10)		特許業務法人 サトー国際特許事務所
		(72) 発明者	高須 久志
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	小林 敦
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート端子(G)と第1端子(S)との間に印加されるゲート電圧に応じて第2端子(D)と第1端子(S)との間の導通状態を変化させるスイッチング素子(5)と、

前記スイッチング素子の第2端子と第1端子との間に印加される電圧に応じた第1検出電圧を出力する第1電圧検出回路(6A, 31A, 34A, 37A, 40A, 43A, 47A, 51A)と、

前記スイッチング素子の第2端子と第1端子との間に印加される電圧に応じた第2検出電圧を出力する第2電圧検出回路(6B, 31B, 34B, 37B, 40B, 43B, 47B, 51B)と、

前記スイッチング素子のゲート端子に繋がるゲート駆動線(10)に直列に設けられ、制御信号に応じて高インピーダンス状態または低インピーダンス状態に切り替わるスイッチ回路(8, 68)と、

前記第2電圧検出回路の出力端子と前記スイッチング素子のゲート端子との間に接続され、当該出力端子からゲート端子の向きに電流を流す一方向性素子(15)と、

前記スイッチング素子の第2端子と第1端子との間に前記スイッチング素子の電圧保護動作が行われるべき範囲の電圧が印加されたときに前記第1電圧検出回路が出力する第1検出電圧よりも低く設定され、且つ、前記スイッチング素子の第2端子と第1端子との間に前記スイッチング素子の電圧保護動作が不要とされるべき範囲の電圧が印加されたときに前記第1電圧検出回路が出力する第1検出電圧よりも高く設定されたしきい値電圧を有

し、前記第 1 検出電圧が前記しきい値電圧以下になるときは前記スイッチ回路を低インピーダンス状態に切り替え、前記第 1 検出電圧が前記しきい値電圧を超えるときは前記スイッチ回路を高インピーダンス状態に切り替える前記制御信号を出力する制御回路（9, 23, 27）とを備え、

前記第 1 検出電圧が前記制御回路のしきい値電圧以下のときに、前記第 2 検出電圧が前記スイッチング素子のゲートしきい値電圧と前記一方向性素子の通電電圧とを加えた電圧よりも低くなり、前記スイッチング素子の第 2 端子と第 1 端子との間に前記電圧保護動作が行われるべき範囲の電圧が印加されたときに、前記第 2 検出電圧が前記スイッチング素子のゲートしきい値電圧と前記一方向性素子の通電電圧とを加えた電圧よりも高くなるように、前記第 2 電圧検出回路の分圧比が設定されていることを特徴とする半導体装置。 10

【請求項 2】

前記第 1 電圧検出回路は、前記スイッチング素子の第 2 端子と第 1 端子との間に、前記第 1 検出電圧の出力端子を挟んで直列に接続された第 1 回路（C1, 31Aa, 34Aa, 37Aa, 43Aa, 47Aa, 51Aa）と第 2 回路（C2, 31Ab, 34Ab, 37Ab, 43Ab, 47Ab, 51Ab）を備えており、

前記第 2 電圧検出回路は、前記スイッチング素子の第 2 端子と第 1 端子との間に、前記第 2 検出電圧の出力端子を挟んで直列に接続された第 3 回路（C3, 31Ba, 34Ba, 37Ba, 43Ba, 47Ba, 51Ba）と第 4 回路（C4, 31Bb, 34Bb, 37Bb, 43Bb, 47Bb, 51Bb）を備えていることを特徴とする請求項 1 記載の半導体装置。 20

【請求項 3】

前記第 1 ないし第 4 回路は、それぞれコンデンサ（C1, C2, C3, C4）を備えて構成されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 回路と第 2 回路および／または前記第 3 回路と第 4 回路は、前記コンデンサと直列に抵抗（R1, R2, R3, R4）を備えていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 ないし第 4 回路は、コンデンサと抵抗との直列回路から構成されている場合には当該直列回路と並列に抵抗（R5, R6, R7, R8）を備え、コンデンサから構成されている場合には当該コンデンサと並列に抵抗（R5, R6, R7, R8）を備えていることを特徴とする請求項 4 記載の半導体装置。 30

【請求項 6】

前記第 1 回路と第 2 回路および／または前記第 3 回路と第 4 回路は、前記コンデンサと並列に抵抗（R5, R6, R7, R8）を備えていることを特徴とする請求項 3 記載の半導体装置。

【請求項 7】

前記第 1 電圧検出回路および前記第 2 電圧検出回路は、前記第 2 回路および前記第 4 回路と前記スイッチング素子の第 1 端子との間に当該第 1、第 2 電圧検出回路で共用する共通回路（C5, 44, 48, 52）を備えていることを特徴とする請求項 2 ないし 6 の何れかに記載の半導体装置。 40

【請求項 8】

前記共通回路は、コンデンサおよび／または抵抗の接続構成に関して、前記第 1 回路と第 2 回路または前記第 3 回路と第 4 回路と同じ構成を備えていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

ゲート端子（G）と第 1 端子（S）との間に印加されるゲート電圧に応じて第 2 端子（D）と第 1 端子（S）との間の導通状態を変化させるスイッチング素子（5）と、

前記スイッチング素子の第 2 端子と第 1 端子との間に印加される電圧に応じた第 1 検出電圧を出力する電圧検出回路（56, 59, ZD1）と、 50

前記スイッチング素子のゲート端子に繋がるゲート駆動線に直列に設けられ、制御信号に応じて高インピーダンス状態または低インピーダンス状態に切り替わるスイッチ回路（8，68）と、

前記電圧検出回路の出力端子と前記スイッチング素子のゲート端子との間に接続され、当該出力端子からゲート端子の向きに電流を流す一方向性素子（15）と、

前記スイッチング素子の第2端子と第1端子との間に前記スイッチング素子の電圧保護動作が行われるべき範囲の電圧が印加されたときに前記電圧検出回路が出力する第1検出電圧よりも低く設定され、且つ、前記スイッチング素子の第2端子と第1端子との間に前記スイッチング素子の電圧保護動作が不要とされるべき範囲の電圧が印加されたときに前記電圧検出回路が出力する第1検出電圧よりも高く設定され、且つ、前記スイッチング素子のゲートしきい値電圧と前記一方向性素子の通電電圧とを加えた電圧よりも低く設定されたしきい値電圧を有し、前記第1検出電圧が前記しきい値電圧以下になるときは前記スイッチ回路を低インピーダンス状態に切り替え、前記第1検出電圧が前記しきい値電圧を超えるときには前記スイッチ回路を高インピーダンス状態に切り替える前記制御信号を出力する制御回路（9）とを備え、

10

前記スイッチング素子の第2端子と第1端子との間に前記電圧保護動作が行われるべき範囲の電圧が印加されたときに、前記第1検出電圧が前記スイッチング素子のゲートしきい値電圧と前記一方向性素子の通電電圧とを加えた電圧よりも高くなるように、前記電圧検出回路の分圧比が設定されていることを特徴とする半導体装置。

【請求項10】

20

前記電圧検出回路は、前記スイッチング素子の第2端子と第1端子との間に出力端子を挟んで直列に接続された第1回路（ZD1，R11）と第2回路（ZD2，R12）から構成されていることを特徴とする請求項9記載の半導体装置。

【請求項11】

前記第1回路と第2回路は、それぞれ抵抗（R11，R12）から構成されていることを特徴とする請求項10記載の半導体装置。

【請求項12】

前記第1回路と第2回路は、それぞれ印加電圧が規定電圧を超えるときに通電状態に移行する通電回路（ZD1，ZD2）から構成されていることを特徴とする請求項10記載の半導体装置。

30

【請求項13】

前記通電回路は、ダイオード、ツェナーダイオード、MOSトランジスタおよびバイポーラトランジスタの中から選択された1または複数の半導体素子から構成されており、その順方向電圧、ツェナー電圧、しきい値電圧またはこれらの電圧の組み合わせにより前記規定電圧が構成されていることを特徴とする請求項12記載の半導体装置。

【請求項14】

前記制御回路は、前記制御信号を出力するのに必要な直流電圧を供給する電源線間に、前記しきい値電圧を持つトランジスタ（13，14）によって構成されるインバータ回路を備え、前記トランジスタのゲートに前記第1検出電圧が与えられていることを特徴とする請求項1ないし13の何れかに記載の半導体装置。

40

【請求項15】

前記スイッチング素子は、GaNデバイスであることを特徴とする請求項1ないし14の何れかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電圧耐量を高めた半導体装置に関する。

【背景技術】

【0002】

コイルなどのインダクタンス素子は勿論、抵抗負荷であっても配線インダクタンスなど

50

の存在により誘導性を持つことが多い。トランジスタがこうした誘導性を持つ負荷を駆動する場合、ターンオフする時に逆起電力が発生する。負荷駆動回路、スイッチング電源回路、インバータ回路などにおいては、逆起電力の発生を防止するため、トランジスタまたは負荷と並列に還流用のダイオードが設けられている。しかし、この場合であってもスイッチングに伴うサージ電圧が発生するので、トランジスタをサージ電圧から保護する手段が必要となる。

【0003】

特許文献1には、MOSFETのゲート・ドレイン間にツェナーダイオード群が接続され、ドレインにサージ電圧が印加されるとツェナーダイオード群がブレークダウンする保護回路が開示されている。ブレークダウンによるゲート電圧の上昇を抑えるため、MOSFETのゲート・ソース間にもツェナーダイオード群が接続されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2000-77537号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述した保護回路のように、ゲート・ドレイン間およびゲート・ソース間にツェナーダイオードが接続されると、ゲートに寄生容量が付加されてスイッチング速度が低下する。AlGaN/GaN接合を有する半導体デバイス(以下、GaN-HEMTと称す)は、従来のSiデバイスに比べオン抵抗が格段に低く、電流遮断特性に優れているため、次世代パワーデバイスとして上述した種々の回路への適用が期待されている。

20

【0006】

しかし、直流伝達コンダクタンス g_m が高いGaN-HEMTは、デバイス自体が持つゲート容量が小さいので(例えば従来素子の1/4程度)、従来の半導体素子よりも寄生容量の影響を受け易くなる。GaN-HEMTは、ゲートしきい値が低く(例えば2V程度)、ゲート耐圧も低い(例えば5V程度)ので、ゲート電圧を高めてスイッチング速度を改善するような手段もとりにくい。

【0007】

また、従来のSiデバイス、例えばMOSトランジスタは、アバランシェ耐量を有しているため、ドレイン・ソース間に耐圧を超える電圧が印加されても、ある一定のエネルギーに達するまでは故障することはない。これに対し、GaN-HEMTは、アバランシェ耐量がないため、僅かであっても耐圧を超えることができない。

30

【0008】

本発明は上記事情に鑑みてなされたもので、その目的は、ゲートの寄生容量を低く抑えて高速スイッチング性能を保ったままサージ電圧に対する耐量を高めることができる半導体装置を提供することにある。

【課題を解決するための手段】

【0009】

請求項1に記載した半導体装置は、ゲート端子と第1端子との間に印加されるゲート電圧に応じて第2端子と第1端子との間の導通状態を変化させるスイッチング素子に、第1電圧検出回路、第2電圧検出回路、スイッチ回路、一方向性素子および制御回路が付加された構成を備えている。ここで、第1端子はソースまたはエミッタ、第2端子はドレインまたはコレクタに相当し、スイッチング素子はGaN-HEMT、MOSFET、IGBTなどの絶縁ゲート型の半導体素子である。

40

【0010】

第1、第2電圧検出回路は、それぞれスイッチング素子の第2端子と第1端子との間に印加される電圧に応じた検出電圧を出力する。スイッチ回路は、スイッチング素子のゲート端子に繋がるゲート駆動線に直列に設けられており、制御信号に応じて高インピーダン

50

ス状態または低インピーダンス状態に切り替わる。一方向性素子は、第2電圧検出回路の出力端子とスイッチング素子のゲート端子との間に接続され、当該出力端子からゲート端子の向きに電流を流す。

【0011】

制御回路は、しきい値電圧を有している。しきい値電圧は、スイッチング素子の第2端子と第1端子との間にスイッチング素子の電圧保護動作が行われるべき範囲の電圧が印加されたときに第1電圧検出回路が出力する第1検出電圧よりも低く設定されている。電圧保護動作が行われるべき範囲の電圧は、少なくともスイッチング素子の耐圧を超える電圧を含んでいる。さらに、しきい値電圧は、スイッチング素子の第2端子と第1端子との間にスイッチング素子の電圧保護動作が不要とされるべき範囲の電圧が印加されたときに第1電圧検出回路が出力する第1検出電圧よりも高く設定されている。電圧保護動作が不要とされるべき範囲の電圧は、スイッチング素子の耐圧よりも低い電圧であって、スイッチング素子を何ら保護する必要がない電圧である。

10

【0012】

制御回路は、第1検出電圧がしきい値電圧以下になると、スイッチ回路を低インピーダンス状態に切り替える制御信号を出力する。これにより、駆動信号がスイッチ回路を通してゲート端子に与えられ、スイッチング素子は駆動信号に従ってオンオフ動作する。一方、制御回路は、サージ電圧の発生などにより第1検出電圧がしきい値電圧を超えると、スイッチ回路を高インピーダンス状態に切り替える制御信号を出力する。これにより、スイッチング素子のゲート端子は遮断されて高インピーダンス状態になる。

20

【0013】

遮断された後のゲート電圧は、第2端子と第1端子との間に印加される電圧とゲート容量（例えばゲート・ドレイン間容量とゲート・ソース間容量）とで定まる電位に向かって上昇を開始する。これと並行して、第2電圧検出回路が出力する第2検出電圧が、スイッチング素子を確実にセルフターンオンに導く。

【0014】

第2電圧検出回路の分圧比は、スイッチング素子の第2端子と第1端子との間に電圧保護動作が行われるべき範囲の電圧が印加されたときに、第2検出電圧がスイッチング素子のゲートしきい値電圧と一方向性素子の通電電圧とを加えた電圧よりも高くなるように設定されている。さらに、第2電圧検出回路の分圧比は、第1検出電圧が制御回路のしきい値電圧以下のときに、第2検出電圧がスイッチング素子のゲートしきい値電圧と一方向性素子の通電電圧とを加えた電圧よりも低くなるように設定されている。

30

【0015】

この設定によれば、スイッチング素子の第2端子と第1端子との間の電圧が急上昇したとき、最初に第1検出電圧がしきい値電圧を超えてスイッチ回路が高インピーダンス状態になる。その後、第2検出電圧により一方向性素子を通してゲート電圧がゲートしきい値電圧以上に引き上げられ、スイッチング素子がセルフターンオンする。この順序によれば、スイッチ回路が低インピーダンス状態のときに、第2検出電圧がスイッチング素子をオンさせることはない。

【0016】

スイッチング素子がセルフターンオンすると、サージ電圧のエネルギーはスイッチング素子を通して逃され、スイッチング素子の第2端子と第1端子との間の電圧は、素子耐圧以下であって第2検出電圧に応じた電圧に制限される。サージ電圧のエネルギーが開放されている間は、第2端子と第1端子との間の電圧が上昇しない状態でバランスする。

40

【0017】

エネルギーの開放が終了すると、第2端子と第1端子との間の電圧が低下を開始し、第1検出電圧と第2検出電圧も低下し始める。このとき、最初に第2検出電圧が、スイッチング素子のゲートしきい値電圧と一方向性素子の通電電圧とを加えた電圧よりも低くなり、第2検出電圧がゲートをオン駆動できなくなる。しかし、スイッチ回路が高インピーダンス状態を保持している限り、スイッチング素子はオンし続ける。その後、第1検出電圧

50

が制御回路のしきい値電圧以下に低下すると、スイッチ回路が低インピーダンス状態になり、駆動信号に従ったスイッチング動作に復帰する。

【0018】

本手段によれば、スイッチング素子のゲートへの寄生容量の追加がない（または小さい）ので、高速スイッチング性能を保ったまま、第2端子と第1端子との間に加わるサージ電圧に対する耐量を高めることができる。また、スイッチング素子に電圧保護動作が行われるべき範囲の電圧が印加されたときに、スイッチング素子を確実にセルフターンオンさせることができる。

【0019】

請求項2記載の手段によれば、第1電圧検出回路は、スイッチング素子の第2端子と第1端子との間に、第1検出電圧の出力端子を挟んで直列に接続された第1回路と第2回路から構成されている。第2電圧検出回路は、スイッチング素子の第2端子と第1端子との間に、第2検出電圧の出力端子を挟んで直列に接続された第3回路と第4回路から構成されている。

10

【0020】

請求項3、4記載の第1ないし第4回路は、それぞれCスナバまたはRCスナバを兼用しているので、サージ電圧の抑制効果が得られるとともに部品数および搭載スペースを節約できる。請求項5、6記載の第1ないし第4回路は更に並列に抵抗を備えているので、分圧比が確定され易くなり、より精度よく且つ確実に電圧を検出できる。

【0021】

20

請求項7記載の第1電圧検出回路および第2電圧検出回路は、第2回路および第4回路とスイッチング素子の第1端子との間に当該第1、第2電圧検出回路で共用する共通回路を備えている。共通回路は、分圧に用いる第2回路の容量と第4回路の容量の各一部を共通化したものである。これにより、共通回路を用いない構成に比べ、第1、第2電圧検出回路の総容量値を低減できるとともに、第1検出電圧と第2検出電圧との間の相対的な誤差を低減することができる。請求項8記載の共通回路は、コンデンサおよび/または抵抗の接続構成に関して、第1回路と第2回路または第3回路と第4回路と同じ構成を備えている。

【0022】

請求項9に記載した半導体装置は、請求項1に記載した半導体装置と類似の構成を備えているが、電圧検出回路を1つだけ備え、その出力電圧が、スイッチ回路のインピーダンス状態の切り替えとスイッチング素子のセルフターンオンの両方に寄与する点が異なる。第1検出電圧を出力する電圧検出回路の出力端子とスイッチング素子のゲート端子との間には、当該出力端子からゲート端子の向きに電流を流す一方向性素子が接続されている。制御回路が有するしきい値電圧は、請求項1に記載の半導体装置が有する条件に加え、スイッチング素子のゲートしきい値電圧と一方向性素子の通電電圧とを加えた電圧よりも低くなるように設定されている。

30

【0023】

この構成によれば、制御回路は、サージ電圧の発生などにより第1検出電圧がしきい値電圧を超えると、スイッチ回路を高インピーダンス状態に切り替える。これにより、スイッチング素子のゲート端子は遮断されて高インピーダンス状態になる。遮断された後のゲート電圧は、第2端子と第1端子との間に印加される電圧とゲート容量（例えばゲート・ドレイン間容量とゲート・ソース間容量）とで定まる電位に向かって上昇を開始する。これと並行して、電圧検出回路が出力する第1検出電圧が、スイッチング素子を確実にセルフターンオンに導く。

40

【0024】

スイッチング素子の第2端子と第1端子との間の電圧が急上昇したとき、最初にスイッチ回路が高インピーダンス状態になる。その後、第1検出電圧により一方向性素子が通電し、ゲート電圧がゲートしきい値電圧以上に引き上げられ、スイッチング素子が確実にセルフターンオンする。この順序によれば、スイッチ回路が低インピーダンス状態のときに

50

、第1検出電圧がスイッチング素子をオンさせることはない。セルフターンオンした後の作用は、請求項1に記載した半導体装置と同様である。本手段によれば、請求項1記載の手段と同様の効果が得られる。また、1つの電圧検出回路を備えればよいため、構成をより簡単化できる。

【0025】

請求項10記載の手段によれば、電圧検出回路は、スイッチング素子の第2端子と第1端子との間に、出力端子を挟んで直列に接続された第1回路と第2回路から構成されている。請求項11記載の第1回路と第2回路は、それぞれ抵抗から構成されているので精度よく且つ確実に電圧を検出できる。

【0026】

請求項12記載の第1回路と第2回路は、印加電圧が規定電圧を超えるときに通電状態に移行する通電回路から構成されているので、その通電状態において検出電圧が第2回路の規定電圧に定まり、安定した検出電圧の下で保護動作を行うことができる。

【0027】

請求項13記載の手段によれば、通電回路は、ダイオード、ツェナーダイオード、MOSトランジスタおよびバイポーラトランジスタの中から選択された1または複数の半導体素子から構成されており、その順方向電圧、ツェナー電圧、しきい値電圧または当該電圧の組み合わせにより規定電圧が構成されている。これにより、規定電圧を生成する際の自由度が高まる。

【0028】

請求項14記載の手段によれば、制御回路は、制御信号を出力するのに必要な直流電圧を供給する電源線間に、上記しきい値電圧を持つトランジスタによって構成されるインバータ回路を備えている。このトランジスタのゲートに第1検出電圧を与えることにより、スイッチ回路のインピーダンス状態を制御できる。

【0029】

請求項15記載の手段によれば、スイッチング素子はGaNデバイスである。GaNデバイス例えばGaN-HEMTは、アバランシェ耐量がなく、ゲート耐圧が低く、素子自体のゲート容量が小さい特性を持つ。上述した各手段をGaNデバイスに適用すれば、スイッチング速度を殆ど低下させることなく、サージ電圧に対する耐量を高めることができる。その結果、素子耐圧を超える電圧が印加される虞があり、高速スイッチングを必要とする回路環境、例えば誘導性の負荷を通断電する回路においても、GaNデバイスを適用することが可能になる。

【図面の簡単な説明】

【0030】

【図1】第1の実施形態を示す負荷駆動装置の構成図

【図2】波形図

【図3】スイッチング素子のゲートに付加される入力容量の等価回路

【図4】第2の実施形態を示す図1相当図

【図5】第3の実施形態を示す図1相当図

【図6】第4の実施形態を示す図1相当図

【図7】第5の実施形態を示す図1相当図

【図8】第6の実施形態を示す図1相当図

【図9】第7の実施形態を示す図1相当図

【図10】第8の実施形態を示す図1相当図

【図11】第9の実施形態を示す図1相当図

【図12】第10の実施形態を示す図1相当図

【図13】第11の実施形態を示す図1相当図

【図14】第12の実施形態を示す図1相当図

【図15】第13の実施形態を示す図1相当図

【図16】第14の実施形態を示す図1相当図

10

20

30

40

50

【図17】図3相当図

【図18】第15の実施形態を示す図1相当図

【発明を実施するための形態】

【0031】

各実施形態において先に記載した実施形態の構成と実質的に同一の部分には同一符号を付して説明を省略する。また、第2以降の各実施形態は、当該各実施形態に特有の構成に基づく作用、効果を除いて、基本的に第1の実施形態と同様の作用、効果を奏する。

【0032】

(第1の実施形態)

以下、第1の実施形態について図1ないし図3を参照しながら説明する。負荷駆動装置1(半導体装置に相当)は、例えば車両に搭載された電子制御装置に用いられるもので、外部回路(図示せず)から入力される駆動信号に従ってオンオフ動作を行うことで、バッテリー電圧VBの供給を受けた誘導性負荷であるコイル2に電流を流す。負荷駆動装置1は、素子モジュール3と駆動IC4とから構成されている。

10

【0033】

素子モジュール3は、Nチャネル型のFET5と第1、第2電圧検出回路6A、6Bとが1つのパッケージにモールドされて構成されている。FET5は、ゲート端子Gとソース端子S(第1端子に相当)との間に印加されるゲート電圧VGSに応じて、ドレイン端子D(第2端子に相当)とソース端子Sとの間の導通状態を変化させるMOSFET、GaN-HEMTなどのスイッチング素子である。FETに替えてIGBTであってもよい。FET5には、寄生のダイオード5aが形成されている。

20

【0034】

第1電圧検出回路6Aは、FET5のドレインとソースとの間に出力端子n1Aを挟んで直列に接続されたコンデンサC1、C2(第1回路、第2回路に相当)から構成されている。これらのコンデンサC1、C2は、FET5のドレイン・ソース間に印加される電圧を分圧した第1検出電圧を出力するとともにCスナバとして作用する。コンデンサC1の容量値はコンデンサC2の容量値よりも小さく、例えばC1:C2=1:(5~500)程度の比に設定されている。

【0035】

第2電圧検出回路6Bは、FET5のドレインとソースとの間に出力端子n1Bを挟んで直列に接続されたコンデンサC3、C4(第3回路、第4回路に相当)から構成されている。これらのコンデンサC3、C4は、FET5のドレイン・ソース間に印加される電圧を分圧した第2検出電圧を出力するとともにCスナバとして作用する。コンデンサC3の容量値はコンデンサC4の容量値よりも小さく、例えばC3:C4=1:(5~500)程度の比に設定されている。

30

【0036】

駆動IC4は、駆動回路7、スイッチ回路8、制御回路9およびダイオード15を備えている。駆動回路7は、FET5のソース電位と共通のグランド電位を持ち、マイコンなどの外部回路から入力される駆動信号に従って、FET5に対するゲート駆動信号(以下、単に駆動信号と称す)を出力する。スイッチ回路8は、FET5のゲートに繋がるゲート駆動線10に直列に設けられたNチャネル型のMOSFET11から構成されている。MOSFET11には、ゲート駆動線10を通してFET5のゲートに至る向きに順方向となる寄生のダイオード11aが並列に形成されている。

40

【0037】

制御回路9は、電源12の端子間に出力端子n2を挟んで接続されたPチャネル型のMOSFET13とNチャネル型のMOSFET14とからなるインバータ回路を備えている。MOSFET13、14には、それぞれ寄生のダイオード13a、14aが形成されている。MOSFET13、14の素子サイズは、MOSFET11を駆動するのに十分な素子サイズであればよく、小さい素子サイズで十分である。

【0038】

50

MOSFET 13、14のゲートは、第1電圧検出回路6Aの出力端子n1Aに接続されている。出力端子n2は、MOSFET 11のゲートに接続されて制御信号を与える。電源12が供給する直流電圧Vcは、MOSFET 11をオン/オフさせる制御信号を出力するのに必要な電圧であればよい。第2電圧検出回路6Bの出力端子n1BとFET 5のゲートとの間には、出力端子n1Bからゲートの向きに電流を流すダイオード15（一方性素子に相当）が接続されている。

【0039】

次に、本実施形態の作用について図2および図3も参照しながら説明する。第1電圧検出回路6Aは、FET 5のドレイン・ソース間電圧VDSに対し(1)式で示す第1検出電圧を出力する。

$$\text{第1検出電圧} = (C1 / (C1 + C2)) \cdot VDS \quad \dots (1)$$

【0040】

制御回路9は、FET 5の電圧保護動作に用いるしきい値電圧Vthを有している。耐圧VDSSを超える電圧からFET 5を確実に保護するため、FET 5の耐圧VDSSよりも所定のマージンだけ低く設定された電圧Vm1以上の範囲を、FET 5の電圧保護動作が行われるべき電圧範囲としている。しきい値電圧Vthは、FET 5のドレイン・ソース間に上記電圧保護動作が行われるべき範囲の電圧が印加されたときに第1電圧検出回路6Aが出力する検出電圧よりも低く設定されている。これを式で表すと(2)式のようになる。

$$Vth < (C1 / (C1 + C2)) \cdot Vm1 < (C1 / (C1 + C2)) \cdot VDSS \dots (2)$$

【0041】

一方、負荷駆動装置1に与えられるバッテリー電圧VBよりも所定のマージンだけ高く設定された電圧Vm2以下の範囲（上記電圧保護動作が行われるべき電圧範囲よりも低い範囲）を、FET 5の電圧保護動作が不要とされるべき範囲としている。しきい値電圧Vthは、FET 5のドレイン・ソース間に上記電圧保護動作が不要とされるべき範囲の電圧が印加されたときに第1電圧検出回路6Aが出力する検出電圧よりも高く設定されている。これを式で表すと(3)式のようになる。

$$Vth > (C1 / (C1 + C2)) \cdot Vm2 > (C1 / (C1 + C2)) \cdot VB \quad \dots (3)$$

【0042】

制御回路9を構成するMOSFET 13、14の素子自体のしきい値電圧は、上記しきい値電圧Vthに等しく設定されており、それに合わせて適切な直流電圧Vcが設定されている。

【0043】

第2電圧検出回路6Bは、FET 5のドレイン・ソース間電圧VDSに対し(4)式で示す第2検出電圧を出力する。

$$\text{第2検出電圧} = (C3 / (C3 + C4)) \cdot VDS \quad \dots (4)$$

【0044】

第2電圧検出回路6Bの分圧比は、第1検出電圧が制御回路9のしきい値電圧Vth以下のときに、第2検出電圧がFET 5のゲートしきい値電圧Vth(FET)とダイオード15の順方向電圧Vf（通電電圧）とを加えた電圧（= Vth(FET) + Vf）よりも低くなるように設定されている。さらに、第2電圧検出回路6Bの分圧比は、FET 5に電圧Vm1以上の範囲の電圧が印加されたときに、第2検出電圧がVth(FET) + Vfよりも高くなるように設定されている。

【0045】

図2は、FET 5のドレイン電流ID、ドレイン・ソース間電圧VDSおよびゲート電圧VGSを示す波形図である。時刻t1からt2までの期間T1ではオフ駆動信号が入力されており、FET 5はオフしている。時刻t2からt3までの期間T2ではオン駆動信号が入力されており、FET 5はオンしている。期間T1、T2におけるFET 5のドレイン・ソース間電圧VDSは、それぞれバッテリー電圧VB、ほぼ0V（厳密にはFET 5のオン抵抗とドレイン電流IDとの関係で定まる電圧）になっている。

【0046】

10

20

30

40

50

期間 T 1、T 2 における素子モジュール 3 への印加電圧は、高々電圧 V_{m2} 以下であるため、第 1 電圧検出回路 6 A が出力する検出電圧は、上記しきい値電圧 V_{th} よりも低い。このため、MOSFET 1 3 がオン、MOSFET 1 4 がオフになり、MOSFET 1 1 のゲートには MOSFET 1 3 を介して電圧 V_c が与えられる。その結果、MOSFET 1 1 はオンになり、スイッチ回路 8 は駆動回路 7 と FET 5 のゲートとの間を低インピーダンスで接続する。一方、第 2 電圧検出回路 6 B が出力する検出電圧は、上述したように $V_{th}(FET) + V_f$ よりも低くなる。従って、FET 5 は、駆動信号に従って通常のスイッチング動作を行う。

【 0 0 4 7 】

時刻 t_3 においてオフ駆動信号が入力されて FET 5 がオフすると、逆起電力によるサージ電圧（逆起電力自体を含む）が発生し、FET 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上になる。このとき、第 1 電圧検出回路 6 A が出力する検出電圧は、MOSFET 1 3、1 4 のゲート耐圧以下であって、上記しきい値電圧 V_{th} よりも高くなる。このため、MOSFET 1 3 がオフ、MOSFET 1 4 がオンになり、MOSFET 1 1 のゲート電圧 V_{GS} は 0 V になる。その結果、MOSFET 1 1 はオフになり、スイッチ回路 8 は駆動回路 7 と FET 5 のゲートとの間を高インピーダンスで遮断する。これに伴い、FET 5 のゲートはオープン状態になる。

【 0 0 4 8 】

これ以降の FET 5 のゲート電圧 V_{GS} は、ドレイン・ソース間電圧 V_{DS} とゲート・ドレイン間容量 C_{GD} とゲート・ソース間容量 C_{GS} に基づいて、(5) 式で示す電圧に向かって上昇を開始する。

$$V_{GS} = (C_{GD} / (C_{GD} + C_{GS})) \cdot V_{DS} \quad \dots (5)$$

【 0 0 4 9 】

このゲート電圧 V_{GS} の上昇動作と並行して、第 2 電圧検出回路 6 B が出力する第 2 検出電圧が、FET 5 をセルフターンオンに導く。すなわち、上述した第 2 電圧検出回路 6 B の分圧比によれば、FET 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上に上昇するとき、最初に第 1 検出電圧がしきい値電圧 V_{th} よりも高くなる。これにより、スイッチ回路 8 が高インピーダンス状態になる。

【 0 0 5 0 】

その後、第 2 検出電圧が $V_{th}(FET) + V_f$ よりも高くなる。このとき、FET 5 に印加されるゲート電圧 V_{GS} はゲート耐圧以下である。これにより、ダイオード 1 5 を通して、FET 5 のゲート電圧 V_{GS} がゲートしきい値電圧 $V_{th}(FET)$ 以上に引き上げられ、FET 5 がセルフターンオンする。この順序によれば、スイッチ回路 8 が低インピーダンス状態のときに、第 2 検出電圧が FET 5 をオンさせることはない。

【 0 0 5 1 】

FET 5 がオンすると、ドレイン・ソース間に印加されたサージ電圧のエネルギーが FET 5 を通してソース側に逃され、ドレイン・ソース間電圧 V_{DS} は、第 2 検出電圧に応じた電圧であって素子耐圧以下の電圧（例えば 600 V）に制限される。サージ電圧のエネルギーが開放されている間は、ドレイン・ソース間電圧 V_{DS} が上昇しない状態でバランスする。ゲート電圧も、第 2 検出電圧から V_f だけ低い電圧でバランスする。

【 0 0 5 2 】

時刻 t_4 でエネルギーの開放が終了すると、ドレイン・ソース間電圧 V_{DS} が低下を開始し、第 1 検出電圧と第 2 検出電圧も低下し始める。このとき、最初に第 2 検出電圧が $V_{th}(FET) + V_f$ よりも低くなり、第 2 検出電圧がゲートをオン駆動できなくなる。この場合でも、スイッチ回路 8 が高インピーダンス状態を保持している限り、FET 5 はオンし続ける。その後、第 1 検出電圧がしきい値電圧 V_{th} 以下に低下すると、スイッチ回路 8 が低インピーダンス状態になり、駆動信号に従ったスイッチング動作に復帰する。

【 0 0 5 3 】

以上の動作において、FET 5 のゲート電流の最大値は数 A 程度になるが、ゲート電流が流れるターンオン時間 / ターンオフ時間は非常に短いので、MOSFET 1 1 およびダ

10

20

30

40

50

イオード15の定格電流は小さくてよい。また、MOSFET13、14は、MOSFET11を駆動するものなので、同様に小さいサイズの素子で十分である。このため、スイッチ回路8と制御回路9は、FET5よりも十分に小さい素子サイズで構成できる。

【0054】

コンデンサC1、C2は、検出電圧に応じてMOSFET13、14のゲート容量を充電する作用を持つ。従って、コンデンサC1、C2は、MOSFET13、14のゲート容量を十分に駆動できるだけの容量値が必要である。一例を示せば、コンデンサC1、C2の容量値は、MOSFET13、14のゲート容量の1倍から100倍程度の大きさに設定することが好ましい。

【0055】

コンデンサC3、C4は、検出電圧に応じてFET5のゲート容量を充電してセルフターンオンさせる作用を持つ。従って、コンデンサC3、C4は、(5)式によるゲート電圧VGSの上昇動作と並行してFET5をセルフターンオンに導くのに十分な容量値が必要である。一例を示せば、コンデンサC3、C4の容量値は、FET5のゲート容量の1倍から100倍程度の大きさに設定することが好ましい。

【0056】

スイッチ回路8を構成するMOSFET11には、駆動回路7側をアノード、FET5のゲート側をカソードとする寄生ダイオード11aが存在する。そのため、スイッチ回路8が遮断状態にあっても、駆動回路7が出力する正の電圧を持つオン駆動信号を、寄生ダイオード11aを通してFET5のゲートに与えることができる。これにより、スイッチ回路8の状態にかかわらず、駆動回路7からのオン駆動信号を優先してFET5をオン動作させることができる。なお、MOSFET11に替えてIGBTやバイポーラトランジスタを用いる場合には、並列ダイオードを付けることにより同様の効果が得られる。

【0057】

本実施形態によれば、FET5のドレイン・ソース間電圧VDSがその素子耐圧VDSSより低く設定された電圧Vm1以上になると、ゲート駆動線10に介在するスイッチ回路8が遮断してFET5のゲートがオープン状態になる。従来のSiデバイス例えばMOSトランジスタでは、ゲートのオープン状態でセルフターンオンしにくいものも存在するが、本実施形態によれば、第2検出電圧を用いてFET5を確実にセルフターンオンさせることができる。

【0058】

FET5のゲートには、ダイオード15を介してコンデンサC3、C4が接続されている。FET5のゲートに付加される容量を等価回路で表すと、図3に示すようになる。ここで、 $C_{iss} = C_{gd} + C_{gs}$ はFET5の入力容量であり、 C_d はダイオード15に逆方向電圧が印加されたときのダイオード15の接合容量である。

【0059】

上述したようにダイオード15の定格電流は非常に小さいので、 $C_d \ll C_3, C_4$ となる。このため、FET5のゲートからダイオード15を介してコンデンサC3、C4を見たときの等価的な容量値は、ダイオード15の接合容量値にほぼ等しい微小な値になる。さらに、FET5のゲートには、サージを逃すための定格電流の大きいダイオードが接続されていない。従って、従来構成よりもゲートに追加される寄生容量が小さくなり、FET5の高速スイッチング性能(特にターンオン特性)を保ったまま電圧耐量を確保することができる。

【0060】

負荷駆動装置1は、特にGaNデバイス例えばGaN-HEMTからなるFET5に好適である。GaN-HEMTは、アバランシェ耐量(L負荷耐量)がなく、ゲート耐圧が低く、素子自体のゲート容量が小さい特性を持つ。本実施形態によれば、スイッチング速度を殆ど低下させることなく、サージ電圧に対する耐量を高めることができる。勿論、MOSFETやIGBTにも適用できる。

【0061】

10

20

30

40

50

電圧検出回路 6 A、6 B は、C スナバの構成を備えているので、ターンオフ時の dV/dt およびリングングを抑制できるとともに、部品数および搭載スペースを節約できる。また、コンデンサ C 1、C 2 の容量比、コンデンサ C 3、C 4 の容量比および F E T 5 の素子耐圧の関係に基づいて、電圧保護動作の条件を容易に設定できる。

【 0 0 6 2 】

F E T 5 と同一の半導体基板上にコンデンサ C 1 ~ C 4 を作り込むことにより素子モジュール 3 を構成してもよい。また、ディスクリット部品である F E T 5 とコンデンサ C 1 ~ C 4 を基板上に搭載した後にモールドしてもよい。さらに、F E T 5、コンデンサ C 1 ~ C 4、スイッチ回路 8、制御回路 9 およびダイオード 1 5 を同一の半導体基板上に作り込んでもよい。この場合、さらに駆動回路 7 も併せて作り込むことができる。また、コンデンサ C 1 ~ C 4 だけを外付けの構成としてもよい。このように、回路構成上の自由度が高く小型化を図ることができる。

10

【 0 0 6 3 】

(第 2 の実施形態)

第 2 の実施形態について図 4 を参照しながら説明する。負荷駆動装置 2 1 の駆動 I C 2 2 は制御回路 2 3 を備えている。制御回路 2 3 は、電源 1 2 の端子間に出力端子 n 2 を挟んで直列に接続された抵抗 2 4 と M O S F E T 1 4 とからなるインバータ回路を備えている。M O S F E T 1 4 のしきい値電圧は、上述したしきい値電圧 V_{th} に等しく設定されている。

【 0 0 6 4 】

サージ電圧が印加されていないとき、第 1 検出電圧はしきい値電圧 V_{th} よりも低くなる。このため、M O S F E T 1 4 がオフになり、M O S F E T 1 1 のゲートに抵抗 2 4 を介して電圧 V_c が与えられる。一方、サージ電圧が発生して F E T 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上になると、第 1 検出電圧は、M O S F E T 1 4 のゲート耐圧以下であって、しきい値電圧 V_{th} よりも高くなる。これにより、M O S F E T 1 4 がオンになり、スイッチ回路 8 が遮断する。その後、F E T 5 は、上述したように (5) 式に示すゲート電圧 V_{GS} の上昇または第 2 検出電圧によりセルフターンオンする。

20

【 0 0 6 5 】

本実施形態によれば、制御回路 2 3 を 1 つの M O S F E T 1 4 を用いて構成できるので、回路面積を一層低減できる。ただし、M O S F E T 1 4 がオンした時に電源 1 2 から抵抗 2 4 と M O S F E T 1 4 を介した経路で電流が流れる。しかし、M O S F E T 1 4 がオンする頻度は低く、オンする時間も短いので、消費電力の増加は殆どない。

30

【 0 0 6 6 】

(第 3 の実施形態)

第 3 の実施形態について図 5 を参照しながら説明する。負荷駆動装置 2 5 の駆動 I C 2 6 は制御回路 2 7 を備えている。制御回路 2 7 は、電源 1 2 の端子間に出力端子 n 2 を挟んで直列に接続された M O S F E T 1 3 と抵抗 2 8 とからなるインバータ回路を備えている。第 1 検出電圧がしきい値電圧 V_{th} を超えると、M O S F E T 1 3 がオフするように構成されている。

【 0 0 6 7 】

サージ電圧が印加されていないとき、第 1 検出電圧はしきい値電圧 V_{th} よりも低くなる。このため、M O S F E T 1 3 がオンになり、M O S F E T 1 1 のゲートに M O S F E T 1 3 を介して電圧 V_c が与えられる。一方、サージ電圧が発生して F E T 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上になると、第 1 検出電圧は、M O S F E T 1 3 のゲート耐圧以下であって、しきい値電圧 V_{th} よりも高くなる。これにより、M O S F E T 1 3 がオフになり、スイッチ回路 8 が遮断する。その後、F E T 5 は、上述したように (5) 式に示すゲート電圧 V_{GS} の上昇または第 2 検出電圧によりセルフターンオンする。本実施形態によれば、制御回路 2 3 を 1 つの M O S F E T 1 3 を用いて構成できるので、回路面積を一層低減できる。

40

【 0 0 6 8 】

50

(第4の実施形態)

第4の実施形態について図6を参照しながら説明する。負荷駆動装置29は、素子モジュール30と駆動IC4とから構成されており、素子モジュール30は、FET5、第1電圧検出回路31Aおよび第2電圧検出回路31Bから構成されている。

【0069】

第1電圧検出回路31Aは、抵抗R1とコンデンサC1との直列回路からなる第1回路31Aaと、抵抗R2とコンデンサC2との直列回路からなる第2回路31Abとが、出力端子n1Aを挟んで直列に接続された構成を備えている。同様に、第2電圧検出回路31Bは、抵抗R3とコンデンサC3との直列回路からなる第3回路31Baと、抵抗R4とコンデンサC4との直列回路からなる第4回路31Bbとが、出力端子n1Bを挟んで直列に接続された構成を備えている。

10

【0070】

コンデンサC1の容量値はコンデンサC2の容量値よりも小さく、例えば $C1 : C2 = 1 : (5 \sim 500)$ 程度の比に設定されている。抵抗R1の抵抗値は抵抗R2の抵抗値よりも大きく、例えば $R1 : R2 = (5 \sim 500) : 1$ 程度の比に設定されている。同様に、コンデンサC3の容量値はコンデンサC4の容量値よりも小さく、例えば $C3 : C4 = 1 : (5 \sim 500)$ 程度の比に設定されている。抵抗R3の抵抗値は抵抗R4の抵抗値よりも大きく、例えば $R3 : R4 = (5 \sim 500) : 1$ 程度の比に設定されている。

【0071】

本実施形態の第1、第2電圧検出回路31A、31BはRCスナバの構成を備えているので、コンデンサC1、C2、C3、C4に蓄積されたサージエネルギーをそれぞれ抵抗R1、R2、R3、R4で消費させることができ、電圧サージを一層抑制する効果が得られる。また、直列に抵抗R1、R2、R3、R4を備えているので、コンデンサC1、C2、C3、C4に流れるリップル電流を低減できる。

20

【0072】

この場合、 $\tau_1 = C1 \cdot R1$ 、 $\tau_2 = C2 \cdot R2$ 、 $\tau_3 = C3 \cdot R3$ 、 $\tau_4 = C4 \cdot R4$ になるように定数を設定すれば、第1回路31Aaと第2回路31Abの充放電状態、第3回路31Baと第4回路31Bbの充放電状態がそれぞれ等しくなり、第1電圧検出回路31A、第2電圧検出回路31Bの分圧比を所望の値に安定化することができる。

【0073】

さらに、 $\tau_1 = \tau_2$ に設定すると、第1検出電圧と第2検出電圧が安定するのに要する時間が等しくなるので、サージ電圧が印加されたときのスイッチ回路8の状態変化とFET5のセルフターンオン/ターンオフとを上述した順序に従って確実に行うことができる。また、少なくとも $\tau_1 = \tau_2$ に設定すれば、スイッチ回路8が高インピーダンス状態になった後に、FET5をターンオンさせることができる。

30

【0074】

(第5の実施形態)

第5の実施形態について図7を参照しながら説明する。負荷駆動装置32は、素子モジュール33と駆動IC4とから構成されており、素子モジュール33は、FET5、第1電圧検出回路34Aおよび第2電圧検出回路34Bから構成されている。

40

【0075】

第1電圧検出回路34Aは、出力端子n1Aを挟んで直列に接続された第1回路34Aaと第2回路34Abから構成されている。第1回路34Aa、第2回路34Abは、それぞれ上述した第1回路31Aa、第2回路31Ab(図6参照)に対し並列に抵抗R5、R6を備えている。同様に、第2電圧検出回路34Bは、出力端子n1Bを挟んで直列に接続された第3回路34Baと第4回路34Bbから構成されている。第3回路34Ba、第4回路34Bbは、それぞれ上述した第3回路31Ba、第4回路31Bb(図6参照)に対し並列に抵抗R7、R8を備えている。

【0076】

コンデンサC1、C2の容量比および抵抗R1、R2の抵抗比並びにコンデンサC3、

50

C 4 の容量比および抵抗 R 3、R 4 の抵抗比は第 4 の実施形態に等しい。抵抗 R 5 の抵抗値は抵抗 R 6 の抵抗値よりも大きく、例えば R 5 : R 6 = (5 ~ 5 0 0) : 1 程度の比に設定されている。同様に、抵抗 R 7 の抵抗値は抵抗 R 8 の抵抗値よりも大きく、例えば R 7 : R 8 = (5 ~ 5 0 0) : 1 程度の比に設定されている。

【 0 0 7 7 】

本実施形態の第 1、第 2 電圧検出回路 3 4 A、3 4 B も R C スナバの構成を備えているので、第 4 の実施形態と同様に電圧サージを一層抑制する効果が得られる。また、 $1 = C 1 \cdot R 1 / C 2 \cdot R 2$ 、 $C 2 : C 1 = R 1 : R 2$ 、 $R 5 : R 6$ 、 $2 = C 3 \cdot R 3 / C 4 \cdot R 4$ 、 $C 4 : C 3 = R 3 : R 4$ 、 $R 7 : R 8$ になるように定数を設定すれば、第 1 回路 3 4 A a と第 2 回路 3 4 A b の充放電状態、第 3 回路 3 4 B a と第 4 回路 3 4 B b の充放電状態がそれぞれ等しくなり、第 1 電圧検出回路 3 4 A、第 2 電圧検出回路 3 4 B の分圧比を所望の値に安定化することができる。 $1 = 2$ または $1 = 2$ に設定したときの作用、効果も第 4 の実施形態と同様となる。

10

【 0 0 7 8 】

特にバランス抵抗 R 5 ~ R 8 を備えたことにより、電圧変化に対する追従性が高まり、過渡時における分圧比を一層安定化することができる。なお、抵抗 R 5 ~ R 8 の抵抗値は、分圧比の安定化と抵抗損失との兼ね合いから決定すればよい。

【 0 0 7 9 】

(第 6 の実施形態)

第 6 の実施形態について図 8 を参照しながら説明する。負荷駆動装置 3 5 は、素子モジュール 3 6 と駆動 I C 4 とから構成されており、素子モジュール 3 6 は、F E T 5、第 1 電圧検出回路 3 7 A および第 2 電圧検出回路 3 7 B から構成されている。

20

【 0 0 8 0 】

第 1 電圧検出回路 3 7 A は、コンデンサ C 1 と抵抗 R 5 との並列回路からなる第 1 回路 3 7 A a と、コンデンサ C 2 と抵抗 R 6 との並列回路からなる第 2 回路 3 7 A b とが、出力端子 n 1A を挟んで直列に接続された構成を備えている。同様に、第 2 電圧検出回路 3 7 B は、コンデンサ C 3 と抵抗 R 7 との並列回路からなる第 3 回路 3 7 B a と、コンデンサ C 4 と抵抗 R 8 との並列回路からなる第 4 回路 3 7 B b とが、出力端子 n 1B を挟んで直列に接続された構成を備えている。コンデンサ C 1、C 2 の容量比および抵抗 R 5、R 6 の抵抗比並びにコンデンサ C 3、C 4 の容量比および抵抗 R 7、R 8 の抵抗比は、第 5 の実施形態と同様に設定されている。

30

【 0 0 8 1 】

$C 1 : C 2 = R 6 : R 5$ 、 $C 3 : C 4 = R 8 : R 7$ になるように定数を設定すれば、第 1 回路 3 7 A a と第 2 回路 3 7 A b の充放電状態、第 3 回路 3 7 B a と第 4 回路 3 7 B b の充放電状態がそれぞれ等しくなり、第 1 電圧検出回路 3 7 A、第 2 電圧検出回路 3 7 B の分圧比を所望の値に安定化することができる。また、バランス抵抗 R 5 ~ R 8 を備えたことにより、第 5 の実施形態と同様の効果が得られる。

【 0 0 8 2 】

(第 7 の実施形態)

第 7 の実施形態について図 9 を参照しながら説明する。負荷駆動装置 3 8 は、素子モジュール 3 9 と駆動 I C 4 とから構成されており、素子モジュール 3 9 は、F E T 5、第 1 電圧検出回路 4 0 A および第 2 電圧検出回路 4 0 B から構成されている。電圧検出回路 4 0 A、4 0 B は、それぞれ第 1 の実施形態の電圧検出回路 6 A、6 B に対し、コンデンサ C 2、C 4 の共通接続ノード n 3 と F E T 5 のソースとの間に共通回路としてのコンデンサ C 5 を備えている。コンデンサ C 5 は、コンデンサ C 2、C 4 が有すべき容量のうち共通する容量の一部を、コンデンサ C 2、C 4 に代わって有している。

40

【 0 0 8 3 】

ノード n 3 の電圧 V 3、第 1 検出電圧 V 1 および第 2 検出電圧 V 2 は、それぞれ以下の (6) 式、(7) 式、(8) 式となる。ここで、C A はコンデンサ C 1、C 2 の直列合成容量値、C B はコンデンサ C 3、C 4 の直列合成容量値である。

50

$$V_3 = (C_A + C_B) / (C_A + C_B + C_5) \cdot V_{DS} \quad \dots (6)$$

$$V_1 = 1 / (C_1 + C_2) \cdot (C_1 \cdot V_{DS} + C_2 \cdot V_3) \quad \dots (7)$$

$$V_2 = 1 / (C_3 + C_4) \cdot (C_3 \cdot V_{DS} + C_4 \cdot V_3) \quad \dots (8)$$

【0084】

しきい値電圧 V_{th} は、FET5 のドレイン・ソース間に電圧保護動作が行われるべき範囲の電圧（電圧 V_{m1} 以上の電圧）が印加されたときに第1電圧検出回路40Aが出力する検出電圧 V_1 よりも低く設定されている。また、しきい値電圧 V_{th} は、FET5 のドレイン・ソース間に電圧保護動作が不要とされるべき範囲の電圧（電圧 V_{m2} 以下の電圧）が印加されたときに第1電圧検出回路40Aが出力する検出電圧よりも高く設定されている。

【0085】

第2電圧検出回路40Bの分圧比は、第1検出電圧 V_1 がしきい値電圧 V_{th} 以下のときに、第2検出電圧 V_2 が $V_{th}(FET) + V_f$ よりも低くなるように設定されている。また、第2電圧検出回路40Bの分圧比は、FET5 に電圧 V_{m1} 以上の範囲の電圧が印加されたときに、第2検出電圧が $V_{th}(FET) + V_f$ よりも高くなるように設定されている。

【0086】

本実施形態によれば、第1の実施形態と同様の作用、効果が得られる。さらに、共通回路としてのコンデンサ C_5 を備えているので、第1の実施形態におけるコンデンサ C_2 、 C_4 の総容量値に比べ、本実施形態のコンデンサ C_2 、 C_4 、 C_5 の総容量値を小さくできる。コンデンサ $C_1 \sim C_4$ (C_5) の総容量値についても同様に小さくできる。その結果、素子モジュール39を一層小型化できる。また、コンデンサ C_2 と C_4 との間の相対的な容量誤差が低減するので、第1検出電圧 V_1 と第2検出電圧 V_2 との間の相対的な誤差も低減し、電圧の検出精度が向上する。

【0087】

（第8の実施形態）

第8の実施形態について図10を参照しながら説明する。負荷駆動装置41は、素子モジュール42と駆動IC4とから構成されており、素子モジュール42は、FET5、第1電圧検出回路43Aおよび第2電圧検出回路43Bから構成されている。ノード n_3 と FET5 のソースとの間には、電圧検出回路43A、43Bで共用する共通回路44を備えている。第1回路43A aないし第4回路43B bの構成は、図6に示した第1回路31A aないし第4回路31B bと同様である。共通回路44も、同様にコンデンサ C_5 と抵抗 R_9 との直列回路により構成されている。

【0088】

コンデンサ C_1 ないし C_5 の容量値は、第4、第7の実施形態と同様に設定されている。各定数は、第4の実施形態と同様に $\tau_1 = C_1 \cdot R_1$ 、 $\tau_2 = C_2 \cdot R_2$ 、 $\tau_3 = C_3 \cdot R_3$ 、 $\tau_4 = C_4 \cdot R_4$ 、 $\tau_5 = C_5 \cdot R_9$ となるように設定することが好ましい。さらに、 $\tau_1 = \tau_2$ （少なくとも $\tau_1 \approx \tau_2$ ）となるように設定することが好ましい。さらに、 $\tau_3 = \tau_4 = \tau_5$ となるように設定すれば、第1検出電圧と第2検出電圧が安定するのに要する時間が等しくなる。

【0089】

本実施形態によれば、第4、第7の実施形態と同様の作用、効果が得られる。加えて、コンデンサ C_5 に蓄積されたサージエネルギーを抵抗 R_9 で消費させることができ、コンデンサ C_5 に流れるリップル電流を低減できる。

【0090】

（第9の実施形態）

第9の実施形態について図11を参照しながら説明する。負荷駆動装置45は、素子モジュール46と駆動IC4とから構成されており、素子モジュール46は、FET5、第1電圧検出回路47Aおよび第2電圧検出回路47Bから構成されている。ノード n_3 と FET5 のソースとの間には、電圧検出回路47A、47Bで共用する共通回路48を備えている。第1回路47A aないし第4回路47B bの構成は、図7に示した第1回路34A aないし第4回路34B bと同様である。共通回路48も、同様にコンデンサ C_5 と抵抗 R_9 との直列回路に対し抵抗 R_{10} が並列接続された構成を備えている。

10

20

30

40

50

【 0 0 9 1 】

コンデンサ C 1 ないし C 5 の容量値および抵抗 R 1 ないし R 4 の抵抗値は、第 5、第 8 の実施形態と同様に設定されている。各定数は、第 5 の実施形態と同様に $1 = C 1 \cdot R 1$ 、 $2 = C 2 \cdot R 2$ 、 $C 2 : C 1 = R 1 : R 2$ 、 $R 5 : R 6$ 、 $3 = C 3 \cdot R 3$ 、 $C 4 \cdot R 4$ 、 $C 4 : C 3 = R 3 : R 4$ 、 $R 7 : R 8$ になるように設定することが好ましい。さらに、 $3 = C 5 \cdot R 9$ として $1 = 2 = 3$ となるように設定すれば、第 1 検出電圧と第 2 検出電圧が安定するのに要する時間が等しくなる。

【 0 0 9 2 】

本実施形態によれば、第 8 の実施形態と同様の作用、効果が得られる。特にバランス抵抗 R 5 ~ R 8、R 1 0 を備えたことにより、電圧変化に対する追従性が高まり、過渡時における分圧比を一層安定化することができる。なお、抵抗 R 5 ~ R 8、R 1 0 の抵抗値は、分圧比の安定化と抵抗損失との兼ね合いから決定すればよい。

10

【 0 0 9 3 】

(第 1 0 の実施形態)

第 1 0 の実施形態について図 1 2 を参照しながら説明する。負荷駆動装置 4 9 は、素子モジュール 5 0 と駆動 IC 4 とから構成されており、素子モジュール 5 0 は、F E T 5、第 1 電圧検出回路 5 1 A および第 2 電圧検出回路 5 1 B から構成されている。ノード n 3 と F E T 5 のソースとの間には、電圧検出回路 5 1 A、5 1 B で共用する共通回路 5 2 を備えている。第 1 回路 5 1 A a ないし第 4 回路 5 1 B b の構成は、図 8 に示した第 1 回路 3 7 A a ないし第 4 回路 3 7 B b と同様である。共通回路 5 2 も、同様にコンデンサ C 5

20

【 0 0 9 4 】

コンデンサ C 1 ないし C 5 の容量値は、第 6、第 7 の実施形態と同様に設定されている。抵抗 R 5 ~ R 8、R 1 0 の抵抗比は、第 6 の実施形態と同様にコンデンサ C 1 ~ C 4、C 5 の分圧比に等しく設定することが好ましい。この設定によれば、抵抗 R 5 ~ R 8、R 1 0 の抵抗比は (9) 式のようになる。

【 0 0 9 5 】

$$R 5 : R 6 : R 7 : R 8 : R 1 0 =$$

$$C 2 \cdot C 5 (C 3 + C 4) :$$

$$C 1 \cdot C 5 (C 3 + C 4) :$$

$$C 4 \cdot C 5 (C 1 + C 2) :$$

$$C 3 \cdot C 5 (C 1 + C 2) :$$

$$C 1 \cdot C 2 (C 2 + C 4) + (C 1 + C 2) C 3 \cdot C 4 \quad \dots (9)$$

30

本実施形態によれば、第 6、第 7 の実施形態と同様の作用、効果が得られる。なお、抵抗 R 5 ~ R 8、R 1 0 の抵抗値は、分圧比の安定化と抵抗損失との兼ね合いから決定すればよい。

【 0 0 9 6 】

(第 1 1 の実施形態)

第 1 1 の実施形態について図 1 3 を参照しながら説明する。負荷駆動装置 5 3 は、素子モジュール 5 4 と駆動 IC 5 5 とから構成されており、素子モジュール 5 4 は、F E T 5 と電圧検出回路 5 6 とから構成されている。

40

【 0 0 9 7 】

電圧検出回路 5 6 は、F E T 5 のドレイン・ソース間電圧に応じた第 1 検出電圧を出力する回路で、F E T 5 のドレインとソースとの間に出力端子 n 1 を挟んで直列に接続された図示極性のツェナーダイオード Z D 1、Z D 2 (第 1 回路、第 2 回路に相当) から構成されている。直列接続されたツェナーダイオード Z D 1、Z D 2 は、電圧 V m 1 よりも低く且つ電圧 V m 2 よりも高く設定されたツェナー電圧 (規定電圧) を超える電圧が印加されたときに通電状態に移行する通電回路である。

【 0 0 9 8 】

駆動 IC 5 5 は、駆動回路 7、スイッチ回路 8、制御回路 9 およびダイオード 1 5 を備

50

えている。制御回路 9 の MOSFET 13、14 のゲートは、電圧検出回路 56 の出力端子 n1 に接続されている。出力端子 n1 と FET 5 のゲートとの間には、出力端子 n1 からゲートの向きに電流を流すダイオード 15 (一方向性素子に相当) が接続されている。

【0099】

制御回路 9 は、FET 5 の電圧保護動作に用いるしきい値電圧 V_{th} を有している。しきい値電圧 V_{th} は、FET 5 のドレイン・ソース間に電圧 V_{m1} 以上の電圧が印加され、ツェナーダイオード ZD1、ZD2 が通電したときに電圧検出回路 56 が出力する検出電圧 (ツェナー電圧 V_{ZD2}) よりも低く設定されている。また、しきい値電圧 V_{th} は、FET 5 のドレイン・ソース間に電圧 V_{m2} 以下の電圧が印加され、ツェナーダイオード ZD1、ZD2 が非通電状態のときに電圧検出回路 56 が出力する検出電圧よりも高く設定されている。

10

【0100】

さらに、しきい値電圧 V_{th} は、FET 5 のゲートしきい値電圧 $V_{th}(FET)$ とダイオード 15 の順方向電圧 V_f (通電電圧) とを加えた電圧 ($= V_{th}(FET) + V_f$) よりも低くなるように設定されている。また、電圧検出回路 56 の分圧比 (すなわちツェナー電圧 V_{ZD1} 、 V_{ZD2}) は、FET 5 に電圧 V_{m1} 以上の範囲の電圧が印加されたときに、第 1 検出電圧が $V_{th}(FET) + V_f$ よりも高くなるように設定されている。

【0101】

本実施形態の作用は、第 1 の実施形態とほぼ同様となる。すなわち、サージ電圧の発生により FET 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上になると、ツェナーダイオード ZD1、ZD2 が通電する。このとき、電圧検出回路 56 が出力する第 1 検出電圧は、MOSFET 13、14 のゲート耐圧以下であって、しきい値電圧 V_{th} よりも高くなる。その結果、スイッチ回路 8 は駆動回路 7 と FET 5 のゲートとの間を高インピーダンスで遮断する。

20

【0102】

これ以降の FET 5 のゲート電圧 V_{GS} は、(5) 式で示す電圧に向かって上昇を開始する。このゲート電圧 V_{GS} の上昇動作と並行して、第 1 検出電圧が、ダイオード 15 を介して FET 5 をセルフターンオンに導く。すなわち、FET 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上に上昇するとき、最初に第 1 検出電圧がしきい値電圧 V_{th} よりも高くなり、スイッチ回路 8 が高インピーダンス状態になる。

30

【0103】

その後、第 1 検出電圧が $V_{th}(FET) + V_f$ よりも高くなる。このとき、FET 5 に印加されるゲート電圧 V_{GS} はゲート耐圧以下である。これにより、ダイオード 15 を通して FET 5 のゲート電圧 V_{GS} がゲートしきい値電圧 $V_{th}(FET)$ 以上に引き上げられ、FET 5 がセルフターンオンする。この順序によれば、スイッチ回路 8 が低インピーダンス状態のときに、第 1 検出電圧が FET 5 をオンさせることはない。

【0104】

エネルギーの開放が終了すると、ドレイン・ソース間電圧 V_{DS} が低下を開始し、第 1 検出電圧も低下し始める。このとき、第 1 検出電圧は、最初に $V_{th}(FET) + V_f$ よりも低くなるが、スイッチ回路 8 が高インピーダンス状態を保持している限り、FET 5 はオンし続ける。その後、第 1 検出電圧がしきい値電圧 V_{th} 以下に低下すると、スイッチ回路 8 が低インピーダンス状態になり、駆動信号に従ったスイッチング動作に復帰する。

40

【0105】

本実施形態によれば、FET 5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上になると、ツェナーダイオード ZD1、ZD2 が通電し、出力端子 n1 の電圧がほぼ一定に維持される。これにより、スイッチ回路 8 を安定的に遮断状態にでき、FET 5 を精度よく且つ確実にセルフターンオンさせることができる。

【0106】

ツェナーダイオード ZD1、ZD2 は、サージ電圧のエネルギーを逃すものではなく、電圧を検出するためのものである。従って、ツェナーダイオード ZD1、ZD2 は、MO

50

S F E T 1 3、1 4 のゲート容量を駆動するのに十分な素子サイズがあれば十分である。このため、F E T 5 のゲートからダイオード 1 5 を介してツェナーダイオード Z D 1、Z D 2 を見たときの容量値は、ダイオード 1 5 の接合容量値よりも小さい値になる。従って、ゲートに追加される寄生容量が小さくなり、F E T 5 の高速スイッチング性能（特にターンオン特性）を保ったまま電圧耐量を確保することができる。その他、第 1 の実施形態と同様の効果が得られる。

【 0 1 0 7 】

（第 1 2 の実施形態）

第 1 2 の実施形態について図 1 4 を参照しながら説明する。負荷駆動装置 5 7 は、素子モジュール 5 8 と駆動 I C 5 5 とから構成されており、素子モジュール 5 8 は、F E T 5 と電圧検出回路 5 9 とから構成されている。電圧検出回路 5 9 は、F E T 5 のドレインとソースとの間に出力端子 n 1 を挟んで直列に接続された抵抗 R 1 1、R 1 2（第 1 回路、第 2 回路に相当）から構成されている。抵抗 R 1 1、R 1 2 は、 $R 1 1 : R 1 2 = (5 \sim 5 0 0) : 1$ 程度の比であって、抵抗損失が低減するように比較的高い抵抗値に設定されている。

10

【 0 1 0 8 】

電圧検出回路 5 9 は、抵抗分圧により検出電圧を出力するので、電圧変化に対する追従性がよく、精度がよく安定した分圧比が得られる。本実施形態によっても、スイッチ回路 8 を安定的に遮断状態にでき、F E T 5 を精度よく且つ確実にセルフターンオンさせることができる。

20

【 0 1 0 9 】

（第 1 3 の実施形態）

第 1 3 の実施形態について図 1 5 を参照しながら説明する。負荷駆動装置 6 0 は、素子モジュール 6 1 と駆動 I C 5 5 とから構成されており、素子モジュール 6 1 は、F E T 5 とツェナーダイオード Z D 1（電圧検出回路）とから構成されている。この構成は、第 1 1 の実施形態に示した負荷駆動装置 5 3 からツェナーダイオード Z D 2 を削除した構成に等しい。

【 0 1 1 0 】

制御回路 9 のしきい値電圧 V_{th} は、F E T 5 のドレイン・ソース間に電圧 V_{m1} 以上の電圧が印加されたときにツェナーダイオード Z D 1 のアノードが出力する検出電圧よりも低く設定されている。また、しきい値電圧 V_{th} は、F E T 5 のドレイン・ソース間に電圧 V_{m2} 以下の電圧が印加され、ツェナーダイオード Z D 1 が非通電状態のときにツェナーダイオード Z D 1 のアノードが出力する電圧よりも高く設定されている。さらに、しきい値電圧 V_{th} は、 $V_{th}(FET) + V_f$ よりも低くなるように設定されている。ツェナー電圧 V_{ZD1} は、F E T 5 に電圧 V_{m1} 以上の範囲の電圧が印加されたときにアノードが出力する検出電圧が $V_{th}(FET) + V_f$ よりも高くなるように設定されている。

30

【 0 1 1 1 】

本実施形態によっても第 1 1 の実施形態と同様の作用および効果が得られる。さらに、電圧検出回路を 1 つのツェナーダイオード Z D 1 で構成できるので、一層の小型化が図られる。

40

【 0 1 1 2 】

（第 1 4 の実施形態）

第 1 4 の実施形態について図 1 6 および図 1 7 を参照しながら説明する。負荷駆動装置 6 2 は、素子モジュール 3 と駆動 I C 6 3 とから構成されている。駆動 I C 6 3 において、第 1 電圧検出回路 6 A の出力端子 n 1A と F E T 5 のソースとの間に保護回路 6 4 が設けられており、第 2 電圧検出回路 6 B の出力端子 n 1B と F E T 5 のソースとの間に保護回路 6 5 が設けられている。

【 0 1 1 3 】

保護回路 6 4 は、ツェナーダイオード Z D 3 と抵抗 R 1 3 との直列回路により構成されており、保護回路 6 5 は、ツェナーダイオード Z D 4 と抵抗 R 1 4 との直列回路により構

50

成されている。これに替えて高抵抗のみから構成してもよいし、ツェナーダイオードのみから構成してもよい。また、保護回路 64、65 を素子モジュール側に設けてもよい。

【0114】

保護回路 64 は、FET5 のドレイン・ソース間に過大なサージ電圧が印加された時に、第1検出電圧が MOSFET13、14 のゲート耐圧以下になるように制限する。保護回路 65 は、FET5 のドレイン・ソース間に過大なサージ電圧が印加された時に、FET5 のゲート電圧がゲート耐圧以下になるように第2検出電圧の大きさを制限する。

【0115】

保護回路 64 は、制御回路 9 のインバータ回路を構成する MOSFET13、14 に接続されているので、FET5 のゲート容量には影響がない。一方、保護回路 65 については、ツェナーダイオード ZD4 の寄生容量 C_{zd} が、第2電圧検出回路 6B の出力端子 n1B と FET5 のソースとの間に接続されている。このため、FET5 のゲートには、ダイオード 15 を介してコンデンサ C3、C4、 C_{zd} が接続される。FET5 のゲートに付加される容量を等価回路で表すと、図 17 に示すようになる。ここで、 $C_p = C_3 + C_4 + C_{zd}$ である。

10

【0116】

上述したようにダイオード 15 の定格電流は非常に小さいので、 $C_d \ll C_3、C_4$ となり、合成容量 C_p と C_d との関係は $C_d \ll C_p$ となる。このため、FET5 のゲートからダイオード 15 を介してコンデンサ C3、C4、 C_{zd} を見たときの等価的な容量値は、ダイオード 15 の接合容量値にほぼ等しい微小な値になる。さらに、FET5 のゲートには、サージを逃すための定格電流の大きいダイオードが接続されていない。従って、従来構成よりもゲートに追加される寄生容量が小さくなり、FET5 の高速スイッチング性能（特にターンオン特性）を保ったまま電圧耐量を確保することができる。これにより、制御回路 9 に入力される第1検出電圧および FET5 のゲートに入力される第2検出電圧が安定化するので、ノイズなどにより制御回路 9 および FET5 が誤動作することを防止できる。

20

【0117】

なお、第1電圧検出回路 6A の出力部および第2電圧検出回路 6B の出力部にそれぞれ保護回路 64、65 を設けることが好ましいが、動作条件、制御回路 9 と FET5 の特性等に応じて何れか一方の保護回路だけでも同等の効果が得られる。

30

【0118】

（第15の実施形態）

第15の実施形態について図 18 を参照しながら説明する。負荷駆動装置 66 は、素子モジュール 3 と駆動 IC67 とから構成されている。駆動 IC67 が備えるスイッチ回路 68 において、MOSFET11 と並列に抵抗 69 が接続されている。抵抗 69 の抵抗値 R_p は、通常のゲート抵抗 R_{gon} 、 R_{goff} の 10 倍程度の値に設定されている。

【0119】

サージ電圧が発生して FET5 のドレイン・ソース間電圧 V_{DS} が電圧 V_{m1} 以上になると、制御回路 9 により MOSFET11 がオフに制御される。このとき、駆動回路 7 の出力端子と FET5 のゲートとの間のインピーダンスは R_p となり、FET5 のゲートはオープン状態に近くなる。抵抗 69 を設けることにより、FET5 がセルフターンオンする電圧値を調整することが可能になる。

40

【0120】

（その他の実施形態）

以上、本発明の好適な実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲内で種々の変形、拡張を行うことができる。

【0121】

各実施形態では、誘導性負荷であるコイル 2 への通電を遮断した時に生じるサージ電圧（逆起電力を含む）が FET5 に印加された場合について説明した。誘導ノイズ、バッテ

50

り電圧 V_B の変動などに起因する過電圧が印加されたときも同様である。

【0122】

第11の実施形態では、第1回路と第2回路を構成する通電回路としてツェナーダイオード $ZD1$ 、 $ZD2$ を用いた。第13の実施形態では、通電回路としてツェナーダイオード $ZD1$ を用いた。通電回路は、印加電圧が規定電圧を超えるとときに通電状態に移行する回路であれば他の回路構成でもよい。例えば、ダイオード、ツェナーダイオード、MOSトランジスタおよびバイポーラトランジスタの中から選択された1または複数の半導体素子から構成し、その順方向電圧、ツェナー電圧、しきい値電圧またはこれらの電圧の組み合わせにより規定電圧を構成してもよい。

【0123】

第2、第3の実施形態で説明した制御回路23、27は、第4～第14の実施形態に対しても同様に適用できる。

第14の実施形態で説明した保護回路64、65は、第2～第10、第15の実施形態に対しても同様に適用できる。この場合、保護回路64、65のうち何れか一方だけを適用してもよい。また、第11～第13の実施形態に対しても保護回路64または65を適用できる。

【0124】

第15の実施形態で説明したスイッチ回路68は、第2～第14の実施形態に対しても同様に適用できる。

第1～第10、第14、第15の実施形態で説明した第1電圧検出回路および第2電圧検出回路および第11～第13の実施形態で説明した電圧検出回路は、FET5のドレイン・ソース間に印加される電圧 V_{DS} に応じた検出電圧を出力する回路であればよく、必ずしも第1回路と第2回路の直列回路または第3回路と第4回路の直列回路から構成する必要はない。

【0125】

第13の実施形態を除く各実施形態において、第1回路と第2回路および第3回路と第4回路は互いに異なる構成であってもよい。例えば、第4の実施形態において、抵抗 $R1$ 、 $R2$ を除いた構成または抵抗 $R3$ 、 $R4$ を除いた構成としてもよい。第5、第6の実施形態において、抵抗 $R5$ 、 $R6$ を除いた構成または抵抗 $R7$ 、 $R8$ を除いた構成としてもよい。第8ないし第10の実施形態についても同様である。第1回路と第2回路の構成および第3回路と第4回路の構成が異なる場合、共通回路は何れか一方（つまり第1、第2回路または第3、第4回路）と同じ構成とすればよい。

【0126】

負荷駆動装置への適用について説明したが、これに限らずスイッチング電源回路、インバータ回路などにも適用できる。

【符号の説明】

【0127】

図面中、1、21、25、29、32、35、38、41、45、49、53、57、60、62、66は負荷駆動装置（半導体装置）、5はFET（スイッチング素子）、6A、31A、34A、37A、40A、43A、47A、51Aは第1電圧検出回路、6B、31B、34B、37B、40B、43B、47B、51Bは第2電圧検出回路、8、68はスイッチ回路、9、23、27は制御回路、10はゲート駆動線、13、14はMOSFET（トランジスタ）、31Aa、34Aa、37Aa、43Aa、47Aa、51Aaは第1回路、31Ab、34Ab、37Ab、43Ab、47Ab、51Abは第2回路、31Ba、34Ba、37Ba、43Ba、47Ba、51Baは第3回路、31Bb、34Bb、37Bb、43Bb、47Bb、51Bbは第4回路、44、48、52は共通回路、56、59は電圧検出回路、C1～C4はコンデンサ（第1回路～第4回路）、C5はコンデンサ（共通回路）、n1A、n1B、n2は出力端子、R1～R10は抵抗、R11、R12は抵抗（第1回路、第2回路）、 $ZD1$ 、 $ZD2$ はツェナーダイオード（通電回路/第1回路、第2回路）である。

10

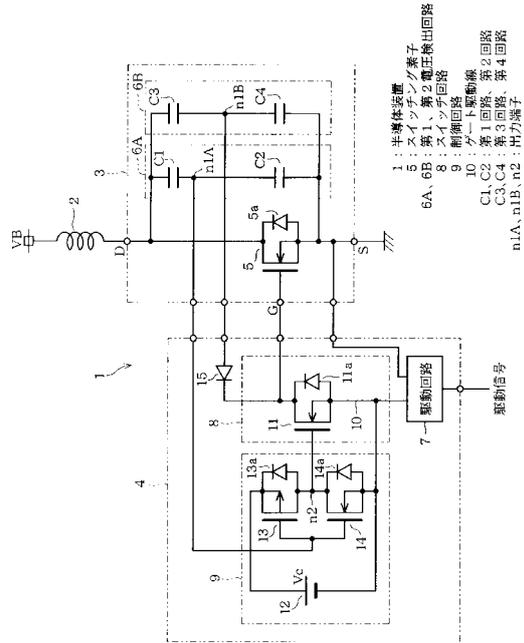
20

30

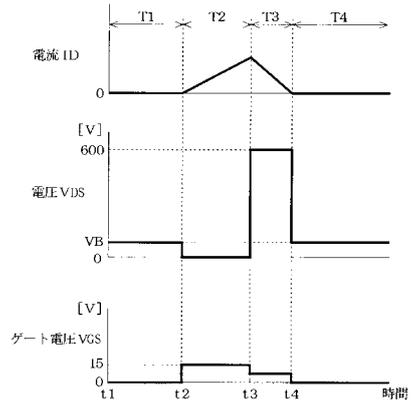
40

50

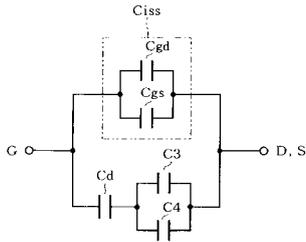
【図1】



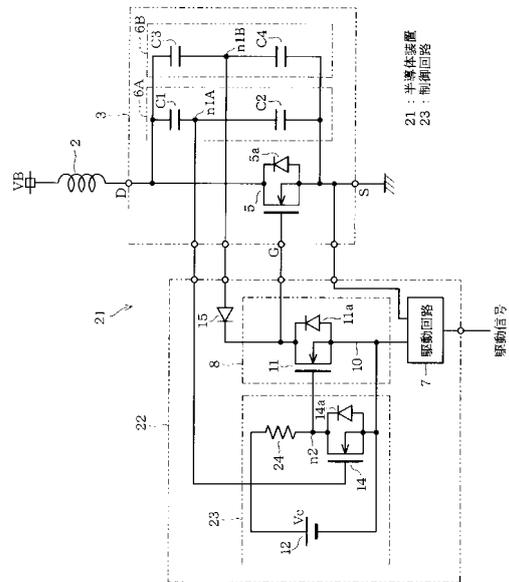
【図2】



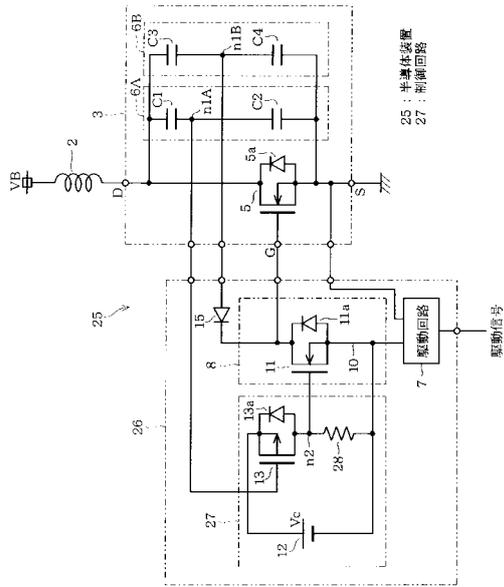
【図3】



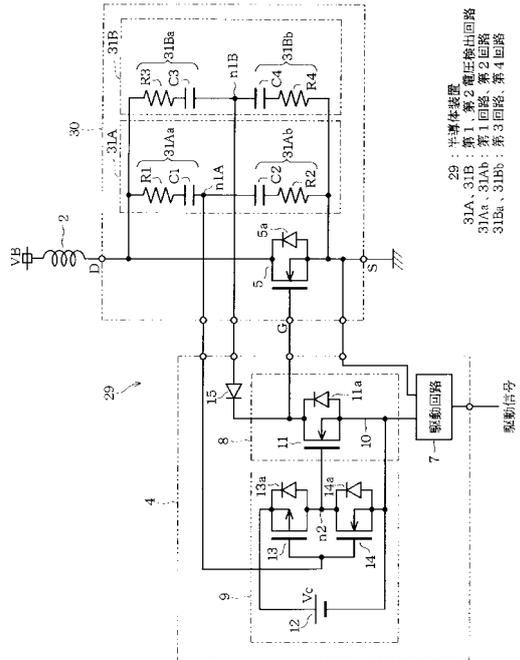
【図4】



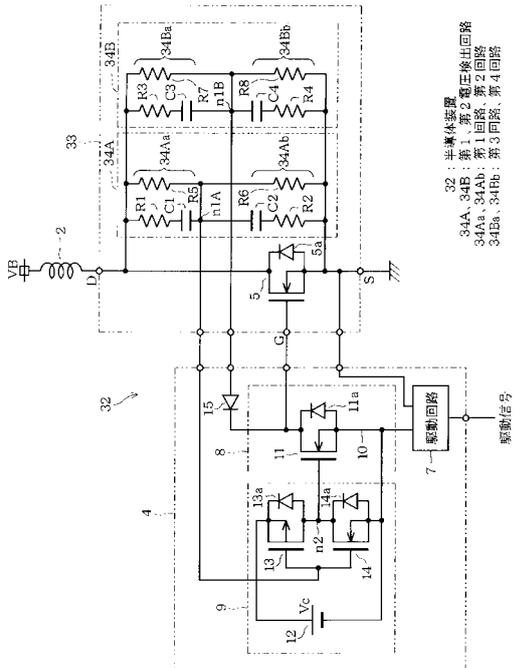
【图 5】



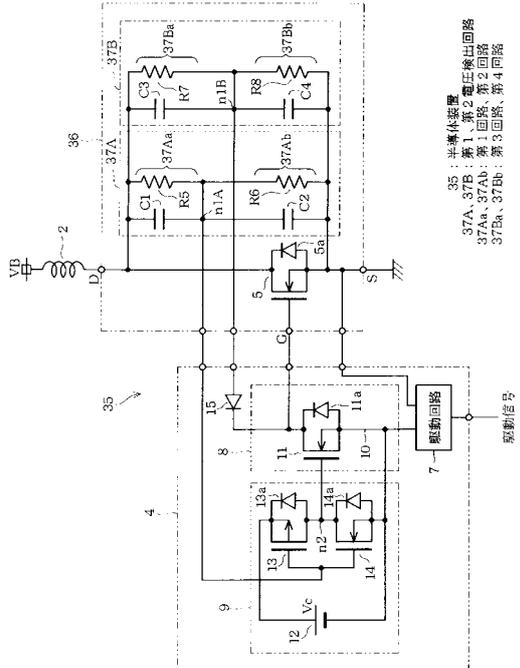
【图 6】



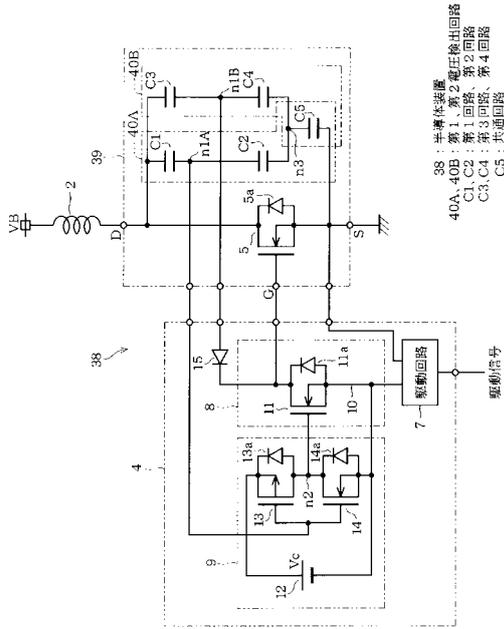
【图 7】



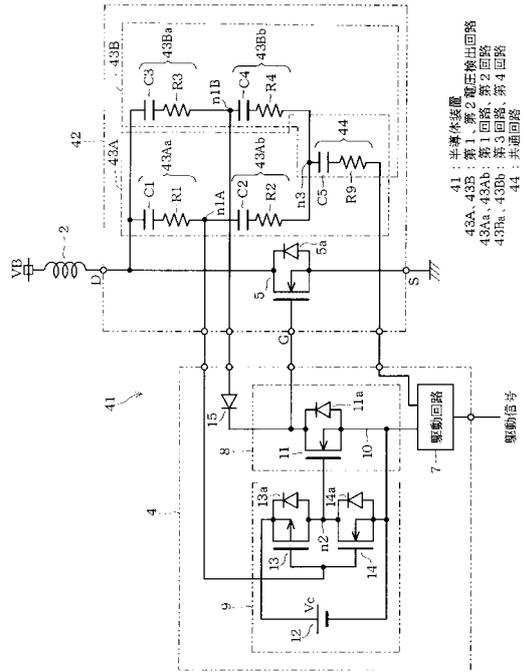
【图 8】



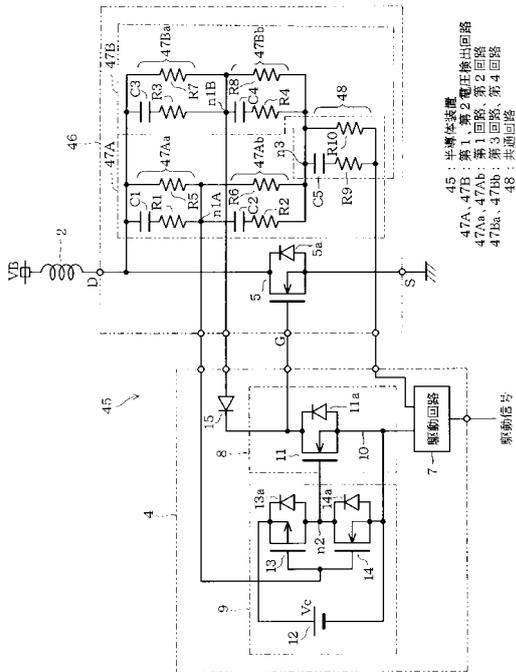
【 図 9 】



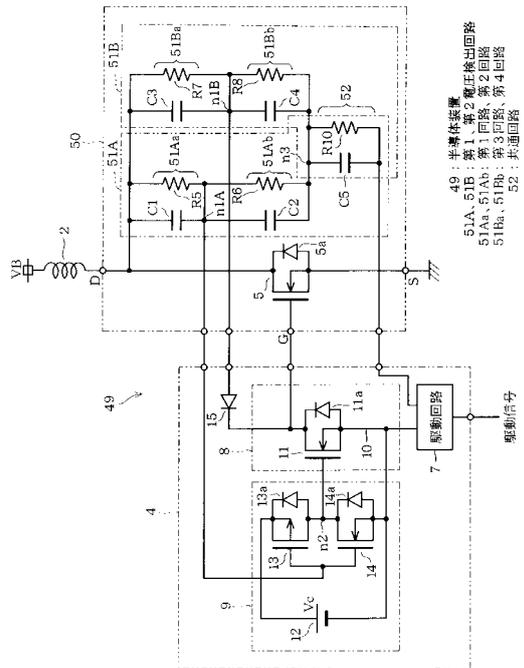
【 図 10 】



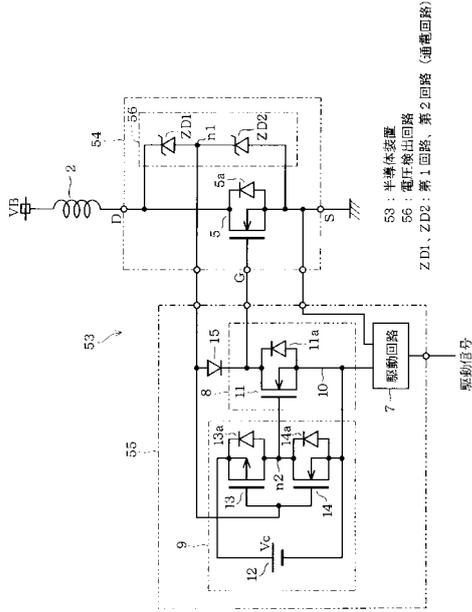
【 図 11 】



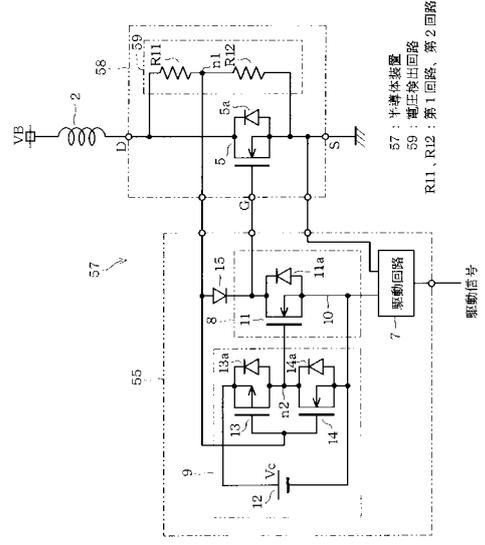
【 図 12 】



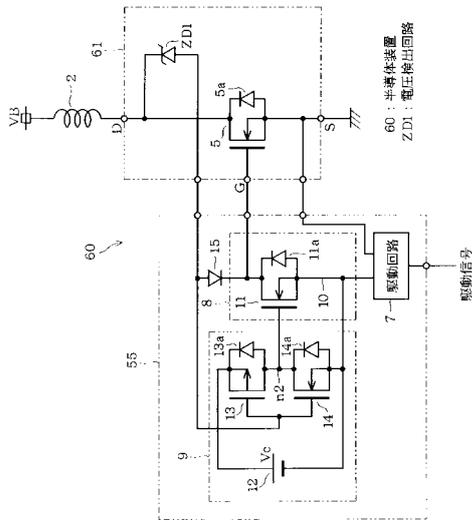
【 図 1 3 】



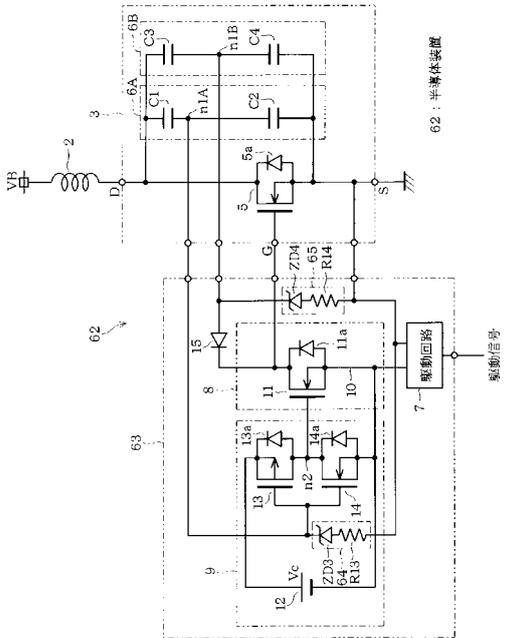
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (56)参考文献 特開平02 - 128475 (JP, A)
特開平06 - 244414 (JP, A)
特開2002 - 299569 (JP, A)
特開2008 - 147786 (JP, A)
特開2000 - 077537 (JP, A)
特開2008 - 061290 (JP, A)
特開2005 - 333314 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H02M 1/00
H02M 1/08