

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4761995号
(P4761995)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl. F I
G 1 1 C 29/04 (2006.01) G 1 1 C 29/00 6 0 3 P
G 0 1 R 31/28 (2006.01) G 0 1 R 31/28 B
 G 0 1 R 31/28 V

請求項の数 5 (全 8 頁)

(21) 出願番号	特願2006-39130 (P2006-39130)	(73) 特許権者	000003078
(22) 出願日	平成18年2月16日 (2006.2.16)		株式会社東芝
(65) 公開番号	特開2007-220193 (P2007-220193A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年8月30日 (2007.8.30)	(74) 代理人	100075812
審査請求日	平成20年8月5日 (2008.8.5)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体集積回路及びそのテスト方法

(57) 【特許請求の範囲】

【請求項1】

書き込み及び読み出し対象のメモリセルのアドレスが、不良メモリセルアドレスと一致する場合には、書き込み及び読み出し対象のメモリセルをリダンダンシーメモリセルに置き換えるテスト対象のメモリと、

前記メモリをテストすることによって検出された前記不良メモリセルアドレスを記憶し、前記不良メモリセルアドレスを前記メモリに与える不揮発性記憶素子と、

前記不揮発性記憶素子から、前記不良メモリセルアドレスを読み出す読み出し回路と、前記読み出し回路によって読み出された前記不良メモリセルアドレスを保持するアドレス保持回路と、

前記アドレス保持回路に保持されている不良メモリセルアドレスに基づいて、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生するアドレス発生回路と、

前記アドレス発生回路によって発生されたアドレスに基づいて、置き換えが正しく行われるか否かについての再テストを行うことにより、前記リダンダンシーメモリセルを選択的にテストする制御回路と

を備えることを特徴とする半導体集積回路。

【請求項2】

前記メモリは、前記リダンダンシーメモリセルがロウ方向に沿って複数配置されたリダンダンシー領域を有し、

前記アドレス発生回路は、ロウアドレスを不良メモリセルロウアドレスに固定した上で、カラムアドレスを発生させることにより、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生することを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記メモリは、前記リダンダンシーメモリセルがカラム方向に沿って複数配置されたりダンダンシー領域を有し、

前記アドレス発生回路は、カラムアドレスを不良メモリセルカラムアドレスに固定した上で、ロウアドレスを発生させることにより、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生することを特徴とする請求項1記載の半導体集積回路。

10

【請求項4】

書き込み及び読み出し対象のメモリセルのアドレスが、不揮発性記憶素子に記憶されている不良メモリセルアドレスと一致する場合には、書き込み及び読み出し対象のメモリセルをリダンダンシーメモリセルに置き換えるテスト対象のメモリに対して、置き換えが正しく行われるか否かについての再テストを行う際に、

前記不揮発性記憶素子から、前記不良メモリセルアドレスを読み出すステップと、

前記読み出された前記不良メモリセルアドレスを保持するステップと、

前記保持されている前記不良メモリセルアドレスに基づいて、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生するステップと、

20

前記発生された前記アドレスに基づいて、置き換えが正しく行われるか否かについての再テストを行うことにより、前記リダンダンシーメモリセルを選択的にテストするステップと

を備えることを特徴とする半導体集積回路のテスト方法。

【請求項5】

前記メモリは、前記リダンダンシーメモリセルがロウ方向に沿って複数配置されたりダンダンシー領域を有し、

前記メモリセルのアドレスを選択的に発生するステップでは、ロウアドレスを不良メモリセルロウアドレスに固定した上で、カラムアドレスを発生させることにより、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生することを特徴とする請求項4記載の半導体集積回路のテスト方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路及びそのテスト方法に関する。

【背景技術】

【0002】

近年、半導体メモリ内に存在する不良メモリセルを救済するための種々の方法が開発されている。かかる方法としては、半導体メモリをテストして不良メモリセルを検出し、当該検出した不良メモリセルをリダンダンシー（冗長）メモリセルに置き換えることにより、正常な半導体メモリとして機能させる方法がある。

40

【0003】

具体的には、まず全てのメモリセルをテストすることにより、不良メモリセルを検出する。次に、この不良メモリセルのアドレスをヒューズなどに記憶することにより、不良メモリセルをリダンダンシーメモリセルに置き換える。

【0004】

最後に、再び全てのメモリセルをテストすることにより、置き換えが正しく行われるか否かについての再テストを行う。このように再テストを行う場合にも、全てのメモリセルをテストするため、テスト時間が長くなるという問題があった。

【0005】

50

以下、不良メモリセルの救済に関する文献名を記載する。

【特許文献 1】特開 2 0 0 2 - 9 3 1 9 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明は、テスト時間を短縮することができる半導体集積回路及びそのテスト方法を提供する。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の一態様による半導体集積回路は、

書き込み及び読み出し対象のメモリセルのアドレスが、不良メモリセルアドレスと一致する場合には、書き込み及び読み出し対象のメモリセルをリダンダンシーメモリセルに置き換えるテスト対象のメモリと、

前記メモリをテストすることによって検出された前記不良メモリセルアドレスを記憶し、前記不良メモリセルアドレスを前記メモリに与える不揮発性記憶素子と、

前記不揮発性記憶素子から、前記不良メモリセルアドレスを読み出す読み出し回路と、

前記読み出し回路によって読み出された前記不良メモリセルアドレスを保持するアドレス保持回路と、

前記アドレス保持回路に保持されている不良メモリセルアドレスに基づいて、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生するアドレス発生回路と、

前記アドレス発生回路によって発生されたアドレスに基づいて、置き換えが正しく行われるか否かについての再テストを行うことにより、前記リダンダンシーメモリセルを選択的にテストする制御回路と

を備える。

【 0 0 0 8 】

また本発明の一態様による半導体集積回路のテスト方法は、

書き込み及び読み出し対象のメモリセルのアドレスが、不揮発性記憶素子に記憶されている不良メモリセルアドレスと一致する場合には、書き込み及び読み出し対象のメモリセルをリダンダンシーメモリセルに置き換えるテスト対象のメモリに対して、置き換えが正しく行われるか否かについての再テストを行う際に、

前記不揮発性記憶素子から、前記不良メモリセルアドレスを読み出すステップと、

前記読み出された前記不良メモリセルアドレスを保持するステップと、

前記保持されている前記不良メモリセルアドレスに基づいて、前記リダンダンシーメモリセルに置き換えられた前記メモリセルのアドレスを選択的に発生するステップと、

前記発生された前記アドレスに基づいて、置き換えが正しく行われるか否かについての再テストを行うことにより、前記リダンダンシーメモリセルを選択的にテストするステップと

を備える。

【発明の効果】

【 0 0 0 9 】

本発明の半導体集積回路及びそのテスト方法によれば、テスト時間を短縮することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 1 1 】

(1) 第 1 の実施の形態

図 1 に、本発明の第 1 の実施の形態による半導体集積回路 1 0 の構成を示し、図 2 に、本実施の形態によるテスト処理手順 R T 1 0 を示す。この半導体集積回路 1 0 は、例えば

10

20

30

40

50

S R A Mなどからなるテスト対象としてのメモリ20と、不揮発性記憶素子としてのヒューズ30と、B I S T (ビルトインセルフテスト)回路40とを有する。

【0012】

B I S T回路40は、ヒューズ読み出し回路50と、ロウアドレス保持回路60と、書き込み又は読み出し対象のメモリセルのアドレスを発生するアドレス発生回路70と、当該ヒューズ読み出し回路50、ロウアドレス保持回路60及びアドレス発生回路70の動作を制御する制御回路80とを有する。なお、一般的なB I S T回路と同様に構成することができる期待値発生回路及び比較回路などは、省略されている。

【0013】

図2において、B I S T回路40の制御回路80は、半導体集積回路10が図示しない半導体試験装置(テスト)に接続され、テスト処理手順R T 10に入ると、ステップS P 10において、アドレス発生回路70の動作を制御することにより、書き込み及び読み出し対象のメモリセルのアドレスを発生させこれをメモリ20に与えさせると共に、書き込み及び読み出しのための制御信号をメモリ20に与える。

10

【0014】

これにより制御回路80は、メモリ20を形成する全てのメモリセルに対して1メモリセルずつ書き込み及び読み出しを順次行うことにより、不良メモリセルを検出する。

【0015】

ステップS P 20において、B I S T回路40の制御回路80は、検出された不良メモリセルのロウアドレス(以下、これを不良メモリセルロウアドレスと呼ぶ)を図示しないテストを介してヒューズ30に記憶する。ヒューズ30は、この記憶している不良メモリセルロウアドレスをメモリ20に与える。

20

【0016】

メモリ20は、いわゆるリダンダンシー機能を有し、例えばB I S T回路40のアドレス発生回路70から与えられたロウアドレスが、ヒューズ30から与えられた不良メモリセルロウアドレスと一致する場合には、リダンダンシーメモリセルに置き換えた上で書き込み及び読み出しを行う。

【0017】

なお、本実施の形態の場合、メモリ20は、リダンダンシーメモリセルがロウ方向に沿って複数配置されたリダンダンシー領域を有し、これによりロウ方向に沿って複数配置されたメモリセル領域を置き換えの単位として採用する。

30

【0018】

ステップS P 30において、B I S T回路40の制御回路80は、ヒューズ読み出し回路50、ロウアドレス保持回路60及びアドレス発生回路70の動作を制御することにより、置き換えが正しく行われるか否かについての再テストを行う。

【0019】

具体的には、まずヒューズ読み出し回路50は、ヒューズ30から不良メモリセルロウアドレスを読み出し、これをロウアドレス保持回路60に記憶する。なお、ロウアドレス保持回路60は、不良メモリセルロウアドレスが複数検出された場合には、これら複数の不良メモリセルロウアドレスを全て保持する。

40

【0020】

ロウアドレス保持回路60は、この保持している不良メモリセルロウアドレスをアドレス発生回路70に与える。アドレス発生回路70は、ロウアドレスについては、不良メモリセルロウアドレスに固定し、カラムアドレスについては、通常のテスト(ステップS P 10におけるテスト)と同様にアドレスを発生させることにより、書き込み及び読み出し対象のメモリセルのアドレスを発生しメモリ20に与える。このようにアドレス発生回路70は、不良メモリセルロウアドレスに複数配置されているメモリセル列のアドレスのみを選択的に発生する。

【0021】

これと共に、制御回路80は、書き込み及び読み出しのための制御信号をメモリ20に

50

与える。この場合、メモリ20は、アドレス発生回路70から不良メモリセルロウアドレスが与えられると、書き込み及び読み出し対象のメモリセル領域を、リダンダンシーメモリセル領域に置き換えた上で、書き込み及び読み出しを行う。このように制御回路80は、ステップSP10ではテストが行われていないリダンダンシーメモリセルのみを選択的にテストした後、ステップSP40に移って当該処理手順RT10を終了する。

【0022】

このように本実施の形態によれば、置き換えが正しく行われるか否かについての再テストを行う際、全てのメモリセルを再テストする比較例と比較して、再テストに要するテスト時間を大幅に短縮することができ、従って全体のテスト時間を短縮することができる。

【0023】

例えば、128ロウ分のメモリセル列に対して1ロウ分のリダンダンシーメモリセル列が設けられている場合、比較例による再テストを行うと128ロウ分のアドレスを発生させる必要があるのに対して、本実施の形態によれば、1ロウ分のアドレスを発生させるだけで良い。これにより、再テストに要するテスト時間を、メモリ20の構成にもよるが、最大で、比較例によるテスト時間の1/128に短縮することができる。

【0024】

(2) 第2の実施の形態

図3に、本発明の第2の実施の形態による半導体集積回路100の構成を示す。なお、図1に示された要素と同一のものには同一の符号を付して説明を省略する。

【0025】

本実施の形態の場合、メモリ110は、リダンダンシーメモリセルがカラム方向に沿って複数配置されたリダンダンシー領域を有し、これによりカラム方向に沿って複数配置されたメモリセル領域を置き換えの単位として採用する。

【0026】

従って、BIST回路120の制御回路80は、検出された不良メモリセルのカラムアドレス(以下、これを不良メモリセルカラムアドレスと呼ぶ)を図示しないテストを介してヒューズ30に記憶する。ヒューズ読み出し回路50は、ヒューズ30から不良メモリセルカラムアドレスを読み出し、これをカラムアドレス保持回路130に記憶する。

【0027】

カラムアドレス保持回路130は、この保持している不良メモリセルカラムアドレスをアドレス発生回路70に与える。アドレス発生回路70は、カラムアドレスについては、不良メモリセルカラムアドレスに固定し、ロウアドレスについては、通常のテスト(ステップSP10におけるテスト)と同様にアドレスを発生させることにより、書き込み及び読み出し対象のメモリセルのアドレスを発生しメモリ110に与える。このようにアドレス発生回路70は、不良メモリセルカラムアドレスに複数配置されているメモリセル列のアドレスのみを選択的に発生することにより、置き換えが正しく行われるか否かについての再テストを行う。

【0028】

このように本実施の形態によれば、第1の実施の形態と同様に、置き換えが正しく行われるか否かについての再テストを行う際、全てのメモリセルを再テストする比較例と比較して、再テストに要するテスト時間を大幅に短縮することができ、従って全体のテスト時間を短縮することができる。

【0029】

例えば、128カラム分のメモリセル列に対して1カラム分のリダンダンシーメモリセル列が設けられている場合、比較例による再テストを行うと128カラム分のアドレスを発生させる必要があるのに対して、本実施の形態によれば、1カラム分のアドレスを発生させるだけで良い。これにより、再テストに要するテスト時間を、メモリ110の構成にもよるが、最大で、比較例によるテスト時間の1/128に短縮することができる。

【0030】

(3) 第3の実施の形態

10

20

30

40

50

図4に、本発明の第3の実施の形態による半導体集積回路200の構成を示す。なお、図1に示された要素と同一のものには同一の符号を付して説明を省略する。

【0031】

本実施の形態の場合、メモリ210は、リダンダンシーメモリセルがロウ方向に沿って複数配置された第1のリダンダンシー領域と、リダンダンシーメモリセルがカラム方向に沿って複数配置された第2のリダンダンシー領域とを有し、これによりロウ方向に沿って複数配置されたメモリセル領域と、カラム方向に沿って複数配置されたメモリセル領域とを置き換えの単位として採用する。

【0032】

従って、BIST回路220の制御回路80は、例えば複数の不良メモリセルを検出した場合、当該検出された複数の不良メモリセルのうち、一方の不良メモリセルの不良メモリセルロウアドレスをヒューズ30に記憶すると共に、他方の不良メモリセルの不良メモリセルカラムアドレスをヒューズ30に記憶する。

10

【0033】

ヒューズ読み出し回路50は、ヒューズ30から不良メモリセルロウアドレスを読み出し、これをロウアドレス保持回路60に記憶すると共に、ヒューズ30から不良メモリセルカラムアドレスを読み出し、これをカラムアドレス保持回路230に記憶する。

【0034】

ロウアドレス保持回路60は、この保持している不良メモリセルロウアドレスをアドレス発生回路70に与える。アドレス発生回路70は、ロウアドレスについては、不良メモリセルロウアドレスに固定し、カラムアドレスについては、通常のテスト(ステップSP10におけるテスト)と同様にアドレスを発生させることにより、書き込み及び読み出し対象のメモリセルのアドレスを発生しメモリ210に与える。

20

【0035】

その後、カラムアドレス保持回路230は、この保持している不良メモリセルカラムアドレスをアドレス発生回路70に与える。アドレス発生回路70は、カラムアドレスについては、不良メモリセルカラムアドレスに固定し、ロウアドレスについては、通常のテスト(ステップSP10におけるテスト)と同様にアドレスを発生させることにより、書き込み及び読み出し対象のメモリセルのアドレスを発生しメモリ210に与える。

【0036】

このようにアドレス発生回路70は、不良メモリセルロウアドレスに複数配置されているメモリセル列と、不良メモリセルカラムアドレスに複数配置されているメモリセル列とのアドレスのみを選択的に発生することにより、置き換えが正しく行われるか否かについての再テストを行う。

30

【0037】

このように本実施の形態によれば、第1の実施の形態と同様に、置き換えが正しく行われるか否かについての再テストを行う際、全てのメモリセルを再テストする比較例と比較して、再テストに要するテスト時間を大幅に短縮することができ、従って全体のテスト時間を短縮することができる。

【0038】

例えば、128ロウ分のメモリセル列に対して1ロウ分のリダンダンシーメモリセル列が設けられ、かつ128カラム分のメモリセル列に対して1カラム分のリダンダンシーメモリセル列が設けられている場合、比較例による再テストを行うと128ロウ及び128カラム分のアドレスを発生させる必要があるのに対して、本実施の形態によれば、1ロウ及び1カラム分のアドレスを発生させるだけで良い。これにより、再テストに要するテスト時間を、比較例によるテスト時間の $1/64 (= 1/128 + 1/128)$ に短縮することができる。

40

【0039】

なお、上述の実施の形態は一例であって、本発明を限定するものではない。例えばテスト対象のメモリとして、SRAMに限らず、DRAMなどを使用することも可能である。

50

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施の形態による半導体集積回路の構成を示すブロック図である。

【図2】テスト処理手順を示すフローチャートである。

【図3】本発明の第2の実施の形態による半導体集積回路の構成を示すブロック図である。

【図4】本発明の第3の実施の形態による半導体集積回路の構成を示すブロック図である。

【符号の説明】

10

【0041】

10、100、200 半導体集積回路

20、110、210 メモリ

30 ヒューズ

40、120、220 BIST回路

50 ヒューズ読み出し回路

60 ロウアドレス保持回路

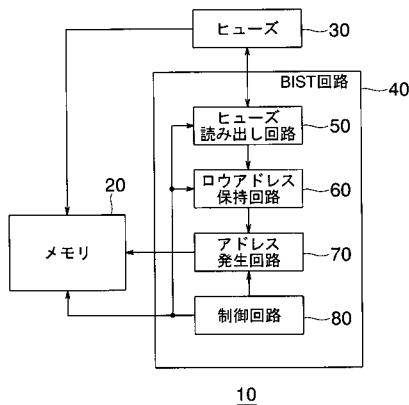
70 アドレス発生回路

80 制御回路

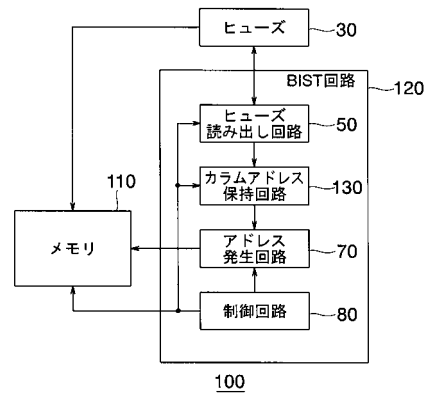
130、230 カラムアドレス保持回路

20

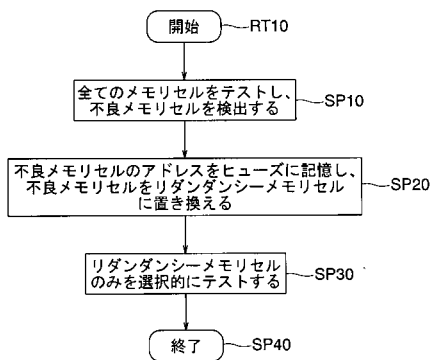
【図1】



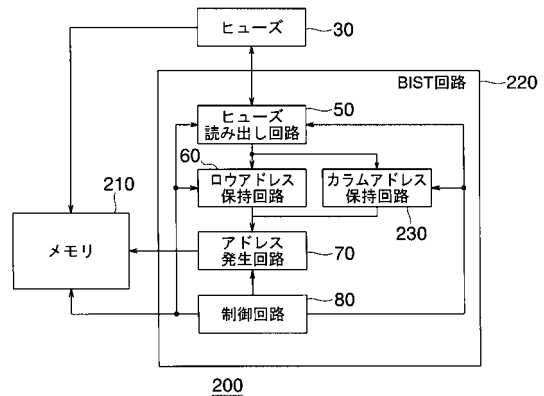
【図3】



【図2】



【図4】



フロントページの続き

(72)発明者 小原 弘 治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 堀江 義隆

(56)参考文献 特開2002-056691(JP,A)
特開平06-310581(JP,A)
特開2000-113697(JP,A)
特開2001-035187(JP,A)
特開平11-316259(JP,A)
特開2002-093190(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/04

G01R 31/28