

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6724103号
(P6724103)

(45) 発行日 令和2年7月15日(2020.7.15)

(24) 登録日 令和2年6月26日(2020.6.26)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1345 (2006.01)	GO 2 F 1/1345
HO 1 L 51/50 (2006.01)	HO 5 B 33/14 A
HO 5 B 33/14 (2006.01)	HO 5 B 33/14 Z

請求項の数 2 (全 47 頁)

(21) 出願番号 特願2018-191867 (P2018-191867)
 (22) 出願日 平成30年10月10日(2018.10.10)
 (62) 分割の表示 特願2017-155180 (P2017-155180)
 の分割
 原出願日 平成21年12月11日(2009.12.11)
 (65) 公開番号 特開2019-21933 (P2019-21933A)
 (43) 公開日 平成31年2月7日(2019.2.7)
 審査請求日 平成30年11月9日(2018.11.9)
 (31) 優先権主張番号 特願2008-330258 (P2008-330258)
 (32) 優先日 平成20年12月25日(2008.12.25)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

画素部を有し、
 前記画素部は、酸化物半導体層を有するトランジスタと、前記トランジスタと電氣的に接続される画素電極と、前記画素電極上の液晶層と、を有し、
 前記トランジスタは、
 第1の導電層と、
 前記第1の導電層上の第1の絶縁層と、
 前記第1の絶縁層上の、InとGaとZnとを有する前記酸化物半導体層と、
 前記酸化物半導体層と電氣的に接続される第2の導電層と、
 前記酸化物半導体層と電氣的に接続される第3の導電層と、を有し、
 前記第1の導電層は、前記トランジスタのゲート電極としての機能と、ゲート配線としての機能と、を有し、
 前記第2の導電層は、前記トランジスタのソース電極又はドレイン電極の一方としての機能と、ソース配線としての機能とを有し、
 前記第3の導電層は、前記トランジスタのソース電極又はドレイン電極の他方としての機能を有し、
 平面視において、前記第1の導電層と前記第2の導電層とが十字に交差することで互いに重なる第1の部分とを有し、
 前記第1の部分には、前記第2の導電層上に位置する第1の透明導電層が重なり、

前記第 1 の部分において、前記第 2 の導電層は前記第 1 の透明導電層と全て重なり、
 平面視において、前記第 1 の部分以外の部分であり且つ前記酸化物半導体層とは重なら
 ない前記第 1 の導電層の部分の幅と、前記第 1 の部分の前記第 1 の導電層の幅とは、異な
 ることを特徴とする液晶表示装置。

【請求項 2】

画素部を有し、

前記画素部は、酸化物半導体層を有するトランジスタと、前記トランジスタと電氣的に
 接続される画素電極と、前記画素電極上の液晶層と、を有し、

前記トランジスタは、

第 1 の導電層と、

前記第 1 の導電層上の第 1 の絶縁層と、

前記第 1 の絶縁層上の、In と Ga と Zn とを有する前記酸化物半導体層と、

前記酸化物半導体層と電氣的に接続される第 2 の導電層と、

前記酸化物半導体層と電氣的に接続される第 3 の導電層と、を有し、

前記第 1 の導電層は、前記トランジスタのゲート電極としての機能と、ゲート配線とし
 ての機能と、を有し、

前記第 2 の導電層は、前記トランジスタのソース電極又はドレイン電極の一方としての
 機能と、ソース配線としての機能とを有し、

前記第 3 の導電層は、前記トランジスタのソース電極又はドレイン電極の他方としての
 機能を有し、

平面視において、前記第 1 の導電層と前記第 2 の導電層とが十字に交差することで互い
 に重なる第 1 の部分を有し、

前記第 1 の部分には、前記第 2 の導電層上に位置し、且つ In と Zn と酸素とを有する
 第 1 の透明導電層が重なり、

前記第 1 の部分において、前記第 2 の導電層は前記第 1 の透明導電層と全て重なり、

平面視において、前記第 1 の部分以外の部分であり且つ前記酸化物半導体層とは重なら
 ない前記第 1 の導電層の部分の幅と、前記第 1 の部分の前記第 1 の導電層の幅とは、異な
 ることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、およびその作製方法に関する。

【背景技術】

【0002】

液晶表示装置をはじめとする、いわゆるフラットパネルディスプレイ (FPD) は、薄型
 、低消費電力といった特徴を有しており、様々な分野において広く用いられている。中
 でも、画素ごとに薄膜トランジスタ (TFT) を有するアクティブマトリクス型の液晶表示
 装置は、その高い表示性能から、市場規模の拡大が顕著である。

【0003】

アクティブマトリクス型表示装置に用いられるアクティブマトリクス基板には、複数の
 走査線と、複数の信号線が形成されており、これらの配線は、絶縁層を介して互いに交差
 している。薄膜トランジスタは、走査線と信号線の交差部近傍に設けられており、各画素
 をスイッチングする (例えば、特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 04 - 220627 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

ここで、走査線と信号線との交差部には、その構造から、静電容量（「寄生容量」とも呼ばれる）が形成される。寄生容量は、信号遅延などを引き起こし、表示品位低下の原因となるため、その容量値は小さいことが好ましい。

【0006】

走査線と信号線との交差部に生成される寄生容量を低減する手法としては、例えば、走査線を覆う絶縁膜を厚くする方法があるが、ボトムゲート型のトランジスタにおいては、走査線と信号線の間にはゲート絶縁層が形成されることになるため、該ゲート絶縁層を単に厚くする場合にはトランジスタの駆動能力が低下してしまう。

【0007】

上記のような問題点を鑑み、アクティブマトリクス型表示装置等の半導体装置において、トランジスタの駆動能力を低下させることなく寄生容量の容量値を低減することを課題の一とする。または、寄生容量の容量値を低減した半導体装置を低コストに提供することを課題の一とする。

【課題を解決するための手段】

【0008】

開示する発明においては、トランジスタのゲート電極と同一の材料層で形成される配線と、ソース電極またはドレイン電極と同一の材料層で形成される配線との間に、ゲート絶縁層以外の絶縁層を設ける。

【0009】

本明細書において開示する発明の一態様は、基板上に第1の導電層を形成し、第1の導電層上に、複数の厚みを有するレジストマスクを選択的に形成し、レジストマスクを用いて第1の導電層をエッチングして、ゲート電極および第1の配線を形成し、レジストマスクを後退させて、ゲート電極上のレジストマスクを除去すると共に、第1の配線上のレジストマスクの一部を残存させ、ゲート電極、第1の配線および残存させたレジストマスクを覆うようにゲート絶縁層を形成し、ゲート絶縁層上に第2の導電層を形成し、第2の導電層を選択的にエッチングして、ソース電極およびドレイン電極を形成すると共に、残存させたレジストマスクと重なる領域において第1の配線を乗り越える第2の配線を形成し、ゲート電極と重なる領域に、ソース電極およびドレイン電極と接する半導体層を形成することを特徴とする半導体装置の作製方法である。

【0010】

上記において、半導体層として、インジウム、ガリウムおよび亜鉛を含む酸化物半導体層を形成しても良い。

【0011】

また、上記において、残存させたレジストマスクと重なる領域における第1の配線の幅が、他の領域における第1の配線の幅より小さくなるように、第1の配線を形成することが好ましい。また、残存させたレジストマスクと重なる領域における第2の配線の幅が、他の領域における第2の配線の幅より小さくなるように、第2の配線を形成することが好ましい。

【0012】

さらに、上記において、残存させたレジストマスクと重なる領域における第1の配線の厚みが、他の領域における第1の配線の厚みより大きくなるように、第1の配線を形成することが好ましい。また、残存させたレジストマスクと重なる領域における第2の配線の厚みが、他の領域における第2の配線の厚みより大きくなるように、第2の配線を形成することが好ましい。例えば、第2の配線上には、別の導電層を形成すると良い。なお、第1の配線および第2の配線は、単層構造としても良いし、積層構造であっても良い。

【0013】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、半導体回路および電子機器は全て半導体装置に含まれる。

【発明の効果】

【0014】

10

20

30

40

50

開示する発明の一態様においては、第1の配線を形成する際に用いるレジストマスクを一部残存させることで、第1の配線と第2の配線とによって形成される寄生容量の容量値を低減させる。これにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減した半導体装置を提供することができる。

【0015】

さらに、第1の配線の幅または第2の配線の幅を、これらが重なる領域において小さくする場合には、寄生容量の容量値をさらに低減することができる。

【0016】

一方、上述のように配線の幅を局所的に小さくする場合には、当該領域における配線抵抗が増大することになる。これを解消するためには、当該領域における配線の厚みを増大させると良い。このように、配線の厚みを増大させる場合には、局所的な配線抵抗の増大を抑制し、半導体装置の特性を保つことができる。なお、開示する発明においては、工程数の増加を抑制しつつ、配線の厚みを増大させることが可能である。

【0017】

以上のように、開示する発明の一態様により、寄生容量の容量値が低減された高性能な半導体装置を低コストに提供することができる。

【図面の簡単な説明】

【0018】

【図1】実施の形態1に係る半導体装置の作製方法を説明する断面図である。

【図2】実施の形態1に係る半導体装置の作製方法を説明する断面図である。

【図3】実施の形態2に係る半導体装置の作製方法を説明する断面図である。

【図4】実施の形態2に係る半導体装置の作製方法を説明する断面図である。

【図5】実施の形態3に係る半導体装置の作製方法を説明する断面図である。

【図6】実施の形態4に係る半導体装置の作製方法を説明する断面図である。

【図7】実施の形態4に係る半導体装置の作製方法を説明する断面図である。

【図8】実施の形態4に係る半導体装置の平面図である。

【図9】実施の形態5に係る半導体装置の作製方法を説明する断面図である。

【図10】実施の形態5に係る半導体装置の平面図である。

【図11】実施の形態6に係る半導体装置を説明する図である。

【図12】実施の形態6に係る半導体装置を説明する図である。

【図13】実施の形態7に係る半導体装置を説明する図である。

【図14】実施の形態8に係る半導体装置を説明する図である。

【図15】実施の形態8に係る半導体装置を説明する図である。

【図16】電子ペーパーの使用形態の例を説明する図である。

【図17】電子書籍の一例を示す外観図である。

【図18】テレビジョン装置およびデジタルフォトフレームの例を示す外観図である。

【図19】遊技機の例を示す外観図である。

【図20】携帯電話機の一例を示す外観図である。

【図21】実施の形態11に係る半導体装置の作製方法を説明する断面図である。

【図22】実施の形態12に係る半導体装置の作製方法を説明する断面図である。

【図23】実施の形態13に係る半導体装置の作製方法を説明する断面図である。

【図24】実施例1に係るトランジスタの構成を示す断面図である。

【図25】実施例1に係るトランジスタの電気的特性を示す図である。

【発明を実施するための形態】

【0019】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなく形態および詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせる実施することができる。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する

10

20

30

40

50

。

【0020】

(実施の形態1)

本実施の形態では、半導体装置の作製方法の一例について、図面を参照して説明する。

【0021】

はじめに、基板100上に導電層102を形成し、該導電層102上に選択的にレジストマスク104およびレジストマスク106を形成する(図1(A)参照)。なお、本実施の形態においては、レジストマスク106はレジストマスク104より厚く形成する。

【0022】

基板100は、絶縁表面を有する基板であればよく、例えば、ガラス基板とすることができる。ガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラス等のガラス材料が用いられる。他にも、基板100として、セラミック基板、石英基板やサファイア基板等の絶縁体となる絶縁性基板、シリコン等の半導体材料となる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレス等の導電体となる導電性基板の表面を絶縁材料で被覆したものをを用いることができる。また、作製工程の熱処理に耐えられるのであれば、プラスチック基板を用いることもできる。

10

【0023】

導電層102は、アルミニウム(Al)、銅(Cu)、モリブデン(Mo)、タングステン(W)、チタン(Ti)等の導電性材料で形成することが望ましい。形成方法としては、スパッタリング法や真空蒸着法、CVD法などがある。なお、導電層102にアルミニウム(または銅)を用いる場合、アルミニウム単体(または銅単体)では耐熱性が低く、腐蝕しやすい等の問題点があるため、耐熱性導電性材料と組み合わせて形成することが好ましい。

20

【0024】

耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素を含む金属、上述した元素を成分とする合金、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物などを用いることができる。これらの耐熱性導電性材料とアルミニウム(または銅)を積層させて、導電層102を形成すればよい。

30

【0025】

レジストマスク104およびレジストマスク106は、多階調マスクを用いて形成することができる。ここで、多階調マスクとは、多段階の光量で露光を行うことが可能なマスクをいう。これを用いることで、一度の露光および現像工程によって、複数(代表的には2種類)の厚さのレジストマスクを形成することができる。つまり、多階調マスクを用いることで、工程数の増加を抑制することができる。

【0026】

例えば、2種類の厚さのレジストマスクを形成するためには、露光領域、半露光領域及び未露光領域の3段階の光量が照射される多階調マスクを用いて露光を行うと良い。

【0027】

多階調マスクには、いわゆるグレートンマスクやハーフトーンマスクがある。グレートンマスクは、例えば、光透過性を有する基板上に、遮光膜を用いて形成された遮光部、遮光膜を所定のパターンで設けたスリット部、これらが設けられていない透過部を有する構成とすることができる。また、ハーフトーンマスクは、例えば、光透過性を有する基板上に、遮光膜を用いて形成された遮光部、半透過膜により形成された半透過部、これらが設けられていない透過部を有する構成とすることができる。

40

【0028】

上記において、遮光部やスリット部を構成する遮光膜は、金属材料を用いて形成すればよく、例えば、クロムや酸化クロム等を用いて形成すると好ましい。

【0029】

50

また、スリット部は、露光に用いる光の回折限界（解像限界ともいう）以下の寸法で設けられたスリット（ドットやメッシュ等も含む）を有しており、これによって、光の透過率が制御される。なお、スリット部143に設けられるスリットは周期的なものであってもよいし、非周期的なものであってもよい。

【0030】

また、半透過部は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の光透過性を有する材料を用いて形成することができる。

【0031】

このような多階調マスクを用いて露光し、現像を行うことで、膜厚の異なるレジストマスク104およびレジストマスク106を形成することができる。

【0032】

なお、レジストマスク104およびレジストマスク106の作製方法は上記に限られない。インクジェット法など、厚みの異なる膜を選択的に形成することができる方法を用いて、上記のレジストマスクを形成しても良い。

【0033】

次に、上記のレジストマスク104およびレジストマスク106を用いて導電層102をエッチングし、ゲート電極108および第1の配線110を形成する（図1（B）参照）。

【0034】

上記のエッチング処理には、ドライエッチングを用いても良いし、ウエットエッチングを用いても良い。また、後に形成されるゲート絶縁層等の被覆性を向上し、段切れを防止するために、ゲート電極108や第1の配線110の端部がテーパ形状となるようエッチングすると良い。例えば、テーパ角が20°以上90°未満となるような形状とすることが好ましい。ここで、「テーパ角」とは、テーパ形状を有する層を断面方向から観察した際に、当該層の側面と底面とがなす角をいう。

【0035】

次に、レジストマスク104およびレジストマスク106を後退させてゲート電極108の表面を露出させつつ、第1の配線110上にレジストマスク112を形成する（図1（C）参照）。レジストマスク104およびレジストマスク106を後退させる手法としては、例えば、酸素プラズマを用いたアッシング処理などがあるが、開示される発明が当該手法に限定して解釈されるものではない。

【0036】

次に、ゲート電極108、第1の配線110、レジストマスク112を覆うように、ゲート絶縁層114を形成する（図1（D）参照）。ゲート絶縁層114は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル等の材料を用いて形成することができる。また、これらの材料からなる膜を積層させて形成しても良い。これらの膜は、スパッタ法等を用いて厚さが5nm以上250nm以下となるように形成すると好ましい。例えば、ゲート絶縁層114として、スパッタ法を用いて、酸化シリコン膜を100nmの厚さで形成することができる。

【0037】

また、スパッタ法とCVD法（プラズマCVD法など）とを組み合わせ、積層構造のゲート絶縁層114を形成しても良い。例えば、ゲート絶縁層114の下層（ゲート電極108と接する領域）をプラズマCVD法により形成し、ゲート絶縁層114の上層をスパッタ法により形成する。プラズマCVD法は、段差被覆性の良い膜を形成することが容易であるため、ゲート電極108の直上に形成する膜を形成する方法として適している。また、スパッタ法を用いる場合には、プラズマCVD法を用いる場合と比較して、膜中の水素濃度を低減することが容易であるため、スパッタ法による膜を半導体層と接する領域に設けることで、ゲート絶縁層114中の水素が半導体層中へ拡散することを防止できる。特に、酸化物半導体材料を用いて半導体層を形成する場合には、水素が特性に与える影響は極めて大きいと考えられるため、このような構成を採用することは効果的である。

10

20

30

40

50

【0038】

なお、本明細書において、酸化窒化物とは、その組成において、窒素よりも酸素の含有量（原子数）が多いものを示し、例えば、酸化窒化シリコンとは、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化物とは、その組成において、酸素よりも窒素の含有量（原子数）が多いものを示し、例えば、窒化酸化シリコンとは、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）や、水素前方散乱法（HFS：Hydrogen Forward scattering Spectrometry）を用いて測定した場合のものである。また、構成元素の含有比率の合計は100原子%を超えない。

10

【0039】

次に、ゲート絶縁層114上に導電層116を形成する（図2（A）参照）。導電層116は、導電層102と同様の材料、方法によって形成することができる。例えば、導電層116を、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電層116を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジムを含むアルミニウム（Al-Nd）膜を用いてもよい。さらに、導電層116を、シリコンを含むアルミニウム膜の単層構造としてもよい。

20

【0040】

次に、導電層116を選択的にエッチングして、ソース電極118、ドレイン電極120、第2の配線122を形成する（図2（B）参照）。

【0041】

なお、トランジスタの駆動方法によっては、ソース電極118がドレイン電極として機能し、ドレイン電極120がソース電極として機能する場合もあり得る。このため、ソースとドレインの称呼は、機能、状況に応じて入れ替えることができる。また、これらの称呼は便宜的なものにすぎず、その機能を確定させるものではない。

30

【0042】

本実施の形態においては図示しないが、上記工程の後に、ゲート絶縁層114、ソース電極118、ドレイン電極120に表面処理を施しても良い。表面処理としては、不活性ガスおよび/または反応性ガスを用いたプラズマ処理等を適用することができる。

【0043】

プラズマ処理は、例えば、真空状態のチャンパーにアルゴン（Ar）ガス等の不活性ガスを導入し、被処理物にバイアス電圧を印加してプラズマ状態とすることにより行うことができる。チャンパーにArガスを導入した場合、プラズマ中には電子とArの陽イオンが存在し、陰極方向にArの陽イオンが加速される。加速されたArの陽イオンが基板100上に形成されたゲート絶縁層114、ソース電極118、ドレイン電極120の表面に衝突することによって、当該表面がスパッタエッチングされ、ゲート絶縁層114、ソース電極118、ドレイン電極120の表面を改質することができる。なお、このようなプラズマ処理を「逆スパッタ」と呼ぶこともある。

40

【0044】

基板100側にバイアス電圧を印加してプラズマ処理を行うことによって、ゲート絶縁層114、ソース電極118、ドレイン電極120の表面のスパッタエッチングを効果的に行うことができる。また、ゲート絶縁層114の表面に凹凸が形成されている場合には、プラズマ処理を行うことにより、ゲート絶縁層114の凸部から優先的にスパッタエッチングされ、当該ゲート絶縁層114の表面の平坦性を向上することができる。

50

【0045】

上記プラズマ処理には、アルゴンガスの他にヘリウムガスを用いることができる。また、アルゴンガスやヘリウムガスに、酸素、水素、窒素等を加えた雰囲気で行ってもよい。また、アルゴンガスやヘリウムガスに Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0046】

次に、ゲート絶縁層114、ソース電極118、ドレイン電極120を覆うように半導体層を形成した後、該半導体層を選択的にエッチングして、少なくともその一部がソース電極118およびドレイン電極120と接する島状の半導体層124を形成する(図2(C)参照)。島状の半導体層124に用いる材料は特に限定されない。例えば、単結晶シリコン、多結晶シリコン、非晶質シリコンなどのシリコン系の半導体材料や、ゲルマニウム系の半導体材料などを用いて島状の半導体層124を形成することができる。また、シリコンゲルマニウムやシリコンカーバイド、ガリウムヒ素、インジウムリンなどの化合物半導体材料を用いても良い。特に、酸化物半導体材料(金属酸化物半導体材料)を用いることで、特性が優れた半導体装置を提供することができる。本実施の形態においては、島状の半導体層124として酸化物半導体材料を用いる場合について説明する。

【0047】

なお、上記酸化物半導体材料の一例としては、 $InMO_3$ (ZnO)_m ($m > 0$)で表記されるものがある。ここで、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)から選ばれた一の金属元素または複数の金属元素を示す。例えばMとしてGaが選択される場合には、Gaのみの場合の他に、GaとNiや、GaとFeなど、Ga以外の上記金属元素が選択される場合を含む。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。もちろん、酸化物半導体材料は上記の材料に限定されず、酸化亜鉛や酸化インジウムをはじめとする各種酸化物半導体材料を用いることができる。

【0048】

酸化物半導体には、絶縁性の不純物を含ませても良い。当該不純物として、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物が適用される。

【0049】

これらの絶縁性酸化物または絶縁性窒化物は、酸化物半導体の電気伝導性を損なわない濃度で添加される。

【0050】

酸化物半導体に絶縁性の不純物を含ませることにより、該酸化物半導体の結晶化を抑制することができる。酸化物半導体の結晶化を抑制することにより、薄膜トランジスタの特性を安定化することが可能となる。例えば、In-Ga-Zn-O系酸化物半導体に酸化シリコンなどの不純物を含ませることで、300乃至600の熱処理を行っても、該酸化物半導体の結晶化や微結晶粒の生成を防ぐことができる。

【0051】

In-Ga-Zn-O系酸化物半導体層をチャンネル形成領域とする薄膜トランジスタの製造過程では、熱処理を行うことでS値(subthreshold swing value)や電界効果移動度を向上させることが可能であるが、そのような場合でも、上述のように結晶化や微結晶粒の生成を防ぐことができるため、薄膜トランジスタがノーマリーオンになってしまうのを防ぐことができる。また、当該薄膜トランジスタに熱ストレス、バイアスストレスが加わった場合でも、しきい値電圧の変動を防ぐことができる。

【0052】

酸化物半導体材料としてIn-Ga-Zn-O系の酸化物半導体を用いて島状の半導体層124を形成する場合には、例えば、In、Ga、Znを含む酸化物半導体ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)を用いたスパッタ法で形成することがで

10

20

30

40

50

きる。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0053】

また、スパッタ法によりIn-Ga-Zn-O系の酸化物半導体を用いて島状の半導体層124を形成する場合において、In、Ga、及びZnを含む酸化物半導体ターゲットに、絶縁性の不純物を含ませても良い。当該不純物は、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物などである。例えば、酸化物半導体ターゲットに、SiO₂を0.1重量%以上10重量%以下、好ましくは1重量%以上6重量%以下の割合で含ませることが好ましい。酸化物半導体に絶縁性の不純物を含ませることにより、成膜される酸化物半導体をアモルファス化することが容易となる。また、酸化物半導体膜を熱処理した場合に、結晶化してしまふのを抑制することができる。

10

【0054】

本実施の形態においては、酸化物半導体材料を用いた島状の半導体層124を単層で形成する場合について示しているが、島状の半導体層124は、積層構造としても良い。例えば、導電層116上に、上記の半導体層124と構成元素が同じでその構成比率が異なる半導体層(以下「導電性の高い半導体層」と呼ぶ)を形成し、ソース電極およびドレイン電極を形成するエッチングの際に該半導体層をエッチングし、その後、上記の半導体層124と同様の組成の半導体層(以下「通常の導電性の半導体層」と呼ぶ)を形成して、上記構成に代えることができる。この場合、導電性の高い半導体層をソース電極(またはドレイン電極)と通常の導電性の半導体層との間に設けることになるため、素子特性の向上につながる。

20

【0055】

導電性の高い半導体層と、通常の導電性の半導体層の成膜条件は異ならせることが好ましい。例えば、導電性の高い半導体層の成膜条件は、通常の導電性の半導体層の成膜条件より、アルゴンガスの流量に対する酸素ガスの流量を小さいものとする。具体的には、導電性の高い半導体層の成膜条件は、希ガス(アルゴン、又はヘリウムなど)雰囲気下、または、酸素ガス10%以下、希ガス90%以上の雰囲気下とし、通常の導電性の半導体層の成膜条件は、酸素雰囲気下、または、希ガスに対する酸素ガスの流量比が1以上の雰囲気下とする。このようにすることで、導電性の異なる2種類の半導体層を形成することができる。

30

【0056】

なお、パルス直流(DC)電源を用いると、ゴミを軽減でき、膜厚分布も均一となるため好ましい。また、上述したプラズマ処理を行った後、大気に曝すことなく島状の半導体層124を形成する場合には、ゲート絶縁層114と島状の半導体層124の界面にゴミや水分が付着することを抑制することができる。また、ソース電極118およびドレイン電極120の表面への不純物の付着や、表面の酸化等も抑制できる。なお、島状の半導体層124の膜厚は、5nm~200nm程度とすればよい。

40

【0057】

上記のスパッタ法としては、スパッタ用電源に高周波電源を用いるRFスパッタ法や、直流電源を用いるDCスパッタ法、パルスの直流バイアスを加えるパルスDCスパッタ法などを用いることができる。

【0058】

以上により、島状の半導体層124をチャンネル形成領域として用いるトランジスタ150を形成することができる。また、第2の配線122が第1の配線110を乗り越える領域(第1の配線110と第2の配線122が交差する領域)において、第1の配線110、レジストマスク112、ゲート絶縁層114、第2の配線122の積層構造152を形成

50

することができる。これにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0059】

なお、酸化物半導体材料を用いた島状の半導体層124を形成した後は、100～800、代表的には200～400の熱処理を行うと良い。例えば、窒素雰囲気下で350、1時間の熱処理を行うことができる。この熱処理により島状の半導体層124を構成するIn-Ga-Zn-O系酸化物半導体の原子レベルの再配列が行われる。この熱処理（光アニール等も含む）は、島状の半導体層124中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、島状の半導体層124（またはエッチング前の半導体層）の形成後であれば特に限定されない。

10

【0060】

また、酸化物半導体材料を用いた島状の半導体層124に対しては、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより、トランジスタ150のノーマリーオフ化が容易になる。また、ラジカル処理を行うことにより、島状の半導体層124のエッチングによるダメージを回復することができる。ラジカル処理は、O₂、N₂O、酸素を含むN₂、He、Arなどの雰囲気下で行うことができる。また、上記雰囲気にCl₂、CF₄を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、基板100側にバイアス電圧を印加せずに行うことが好ましい。

【0061】

その後、トランジスタ150および積層構造152を覆うように、保護絶縁層を形成する（図示せず）。保護絶縁層は、CVD法やスパッタ法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム等の材料からなる膜を単層、または積層で形成すればよい。または、スピンコート法、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）等を用いて、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料からなる膜を形成しても良い。また、上記材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。置換基としては有機基（例えばアルキル基やアリアル基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

20

30

【0062】

その後、各種電極や配線を形成することでトランジスタ150を具備する半導体装置が完成する。

【0063】

本実施の形態において示すように、多階調マスクを用いて形成したレジストマスクの一部を第1の配線と第2の配線との間に設けることにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0064】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせる用いることができる。

40

【0065】

（実施の形態2）

本実施の形態では、半導体装置の作製方法につき、上記実施の形態と異なる一例について図面を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で他の実施の形態と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【0066】

はじめに、基板100上に導電層102を形成し、該導電層102上に選択的にレジスト

50

マスク104およびレジストマスク105を形成する(図3(A)参照)。なお、本実施の形態において、レジストマスク104とレジストマスク105は、概ね同じ厚さである。

【0067】

基板100、導電層102の詳細については、実施の形態1を参照できるため、ここでは省略する。

【0068】

レジストマスク104およびレジストマスク105は、特別な方法を用いることなく作製することができる。もちろん、多階調マスクを用いて形成しても良いし、インクジェット法などを用いて形成しても良い。

10

【0069】

次に、上記のレジストマスク104およびレジストマスク105を用いて導電層102をエッチングし、ゲート電極108および第1の配線109を形成する(図3(B)参照)。

【0070】

上記エッチング処理の詳細についても、実施の形態1を参照することができる。なお、上記エッチング処理の終了後には、レジストマスク104とレジストマスク105は除去する。

【0071】

次に、ゲート電極108、第1の配線109を覆うように、絶縁層111を形成する(図3(C)参照)。絶縁層111は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル等の材料を用いて形成することができる。または、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また、上記有機材料の他に、低誘電率材料(Low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。または、これらの材料からなる膜を積層させて形成しても良い。特に、低誘電率材料を用いる場合には、寄生容量を効果的に低減することができるため好ましい。これらの膜は、スパッタ法を用いて、厚さが50nm以上、好ましくは200nm以上、より好ましくは500nm以上となるように形成する。例えば、絶縁層111として、スパッタ法を用いて、酸化シリコン膜を250nmの厚さで形成する

20

30

【0072】

次に、上記の絶縁層111を選択的にエッチングして、第1の配線109を覆う絶縁層113を形成する(図3(D)参照)。上記のエッチング処理には、ドライエッチングを用いても良いし、ウエットエッチングを用いても良い。該エッチング処理によって、ゲート電極108の表面が露出される。

【0073】

次に、ゲート電極108、絶縁層113などを覆うように、ゲート絶縁層114を形成する(図4(A)参照)。ゲート絶縁層114の詳細については、実施の形態1を参照することができる。

40

【0074】

次に、ゲート絶縁層114上に導電層116を形成する(図4(B)参照)。導電層116は、導電層102と同様の材料、方法によって形成することができる。例えば、導電層116を、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電層116を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジムを含むアルミニウム(Al-Nd)膜を用いてもよい。さらに、導電層116を、シリコンを含むアルミニウム膜の単層構造としてもよい。

50

【 0 0 7 5 】

次に、導電層 1 1 6 を選択的にエッチングして、ソース電極 1 1 8、ドレイン電極 1 2 0、第 2 の配線 1 2 2 を形成する（図 4（C）参照）。

【 0 0 7 6 】

本実施の形態においては図示しないが、上記工程の後に、ゲート絶縁層 1 1 4、ソース電極 1 1 8、ドレイン電極 1 2 0 に表面処理を施しても良い。表面処理としては、不活性ガスおよび/または反応性ガスを用いたプラズマ処理等を行うことができる。プラズマ処理の詳細については実施の形態 1 を参照することができる。

【 0 0 7 7 】

次に、ゲート絶縁層 1 1 4、ソース電極 1 1 8、ドレイン電極 1 2 0 を覆うように半導体層を形成した後、該半導体層を選択的にエッチングして、少なくともその一部がソース電極 1 1 8 およびドレイン電極 1 2 0 と接する島状の半導体層 1 2 4 を形成する（図 4（D）参照）。島状の半導体層 1 2 4 の詳細については、実施の形態 1 を参照すればよい。なお、本実施の形態においては、島状の半導体層 1 2 4 として酸化物半導体材料を用いる場合について示す。

【 0 0 7 8 】

なお、実施の形態 1 において言及したように、本実施の形態においても半導体層を積層構造とすることができる。導電性の高い半導体層をソース電極（またはドレイン電極）と接する部分に設けることで、素子特性を向上させることが可能である。

【 0 0 7 9 】

その他、島状の半導体層 1 2 4 の形成に関する詳細は、実施の形態 1 を参照することができる。また、島状の半導体層 1 2 4 に対する各種処理についても、実施の形態 1 を参照すればよい。

【 0 0 8 0 】

以上により、島状の半導体層 1 2 4 をチャンネル形成領域として用いるトランジスタ 1 6 0 を形成することができる。また、第 2 の配線 1 2 2 が第 1 の配線 1 0 9 を乗り越える領域（第 1 の配線 1 0 9 と第 2 の配線 1 2 2 が交差する領域）において、第 1 の配線 1 0 9、絶縁層 1 1 3、ゲート絶縁層 1 1 4、第 2 の配線 1 2 2 の積層構造 1 6 2 を形成することができる。これにより、寄生容量の容量値を低減することができる。

【 0 0 8 1 】

その後、トランジスタ 1 6 0 および積層構造 1 6 2 を覆うように、保護絶縁層を形成する（図示せず）。詳細については、実施の形態 1 を参照することができる。その後、各種電極や配線を形成することでトランジスタ 1 6 0 を具備する半導体装置が完成する。

【 0 0 8 2 】

本実施の形態において示すように、第 1 の配線と第 2 の配線との間に、ゲート絶縁層以外の絶縁層を設けることにより、ゲート絶縁層の厚みを増大させることなく、寄生容量の容量値を低減することができる。つまり、素子特性を悪化させることなく、寄生容量の容量値を低減することができる。

【 0 0 8 3 】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせる用いることができる。

【 0 0 8 4 】

（実施の形態 3）

本実施の形態では、半導体装置の作製方法につき、上記実施の形態と異なる一例について図面を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で他の実施の形態と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【 0 0 8 5 】

はじめに、基板 1 0 0 上に導電層 1 0 2 を形成し、該導電層 1 0 2 上に選択的にレジストマスク 1 0 4 およびレジストマスク 1 0 5 を形成する（図 5（A）参照）。なお、本実施

10

20

30

40

50

の形態において、レジストマスク104とレジストマスク105は、概ね同じ厚さである。

【0086】

基板100、導電層102の詳細については、実施の形態1を参照できるため、ここでは省略する。

【0087】

レジストマスク104およびレジストマスク105は、特別な方法を用いることなく作製することができる。もちろん、多階調マスクを用いて形成しても良いし、インクジェット法などを用いて形成しても良い。

【0088】

次に、上記のレジストマスク104およびレジストマスク105を用いて導電層102をエッチングし、ゲート電極108および第1の配線109を形成する(図5(B)参照)

【0089】

上記エッチング処理の詳細についても、実施の形態1を参照することができる。なお、上記エッチング処理の終了後には、レジストマスク104とレジストマスク105は除去する。

【0090】

次に、ゲート電極108、第1の配線109を覆うように、ゲート絶縁層114、絶縁層115、導電層116、導電性の高い半導体層117を順に積層して形成する(図5(C)参照)。

【0091】

ゲート絶縁層114、導電層116の詳細については実施の形態1などを参照すればよい。絶縁層115については、実施の形態2における絶縁層111の詳細を参照することができる。また、導電性の高い半導体層117は、実施の形態1などにおける「導電性の高い半導体層」に対応する。

【0092】

ゲート絶縁層114と絶縁層115との組み合わせについては、後のエッチングの際の選択比が取れる組み合わせとすることが好ましい。例えば、酸化シリコンと窒化シリコンとの組み合わせであれば、エッチングの際の選択比を良好に取ることが可能である。本実施の形態においては、ゲート絶縁層114を酸化シリコンで形成し、絶縁層115を窒化シリコンで形成する場合について説明する。

【0093】

導電性の高い半導体層117は、例えば、In、Ga、及びZnを含む酸化物半導体ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)を用いたスパッタ法で形成することができる。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0094】

より具体的には、上記の導電性の高い半導体層117は、酸素の流量が小さい条件で形成することが好ましい。例えば、希ガス(アルゴン、又はヘリウムなど)雰囲気下、または、酸素ガス10%以下、希ガス90%以上の雰囲気下とすることができる。このように、成膜雰囲気の酸素濃度を低減させることにより、導電性の高い半導体層を得ることができる。

【0095】

上記においては、トランジスタの半導体層に酸化物半導体材料を用いる場合を例に挙げて説明しているが、シリコン、ゲルマニウム、シリコンゲルマニウム、シリコンカーバイド、ガリウムヒ素、インジウムリンなどの半導体材料を用いても良い。例えば、トランジスタの半導体層にシリコンを用いる場合には、シリコンにリン(P)やボロン(B)などを

10

20

30

40

50

添加した材料を用いて導電性の高い半導体層 117 を形成することができる。

【0096】

なお、導電性の高い半導体層 117 を設けることにより、素子特性を向上させることができるが、導電性の高い半導体層 117 は必須の構成要素ではなく、適宜省略することが可能である。

【0097】

次に、上記の絶縁層 115、導電層 116、導電性の高い半導体層 117 を選択的にエッチングして、ソース電極 118、導電性の高い半導体層 119、ドレイン電極 120、導電性の高い半導体層 121、第 2 の配線 122、導電性の高い半導体層 123 を形成する（図 5（D）参照）。

10

【0098】

先にも述べたように、該エッチング処理は、絶縁層 115 がゲート絶縁層 114 よりもエッチングされやすい条件で行うことが好ましい。ここで、該エッチング処理を絶縁層 115 がゲート絶縁層 114 よりもエッチングされやすい条件で行うことは、極めて重要である。何故ならば、ゲート絶縁層 114 の厚さに比して絶縁層 115 の厚さは大きく、絶縁層 115 がゲート絶縁層 114 よりもエッチングされにくい条件でエッチング処理を行う場合には、ゲート絶縁層 114 のエッチングによりゲート絶縁層 114 の厚さにばらつきが生じてしまい、素子特性が悪化する懸念があるためである。なお、上記条件以外については、該エッチング処理に特に限定はない。

【0099】

次に、ゲート絶縁層 114、ソース電極 118、導電性の高い半導体層 119、ドレイン電極 120、導電性の高い半導体層 121 を覆うように半導体層を形成した後、該半導体層を選択的にエッチングして、少なくともその一部が導電性の高い半導体層 119 および導電性の高い半導体層 121 と接する島状の半導体層 124 を形成する（図 5（E）参照）。島状の半導体層 124 の詳細については、実施の形態 1 を参照すればよい。

20

【0100】

その他、島状の半導体層 124 の形成に関する詳細は、実施の形態 1 を参照することができる。また、島状の半導体層 124 に対する各種処理についても、実施の形態 1 を参照すればよい。

【0101】

以上により、島状の半導体層 124 をチャンネル形成領域として用いるトランジスタ 170 を形成することができる。また、第 2 の配線 122 が第 1 の配線 109 を乗り越える領域（第 1 の配線 109 と第 2 の配線 122 が交差する領域）において、第 1 の配線 109、ゲート絶縁層 114、絶縁層 115、第 2 の配線 122、導電性の高い半導体層 123 の積層構造 172 を形成することができる。これにより、寄生容量の容量値を低減することができる。

30

【0102】

その後、トランジスタ 170 および積層構造 172 を覆うように、保護絶縁層を形成する（図示せず）。詳細については、実施の形態 1 を参照することができる。その後、各種電極や配線を形成することでトランジスタ 170 を具備する半導体装置が完成する。

40

【0103】

本実施の形態において示すように、第 1 の配線と第 2 の配線との間に、ゲート絶縁層以外の絶縁層を設けることにより、ゲート絶縁層の厚みを増大させることなく、寄生容量の容量値を低減することができる。つまり、素子特性を悪化させることなく、寄生容量の容量値を低減することができる。また、選択比が取れる条件で、絶縁層およびゲート絶縁層のエッチング処理を行うことにより、素子特性のばらつきを抑制した半導体装置を提供することができる。

【0104】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせる用いることができる。

50

【0105】

(実施の形態4)

本実施の形態では、半導体装置の使用形態の一例であるアクティブマトリクス基板の作製工程について、図面を用いて説明する。なお、本実施の形態で示す作製工程は、多くの部分で実施の形態1～実施の形態3と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。なお、以下の説明において、図6、図7は断面図を示しており、図8は平面図を示している。また、図6および図7のA1-A2、B1-B2、C1-C2は、それぞれ、図8のA1-A2、B1-B2、C1-C2に対応する領域を示す。

【0106】

はじめに、絶縁表面を有する基板200上に配線および電極(ゲート電極202、容量配線204、第1の配線206、第1の端子208)を形成する(図6(A)参照)。なお、図中においては、配線の交差部分を明確に示すため、便宜的にゲート電極202と第1の配線206とを区別して表現しているが、ゲート電極202と第1の配線206を一体の構成としても良いのは言うまでもない。

【0107】

本実施の形態においては、実施の形態1において示した方法、すなわち、多階調マスクを用いて上記の配線および電極を形成する場合について示す。具体的には、上記配線および電極を形成した後に、レジストマスクを後退させて、第1の配線206上の一部のみにレジストマスク210を残存させる(図6(A)参照)。レジストマスクの形成方法や、レジストマスクを後退させる手段等については実施の形態1を参照すればよい。

【0108】

なお、容量配線204、第1の端子208については、ゲート電極202と同一の材料および作製方法を用いて、同時に形成することができる。ゲート電極202の材料や作製方法の詳細については、実施の形態1を参照することができる。

【0109】

次に、ゲート電極202上にゲート絶縁層212を形成し、第1の端子208を露出させるようにゲート絶縁層212を選択的にエッチングして、コンタクトホールを形成する(図6(B)参照)。該エッチング処理については特に限定されず、ウエットエッチングを用いても良いし、ドライエッチングを用いても良い。

【0110】

次に、ゲート絶縁層212や第1の端子208を覆う導電層を形成した後、該導電層を選択的にエッチングすることでソース電極214(またはドレイン電極)、ドレイン電極216(またはソース電極)、第2の配線218、接続電極220、第2の端子222を形成する(図6(C)参照)。なお、図中においては、配線の交差部分を明確に示すため、便宜的にソース電極214と第2の配線218とを区別して表現しているが、ソース電極214と第2の配線218を一体の構成としても良いのは言うまでもない。

【0111】

上記導電層の材料や作製方法については、実施の形態1の導電層102の詳細などを参照することができる。エッチング処理については特に限定されないが、ドライエッチング処理を用いる場合には、ウエットエッチングを用いる場合と比較して配線構造の微細化が可能というメリットがある。

【0112】

たとえば、接続電極220は、ゲート絶縁層212に形成されたコンタクトホールを介して第1の端子208と直接接続する構成とすることができる。また、第2の端子222は、第2の配線218(ソース電極214含む)と電氣的に接続する構成とすることができる。

【0113】

次に、少なくともソース電極214およびドレイン電極216を覆うように半導体層を形成した後、該半導体層を選択的にエッチングして島状の半導体層224を形成する(図7

10

20

30

40

50

(A)参照)。ここで、島状の半導体層224は、ソース電極214およびドレイン電極216の一部と接している。島状の半導体層224の詳細についても、実施の形態1を参照することができる。なお、本実施の形態においても、酸化物半導体材料を用いた島状の半導体層124を単層構造で形成する場合について説明する。

【0114】

なお、酸化物半導体材料を用いた島状の半導体層224を形成した後は、100 ~ 800、代表的には200 ~ 400の熱処理を行うと良い。例えば、窒素雰囲気下で350、1時間の熱処理を行うことができる。上記の熱処理を行うタイミングは、島状の半導体層224(またはエッチング前の半導体層)の形成後であれば特に限定されない。その他の処理の詳細についても、実施の形態1などを参照できる。

10

【0115】

以上の工程により、トランジスタ250が完成する。

【0116】

次に、トランジスタ250を覆う保護絶縁層226を形成し、当該保護絶縁層226を選択的にエッチングしてドレイン電極216、接続電極220、および第2の端子222に達するコンタクトホールを形成する(図7(B)参照)。

【0117】

次に、ドレイン電極216と電氣的に接続する透明導電層228、接続電極220と電氣的に接続する透明導電層230及び第2の端子222と電氣的に接続する透明導電層232を形成する(図7(C)、図8参照)。

20

【0118】

透明導電層228は画素電極として機能し、透明導電層230および透明導電層232は、FPC(Flexible printed circuits)との接続に用いられる電極または配線として機能する。より具体的には、接続電極220上に形成された透明導電層230をゲート配線(本実施の形態における第1の配線206)の入力端子として機能する接続用の端子電極として用い、第2の端子222上に形成された透明導電層232をソース配線(本実施の形態における第2の配線218)の入力端子として機能する接続用の端子電極として用いることができる。

【0119】

また、容量配線204、ゲート絶縁層212、および透明導電層228により保持容量を形成することができる。

30

【0120】

透明導電層228、透明導電層230、透明導電層232は、酸化インジウム(In_2O_3)、酸化インジウム酸化スズ合金(In_2O_3 SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)等の材料を用いて形成することができる。例えば、上記材料を含有する膜をスパッタ法や真空蒸着法等を用いて形成した後、エッチングにより不要な部分を除去することで形成すれば良い。

【0121】

以上の工程により、ボトムゲート型のトランジスタや保持容量等の素子を有するアクティブマトリクス基板を完成させることができる。例えば、これを用いてアクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定すれば良い。

40

【0122】

本実施の形態において示すように、多階調マスクを用いて形成したレジストマスクの一部を第1の配線と第2の配線との間に設けることにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0123】

なお、本実施の形態においては、実施の形態1に示す方法に従ってアクティブマトリクス基板を作製する方法について説明したが、開示される発明はこれに限定されない。実施の

50

形態 2 や、実施の形態 3 に示す方法によってアクティブマトリクス基板を作製しても良い。なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせ用いることができる。

【0124】

(実施の形態 5)

本実施の形態では、アクティブマトリクス基板の作製工程の別の一例について、図面を用いて説明する。なお、本実施の形態で示す作製工程は、多くの部分で実施の形態 1 ~ 実施の形態 4 と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。なお、以下の説明において、図 9 は断面図を示しており、図 10 は平面図を示している。また、図 9 の A1 - A2、B1 - B2、C1 - C2 は、それぞれ、図 10 の A1 - A2、B1 - B2、C1 - C2 に対応する領域を示す。

10

【0125】

はじめに、絶縁表面を有する基板 200 上に導電層を形成し、該導電層上に多階調マスクを用いてレジストマスク 209 を形成する。そしてレジストマスク 209 を用いて上記導電層をエッチングし、導電層 201、導電層 203、導電層 205、導電層 207 を形成する(図 9 (A) 参照)。

【0126】

導電層やレジストマスクの詳細については、実施の形態 1 ~ 4 を参照することができる。なお、上記のエッチングでは、導電層 201、導電層 203、導電層 207 は、最終的に形成される電極等より厚く形成される。また、C1 - C2 における導電層 205 の幅は、他の領域における導電層 205 の幅より小さくなっている。

20

【0127】

次に、レジストマスク 209 を後退させて導電層 201、導電層 203、導電層 207 の表面を露出させた後、薄膜化処理を行い、ゲート電極 202、容量配線 204、第 1 の配線 206、第 1 の端子 208 を形成する(図 9 (B) 参照)。なお、レジストマスク 209 を後退させた段階で、導電層 205 の一部の上方には、レジストマスク 210 が残存している。このため、レジストマスク 210 が残存していない領域のみが薄膜化されることになる。

【0128】

薄膜化処理としては、各種エッチング処理を用いることができる。なお、エッチング処理の影響により、第 1 の配線 206 の幅は、導電層 205 の幅より僅かに小さくなる。

30

【0129】

その後、ゲート絶縁層 212、ソース電極 214、ドレイン電極 216、第 2 の配線 218、接続電極 220、第 2 の端子 222、島状の半導体層 224、保護絶縁層 226、透明導電層 228、透明導電層 230、透明導電層 232、透明導電層 234 等を形成することで、アクティブマトリクス基板が完成する(図 9 (C)、図 10 参照)。ゲート絶縁層 212 の形成工程以降については、実施の形態 4 などを参照すれば良い。なお、本実施の形態においては、透明導電層 228 等を形成する際に、第 2 の配線 218 上の第 1 の配線 206 と重なる領域にも透明導電層 234 を形成している。

【0130】

本実施の形態においては、第 1 の配線 206 と第 2 の配線 218 が交差する領域において、第 1 の配線 206 および第 2 の配線 218 の幅を小さくしている。これにより、配線の交差領域において形成される寄生容量の容量値をさらに小さくすることができる。また、第 1 の配線 206 と第 2 の配線 218 が交差する領域において、第 1 の配線 206 を厚く形成し、また、第 2 の配線 218 上に透明導電層 234 を設けている。これにより、配線幅の減少に起因する配線抵抗の増大を防止し、半導体装置の性能低下を抑制できる。

40

【0131】

なお、本実施の形態においては、第 1 の配線 206 と第 2 の配線 218 が交差する領域において、配線の幅と厚さを他の領域と異ならせる構成としたが、開示される発明はこれに限定されない。容量配線 204 と第 2 の配線 218 の交差領域においても同様の構成を採

50

用することができる。この場合、容量配線204と第2の配線218の交差領域において生じる寄生容量の容量値も低減することができる。

【0132】

本実施の形態は、他の実施の形態または実施例と適宜組み合わせ用いることができる。

【0133】

(実施の形態6)

本実施の形態では、薄膜トランジスタを作製し、該薄膜トランジスタを画素部や駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製する場合について説明する。また、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

10

【0134】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)や、発光素子(発光表示素子ともいう)などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体を適用しても良い。

【0135】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、表示装置を構成する素子基板は、電流を表示素子に供給するための手段を各画素部に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜の成膜後、エッチング前の状態であっても良い。

20

【0136】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、光源(照明装置含む)などを指す。また、FPC(Flexible printed circuit)、TAB(Tape Automated Bonding)テープ、TCP(Tape Carrier Package)などのコネクタが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールなども全て表示装置に含むものとする。

30

【0137】

以下、本実施の形態では、液晶表示装置の一例について示す。図11は、第1の基板4001上に形成された薄膜トランジスタ4010、薄膜トランジスタ4011および液晶素子4013を、第2の基板4006とシール材4005によって封止した、パネルの平面図および断面図である。ここで、図11(A1)および図11(A2)は平面図を示し、図11(B)は、図11(A1)および図11(A2)のM-Nにおける断面図に相当する。

【0138】

第1の基板4001上に設けられた画素部4002および走査線駆動回路4004を囲むようにして、シール材4005が設けられている。また、画素部4002と走査線駆動回路4004の上に、第2の基板4006が設けられている。つまり、画素部4002と走査線駆動回路4004は、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また、第1の基板4001上のシール材4005によって囲まれる領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

40

【0139】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、TAB法などを適宜用いることができる。図11(A1)は、COG法により信号線駆動回路4003を実装する例であり、図11(A2)は、TAB法により信号線駆動回路4003を実装する例である。

50

【0140】

また、第1の基板4001上に設けられた画素部4002と走査線駆動回路4004は、薄膜トランジスタを複数有しており、図11(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011を例示している。薄膜トランジスタ4010、薄膜トランジスタ4011上には絶縁層4020、絶縁層4021が設けられている。

【0141】

薄膜トランジスタ4010、薄膜トランジスタ4011には、実施の形態1~5などに示す薄膜トランジスタを適用することができる。なお、本実施の形態において、薄膜トランジスタ4010、薄膜トランジスタ4011はnチャンネル型薄膜トランジスタとした。

10

【0142】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして、液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。上記の画素電極層4030と対向電極層4031、液晶層4008により、液晶素子4013が形成される。なお、画素電極層4030、対向電極層4031には、それぞれ配向膜として機能する絶縁層4032、絶縁層4033が設けられ、画素電極層4030および対向電極層4031は、これらを介して液晶層4008を挟持している。

【0143】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックなどを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)基板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、アクリル樹脂フィルムなどを用いることができる。また、アルミニウム箔をPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

20

【0144】

また、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために、柱状のスペーサ4035が設けられている。柱状のスペーサ4035は絶縁膜を選択的にエッチングすることで得られる。なお、柱状のスペーサに代えて球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。例えば、一对の基板間に配置される導電性粒子を介して、対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させると良い。

30

【0145】

また、配向膜が不要なブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、昇温によってコレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、5重量%以上のカイラル剤を混合させた液晶組成物を用いると良い。これにより、温度範囲を改善することができる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答時間が10 μ s~100 μ sと短く、光学的等方性を有するため配向処理が不要であり、視野角依存性が小さい、といった特徴を有している。

40

【0146】

なお、本実施の形態では透過型液晶表示装置の一例を示しているが、これに限定されず、反射型液晶表示装置としても良いし、半透過型液晶表示装置としても良い。

【0147】

また、本実施の形態で示す液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

50

【0148】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、実施の形態1～5で得られた薄膜トランジスタを絶縁層4021で覆う構成を採用している。なお、絶縁層4020は実施の形態1～5における保護絶縁層に対応するものである。

【0149】

絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させて、絶縁層4021を形成してもよい。

10

【0150】

ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。置換基としては、有機基（例えばアルキル基やアリアル基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0151】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0152】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

20

【0153】

また、画素電極層4030、対向電極層4031に、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いても良い。導電性組成物を用いて形成した画素電極は、シート抵抗が $1.0 \times 10^4 / \text{sq}$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は $0.1 \cdot \text{cm}$ 以下であることが好ましい。

30

【0154】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0155】

信号線駆動回路4003、走査線駆動回路4004、画素部4002などに与えられる各種信号は、FPC4018から供給されている。

【0156】

また、接続端子電極4015は、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

40

【0157】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0158】

なお、図11においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装する例を示しているが、開示する発明はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

50

【0159】

図12は、半導体装置の一形態に相当する液晶表示モジュールに、TFT基板2600を用いて構成する一例を示している。

【0160】

図12では、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む素子層2603、配向膜や液晶層を含む液晶層2604、着色層2605、偏光板2606などが設けられることにより表示領域が形成されている。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合には、赤、緑、青の各色に対応した着色層が、各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。また、光源は冷陰極管2610と反射板2611により構成されている。回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、これによって、コントロール回路や電源回路などの外部回路が液晶モジュールに組みこまれる。また、偏光板と液晶層との間には、位相差板を設けても良い。

10

【0161】

液晶の駆動方式としては、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

20

【0162】

以上の工程により、高性能な液晶表示装置を作製することができる。本実施の形態は、他の実施の形態または実施例と適宜組み合わせ用いることができる。

【0163】

(実施の形態7)

本実施の形態では、図13を参照して半導体装置の一例であるアクティブマトリクス型の電子ペーパーについて説明する。半導体装置に用いられる薄膜トランジスタ650は、上記実施の形態1~5で示す薄膜トランジスタと同様に作製することができる。

30

【0164】

図13に示す電子ペーパーは、ツイストボール表示方式を用いたものの一例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせることによって、球形粒子の向きを制御して、表示を行う方法である。

【0165】

基板600上に設けられた薄膜トランジスタ650は開示する発明の薄膜トランジスタであり、酸化物半導体層が、その上方のソース電極層又はドレイン電極層と、その下方のソース電極層又はドレイン電極層とによって挟まれた構造を有している。なお、ソース電極層またはドレイン電極層は、保護絶縁層に形成されたコンタクトホールを介して、第1の電極層660と電氣的に接続している。基板602には第2の電極層670が設けられており、第1の電極層660と第2の電極層670の間には、黒色領域680a及び白色領域680bを有する球形粒子680が設けられている。また、球形粒子680の周囲は樹脂等の充填材682で満たされている(図13参照)。図13において、第1の電極層660が画素電極に相当し、第2の電極層670が共通電極に相当する。第2の電極層670は、薄膜トランジスタ650と同一基板上に設けられる共通電位線と電氣的に接続される。

40

【0166】

50

ツイストボールの代わりに、電気泳動表示素子を用いることも可能である。その場合、例えば、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μm ~ 200 μm程度のマイクロカプセルを用いる。第1の電極層と第2の電極層によって電場が与えられると、白い微粒子と黒い微粒子が互いに逆方向に移動し、白または黒が表示される。電気泳動表示素子は液晶表示素子に比べて反射率が高いため、補助ライトが不要であり、また、明るさが十分ではない場所であっても表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるという利点も有している。

【0167】

以上のように、開示する発明を用いることで高性能な電子ペーパーを作製することができる。なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせることができる。

10

【0168】

(実施の形態8)

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0169】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより発光する。このようなメカニズムから、該発光素子は、電流励起型の発光素子と呼ばれる。

20

【0170】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

30

【0171】

発光素子の構成について、図14を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図14(A)、図14(B)、図14(C)の半導体装置に用いられるTFT701、TFT711、TFT721は、実施の形態1~5で示す薄膜トランジスタと同様に作製することができる。

【0172】

発光素子は、光を取り出すために、陽極又は陰極の少なくとも一方が透明になっている。ここで、透明とは、少なくとも発光波長における透過率が十分に高いことを意味する。光の取り出し方式としては、基板上に薄膜トランジスタ及び発光素子を形成し、該基板とは反対側の面から光を取り出す上面射出方式(上面取り出し方式)や、基板側の面から光を取り出す下面射出方式(下面取り出し方式)、基板側およびその反対側の面から光を取り出す両面射出方式(両面取り出し方式)などがある。

40

【0173】

上面射出方式の発光素子について図14(A)を参照して説明する。

【0174】

図14(A)は、発光素子702から発せられる光が陽極705側に抜ける場合の、画素の断面図を示している。ここでは、発光素子702の陰極703と駆動用TFTであるTFT701が電氣的に接続されており、陰極703上に発光層704、陽極705が順に

50

積層されている。陰極 703 としては、仕事関数が小さく、光を反射する導電膜を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等の材料を用いて陰極 703 を形成することが望ましい。発光層 704 は、単層で構成されていても、複数の層が積層されるように構成されていても良い。複数の層で構成されている場合、陰極 703 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層すると良いが、もちろん、これらの層を全て設ける必要はない。陽極 705 は光を透過する導電性材料を用いて形成する。例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いれば良い。

10

【0175】

陰極 703 及び陽極 705 で発光層 704 を挟んだ構造を、発光素子 702 と呼ぶことができる。図 14 (A) に示した画素の場合、発光素子 702 から発せられる光は、矢印で示すように陽極 705 側に射出される。

【0176】

次に、下面射出方式の発光素子について図 14 (B) を参照して説明する。

【0177】

図 14 (B) は、発光素子 712 から発せられる光が陰極 713 側に抜ける場合の、画素の断面図を示している。ここでは、駆動用 TFT 711 と電氣的に接続された透光性を有する導電膜 717 上に、発光素子 712 の陰極 713 が形成されており、陰極 713 上に発光層 714、陽極 715 が順に積層されている。なお、陽極 715 が透光性を有する場合、該陽極 715 上を覆うように遮蔽膜 716 を設けても良い。陰極 713 は、図 14 (A) の場合と同様に、仕事関数が小さい導電性材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm 程度の膜厚を有するアルミニウム膜を、陰極 713 として用いることができる。発光層 714 は、図 14 (A) と同様に、単層で構成されていても、複数の層が積層されるように構成されていても良い。陽極 715 は、光を透過する必要はないが、図 14 (A) と同様に、透光性を有する導電性材料を用いて形成しても良い。遮蔽膜 716 には、光を反射する金属等を用いることができるが、これに限定されない。例えば、黒の顔料を添加した樹脂等を用いることもできる。

20

30

【0178】

陰極 713 及び陽極 715 で、発光層 714 を挟んだ構造を発光素子 712 と呼ぶことができる。図 14 (B) に示した画素の場合、発光素子 712 から発せられる光は、矢印で示すように陰極 713 側に射出される。

【0179】

次に、両面射出方式の発光素子について、図 14 (C) を参照して説明する。

【0180】

図 14 (C) は、駆動用 TFT 721 と電氣的に接続された透光性を有する導電膜 727 上に、発光素子 722 の陰極 723 が形成されており、陰極 723 上に発光層 724、陽極 725 が順に積層されている。陰極 723 は、図 14 (A) の場合と同様に、仕事関数が小さい導電性材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 723 として用いることができる。発光層 724 は、図 14 (A) と同様に、単層で構成されていても、複数の層が積層されるように構成されていても良い。陽極 725 は、図 14 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。

40

【0181】

陰極 723 と、発光層 724 と、陽極 725 とが重なった構造を発光素子 722 と呼ぶことができる。図 14 (C) に示した画素の場合、発光素子 722 から発せられる光は、矢印で示すように陽極 725 側と陰極 723 側の両方に射出される。

50

【0182】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。また、ここでは、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0183】

なお、本実施の形態で示す半導体装置は、図14に示した構成に限定されるものではなく、各種の変形が可能である。

【0184】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図15を参照して説明する。図15は、第1の基板4501上に形成された薄膜トランジスタ4509、薄膜トランジスタ4510および発光素子4511を、第2の基板4506とシール材4505によって封止したパネルの平面図および断面図である。ここで、図15(A)は平面図を示し、図15(B)は、図15(A)のH-Iにおける断面図に相当する。

10

【0185】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、走査線駆動回路4504a、走査線駆動回路4504bを囲むようにして、シール材4505が設けられている。また、画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bの上に第2の基板4506が設けられている。つまり、画素部4502、信号線駆動回路4503a、4503b、走査線駆動回路4504a、走査線駆動回路4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように、気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材などを用いてパッケージング（封入）することが好ましい。

20

【0186】

また、第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bは、薄膜トランジスタを複数有しており、図15(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509を例示している。

30

【0187】

薄膜トランジスタ4509、薄膜トランジスタ4510は、実施の形態1～5において示した薄膜トランジスタを適用することができる。なお、本実施の形態において、薄膜トランジスタ4509、薄膜トランジスタ4510はnチャンネル型薄膜トランジスタである。

【0188】

また、4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

40

【0189】

隔壁4520は、有機樹脂膜、無機絶縁膜、有機ポリシロキサンなどを用いて形成する。特に、感光性を有する材料を用いて第1の電極層4517上に開口部を形成し、その開口部の側壁が、連続した曲率を持つ傾斜面となるようにすることが好ましい。

【0190】

電界発光層4512は、単層で構成されていても、複数の層が積層されるように構成されていても良い。

50

【0191】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0192】

また、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504b、画素部4502などに与えられる各種信号は、FPC4518a、FPC4518bから供給されている。

【0193】

本実施の形態では、接続端子電極4515が、発光素子4511の第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509や薄膜トランジスタ4510のソース電極層及びドレイン電極層と同じ導電膜から形成される例について示している。

10

【0194】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0195】

発光素子4511からの光の取り出し方向に位置する基板は、透光性を有さなければならない。透光性を有する基板としては、ガラス板、プラスチック板、ポリエステルフィルム、アクリルフィルムなどがある。

20

【0196】

充填材4507としては、窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂や熱硬化樹脂などを用いることができる。例えば、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）、EVA（エチレンビニルアセテート）などを用いることができる。本実施の形態では、充填材として窒素を用いる例について示している。

【0197】

必要であれば、発光素子の射出面に偏光板、円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを設けてもよい。また、表面には反射防止処理を施しても良い。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

30

【0198】

信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bは、別途用意された基板上的単結晶半導体膜又は多結晶半導体膜によって形成されていても良い。また、信号線駆動回路のみ、若しくはその一部、または走査線駆動回路のみ、若しくはその一部のみを別途形成して実装しても良く、本実施の形態は図15の構成に限定されない。

【0199】

以上の工程により、高性能な発光表示装置（表示パネル）を作製することができる。なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせ用いることができる。

40

【0200】

（実施の形態9）

半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図16、図17に示す。

【0201】

図16（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙

50

の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0202】

また、図16(B)は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【0203】

また、図17は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0204】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図17では表示部2705)に文章を表示し、左側の表示部(図17では表示部2707)に画像を表示することができる。

【0205】

また、図17では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0206】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0207】

本実施の形態は、他の実施の形態または実施例と適宜組み合わせて用いることができる。

【0208】

(実施の形態10)

半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機、などが挙げられる。

【0209】

図18(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0210】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモ

10

20

30

40

50

コン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0211】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0212】

図 18 (B) は、デジタルフォトフレーム 9700 の一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0213】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

【0214】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。この場合、所望の画像データを無線で取り込み、表示させることができる。

【0215】

図 19 (A) は、筐体 9881 と筐体 9891 の 2 つの筐体で構成される携帯型遊技機である。筐体 9881 と筐体 9891 は、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 19 (A) に示す携帯型遊技機は、スピーカ部 9884、記録媒体挿入部 9886、LED ランプ 9890、入力手段（操作キー 9885、接続端子 9887、センサ 9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9889）等を備えている。なお、携帯型遊技機は、少なくとも半導体装置を備えた構成であれば、上述の構成に限定されずその他の構成を有していてもよい。図 19 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 19 (A) に示す携帯型遊技機が有する機能はこれに限定されず、その他の様々な機能を有していてもよい。

【0216】

図 19 (B) は大型遊技機であるスロットマシン 9900 の一例を示している。スロットマシン 9900 の筐体 9901 には、表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。なお、スロットマシン 9900 は、少なくとも半導体装置を備えた構成であれば、上述の構成に限定されずその他の構成を有していてもよい。

【0217】

図 20 (A) は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、スピーカ 1005、マイク 1006などを備えている。

10

20

30

40

50

【0218】

図20(A)に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触れることにより行うことができる。

【0219】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0220】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

10

【0221】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き(縦か横か)を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

【0222】

また、画面モードの切り替えは、表示部1002に触れること、又は筐体1001の操作ボタン1003の操作などにより行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

20

【0223】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0224】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

30

【0225】

図20(B)も携帯電話機の一例である。図20(B)の携帯電話機は、表示装置9410と、通信装置9400とを有する。表示装置9410は、筐体9411、表示部9412、及び操作ボタン9413を含む。また、通信装置9400は、操作ボタン9402、外部入力端子9403、マイク9404、スピーカ9405、及び着信時に発光する発光部9406を含む。表示装置9410は電話機能を有する通信装置9400と矢印の2方向に脱着可能になっている。よって、表示装置9410と通信装置9400の短軸同士を取り付けることも、表示装置9410と通信装置9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置9400より表示装置9410を取り外し、表示装置9410のみを単独で用いることもできる。通信装置9400と表示装置9410とは、それぞれ充電可能なバッテリーを有し、無線通信又は有線通信により画像又は入力情報の授受が行われる。

40

【0226】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせる用いることができる。

【0227】

(実施の形態11)

本実施の形態では、半導体装置の作製方法につき、上記実施の形態と異なる一例について図面を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの

50

部分で他の実施の形態と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【0228】

はじめに、基板100上に導電層102を形成し、該導電層102上に選択的にレジストマスク104およびレジストマスク106を形成する(図21(A)参照)。当該工程は、実施の形態1に示す工程と同様である。

【0229】

次に、上記のレジストマスク104およびレジストマスク106を用いて導電層102をエッチングし、ゲート電極108および第1の配線110を形成した後、レジストマスク104およびレジストマスク106を後退させて第1の配線110上にレジストマスク112を形成し、形成されたレジストマスク112、ゲート電極108、第1の配線110を覆うように、ゲート絶縁層114を形成する(図21(B)参照)。当該工程についても実施の形態1と同様であるため、詳細は省略する。

10

【0230】

次に、ゲート絶縁層114上に導電層116および導電性の高い半導体層180を順に積層して形成する(図21(C)参照)。導電層116は、例えば、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電層116を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジムを含むアルミニウム(A1-Nd)膜を用いてもよい。さらに、導電層116を、シリコンを含むアルミニウム膜の単層構造としてもよい。導電層116の詳細については、実施の形態1における導電層102の詳細等を参照することができる。

20

【0231】

導電性の高い半導体層180は、後に形成される島状の半導体層より導電性が高いものであれば特に限定されない。例えば、後に形成される島状の半導体層が酸化物半導体材料を用いて形成される場合には、同様の酸化物半導体材料からなる膜を、形成条件を異ならせて形成することができる。もちろん、後の島状の半導体層と異なる材料を用いて導電性の高い半導体層180を形成しても良い。本実施の形態においては、導電性の高い半導体層180と後の島状の半導体層を同じ材料で形成する場合について説明する。

30

【0232】

本実施の形態において、導電性の高い半導体層180は、In、Ga、Znを含む酸化物半導体ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)を用いたスパッタ法で形成する。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0233】

次に、導電層116および導電性の高い半導体層180を選択的にエッチングして、ソース電極118、ドレイン電極120、第2の配線122、導電性の高い半導体層182、導電性の高い半導体層184、導電性の高い半導体層186を形成した後、ゲート電極108と重畳する領域において、ソース電極118、ドレイン電極120、導電性の高い半導体層182、導電性の高い半導体層184の一部と接するように島状の半導体層124を形成する(図21(D)参照)。

40

【0234】

ここでは、導電性の高い半導体層186を第2の配線122上に設ける構成としているが、開示される発明はこれに限定されない。導電性の高い半導体層は、少なくとも、ソース電極118、ドレイン電極120、および島状の半導体層124に接するように形成されていけばよい。また、島状の半導体層124の形成前には、その被形成面に対して表面処

50

理を施しても良い。表面処理の具体例については、実施の形態 1 等を参照することができる。

【0235】

本実施の形態において、島状の半導体層 124 は、In、Ga、Zn を含む酸化物半導体ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$) を用いたスパッタ法で形成する。該スパッタは、例えば、基板 100 とターゲットとの距離を 30 mm ~ 500 mm、圧力を 0.1 Pa ~ 2.0 Pa、直流 (DC) 電源を 0.25 kW ~ 5.0 kW、温度を 20 ~ 100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0236】

また、本実施の形態においては、導電性の高い半導体層 180 と、島状の半導体層 124 の成膜条件は異ならせている。例えば、導電性の高い半導体層 180 の成膜条件は、島状の半導体層 124 の成膜条件より、アルゴンガスの流量に対する酸素ガスの流量を小さいものとする。より具体的には、導電性の高い半導体層の成膜条件は、希ガス (アルゴン、又はヘリウムなど) 雰囲気下、または、酸素ガス 10% 以下、希ガス 90% 以上の雰囲気下とし、通常の導電性の半導体層の成膜条件は、酸素雰囲気下、または、希ガスに対する酸素ガスの流量比が 1 以上の雰囲気下とする。このようにすることで、導電性の異なる 2 種類の半導体層を形成することができる。

【0237】

なお、本実施の形態においては、島状の半導体層 124 を、酸化物半導体材料を用いて形成する場合について示しているが、開示する発明はこれに限定されない。島状の半導体層 124 を、シリコン、ゲルマニウム、シリコンゲルマニウム、シリコンカーバイド、ガリウムヒ素、インジウムリンなどの半導体材料を用いて形成しても良い。

【0238】

また、その他の詳細については実施の形態 1 等を参照すればよい。

【0239】

以上により、島状の半導体層 124 をチャンネル形成領域として用いるトランジスタ 190 を形成することができる。また、第 2 の配線 122 が第 1 の配線 110 を乗り越える領域 (第 1 の配線 110 と第 2 の配線 122 が交差する領域) において、第 1 の配線 110、レジストマスク 112、ゲート絶縁層 114、第 2 の配線 122、導電性の高い半導体層 186 の積層構造を形成することができる。これにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0240】

その後、各種電極や配線を形成することでトランジスタ 190 を具備する半導体装置が完成する。

【0241】

本実施の形態において示すように、多階調マスクを用いて形成したレジストマスクの一部を第 1 の配線と第 2 の配線との間に設けることにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0242】

さらに、本実施の形態において示すように、導電性の高い半導体層を、ソース電極 (またはドレイン電極) および島状の半導体層と接するように設けることで、トランジスタの電気的特性や信頼性などを向上させることができる。これにより、優れた半導体装置を提供することができる。

【0243】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせることもできる。

【0244】

(実施の形態 12)

本実施の形態では、半導体装置の作製方法につき、上記実施の形態と異なる一例について

10

20

30

40

50

図面を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で他の実施の形態と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【0245】

はじめに、基板100上に導電層102を形成し、該導電層102上に選択的にレジストマスク104およびレジストマスク106を形成する(図22(A)参照)。当該工程は、実施の形態1に示す工程と同様である。

【0246】

次に、上記のレジストマスク104およびレジストマスク106を用いて導電層102をエッチングし、ゲート電極108および第1の配線110を形成した後、レジストマスク104およびレジストマスク106を後退させて第1の配線110上にレジストマスク112を形成し、形成されたレジストマスク112、ゲート電極108、第1の配線110を覆うように、ゲート絶縁層114を形成する(図22(B)参照)。当該工程についても実施の形態1と同様であるため、詳細は省略する。

【0247】

次に、ゲート絶縁層114上に導電性の高い半導体層181および導電層116を順に積層して形成する(図22(C)参照)。

【0248】

導電性の高い半導体層181は、後に形成される島状の半導体層より導電性が高いものであれば特に限定されない。例えば、後に形成される島状の半導体層が酸化物半導体材料を用いて形成される場合には、同様の酸化物半導体材料からなる膜を、形成条件を異ならせて形成することができる。もちろん、後の島状の半導体層と異なる材料を用いて導電性の高い半導体層181を形成しても良い。本実施の形態においては、導電性の高い半導体層181と後の島状の半導体層を同じ材料で形成する場合について説明する。

【0249】

本実施の形態において、導電性の高い半導体層181は、In、Ga、Znを含む酸化物半導体ターゲット($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)を用いたスパッタ法で形成する。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0250】

導電層116は、例えば、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電層116を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジムを含むアルミニウム(Al-Nd)膜を用いてもよい。さらに、導電層116を、シリコンを含むアルミニウム膜の単層構造としてもよい。導電層116の詳細については、実施の形態1における導電層102の詳細等を参照することができる。

【0251】

次に、導電層116および導電性の高い半導体層181を選択的にエッチングして、ソース電極118、ドレイン電極120、第2の配線122、導電性の高い半導体層183、導電性の高い半導体層185、導電性の高い半導体層187を形成した後、ゲート電極108と重畳する領域において、ソース電極118、ドレイン電極120、導電性の高い半導体層183、導電性の高い半導体層185の一部と接するように島状の半導体層124を形成する(図22(D)参照)。

【0252】

なお、導電性の高い半導体層は、少なくとも、ソース電極118、ドレイン電極120、および島状の半導体層124に接するように形成されていけばよい。また、島状の半導体

10

20

30

40

50

層124の形成前には、その被形成面に対して表面処理を施しても良い。表面処理の具体例については、実施の形態1等を参照することができる。

【0253】

本実施の形態において、島状の半導体層124は、In、Ga、Znを含む酸化物半導体ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)を用いたスパッタ法で形成する。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0254】

また、本実施の形態においては、導電性の高い半導体層181と、島状の半導体層124の成膜条件は異ならせている。例えば、導電性の高い半導体層181の成膜条件は、島状の半導体層124の成膜条件より、アルゴンガスの流量に対する酸素ガスの流量を小さいものとする。より具体的には、導電性の高い半導体層の成膜条件は、希ガス(アルゴン、又はヘリウムなど)雰囲気下、または、酸素ガス10%以下、希ガス90%以上の雰囲気下とし、通常の導電性の半導体層の成膜条件は、酸素雰囲気下、または、希ガスに対する酸素ガスの流量比が1以上の雰囲気下とする。このようにすることで、導電性の異なる2種類の半導体層を形成することができる。

【0255】

なお、本実施の形態においては、島状の半導体層124を、酸化物半導体材料を用いて形成する場合について示しているが、開示する発明はこれに限定されない。島状の半導体層124を、シリコン、ゲルマニウム、シリコンゲルマニウム、シリコンカーバイド、ガリウムヒ素、インジウムリンなどの半導体材料を用いて形成しても良い。

【0256】

また、その他の詳細については実施の形態1等を参照すればよい。

【0257】

以上により、島状の半導体層124をチャンネル形成領域として用いるトランジスタ192を形成することができる。また、第2の配線122が第1の配線110を乗り越える領域(第1の配線110と第2の配線122が交差する領域)において、第1の配線110、レジストマスク112、ゲート絶縁層114、導電性の高い半導体層187、第2の配線122の積層構造を形成することができる。これにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0258】

その後、各種電極や配線を形成することでトランジスタ192を具備する半導体装置が完成する。

【0259】

本実施の形態において示すように、多階調マスクを用いて形成したレジストマスクの一部を第1の配線と第2の配線との間に設けることにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0260】

さらに、本実施の形態において示すように、導電性の高い半導体層を、ソース電極(またはドレイン電極)および島状の半導体層と接するように設けることで、トランジスタの電気的特性や信頼性などを向上させることができる。これにより、優れた半導体装置を提供することができる。

【0261】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせ用いることができる。

【0262】

(実施の形態13)

本実施の形態では、半導体装置の作製方法につき、上記実施の形態と異なる一例について

10

20

30

40

50

図面を参照して説明する。なお、本実施の形態における半導体装置の作製工程は、多くの部分で他の実施の形態と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【0263】

はじめに、基板100上に導電層102を形成し、該導電層102上に選択的にレジストマスク104およびレジストマスク106を形成する(図23(A)参照)。当該工程は、実施の形態1に示す工程と同様である。

【0264】

次に、上記のレジストマスク104およびレジストマスク106を用いて導電層102をエッチングし、ゲート電極108および第1の配線110を形成した後、レジストマスク104およびレジストマスク106を後退させて第1の配線110上にレジストマスク112を形成し、形成されたレジストマスク112、ゲート電極108、第1の配線110を覆うように、ゲート絶縁層114を形成する(図23(B)参照)。当該工程についても実施の形態1と同様であるため、詳細は省略する。

【0265】

次に、ゲート絶縁層114上に導電性の高い半導体層181、導電層116、および導電性の高い半導体層180を順に積層して形成する(図23(C)参照)。

【0266】

導電性の高い半導体層180および導電性の高い半導体層181は、後に形成される島状の半導体層より導電性が高いものであれば特に限定されない。例えば、後に形成される島状の半導体層が酸化物半導体材料を用いて形成される場合には、同様の酸化物半導体材料からなる膜を、形成条件を異ならせて形成することができる。もちろん、後の島状の半導体層と異なる材料を用いて導電性の高い半導体層180および導電性の高い半導体層181を形成しても良い。また、導電性の高い半導体層180と導電性の高い半導体層181を異なる材料で形成しても良い。本実施の形態においては、導電性の高い半導体層180、導電性の高い半導体層181および後の島状の半導体層を同じ材料で形成する場合について説明する。

【0267】

本実施の形態において、導電性の高い半導体層180および導電性の高い半導体層181は、In、Ga、Znを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1)を用いたスパッタ法で形成する。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

【0268】

導電層116は、例えば、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電層116を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジウムを含むアルミニウム(Al-Nd)膜を用いてもよい。さらに、導電層116を、シリコンを含むアルミニウム膜の単層構造としてもよい。導電層116の詳細については、実施の形態1における導電層102の詳細等を参照することができる。

【0269】

次に、導電層116、導電性の高い半導体層180、および導電性の高い半導体層181を選択的にエッチングして、ソース電極118、ドレイン電極120、第2の配線122、導電性の高い半導体層182、導電性の高い半導体層183、導電性の高い半導体層184、導電性の高い半導体層185、導電性の高い半導体層186、導電性の高い半導体層187を形成した後、ゲート電極108と重畳する領域において、ソース電極118、

10

20

30

40

50

ドレイン電極120、導電性の高い半導体層182、導電性の高い半導体層183、導電性の高い半導体層184、導電性の高い半導体層185の一部と接するように島状の半導体層124を形成する(図23(D)参照)。

【0270】

なお、導電性の高い半導体層は、少なくとも、ソース電極118、ドレイン電極120、および島状の半導体層124に接するように形成されていればよい。また、島状の半導体層124の形成前には、その被形成面に対して表面処理を施しても良い。表面処理の具体例については、実施の形態1等を参照することができる。

【0271】

本実施の形態において、島状の半導体層124は、In、Ga、Znを含む酸化物半導体ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)を用いたスパッタ法で形成する。該スパッタは、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン等の希ガス雰囲気、酸素雰囲気、またはアルゴン等の希ガスと酸素との混合雰囲気とする条件で行うことができる。

10

【0272】

また、本実施の形態においては、導電性の高い半導体層180および導電性の高い半導体層181と、島状の半導体層124の成膜条件は異ならせている。例えば、導電性の高い半導体層180および導電性の高い半導体層181の成膜条件は、島状の半導体層124の成膜条件より、アルゴンガスの流量に対する酸素ガスの流量を小さいものとする。より具体的には、導電性の高い半導体層の成膜条件は、希ガス(アルゴン、又はヘリウムなど)雰囲気下、または、酸素ガス10%以下、希ガス90%以上の雰囲気下とし、通常の導電性の半導体層の成膜条件は、酸素雰囲気下、または、希ガスに対する酸素ガスの流量比が1以上の雰囲気下とする。このようにすることで、導電性の異なる2種類の半導体層を形成することができる。

20

【0273】

なお、本実施の形態においては、島状の半導体層124を、酸化物半導体材料を用いて形成する場合について示しているが、開示する発明はこれに限定されない。島状の半導体層124を、シリコン、ゲルマニウム、シリコンゲルマニウム、シリコンカーバイド、ガリウムヒ素、インジウムリンなどの半導体材料を用いて形成しても良い。

30

【0274】

また、その他の詳細については実施の形態1等を参照すればよい。

【0275】

以上により、島状の半導体層124をチャンネル形成領域として用いるトランジスタ194を形成することができる。また、第2の配線122が第1の配線110を乗り越える領域(第1の配線110と第2の配線122が交差する領域)において、第1の配線110、レジストマスク112、ゲート絶縁層114、導電性の高い半導体層187、第2の配線122、導電性の高い半導体層186の積層構造を形成することができる。これにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0276】

その後、各種電極や配線を形成することでトランジスタ194を具備する半導体装置が完成する。

40

【0277】

本実施の形態において示すように、多階調マスクを用いて形成したレジストマスクの一部を第1の配線と第2の配線との間に設けることにより、工程数の増加を抑制しつつ、寄生容量の容量値を低減することができる。

【0278】

さらに、本実施の形態において示すように、導電性の高い半導体層を、ソース電極(またはドレイン電極)および島状の半導体層と接するように設けることで、トランジスタの電気的特性や信頼性などを向上させることができる。これにより、優れた半導体装置を提供

50

することができる。

【0279】

なお、本実施の形態は、他の実施の形態または実施例と適宜組み合わせ用いることができる。

【実施例1】

【0280】

本実施例では、開示する発明の効果を確認すべく、トランジスタの電流電圧特性、および移動度特性を調査した。以下、図面を参照して説明する。

【0281】

本実施例の調査は、実施の形態12に係る構成のトランジスタ（以下トランジスタA）を用いて行った（図24（A）参照）。また、比較のため、ソース電極（またはドレイン電極）下部の導電性の高い半導体層を設けない構成のトランジスタ（以下トランジスタB）においても同様の調査を行った（図24（B）参照）。

10

【0282】

トランジスタの作製方法は実施の形態12に準ずるものとした。ここで、トランジスタAと、トランジスタBの作製工程における相違点は、ソース電極（またはドレイン電極）下部の導電性の高い半導体層を形成する工程の有無のみである。なお、ソース電極（またはドレイン電極）にはチタンを、導電性の高い半導体層および島状の半導体層にはインジウム、ガリウムおよび亜鉛を含む酸化物半導体材料を用いた。また、島状の半導体層を形成する前に、表面処理として逆スパッタ処理を行っている。トランジスタのチャンネル長は20 μm 、チャンネル幅は20 nm、導電性の高い半導体層の膜厚は5 nmであった。

20

【0283】

図25（A）にトランジスタAの電流電圧特性および移動度特性を、図25（B）にトランジスタBの電流電圧特性および移動度特性を示す。横軸はゲート電圧（ V_g ）、縦軸は、電流値（ I_d ）または電界効果移動度（ μ_{FE} ）を表している。ここで、ソース-ドレイン電圧は10 Vとした。図25（A）では、電流電圧特性に大きなばらつきが生じている。一方、図25（B）では、ばらつきは極めて小さくなっている。

【0284】

上記現象の詳細は不明であるが、導電性の高い半導体層による島状の半導体層とソース電極（またはドレイン電極）との電氣的接続の改善などがその要因であると考察される。

30

【0285】

このように、導電性の高い半導体層をソース電極（またはドレイン電極）と島状の半導体層との間に設けることにより、電氣的特性の優れた半導体装置を提供することができる。本実施例は、他の実施の形態と適宜組み合わせ用いることができる。

【符号の説明】

【0286】

100 基板
 102 導電層
 104 レジストマスク
 105 レジストマスク
 106 レジストマスク
 108 ゲート電極
 109 第1の配線
 110 第1の配線
 111 絶縁層
 112 レジストマスク
 113 絶縁層
 114 ゲート絶縁層
 115 絶縁層
 116 導電層

40

50

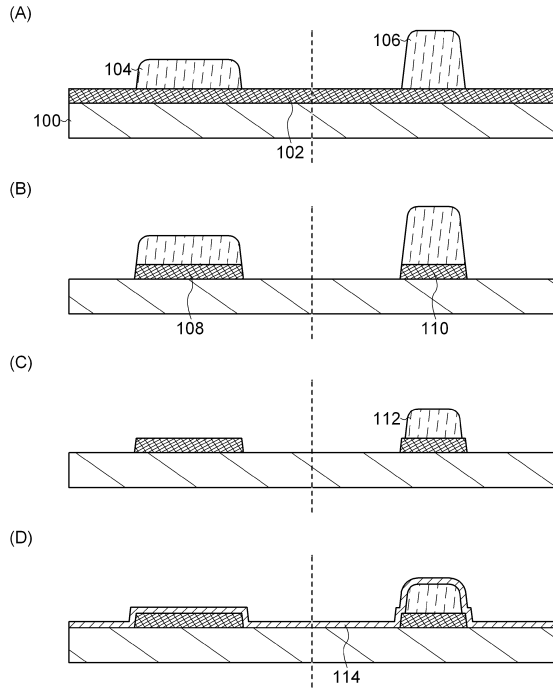
1 1 7	半導体層	
1 1 8	ソース電極	
1 1 9	半導体層	
1 2 0	ドレイン電極	
1 2 1	半導体層	
1 2 2	第 2 の配線	
1 2 3	半導体層	
1 2 4	半導体層	
1 4 3	スリット部	
1 5 0	トランジスタ	10
1 5 2	積層構造	
1 6 0	トランジスタ	
1 6 2	積層構造	
1 7 0	トランジスタ	
1 7 2	積層構造	
1 8 0	半導体層	
1 8 1	半導体層	
1 8 2	半導体層	
1 8 3	半導体層	
1 8 4	半導体層	20
1 8 5	半導体層	
1 8 6	半導体層	
1 8 7	半導体層	
1 9 0	トランジスタ	
1 9 2	トランジスタ	
1 9 4	トランジスタ	
2 0 0	基板	
2 0 1	導電層	
2 0 2	ゲート電極	
2 0 3	導電層	30
2 0 4	容量配線	
2 0 5	導電層	
2 0 6	第 1 の配線	
2 0 7	導電層	
2 0 8	第 1 の端子	
2 0 9	レジストマスク	
2 1 0	レジストマスク	
2 1 2	ゲート絶縁層	
2 1 4	ソース電極	
2 1 6	ドレイン電極	40
2 1 8	第 2 の配線	
2 2 0	接続電極	
2 2 2	第 2 の端子	
2 2 4	半導体層	
2 2 6	保護絶縁層	
2 2 8	透明導電層	
2 3 0	透明導電層	
2 3 2	透明導電層	
2 3 4	透明導電層	
2 5 0	トランジスタ	50

6 0 0	基板	
6 0 2	基板	
6 5 0	薄膜トランジスタ	
6 6 0	電極層	
6 7 0	電極層	
6 8 0	球形粒子	
6 8 0 a	黒色領域	
6 8 0 b	白色領域	
6 8 2	充填材	
7 0 1	T F T	10
7 0 2	発光素子	
7 0 3	陰極	
7 0 4	発光層	
7 0 5	陽極	
7 1 1	T F T	
7 1 2	発光素子	
7 1 3	陰極	
7 1 4	発光層	
7 1 5	陽極	
7 1 6	遮蔽膜	20
7 1 7	導電膜	
7 2 1	T F T	
7 2 2	発光素子	
7 2 3	陰極	
7 2 4	発光層	
7 2 5	陽極	
7 2 7	導電膜	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	30
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	素子層	
2 6 0 4	液晶層	
2 6 0 5	着色層	40
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	50

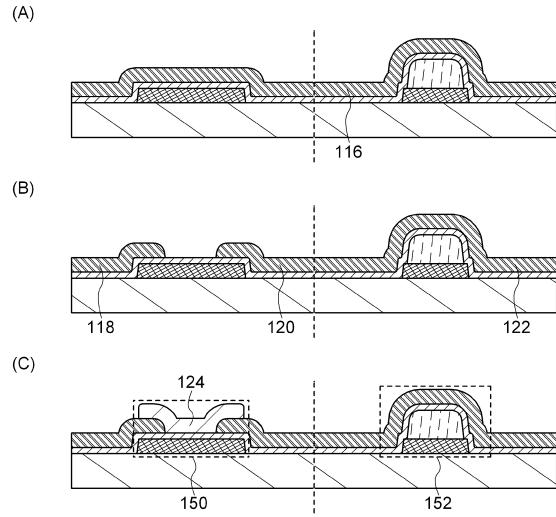
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	10
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	20
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	30
4 0 5 1	基板	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	40
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	50

4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	10
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	20
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	入力手段(操作キー)	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	30
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E Dランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	

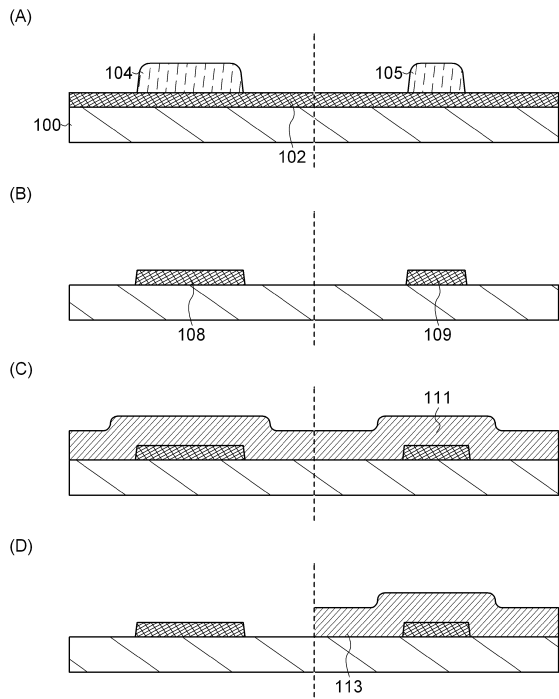
【 図 1 】



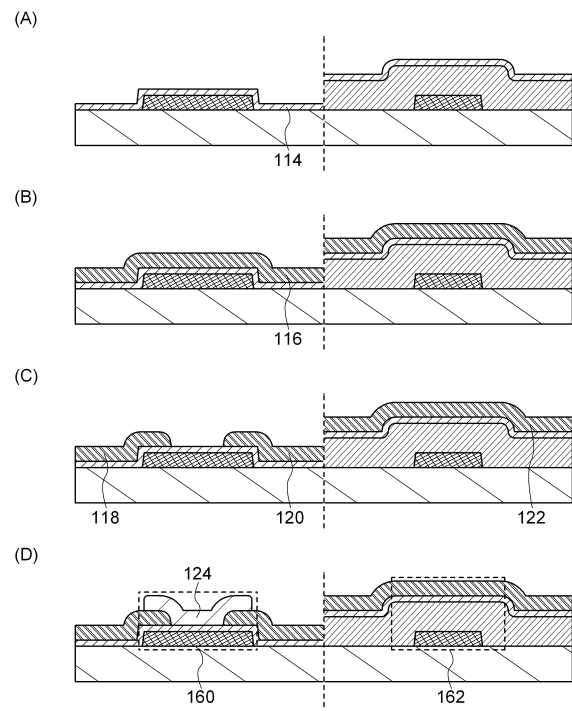
【 図 2 】



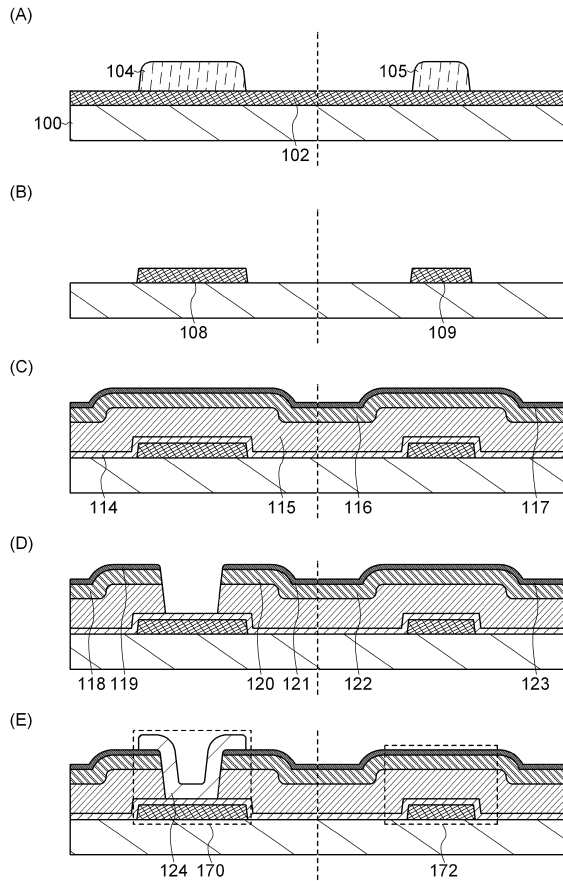
【 図 3 】



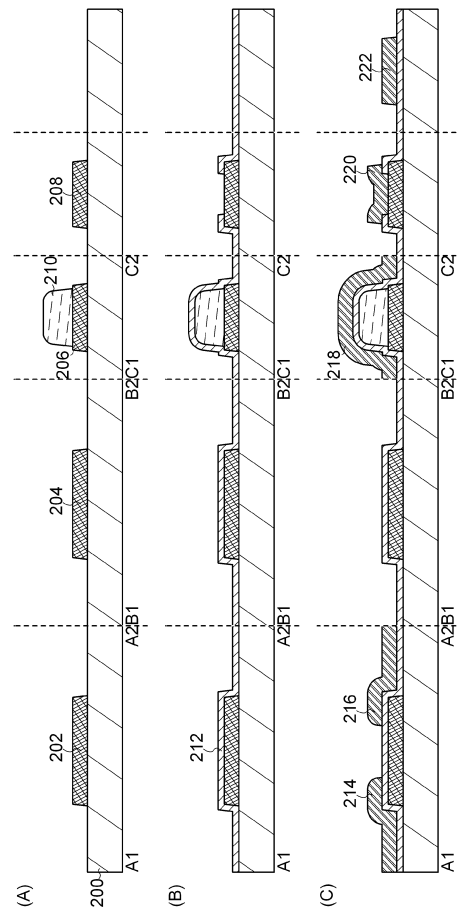
【 図 4 】



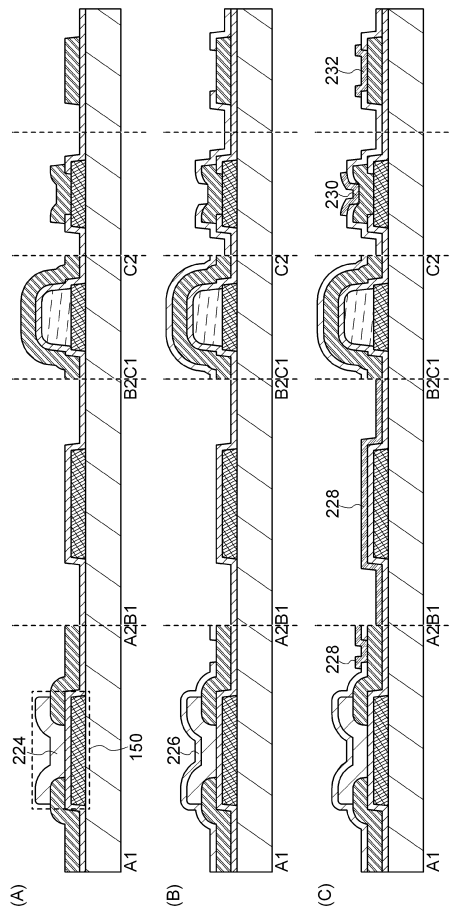
【 図 5 】



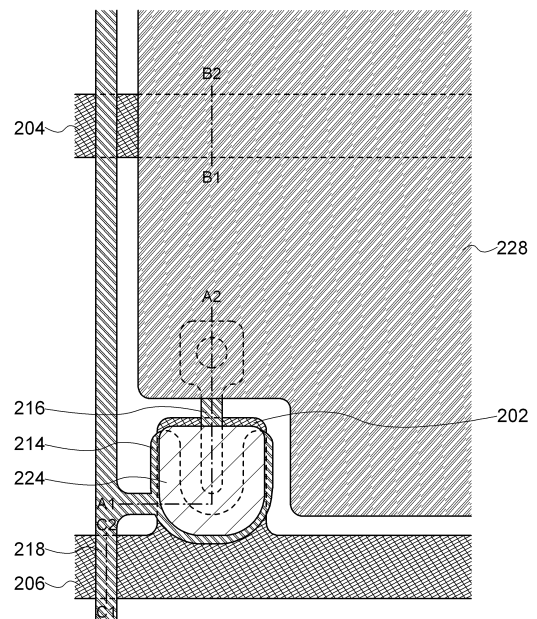
【 図 6 】



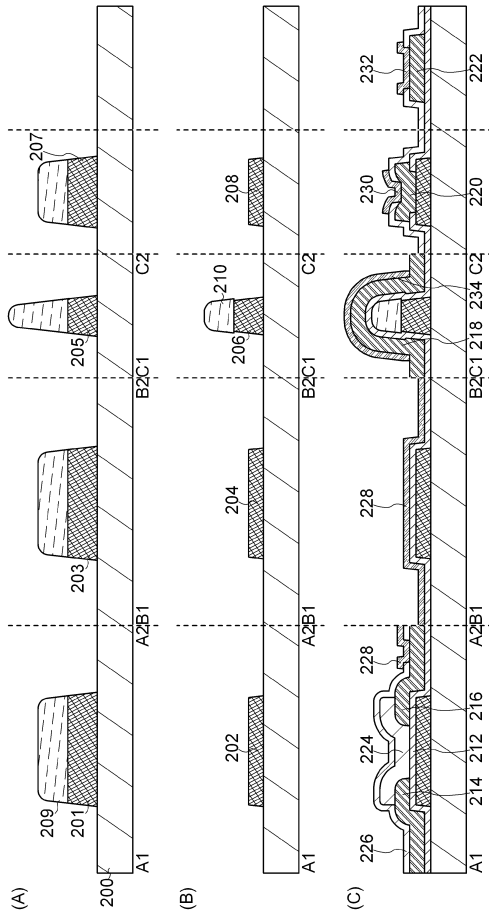
【 図 7 】



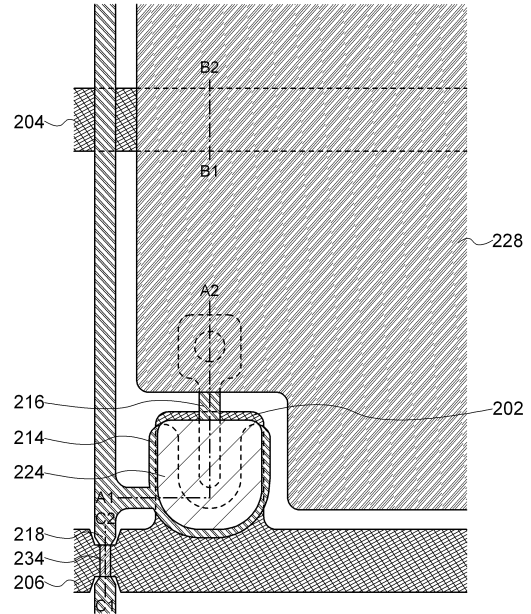
【 図 8 】



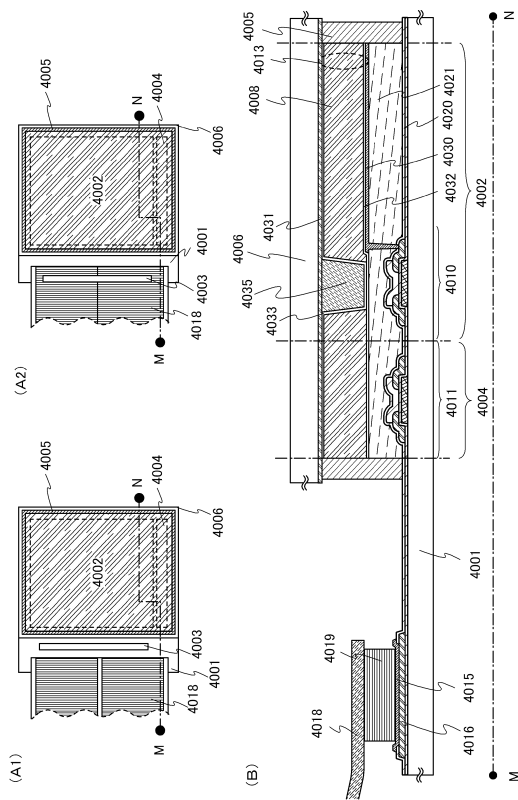
【 図 9 】



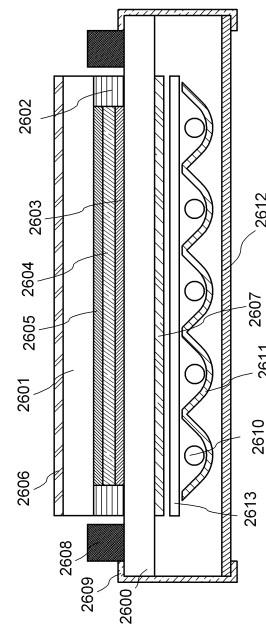
【 図 10 】



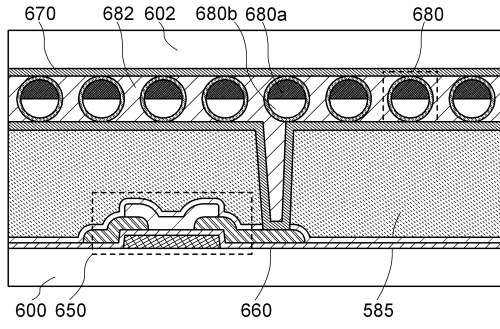
【 図 11 】



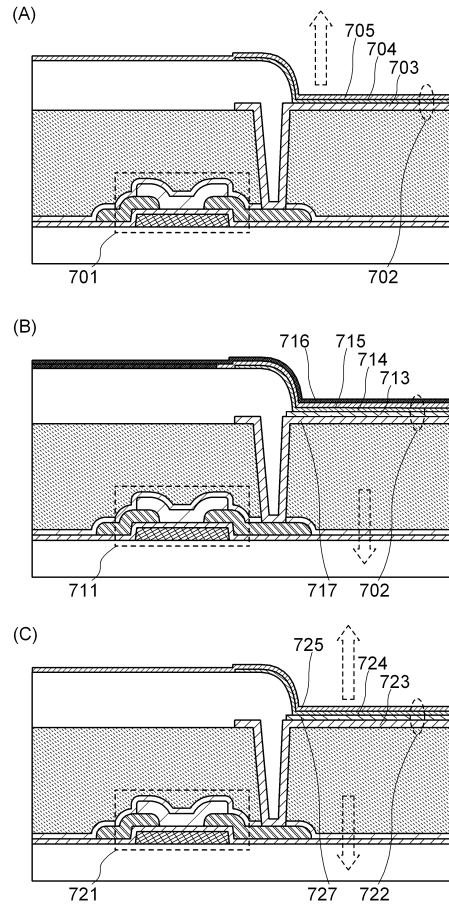
【 図 12 】



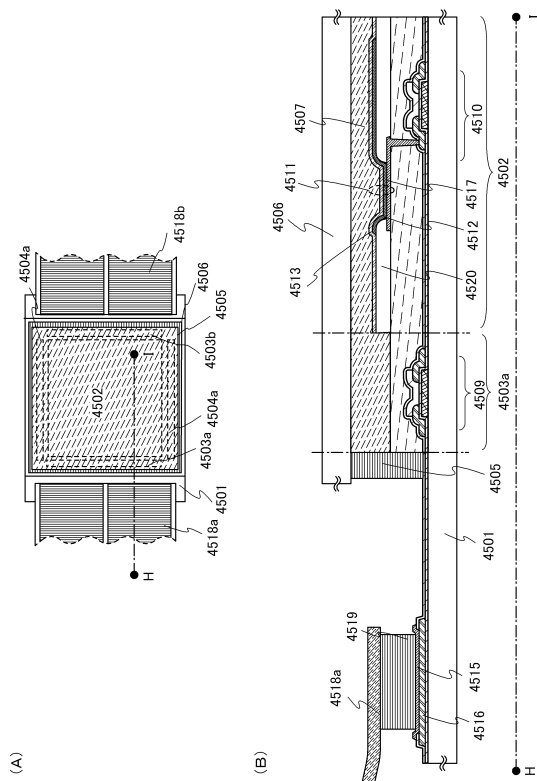
【 図 1 3 】



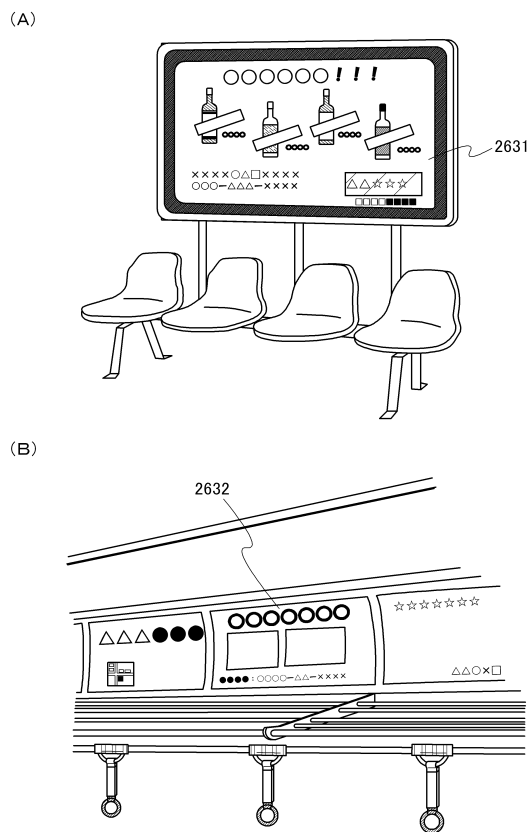
【 図 1 4 】



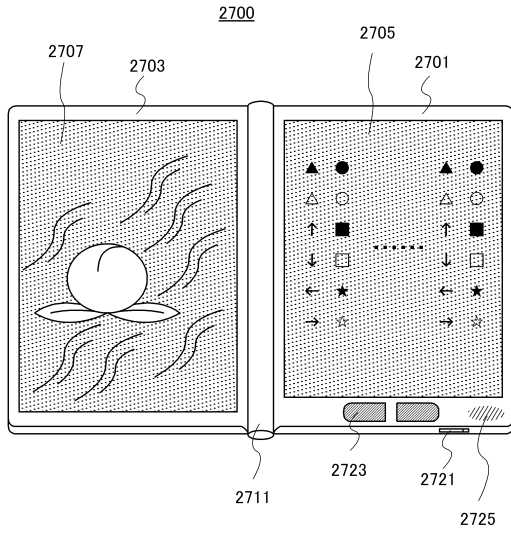
【 図 1 5 】



【 図 1 6 】

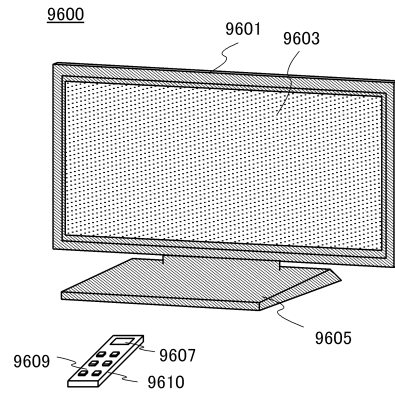


【図 17】

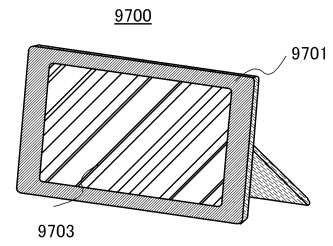


【図 18】

(A)

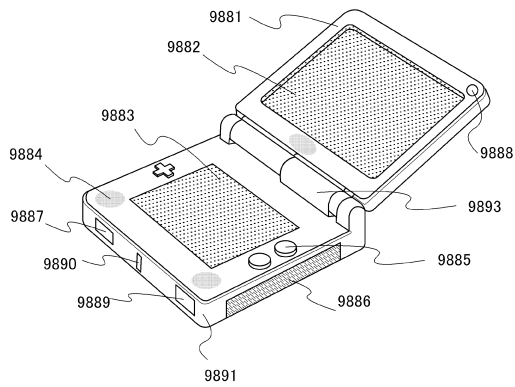


(B)

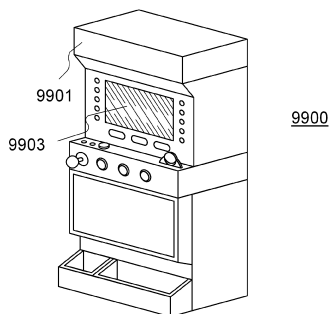


【図 19】

(A)

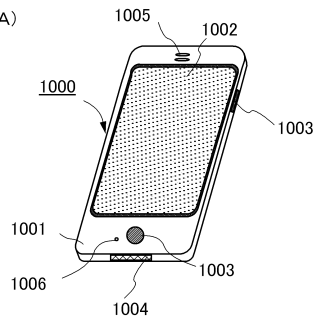


(B)

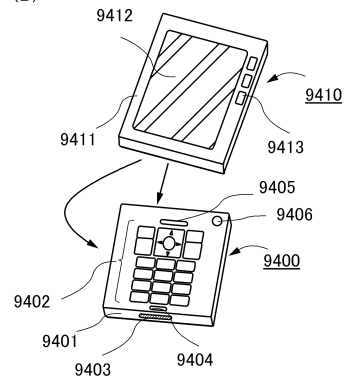


【図 20】

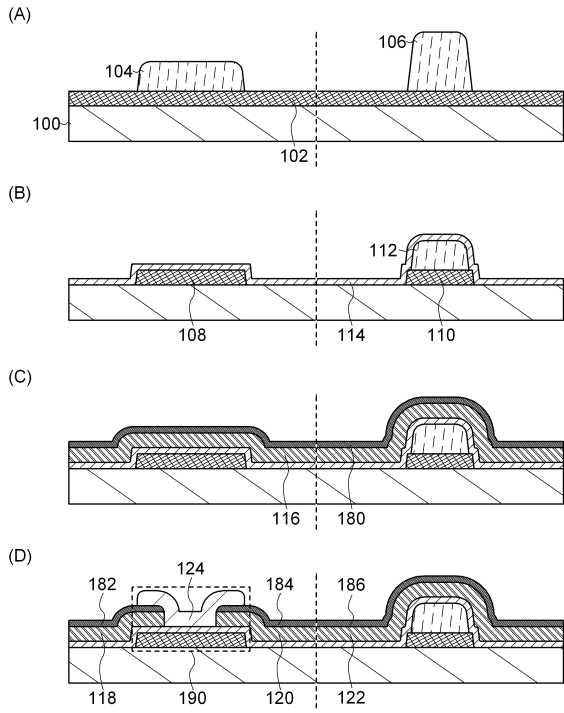
(A)



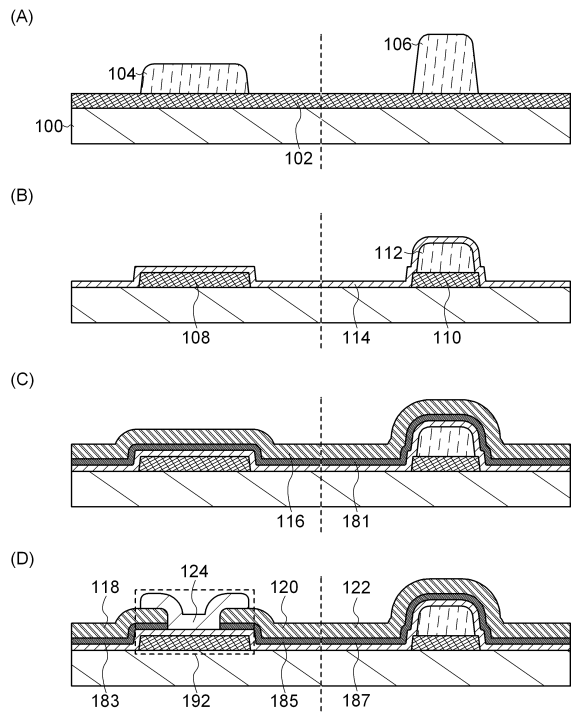
(B)



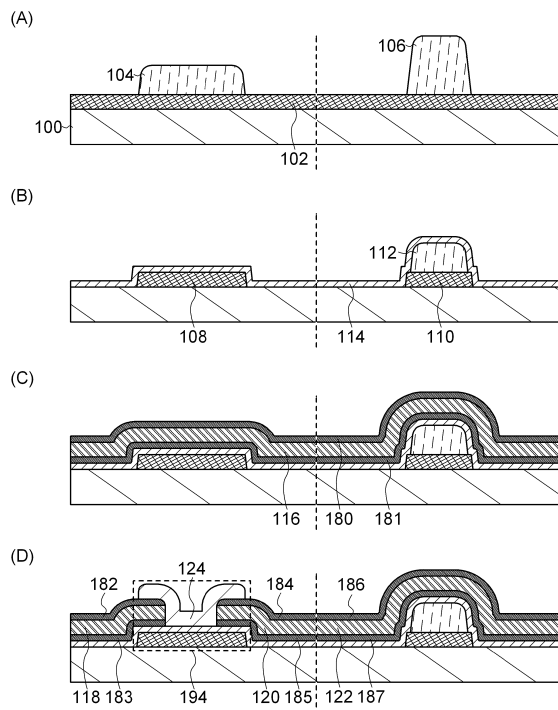
【 2 1 】



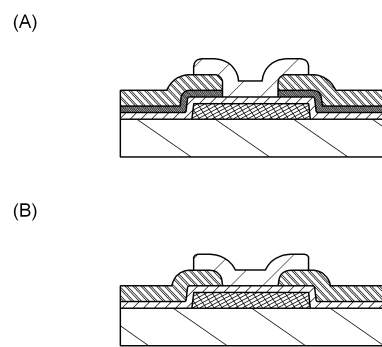
【 2 2 】



【 2 3 】

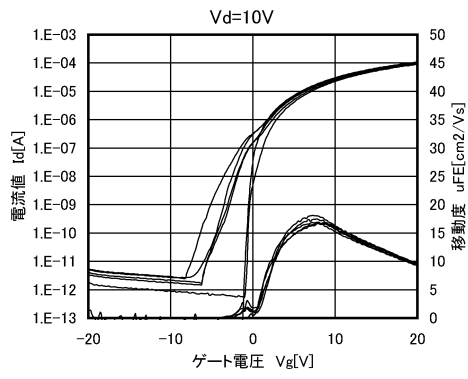


【 2 4 】

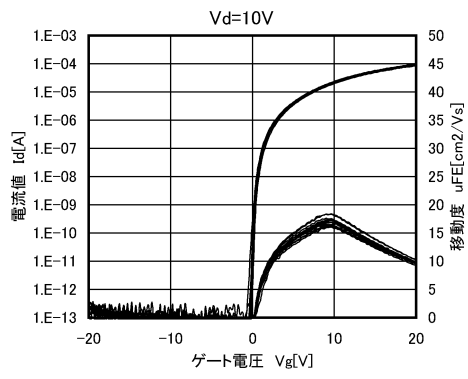


【 図 2 5 】

(A)



(B)



フロントページの続き

- (56)参考文献 米国特許第05905549 (US, A)
特開2007-123861 (JP, A)
特開2008-065225 (JP, A)
特開2002-111008 (JP, A)
特開2007-171314 (JP, A)
特開2005-227538 (JP, A)
特開2008-270744 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
G02F 1/1345
G02F 1/1368
H01L 51/50
H05B 33/14