



**특허청구의 범위**

**청구항 1**

애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성되어 통전에 의해 발광하는 발광 소자;

게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터;

데이터 라인에 교번적으로 공급되는 기준 전압과 데이터 전압이 선택적으로 공급되는 제 1 단자와 상기 구동 트랜지스터의 게이트 단자인 제 1 노드에 접속된 제 2 단자를 가지는 커패시터; 및

현재 수평 기간 동안 상기 커패시터를 초기화한 후 상기 데이터 전압과 상기 구동 트랜지스터의 문턱 전압을 포함하는 샘플링 전압을 상기 커패시터에 저장한 다음, 상기 현재 수평 기간 이후 상기 기준 전압과 상기 데이터 전압이 상기 데이터 라인에 공급될 때마다 상기 커패시터에 저장된 샘플링 전압에 기초하여 상기 발광 소자를 발광시키는 스위칭부를 포함하여 구성되는 것을 특징으로 하는 화소 회로.

**청구항 2**

제 1 항에 있어서,

상기 스위칭부는,

제 1 스위칭 제어 신호에 따라 스위칭되어 상기 커패시터를 초기화하는 초기화 기간과 상기 발광 소자를 발광시키는 발광 기간 동안 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급하고, 상기 커패시터에 샘플링 전압을 저장하는 샘플링 기간 동안 상기 데이터 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터;

제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 상기 제 1 노드를 상기 구동 트랜지스터의 드레인 단자인 제 2 노드에 접속시키는 제 2 스위칭 트랜지스터;

제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안 턴-온되어 상기 제 2 노드를 상기 발광 소자의 애노드 전극에 접속시키는 제 3 스위칭 트랜지스터; 및

상기 제 1 노드에 접속되어 상기 제 1 스위칭 트랜지스터의 턴-오프로 인해 상기 커패시터의 제 1 단자가 플로팅(Floating)될 때 상기 발광 소자에 흐르는 전류 변화를 억제하는 보조 커패시터를 포함하여 구성되는 것을 특징으로 하는 화소 회로.

**청구항 3**

제 1 항에 있어서,

상기 스위칭부는 현재 수평 기간의 일부 기간 동안 상기 커패시터의 제 1 단자에 상기 기준 전압을 공급함과 동시에 상기 제 1 노드에 상기 발광 소자의 애노드 전압을 공급하여 상기 커패시터를 초기화하는 것을 특징으로 하는 화소 회로.

**청구항 4**

제 3 항에 있어서,

상기 스위칭부는 현재 수평 기간의 나머지 기간 동안 상기 커패시터의 제 1 단자에 상기 데이터 전압을 공급한 후, 상기 구동 트랜지스터의 게이트 단자와 드레인 단자를 서로 접속시켜 상기 구동 트랜지스터의 소스 단자에 공급되는 제 1 구동 전압과 상기 데이터 전압 및 상기 구동 트랜지스터의 문턱 전압으로 이루어진 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 하는 화소 회로.

**청구항 5**

제 1 항에 있어서,

상기 스위칭부는,

제 1 스위칭 제어 신호에 따라 스위칭되어 상기 커패시터를 초기화하는 초기화 기간과 상기 발광 소자를 발광시키는 발광 기간 동안 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급하고, 상기 커패시터에 샘플링 전압을 저장하는 샘플링 기간 동안 상기 데이터 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터;

제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안에만 턴-온되어 상기 제 1 노드를 상기 구동 트랜지스터의 드레인 단자인 제 2 노드에 접속시키는 제 2 스위칭 트랜지스터;

제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안에만 턴-온되어 상기 제 2 노드를 상기 발광 소자의 애노드 전극에 접속시키는 제 3 스위칭 트랜지스터;

제 4 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간의 일부 기간 동안에만 턴-온되어 상기 제 1 노드에 초기화 전압을 공급하는 제 4 스위칭 트랜지스터; 및

상기 제 1 노드에 접속되어 상기 제 1 스위칭 트랜지스터의 턴-오프로 인해 상기 커패시터의 제 1 단자가 플로팅(Floating)될 때 상기 발광 소자에 흐르는 전류 변화를 억제하는 보조 커패시터를 포함하여 구성되는 것을 특징으로 하는 화소 회로.

### 청구항 6

제 1 항에 있어서,

상기 스위칭부는 현재 수평 기간의 일부 기간 동안 상기 커패시터의 제 1 단자에 상기 기준 전압을 공급함과 동시에 상기 제 1 노드에 초기화 전압을 공급하여 상기 커패시터를 초기화하는 것을 특징으로 하는 화소 회로.

### 청구항 7

제 6 항에 있어서,

상기 스위칭부는 현재 수평 기간의 나머지 기간 동안 상기 커패시터의 제 1 단자에 상기 데이터 전압을 공급한 후, 상기 구동 트랜지스터의 게이트 단자와 드레인 단자를 서로 접속시켜 상기 구동 트랜지스터의 소스 단자에 공급되는 제 1 구동 전압과 상기 데이터 전압 및 상기 구동 트랜지스터의 문턱 전압으로 이루어진 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 하는 화소 회로.

### 청구항 8

제 1 항에 있어서,

상기 스위칭부는 상기 현재 수평 기간 이후, 상기 데이터 라인에 상기 기준 전압이 공급되는 각 수평 기간의 일부 기간마다 상기 기준 전압을 상기 샘플링 전압이 저장된 커패시터의 제 1 단자에 공급하여 상기 발광 소자를 발광시키고, 상기 데이터 라인에 데이터 전압이 공급되는 각 수평 기간의 나머지 기간마다 상기 샘플링 전압이 저장된 커패시터의 제 1 단자를 플로팅(Floating)시켜 상기 발광 소자를 발광시키는 것을 특징으로 하는 화소 회로.

### 청구항 9

청구항 제 1 항 내지 제 8 항 중 어느 한 항에 기재된 화소 회로를 가지는 복수의 화소를 포함하는 디스플레이 패널;

상기 화소 회로의 스위칭부에 기준 전압과 데이터 전압을 교번적으로 공급하는 데이터 구동부; 및

상기 화소 회로의 스위칭부를 스위칭시키는 주사 구동부를 포함하여 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 10

애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성된 발광 소자, 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터, 및 제 1 단자와 상기 구동 트랜지스터의 게이트 단자인 제 1 노드에 접속된 제 2 단자를 가지는 커패시터를 포함하는 화소 회로의 구동

방법에 있어서,

데이터 라인에 기준 전압과 데이터 전압을 교번적으로 공급하는 단계;

현재 수평 기간 동안 상기 커패시터를 초기화한 후, 상기 데이터 전압과 상기 구동 트랜지스터의 문턱 전압을 포함하는 샘플링 전압을 상기 커패시터에 저장하는 단계; 및

상기 현재 수평 기간 이후 상기 기준 전압과 데이터 전압이 상기 데이터 라인에 공급될 때마다 상기 커패시터에 저장된 샘플링 전압에 기초하여 상기 발광 소자를 발광시키는 스위칭부를 포함하여 구성되는 것을 특징으로 하는 화소 회로의 구동 방법.

**청구항 11**

제 10 항에 있어서,

상기 커패시터를 초기화하는 단계는 현재 수평 기간의 일부 기간 동안 상기 데이터 라인에 공급되는 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급함과 동시에 상기 1 노드에 상기 발광 소자의 애노드 전압을 공급하여 상기 커패시터를 초기화시키는 것을 특징으로 하는 화소 회로의 구동 방법.

**청구항 12**

제 10 항에 있어서,

상기 커패시터를 초기화하는 단계는 현재 수평 기간의 일부 기간 동안 상기 데이터 라인에 공급되는 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급함과 동시에 상기 제 1 노드에 초기화 전압을 공급하여 상기 커패시터를 초기화하는 것을 특징으로 하는 화소 회로의 구동 방법.

**청구항 13**

제 11 항 또는 제 12 항에 있어서,

상기 샘플링 전압을 상기 커패시터에 저장하는 단계는 현재 수평 기간의 나머지 기간 동안 상기 커패시터의 제 1 단자에 상기 데이터 전압을 공급한 후, 상기 구동 트랜지스터의 게이트 단자와 드레인 단자를 서로 접속시켜 상기 구동 트랜지스터의 소스 단자에 공급되는 제 1 구동 전압과 상기 데이터 전압 및 상기 구동 트랜지스터의 문턱 전압으로 이루어진 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 하는 화소 회로의 구동 방법.

**청구항 14**

제 10 항에 있어서,

상기 발광 소자를 발광시키는 단계는 상기 현재 수평 기간 이후, 상기 데이터 라인에 상기 기준 전압이 공급되는 각 수평 기간의 일부 기간마다 상기 기준 전압을 상기 샘플링 전압이 저장된 커패시터의 제 1 단자에 공급하여 상기 발광 소자를 발광시키고, 상기 데이터 라인에 데이터 전압이 공급되는 각 수평 기간의 나머지 기간마다 상기 샘플링 전압이 저장된 커패시터의 제 1 단자를 플로팅(Floating)시켜 상기 발광 소자를 발광시키는 것을 특징으로 하는 화소 회로의 구동 방법.

**명세서**

**기술분야**

[0001] 본 발명은 화소 회로와 이를 포함하는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는, 발광 소자의 발광을 제어하는 구동 트랜지스터의 문턱 전압을 보상할 수 있는 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치에 관한 것이다.

**배경기술**

[0002] 최근, 평판 디스플레이(Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display), 플라즈마 디스플레이 패널(Plasma Display Panel), 전계 방출 표시 장치(Field Emission Display), 발광 표시 장치(Light Emitting Display) 등과 같은 여러 가지의 평판

디스플레이가 실용화되고 있다. 이러한, 평판 디스플레이 중에서 발광 표시 장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 평판 디스플레이로 주목 받고 있다.

- [0003] 일반적으로, 발광 표시 장치는 발광 물질을 전기적으로 여기시켜 발광시키는 표시 장치로서, 그의 재료 및 구조에 따라 무기 발광 표시 장치와 유기 발광 표시 장치로 구분된다.
- [0004] 도 1은 일반적인 유기 발광 표시 장치의 화소 회로를 개략적으로 나타내는 회로도이다.
- [0005] 도 1을 참조하면, 일반적인 유기 발광 표시 장치의 화소 회로는 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(C), 및 발광소자(OLED)를 구비한다.
- [0006] 스위칭 트랜지스터(ST)는 주사 라인(SL)에 공급되는 주사 신호에 따라 스위칭되어 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)을 구동 트랜지스터(DT)에 공급한다.
- [0007] 구동 트랜지스터(DT)는 스위칭 트랜지스터(ST)로부터 공급되는 데이터 전압(Vdata)에 따라 스위칭되어 구동 전원(Vdd)으로부터 발광 소자(OLED)로 흐르는 데이터 전류(Ioled)를 제어한다.
- [0008] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 단자와 소스 단자 사이에 접속되어 구동 트랜지스터(DT)의 게이트 단자에 공급되는 데이터 전압(Vdata)에 대응되는 전압을 저장하고, 저장된 전압으로 구동 트랜지스터(DT)의 턴-온시킨다.
- [0009] 발광 소자(OLED)는 구동 트랜지스터(DT)의 드레인 단자와 접지 전원(Vss) 사이에 전기적으로 접속되어 구동 트랜지스터(DT)로부터 공급되는 데이터 전류(Ioled)에 의해 발광한다. 이때, 발광소자(OLED)에 흐르는 데이터 전류(Ioled)는 구동 트랜지스터(DT)의 게이트-소스 사이의 전압(Vgs), 구동 트랜지스터(DT)의 문턱 전압(Vth), 및 데이터 전압(Vdata)에 따라 결정된다.
- [0010] 이러한 일반적인 유기 발광 표시 장치의 화소 회로는 데이터 전압(Vdata)에 따른 구동 트랜지스터(DT)의 스위칭을 이용하여 구동 전원(Vdd)으로부터 발광소자(OLED)로 흐르는 데이터 전류(Ioled)의 크기를 제어하여 발광 소자(OLED)를 발광시킴으로써 소정의 영상을 표시하게 된다.
- [0011] 그러나, 일반적인 유기 발광 표시 장치의 화소 회로에서, 발광 소자(OLED)에 흐르는 전류(Ioled)는 구동 트랜지스터(DT)의 문턱 전압 편차 및 구동 전원(Vdd)의 전압 강하 등에 의해 변화될 수 있다. 이에 따라, 일반적인 유기 발광 표시 장치의 화소 회로는 동일한 데이터 전압(Vdata)이라 하더라도 각 구동 트랜지스터(DT)로부터 출력되는 데이터 전류(Ioled)가 달라져 균일한 화질을 구현할 수 없다는 문제점이 있다.
- [0012] 더욱이, 구동 트랜지스터(DT)의 문턱 전압 편차와 구동 전원(Vdd)의 전압 강하는 유기 발광 표시 장치가 대면적화될수록 더욱 증가되기 때문에 대면적 유기 발광 표시 장치의 화질 저하를 발생시키는 원인이 된다.

**발명의 내용**

**해결하려는 과제**

- [0013] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 발광 소자의 발광을 제어하는 구동 트랜지스터의 문턱 전압을 보상할 수 있는 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치를 제공하는 것을 기술적 과제로 한다.

**과제의 해결 수단**

- [0014] 전술한 과제를 달성하기 위한 본 발명에 따른 화소 회로는 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광 셀을 포함하도록 형성되어 통전에 의해 발광하는 발광 소자; 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터; 데이터 라인에 교번적으로 공급되는 기준 전압과 데이터 전압이 선택적으로 공급되는 제 1 단자와 상기 구동 트랜지스터의 게이트 단자인 제 1 노드에 접속된 제 2 단자를 가지는 커패시터; 및 현재 수평 기간 동안 상기 커패시터를 초기화한 후 상기 데이터 전압과 상기 구동 트랜지스터의 문턱 전압을 포함하는 샘플링 전압을 상기 커패시터에 저장한 다음, 상기 현재 수평 기간 이후 상기 기준 전압과 상기 데이터 전압이 상기 데이터 라인에 공급될 때마다 상기 커패시터에 저장된 샘플링 전압에 기초하여 상기 발광 소자를 발광시키는 스위칭부를 포함하여 구성되는 것을 특징으로 한다.
- [0015] 상기 스위칭부는 제 1 스위칭 제어 신호에 따라 스위칭되어 상기 커패시터를 초기화하는 초기화 기간과 상기 발

광 소자를 발광시키는 발광 기간 동안 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급하고, 상기 커패시터에 샘플링 전압을 저장하는 샘플링 기간 동안 상기 데이터 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터; 제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 상기 제 1 노드를 상기 구동 트랜지스터의 드레인 단자인 제 2 노드에 접속시키는 제 2 스위칭 트랜지스터; 제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안 턴-온되어 상기 제 2 노드를 상기 발광 소자의 애노드 전극에 접속시키는 제 3 스위칭 트랜지스터; 및 상기 제 1 노드에 접속되어 상기 제 1 스위칭 트랜지스터의 턴-오프로 인해 상기 커패시터의 제 1 단자가 플로팅(Floating)될 때 상기 발광 소자에 흐르는 전류 변화를 억제하는 보조 커패시터를 포함하여 구성되는 것을 특징으로 한다.

[0016] 상기 스위칭부는 현재 수평 기간의 일부 기간 동안 상기 커패시터의 제 1 단자에 상기 기준 전압을 공급함과 동시에 상기 제 1 노드에 상기 발광 소자의 애노드 전압을 공급하여 상기 커패시터를 초기화하는 것을 특징으로 한다.

[0017] 상기 스위칭부는 상기 현재 수평 기간 이후, 상기 데이터 라인에 상기 기준 전압이 공급되는 각 수평 기간의 일부 기간마다 상기 기준 전압을 상기 샘플링 전압이 저장된 커패시터의 제 1 단자에 공급하여 상기 발광 소자를 발광시키고, 상기 데이터 라인에 데이터 전압이 공급되는 각 수평 기간의 나머지 기간마다 상기 샘플링 전압이 저장된 커패시터의 제 1 단자를 플로팅(Floating)시켜 상기 발광 소자를 발광시키는 것을 특징으로 한다.

[0018] 상기 스위칭부는 제 1 스위칭 제어 신호에 따라 스위칭되어 상기 커패시터를 초기화하는 초기화 기간과 상기 발광 소자를 발광시키는 발광 기간 동안 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급하고, 상기 커패시터에 샘플링 전압을 저장하는 샘플링 기간 동안 상기 데이터 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터; 제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안에만 턴-온되어 상기 제 1 노드를 상기 구동 트랜지스터의 드레인 단자인 제 2 노드에 접속시키는 제 2 스위칭 트랜지스터; 제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안에만 턴-온되어 상기 제 2 노드를 상기 발광 소자의 애노드 전극에 접속시키는 제 3 스위칭 트랜지스터; 제 4 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간의 일부 기간 동안에만 턴-온되어 상기 제 1 노드에 초기화 전압을 공급하는 제 4 스위칭 트랜지스터; 및 상기 제 1 노드에 접속되어 상기 제 1 스위칭 트랜지스터의 턴-오프로 인해 상기 커패시터의 제 1 단자가 플로팅(Floating)될 때 상기 발광 소자에 흐르는 전류 변화를 억제하는 보조 커패시터를 포함하여 구성되는 것을 특징으로 한다.

[0019] 상기 스위칭부는 현재 수평 기간의 일부 기간 동안 상기 커패시터의 제 1 단자에 상기 기준 전압을 공급함과 동시에 상기 제 1 노드에 초기화 전압을 공급하여 상기 커패시터를 초기화하는 것을 특징으로 한다.

[0020] 상기 화소 회로들 각각에서, 상기 스위칭부는 현재 수평 기간의 나머지 기간 동안 상기 커패시터의 제 1 단자에 상기 데이터 전압을 공급한 후, 상기 구동 트랜지스터의 게이트 단자와 드레인 단자를 서로 접속시켜 상기 구동 트랜지스터의 소스 단자에 공급되는 제 1 구동 전압과 상기 데이터 전압 및 상기 구동 트랜지스터의 문턱 전압으로 이루어진 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 한다.

[0021] 상기 스위칭부는 상기 현재 수평 기간 이후, 상기 데이터 라인에 상기 기준 전압이 공급되는 각 수평 기간의 일부 기간마다 상기 기준 전압을 상기 샘플링 전압이 저장된 커패시터의 제 1 단자에 공급하여 상기 발광 소자를 발광시키고, 상기 데이터 라인에 데이터 전압이 공급되는 각 수평 기간의 나머지 기간마다 상기 샘플링 전압이 저장된 커패시터의 제 1 단자를 플로팅(Floating)시켜 상기 발광 소자를 발광시키는 것을 특징으로 한다.

[0022] 전술한 과제를 달성하기 위한 본 발명에 따른 발광 표시 장치는 상기 화소 회로를 가지는 복수의 화소를 포함하는 디스플레이 패널; 상기 화소 회로의 스위칭부에 기준 전압과 데이터 전압을 교번적으로 공급하는 데이터 구동부; 및 상기 화소 회로의 스위칭부를 스위칭시키는 주사 구동부를 포함하여 구성되는 것을 특징으로 한다.

[0023] 전술한 과제를 달성하기 위한 본 발명에 따른 화소 회로의 구동 방법은 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성된 발광 소자, 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터, 및 제 1 단자와 상기 구동 트랜지스터의 게이트 단자인 제 1 노드에 접속된 제 2 단자를 가지는 커패시터를 포함하는 화소 회로의 구동 방법에 있어서, 데이터 라인에 기준 전압과 데이터 전압을 교번적으로 공급하는 단계; 현재 수평 기간 동안 상기 커패시터를 초기화한 후, 상기 데이터 전압과 상기 구동 트랜지스터의 문턱 전압을 포함하는 샘플링 전압을 상기 커패시터에 저장하는 단계; 및 상기 현재 수평 기간 이후 상기 기준 전압과 데이터 전압이 상기 데이터 라인에 공급될 때마다 상기 커패시터에 저장된 샘플링 전압에 기초하여 상기 발광 소자를 발광시키는 스위칭부를 포함하여 구성되는 것을 특징으로 한다.

다.

- [0024] 상기 커패시터를 초기화하는 단계는 현재 수평 기간의 일부 기간 동안 상기 데이터 라인에 공급되는 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급함과 동시에 상기 1 노드에 상기 발광 소자의 애노드 전압을 공급하여 상기 커패시터를 초기화시키는 것을 특징으로 한다.
- [0025] 상기 커패시터를 초기화하는 단계는 현재 수평 기간의 일부 기간 동안 상기 데이터 라인에 공급되는 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급함과 동시에 상기 제 1 노드에 초기화 전압을 공급하여 상기 커패시터를 초기화하는 것을 특징으로 한다.
- [0026] 상기 샘플링 전압을 상기 커패시터에 저장하는 단계는 현재 수평 기간의 나머지 기간 동안 상기 커패시터의 제 1 단자에 상기 데이터 전압을 공급한 후, 상기 구동 트랜지스터의 게이트 단자와 드레인 단자를 서로 접속시켜 상기 구동 트랜지스터의 소스 단자에 공급되는 제 1 구동 전압과 상기 데이터 전압 및 상기 구동 트랜지스터의 문턱 전압으로 이루어진 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 한다.
- [0027] 상기 발광 소자를 발광시키는 단계는 상기 현재 수평 기간 이후, 상기 데이터 라인에 상기 기준 전압이 공급되는 각 수평 기간의 일부 기간마다 상기 기준 전압을 상기 샘플링 전압이 저장된 커패시터의 제 1 단자에 공급하여 상기 발광 소자를 발광시키고, 상기 데이터 라인에 데이터 전압이 공급되는 각 수평 기간의 나머지 기간마다 상기 샘플링 전압이 저장된 커패시터의 제 1 단자를 플로팅(Floating)시켜 상기 발광 소자를 발광시키는 것을 특징으로 한다.

**발명의 효과**

- [0028] 상기 과제의 해결 수단에 의하면, 본 발명에 따른 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치는 다음과 같은 효과가 있다.
- [0029] 첫째, 구동 트랜지스터의 동작 상태에 따른 문턱 전압 및 제 1 구동 전압 라인의 저항에 따른 제 1 구동 전압의 전압 강하를 제거하여 보상함으로써 구동 트랜지스터의 문턱 전압 편차와 제 1 구동 전압의 전압 강하에 의한 화질 저하를 방지할 수 있다.
- [0030] 둘째, 구동 트랜지스터의 문턱 전압 보상과 발광 소자의 주기적인 발광이 수평 라인 단위로 이루어지므로 플리커 현상을 개선할 수 있으며, 대면적 및 고해상도에 구현에 적합할 수 있다.

**도면의 간단한 설명**

- [0031] 도 1은 일반적인 유기 발광 표시 장치의 화소 회로를 개략적으로 나타내는 회로도이다.
- 도 2는 본 발명의 제 1 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.
- 도 3은 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 구동 파형도이다.
- 도 4a 내지 도 4e는 도 3에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.
- 도 5는 본 발명의 제 1 실시 예에 따른 화소 회로 및 그 구동 방법에 있어서, 데이터 전압에 따른 구동 트랜지스터의 문턱 전압별 발광 소자에 흐르는 전류의 변화를 설명하기 위한 도면이다.
- 도 6은 본 발명의 제 2 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.
- 도 7은 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 구동 파형도이다.
- 도 8a 내지 도 8e는 도 7에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.
- 도 9는 본 발명의 제 2 실시 예에 따른 화소 회로 및 그 구동 방법에 있어서, 데이터 전압에 따른 구동 트랜지스터의 문턱 전압별 발광 소자에 흐르는 전류의 변화를 설명하기 위한 도면이다.
- 도 10은 본 발명의 실시 예에 따른 발광 표시 장치를 개략적으로 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0032] 이하, 도면을 참조로 본 발명에 따른 바람직한 실시 예에 대해서 상세히 설명하기로 한다.
- [0033] 도 2는 본 발명의 제 1 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.

- [0034] 도 2를 참조하면, 본 발명의 제 1 실시 예에 따른 화소 회로(110)는 통전에 의해 발광하는 발광 소자(OLED), 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 발광 소자(OLED)의 발광을 제어하는 구동 트랜지스터(DT), 구동 트랜지스터(DT)의 게이트 단자에 접속된 커패시터(C1), 및 현재 수평 기간 동안 커패시터(C1)를 초기화한 후 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압을 포함하는 샘플링 전압을 커패시터(C1)에 저장한 다음 현재 수평 기간 이후 기준 전압(Vref)과 데이터 전압(Vdata)이 데이터 라인(DLi)에 공급될 때마다 커패시터(C1)에 저장된 샘플링 전압에 기초하여 발광 소자(OLED)를 발광시키는 스위칭부(112)를 포함하여 구성된다.
- [0035] 상기 스위칭부(112)는 초기화 기간, 샘플링 기간, 유지 기간, 및 발광 기간으로 나누어 동작함으로써 구동 트랜지스터(DT)의 문턱 전압을 보상하고, 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자(OLED)를 발광시킨다.
- [0036] 먼저, 초기화 기간에 있어서, 상기 스위칭부(112)는 현재 수평 기간의 일부 기간 동안 커패시터(C1)의 제 1 단자에 기준 전압(Vref)을 공급함과 동시에 구동 트랜지스터(DT)의 게이트 단자인 제 1 노드(n1)에 접속된 커패시터(C1)의 제 2 단자에 발광 소자(OLED)의 애노드 전압을 공급하여 커패시터(C1)를 초기화한다.
- [0037] 다음으로, 샘플링 기간에 있어서, 상기 스위칭부(112)는 현재 수평 기간의 나머지 기간 동안 커패시터(C1)의 제 1 단자에 현재 수평 기간의 데이터 전압(Vdata)을 공급한 후, 구동 트랜지스터(DT)의 게이트 단자와 드레인 단자를 서로 접속시켜 구동 트랜지스터(DT)의 소스 단자에 공급되는 제 1 구동 전압(V1)과 현재 데이터 전압(Vdata) 및 구동 트랜지스터(DT)의 문턱 전압(Vth)으로 이루어진 샘플링 전압을 커패시터(C1)에 저장한다.
- [0038] 다음으로, 유지 기간에 있어서, 상기 스위칭부(112)는 상기 샘플링 기간 동안 커패시터(Cst)에 저장된 전압을 1 수평 기간 동안 유지시킨다.
- [0039] 마지막으로, 발광 기간에 있어서, 상기 스위칭부(112)는 현재 수평 기간 이후, 데이터 라인(DLi)에 기준 전압(Vref)이 공급되는 각 수평 기간의 일부 기간마다 기준 전압(Vref)을 샘플링 전압이 저장된 커패시터(C1)의 제 1 단자에 공급하여 발광 소자(OLED)를 발광시키고, 데이터 라인(DLi)에 다음 수평 기간의 데이터 전압(Vdata')들이 공급되는 각 수평 기간의 나머지 기간마다 샘플링 전압이 저장된 커패시터(C1)의 제 1 단자를 플로팅(Floating)시켜 발광 소자(OLED)를 발광시킨다.
- [0040] 이와 같은, 상기 스위칭부(112)는 데이터 라인(DLi), 커패시터(C1)의 제 1 단자, 구동 트랜지스터(DT)의 드레인 단자, 및 발광 소자(OLED)의 애노드 전극에 접속된다. 이러한 상기 스위칭부(112)는 제 1 내지 제 3 스위칭 제어 신호(SCS1, SCS2, SCS3)에 따라 스위칭됨으로써 상기 초기화 기간에 커패시터(C1)를 초기화한 후, 상기 샘플링 기간에 커패시터(C1)에 상기 샘플링 전압을 저장한 다음, 커패시터(C1)에 저장된 샘플링 전압을 1 수평 기간 동안 유지시킨 후, 데이터 라인(DLi)에 기준 전압(Vref)과 데이터 전압(Vdata')이 교번적으로 공급될 때마다 상기 샘플링 전압에 기초하여 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자(OLED)를 발광시킨다. 이를 위해, 상기 스위칭부(112)는 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3), 및 보조 커패시터(C2)를 포함하여 구성된다.
- [0041] 먼저, 상기 데이터 라인(DLi)에는 기준 전압(Vref)과 데이터 전압(Vdata)이 교번적으로 공급된다. 상기 기준 전압(Vref)과 데이터 전압(Vdata)의 교번 주기는 1 수평 기간의 절반이다. 즉, 상기 기준 전압(Vref)은 각 수평 기간의 일부 기간(또는 전반 기간)마다 데이터 라인(DLi)에 공급되고, 상기 데이터 전압(Vdata)은 각 수평 기간의 나머지 기간(또는 후반 기간)마다 데이터 라인(DLi)에 공급된다. 이때, 각 수평 기간의 나머지 기간 동안, 상기 데이터 라인(DLi)에는 각 수평 기간에 대응되는 데이터 전압이 공급된다. 이와 같이, 상기 기준 전압(Vref)과 데이터 전압(Vdata)의 교번 주기를 1 수평 기간의 절반으로 설정하는 이유는 각 수평 라인에 공급되는 데이터 전압의 공급 타이밍을 맞추기 위해서이다.
- [0042] 상기 기준 전압(Vref)은 발광 소자(OLED)의 구동 전압보다 낮은 전압 값으로 설정되는 것으로, 예를 들어, 0V 이상 2V 미만의 전압 값으로 설정될 수 있다. 이때, 본 발명의 스위칭부(112)는 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 발광 소자(OLED)를 발광시키기 때문에, 상기 기준 전압(Vref)은 이상적으로 0V를 가질 수 있으나, 블랙 계조의 구현을 고려하여 1V로 설정되는 것이 바람직하다. 그리고, 상기 기준 전압(Vref)이 0V를 초과하는 경우, N비트 디지털 입력 데이터에 대응되는 계조별 상기 데이터 전압(Vdata) 각각은 상기 기준 전압(Vref)이 보상된 전압으로 설정될 수 있다.
- [0043] 상기 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각은 모두 P 타입의 전도도를 가지는 박막 트랜지스터, 예를 들어 PMOS 트랜지스터로 이루어질 수 있다.

- [0044] 상기 제 1 스위칭 트랜지스터(ST1)는 제 1 스위칭 제어 라인(SLi\_1)에 공급되는 제 1 스위칭 제어 신호(SCS)에 따라 스위칭되어 상기 초기화 기간과 상기 발광 기간 동안 데이터 라인(DLi)에 공급되는 기준 전압(Vref)을 커패시터(C1)의 제 1 단자에 공급하고, 상기 샘플링 기간 동안 데이터 라인(DLi)에 공급되는 데이터 전압(Vdata)을 커패시터(C1)의 제 1 단자에 공급한다. 그리고, 상기 제 1 스위칭 트랜지스터(ST1)는 데이터 라인(DLi)에 다른 수평 기간의 데이터 전압(Vdata')이 공급되는 발광 기간 동안 제 1 스위칭 제어 신호(SCS)에 의해 턴-오프되어 커패시터(C1)의 제 1 단자를 플로팅(Floating)시킴으로써 상기 커패시터(C1)에 다른 수평 기간의 데이터 전압(Vdata')이 공급되지 않도록 한다. 이를 위해, 제 1 스위칭 트랜지스터(ST1)는 제 1 스위칭 제어 라인(SLi\_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 데이터 라인(DLi)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 커패시터(C1)의 제 1 단자에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.
- [0045] 상기 제 2 스위칭 트랜지스터(ST2)는 제 2 스위칭 제어 라인(SLi\_2)에 공급되는 로우(Low) 전압의 제 2 스위칭 제어 신호(SCS2)에 따라 상기 초기화 기간과 상기 샘플링 기간 동안에만 턴-온되어 제 1 노드(n1)와 구동 트랜지스터(DT)의 드레인 단자인 제 2 노드(n1)를 접속시킨다. 이를 위해, 제 2 스위칭 트랜지스터(ST2)는 제 2 스위칭 제어 라인(SLi\_2)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 제 1 노드(n1)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 제 2 노드(n2)에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.
- [0046] 상기 제 3 스위칭 트랜지스터(ST4)는 제 3 스위칭 제어 라인(SLi\_3)에 공급되는 로우(Low) 전압의 제 3 스위칭 제어 신호(SCS3)에 따라 상기 초기화 기간과 상기 발광 기간 동안에만 턴-온되어 상기 제 2 노드(n1)를 발광 소자(OLED)의 애노드 전극에 접속시킨다. 이를 위해, 제 3 스위칭 트랜지스터(ST3)는 제 3 스위칭 제어 라인(SLi\_3)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 제 2 노드(n2)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 발광 소자(OLED)의 애노드 전극에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.
- [0047] 상기 보조 커패시터(C2)는 상기 제 1 노드(n1)에 접속되며, 상기 제 1 스위칭 트랜지스터(ST1)의 턴-오프에 의해 상기 커패시터(C1)의 제 1 단자가 플로팅되는 발광 구간에서 상기 발광 소자(OLED)에 흐르는 전류 변화를 억제하는 역할을 한다. 이를 위해, 보조 커패시터(C2)는 상기 제 1 노드(n1), 즉 커패시터(C1)의 제 2 단자와 구동 트랜지스터(DT)의 게이트 단자 및 제 2 스위칭 트랜지스터(ST2)의 제 1 전극에 공통적으로 접속된 제 1 단자, 및 제 1 구동 전압(V1)이 공급되는 구동 전원 라인(PL1)에 접속된 제 2 단자를 포함하여 구성된다.
- [0048] 상기 보조 커패시터(C2)는 커패시터(C1)의 제 1 단자가 플로팅되는 발광 구간에서, 상기 발광 소자(OLED)에 흐르는 전류 변화를 억제하기 위해, 상기 커패시터(C1)의 정전 용량보다 2배 이상 큰 정전 용량을 가지도록 형성되는 것이 바람직하다. 즉, 상기 보조 커패시터(C2)의 정전 용량이 상기 커패시터(C1)와 같거나 2배 이하로 작을 경우, 발광 구간에서 커패시터(C1)의 제 1 단자가 플로팅될 때, 상기 제 1 노드(n1)의 전압 변동을 억제할 수 없고, 이 경우 제 1 노드(n1)의 전압 변동에 따라 구동 트랜지스터(DT)로부터 발광 소자(OLED)로 흐르는 전류량의 변동에 의해 휘도가 불균일하게 된다. 반면에, 상기 보조 커패시터(C2)의 정전 용량이 상기 커패시터(C1)보다 2배 이상 클 경우에는 큰 정전 용량으로 인하여 커패시터(C1)의 제 1 단자가 플로팅될 때 상기 제 1 노드(n1)의 전압 변동을 원활하게 억제할 수 있다.
- [0049] 상기 구동 트랜지스터(DT)는 상기 제 1 노드(n1)에 접속된 게이트 단자, 제 1 구동 전압(V1)이 공급되는 제 1 구동 전원 라인(PL1)에 접속된 소스 단자, 및 상기 제 2 노드(n1)에 접속된 드레인 단자를 포함하여 구성된다. 이때, 상기 구동 트랜지스터(DT)의 드레인 단자는 제 2 노드(n2)를 통해 상기 스위칭부(112)의 제 1 스위칭 트랜지스터(ST2)의 제 2 전극과 제 3 스위칭 트랜지스터(ST3)의 제 1 전극에 공통적으로 접속된다. 이러한 구동 트랜지스터(DT)는 커패시터(Cst)에 저장된 전압에 기초한 게이트 단자와 소스 단자 사이의 전압에 따라 턴-온되어 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류를 발광 소자(OLED)에 공급하여 발광 소자(OLED)를 발광시킨다. 상기 구동 트랜지스터(DT)는 P 타입의 전도도를 가지는 박막 트랜지스터로 이루어지므로, 0V 미만의 문턱 전압(Vth)을 갖는다.
- [0050] 상기 커패시터(C1)는 전술한 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각의 스위칭 상태에 따라 초기화된 후 상기 샘플링 전압을 저장한 다음 저장된 전압에 따라 구동 트랜지스터(DT)를 턴-온시킨다. 이를 위해, 커패시터(C1)는 제 1 및 제 2 단자를 포함한다.
- [0051] 상기 커패시터(C1)의 제 1 단자는 상기 스위칭부(112)의 제 1 스위칭 트랜지스터(ST1)의 제 2 전극에 접속된다. 이러한 커패시터(C1)의 제 1 단자에는 제 1 스위칭 트랜지스터(ST1)의 스위칭에 따라 상기 기준 전압(Vref)과 데이터 전압(Vdata)이 선택적으로 공급된다. 구체적으로, 커패시터(C1)의 제 1 단자에는 현재 수평 기간 동안 상기 기준 전압(Vref)과 데이터 전압(Vdata)이 순차적으로 공급되며, 현재 수평 기간 이후의 각 수평 기간의 일

부 기간마다 상기 기준 전압(Vref)이 공급된다. 그리고, 상기 커패시터(C1)의 제 1 단자는 현재 수평 기간 이후의 각 수평 기간의 나머지 기간마다 턴-오프되는 상기 스위칭부(112)의 제 1 스위칭 트랜지스터(ST1)에 의해 플로팅(Floating)된다.

[0052] 상기 커패시터(C1)의 제 2 단자는 제 1 노드(n1), 즉 구동 트랜지스터(DT)의 게이트 단자와 상기 제 2 스위칭 트랜지스터(ST2)의 제 1 전극 및 상기 보조 커패시터(C2)의 제 1 단자에 공통적으로 접속된다.

[0053] 상기 발광 소자(OLED)는 전술한 구동 트랜지스터(DT)의 구동에 따라 스위칭부(112)의 제 3 스위칭 트랜지스터(ST3)를 통해 공급되는 데이터 전류에 따라 발광한다. 이를 위해, 발광 소자(OLED)는 상기 제 3 스위칭 트랜지스터(ST3)의 제 2 전극에 접속된 애노드 전극(또는 화소 전극), 상기 제 1 구동 전압(V1)보다 낮은 전압(예를 들어, 0V)을 가지는 제 2 구동 전압(V2)이 공급되는 제 2 구동 전원 라인(PL2)에 접속된 캐소드 전극(또는 반사 전극), 및 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하여 구성된다. 여기서, 유기 발광셀은 정공 수송층/유기 발광층/전자 수송층의 구조 또는 정공 주입층/정공 수송층/유기 발광층/전자 수송층/전자 주입층의 구조를 가지도록 형성될 수 있다. 나아가, 상기 유기 발광셀에는 상기 유기 발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 기능층이 추가로 형성될 수 있다.

[0054] 도 3은 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 구동 파형도이고, 도 4a 내지 도 4e는 도 3에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.

[0055] 도 3을 도 4a 내지 도 4e와 결부하여 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법을 설명하면 다음과 같다.

[0056] 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법은 전술한 바와 같이, 초기화 기간(t1), 샘플링 기간(t2), 유지 기간(t3), 및 제 1 발광 기간(t4-1)과 제 2 발광 기간(t4-2)을 가지는 발광 기간(t4-1, T4-2)을 포함하여 이루어진다.

[0057] 먼저, 도 2 및 도 3a에 도시된 바와 같이, 현재 수평 기간의 상기 초기화 기간(t1)에서는, 게이트 로우 전압(VGL)의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 로우 전압(L 또는 VGL)의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 로우 전압(L 또는 VGL)의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되고, 기준 전압(Vref)이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 초기화 기간(t1)에서 상기 스위칭부(112)는 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각을 모두 턴-온시킴으로써 커패시터(C1)를 초기화, 즉 기준 전압(Vref)과 발광 소자(OLED)의 애노드 전극 전압의 차전압으로 초기화한다.

[0058] 구체적으로, 상기 현재 수평 기간의 초기화 기간(t1) 동안, 커패시터(C1)의 제 1 단자는 턴-온된 제 1 스위칭 트랜지스터(ST1)를 통해 데이터 라인(DLi)에 접속되고, 커패시터(C1)의 제 2 단자는 턴-온된 제 2 및 제 3 스위칭 트랜지스터(ST2, ST3) 각각을 통해 발광 소자(OLED)의 애노드 전극에 접속된다. 이에 따라, 커패시터(C1)의 제 1 단자에는 기준 전압(Vref)이 공급되고, 커패시터(C1)의 제 2 단자, 즉 제 1 노드(n1)에는 발광 소자(OLED)의 애노드 전극 전압이 공급된다. 따라서, 상기 초기화 기간(t1) 동안 상기 제 1 노드(n1)의 전압(Vn1)은, 별도의 전원 라인으로부터 공급되는 별도의 전압 없이, 발광 소자(OLED)의 애노드 전극 전압으로 초기화된다.

[0059] 한편, 상기 현재 수평 기간의 초기화 기간(t1) 동안 발광 소자(OLED)의 애노드 전극 전압은 이전 프레임 동안 발광 소자에 흐르는 전류에 의해 발광 소자(OLED)의 애노드 전극과 캐소드 전극 사이에 걸리는 전압으로 초기화된다. 이러한 상기 초기화 기간(t1) 동안, 발광 소자(OLED)의 애노드 전극 전압에 의해 미미한 전류가 발광 소자(OLED)에 흐르지만 상기 초기화 기간(t1)이 매우 짧기 때문에 상기 초기화 기간(t1) 동안 발광 소자(OLED)의 발광에 의한 휘도 변화는 시청자의 눈에 인식되지 않는다.

[0060] 다음으로, 도 3 및 도 4b에 도시된 바와 같이, 상기 현재 수평 기간의 샘플링 기간(t2)에서는, 제 1 스위칭 제어 라인(SLi\_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 로우 전압(VGL)을 유지하고, 제 2 스위칭 제어 라인(SLi\_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 로우 전압(L 또는 VGL)을 유지하고, 제 3 스위칭 제어 라인(SLi\_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 로우 전압(L 또는 VGL)을 소정 시간 유지하다가 소정 시간 이후에 하이 전압(H 또는 VGH)으로 변화되며, 현재 데이터 전압(Vdata)이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 샘플링 기간(t2)에서 상기 스위칭부(112)는 제 1 및 제 2 스위칭 트랜지스터(ST1, ST2) 각각의 턴-온 상태를 유지시키고, 턴-온 상태를 유지하는 제 3 스위칭 트랜지스터(ST3)를 소정 시간 이후에 턴-오프시킴으로써 초기화 기간(t1) 동안 초기화된 커패시터(C1)에 데이터 전압(Vdata)과 구동 트랜지스터

(DT)의 문턱 전압( $V_{th}$ ) 및 제 1 구동 전압( $V_1$ )에 의해 결정되는 샘플링 전압을 저장한다.

[0061] 구체적으로, 상기 현재 수평 기간의 샘플링 기간( $t_2$ ) 동안, 커패시터(C1)의 제 1 단자는 턴-온 상태를 유지하는 제 1 스위칭 트랜지스터(ST1)를 통해 데이터 라인(DLi)에는 접속되고, 커패시터(C1)의 제 2 단자는 턴-온 상태를 유지하는 제 2 및 제 3 스위칭 트랜지스터(ST2, ST3)를 통해 발광 소자(OLED)의 애노드 전극에 접속된 이후에 상기 제 3 스위칭 트랜지스터(ST3)의 턴-오프에 의해 제 2 노드( $n_2$ )에 접속된다. 따라서, 상기 현재 수평 기간의 샘플링 기간( $t_1$ ) 동안 상기 커패시터(C1)에는 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )에서 데이터 전압( $V_{data}$ )을 뺀 샘플링 전압( $V_1+V_{th}-V_{data}$ )이 샘플링되어 저장된다. 이때, 상기 합 전압( $V_1+V_{th}$ )과 상기 샘플링 전압( $V_1+V_{th}-V_{data}$ ) 각각에서 구동 트랜지스터의 문턱 전압( $V_{th}$ )는 절대값이 될 수 있다.

[0062] 상기 현재 수평 기간의 샘플링 기간( $t_2$ )에서, 구동 트랜지스터(DT)의 드레인 단자는 제 2 및 제 3 스위칭 트랜지스터(ST2, ST3)가 턴-온된 상태에서 상기 제 3 스위칭 트랜지스터(ST3)만이 턴-오프됨에 따라 턴-온 상태를 유지하는 제 2 스위칭 트랜지스터(ST2)를 통해 제 1 노드( $n_1$ )에 접속됨으로써 상기 구동 트랜지스터(DT)는 제 1 구동 전압 라인(PL1)과 제 1 노드( $n_1$ ) 사이에 다이오드 형태로 접속된다. 이에 따라, 상기 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )은 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )으로 변화되고, 커패시터(C1)의 제 1 단자는 데이터 전압( $V_{data}$ )으로 변화됨으로써 상기 커패시터(C1)에는 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )에서 데이터 전압( $V_{data}$ )을 뺀 샘플링 전압( $V_1+V_{th}-V_{data}$ )이 샘플링되어 저장된다. 따라서, 상기 현재 수평 기간의 샘플링 기간( $t_2$ ) 동안, 커패시터(C1)는 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ ) 편차와 제 1 구동 전압( $V_1$ )의 전압 강하를 동시에 보상하기 위한 전압을 샘플링한다.

[0063] 한편, 상기 현재 수평 기간의 샘플링 기간( $t_2$ )이 처음 시작되는 시점에서는 데이터 라인(DLi)의 전압 변동에 의해 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )이 크게 변동될 수 있는데, 이러한 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )의 변동은 제 1 노드( $n_1$ )에 접속된 보조 커패시터(C2)에 억제되어 최소화된다.

[0064] 다른 한편, 상기 현재 수평 기간의 샘플링 기간( $t_2$ )에서, 상기 제 3 스위칭 트랜지스터(ST3)는 커패시터(C)의 제 1 단자에 데이터 전압( $V_{data}$ )이 공급된 이후에 턴-오프되는 것이 바람직하다. 즉, 상기 제 3 스위칭 트랜지스터(ST3)가 커패시터(C)의 제 1 단자에 데이터 전압( $V_{data}$ )이 공급되기 전에 턴-오프될 경우, 커패시터(C)의 제 1 단자에 공급되는 데이터 전압( $V_{data}$ )에 의해 상기 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )이 크게 변동될 수 있고, 이로 인해 상기 샘플링 기간( $t_2$ ) 동안 상기 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )이 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )보다 크게 변동될 수 있다. 따라서, 상기 현재 수평 기간의 샘플링 기간( $t_2$ )에서, 데이터 전압( $V_{data}$ )의 공급에 따른 상기 제 1 노드( $n_1$ ) 큰 전압 변동을 방지하기 위해, 데이터 전압( $V_{data}$ )은 상기 제 3 스위칭 트랜지스터(ST3)가 턴-오프되기 전에 공급되는 것이 바람직하다.

[0065] 다음으로, 도 3 및 도 4c에 도시된 바와 같이, 상기 현재 수평 기간 이후의 첫 번째 수평 기간인 상기 유지 기간( $t_3$ )에서는, 게이트 하이 전압( $V_{GH}$ )의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 하이 전압(H 또는  $V_{GH}$ )의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 하이 전압(H 또는  $V_{GH}$ )의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되며, 데이터 라인(DLi)에는 기준 전압( $V_{ref}$ )과 다른 수평 라인의 데이터 전압( $V_{data}'$ )이 순차적으로 공급된다. 이에 따라, 상기 유지 기간( $t_3$ )에서 상기 스위칭부(112)는 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각을 모두 턴-오프시킴으로써 상기 샘플링 기간( $t_2$ ) 동안 커패시터(C1)에 저장된 상기 샘플링 전압( $V_1+V_{th}-V_{data}$ )을 1 수평 기간 동안 유지시킨다. 이러한 유지 기간( $t_3$ )은 생략될 수 있지만, 상기 제 1 내지 제 3 스위칭 제어 신호(SCS1, SCS2, SCS3) 각각의 상태 변화에 따른 과형(또는 펄스) 안정화를 위해 추가되는 것이 바람직하다.

[0066] 다음으로, 도 3, 도 4d에 도시된 바와 같이, 상기 현재 수평 기간 이후의 두 번째 수평 기간의 일부 기간인 상기 발광 기간( $t_4$ )의 제 1 발광 기간( $t_4-1$ )에서는, 게이트 로우 전압( $V_{GL}$ )의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 하이 전압(H 또는  $V_{GH}$ )의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 로우 전압(L 또는  $V_{GL}$ )의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되며, 기준 전압( $V_{ref}$ )이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 제 1 발광 기간( $t_4-1$ )에서 스위칭부(112)는 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 중 제 2 스위칭 트랜지스터(ST2)만을 턴-오프시켜 샘플링 전압( $V_1+V_{th}-V_{data}$ )이 저장된 커패시터(C1)의 제 1 단자에 기준 전압( $V_{ref}$ )을 공급함으로써 커패시터(C1)의 전압에 따라 구동 트랜지스터(DT1)를 턴-온시켜 발광 소자(OLED)를 발광시킨다.

[0067] 구체적으로, 제 1 발광 기간( $t_4-1$ )에서는, 제 1 및 제 3 스위칭 트랜지스터(ST1, ST3) 각각이 턴-온됨과 동시에

상기 제 2 스위칭 트랜지스터(ST2)가 턴-오프됨으로써 데이터 라인(DLi)에 공급되는 기준 전압(Vref)이 샘플링 전압(V1+Vth-Vdata)이 저장된 커패시터(C1)의 제 1 단자에 공급된다. 이에 따라, 상기 제 1 노드(n1)의 전압(Vn1)은 상기 커패시터(C1)의 제 1 단자에 공급되는 기준 전압(Vref)에 따라 상기 샘플링 기간(t3)에 저장된 샘플링 전압(V1+Vth-Vdata)과 상기 기준 전압(Vref)의 합 전압(V1+Vth-Vdata+Vref)이 된다. 따라서, 제 1 발광 기간(t4-1)에서, 상기 구동 트랜지스터(DT)는 제 2 스위칭 트랜지스터(ST2)의 턴-오프에 따른 게이트 전압과 소스 전압, 즉 상기 제 1 노드(n1)의 전압(Vn1)과 제 1 구동 전압(V1)에 의해 턴-온됨으로써, 하기의 수학식 1과 같이, 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류(Ioled)를 상기 턴-온된 제 3 스위칭 트랜지스터(ST3)를 통해 발광 소자(OLED)에 공급하여 발광 소자(OLED)를 발광시킨다.

**수학식 1**

$$\begin{aligned}
 I_{oled} &= k(V_{gs} - V_{th})^2 \\
 &= k(V_{sg} - V_{th})^2 \\
 &= k((V_1 - (V_1 + V_{th} - V_{data} + V_{ref})) + V_{th})^2 \\
 &= k(V_1 - V_1 - V_{th} + V_{data} - V_{ref} + V_{th})^2 \\
 &= k(V_{data} - V_{ref})^2
 \end{aligned}$$

[0068]

상기 수학식 1에서, "k"는 비례 상수로서 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 값으로, 구동 트랜지스터(DT)의 이동도(mobility) 및 구동 트랜지스터(DT)의 채널 폭(W)과 채널 길이(L)의 비인 "W/L" 등에 의해서 결정될 수 있다. 한편, 구동 트랜지스터(DT)의 문턱 전압(Vth)은 항상 일정한 값을 갖는 것이 아니라, 구동 트랜지스터(DT)의 동작 상태에 따라 편차가 발생할 수 있다.

[0069]

상기 수학식 1에서 알 수 있듯이, 본 발명의 제 1 실시 예에 따른 화소 회로(110)는 구동 트랜지스터(DT)의 문턱 전압(Vth) 및 제 1 구동 전압(V1)이 제거됨으로써 제 1 발광 기간(t4-1) 동안 발광 소자(OLED)에 흐르는 데이터 전류(Ioled)는 구동 트랜지스터(DT)의 문턱 전압(Vth) 및 제 1 구동 전압(V1) 등에 영향을 받지 않고, 단지 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정된다.

[0070]

다음으로, 도 3 및 도 4e에 도시된 바와 같이, 상기 현재 수평 기간 이후의 두 번째 수평 기간의 나머지 기간인 상기 발광 기간(t4)의 제 2 발광 기간(t4-2)에서는, 게이트 하이 전압(VGH)의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 하이 전압(H 또는 VGH)의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 로우 전압(L 또는 VGL)의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되며, 다음 수평 기간의 데이터 전압(Vdata')이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 제 2 발광 기간(t4-2)에서 상기 스위칭부(112)는 제 1 및 제 2 스위칭 트랜지스터(ST1, ST2)를 턴-오프시킴과 동시에 제 3 스위칭 트랜지스터(ST3)를 턴-온시켜 커패시터(C1)의 제 1 단자를 플로팅(Floating)시킴으로써 커패시터(C1)의 전압을 이용해 발광 소자(OLED)를 발광시킨다.

[0071]

구체적으로, 제 2 발광 기간(t4-2)에서는, 상기 제 1 스위칭 트랜지스터(ST1)의 턴-오프에 의해 커패시터(C1)의 제 1 단자가 플로팅(Floating)됨으로써 데이터 라인(DLi)에 공급되는 데이터 전압(Vdata')이 상기 커패시터(C1)의 제 1 단자에 공급되지 않는다. 이때, 커패시터(C1)의 제 1 단자가 플로팅됨에 따라 제 1 노드(n1)의 전압(Vn1)이 크게 변동될 수 있는데, 이러한 제 1 노드(n1)의 전압(Vn1) 변동은 전술한 바와 같이 보조 커패시터(C2)에 의해 억제 내지 최소화된다. 이에 따라, 제 2 발광 기간(t4-2)에서, 구동 트랜지스터(DT2)는 제 1 노드(n1)의 변동 전압(Vn1)과 제 1 구동 전압(V1)에 의해 턴-온되어 제 1 발광 기간(t4-1)보다 일정 비율로 감소된 데이터 전류를 상기 턴-온된 제 3 스위칭 트랜지스터(ST3)를 통해 발광 소자(OLED)에 공급함으로써 발광 소자(OLED)를 발광시킨다. 이때, 발광 소자(OLED)의 휘도는 제 1 발광 기간(t4-1)보다 일정 비율로 감소하지만, 상기 제 2 발광 기간(t4-2)이 매우 짧기 때문에 상기 제 1 및 제 2 발광 기간(t4-1, t4-2)의 휘도 변화는 시청자의 눈에 인식되지 않는다.

[0072]

한편, 제 2 발광 기간(t4-2) 이후, 스위칭부(112)는 다음 프레임의 초기화 기관(t1) 이전까지 상기 데이터 라인(DLi)에 교번적으로 공급되는 기준 전압(Vref)과 다음 수평 기간의 데이터 전압(Vdata')들에 대응되도록 전술한 상기 제 1 및 제 2 발광 기간(t4-1, t4-2)을 교번적으로 수행함으로써 상기 발광 소자(OLED)를 현재 프레임의

[0073]

남은 기간 동안 발광시킨다.

- [0074] 이상과 같은, 본 발명의 제 1 실시 예에 따른 화소 회로(110) 및 그 구동 방법은 상기 구동 트랜지스터(DT)의 동작 상태에 따른 문턱 전압(Vth) 및 상기 제 1 구동 전원 라인(PL1)의 저항에 따른 제 1 구동 전압(V1)의 전압 강하를 제거하여 보상함으로써 구동 트랜지스터(DT)의 문턱 전압(Vth) 편차와 제 1 구동 전압(V1)의 전압 강하에 의한 화질 저하를 방지할 수 있다.
- [0075] 또한, 본 발명의 제 1 실시 예에 따른 화소 회로(110) 및 그 구동 방법은 구동 트랜지스터(DT)의 문턱 전압(Vth) 보상과 발광 소자(OLED)의 주기적인 발광이 수평 라인 단위로 이루어지므로 플리커(Flicker) 현상을 개선할 수 있으며, 대면적 및 고해상도에 구현에 적합할 수 있다.
- [0076] 도 5는 본 발명의 제 1 실시 예에 따른 화소 회로 및 그 구동 방법에 있어서, 데이터 전압에 따른 구동 트랜지스터의 문턱 전압별 발광 소자에 흐르는 전류의 변화를 설명하기 위한 도면이다.
- [0077] 도 5에서 알 수 있듯이, 발광 소자(OLED)에 흐르는 전류(Ioled)의 크기는 데이터 전압(Vdata)에 비례하지만, 동일한 데이터 전압(Vdata)에서는 구동 트랜지스터의 문턱 전압(Vth) 편차( $\Delta Vth$ )에 관계없이 일정하게 유지되는 것을 알 수 있다.
- [0078] 도 6은 본 발명의 제 2 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.
- [0079] 도 6을 참조하면, 본 발명의 제 2 실시 예에 따른 화소 회로(110)는 발광 소자(OLED), 구동 트랜지스터(DT), 커패시터(C1), 및 스위칭부(112)를 포함하여 구성된다. 이러한 구성을 가지는 제 2 실시 예에 따른 화소 회로(110)에서 스위칭부(112)를 제외한 나머지 구성들은 전술한 제 1 실시 예의 화소 회로와 동일하다.
- [0080] 상기 스위칭부(112) 역시 전술한 제 1 실시 예와 같이 초기화 기간, 샘플링 기간, 유지 기간, 및 발광 기간으로 나누어 동작함으로써 구동 트랜지스터(DT)의 문턱 전압을 보상하고, 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자(OLED)를 발광시킨다.
- [0081] 먼저, 초기화 기간에 있어서, 상기 스위칭부(112)는 현재 수평 기간의 일부 기간 동안 커패시터(C1)의 제 1 단자에 기준 전압(Vref)을 공급함과 동시에 구동 트랜지스터(DT)의 게이트 단자인 제 1 노드(n1)에 접속된 커패시터(C1)의 제 2 단자에 제 3 구동 전압(V3)을 공급하여 커패시터(C1)를 초기화한다.
- [0082] 다음으로, 샘플링 기간에 있어서, 상기 스위칭부(112)는 현재 수평 기간의 나머지 기간 동안 커패시터(C1)의 제 1 단자에 현재 수평 기간의 데이터 전압(Vdata)을 공급한 후, 구동 트랜지스터(DT)의 게이트 단자와 드레인 단자를 서로 접속시켜 구동 트랜지스터(DT)의 소스 단자에 공급되는 제 1 구동 전압(V1)과 현재 데이터 전압(Vdata) 및 구동 트랜지스터(DT)의 문턱 전압(Vth)으로 이루어진 샘플링 전압을 커패시터(C1)에 저장한다.
- [0083] 다음으로, 유지 기간에 있어서, 상기 스위칭부(112)는 상기 샘플링 기간 동안 커패시터(Cst)에 저장된 전압을 1 수평 기간 동안 유지시킨다.
- [0084] 마지막으로, 발광 기간에 있어서, 상기 스위칭부(112)는 현재 수평 기간 이후, 데이터 라인(DLi)에 기준 전압(Vref)이 공급되는 각 수평 기간의 일부 기간마다 기준 전압(Vref)을 샘플링 전압이 저장된 커패시터(C1)의 제 1 단자에 공급하여 발광 소자(OLED)를 발광시키고, 데이터 라인(DLi)에 다음 수평 기간의 데이터 전압(Vdata')들이 공급되는 각 수평 기간의 나머지 기간마다 샘플링 전압이 저장된 커패시터(C1)의 제 1 단자를 플로팅(Floating)시켜 발광 소자(OLED)를 발광시킨다.
- [0085] 이와 같은, 상기 스위칭부(112)는 데이터 라인(DLi), 커패시터(C1)의 제 1 단자, 구동 트랜지스터(DT)의 드레인 단자, 및 발광 소자(OLED)의 애노드 전극에 접속된다. 이러한 상기 스위칭부(112)는 제 1 내지 제 4 스위칭 제어 신호(SCS1, SCS2, SCS3, SCS4)에 따라 스위칭됨으로써 상기 초기화 기간에 커패시터(C1)를 초기화한 후, 상기 샘플링 기간에 커패시터(C1)에 상기 샘플링 전압을 저장한 다음, 커패시터(C1)에 저장된 샘플링 전압을 1 수평 기간 동안 유지시킨 후, 데이터 라인(DLi)에 기준 전압(Vref)과 데이터 전압(Vdata')이 교번적으로 공급될 때마다 상기 샘플링 전압에 기초하여 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자(OLED)를 발광시킨다. 이를 위해, 상기 스위칭부(112)는 제 1 내지 제 4 스위칭 트랜지스터(ST1, ST2, ST3, ST4), 및 보조 커패시터(C2)를 포함하여 구성되는 것으로, 상기 제 4 스위칭 제어 신호(SCS4)에 따라 스위칭되는 제 4 스위칭 트랜지스터(ST4)를 더 포함하고, 상기 제 3 스위칭 트랜지스터(ST3)를

스위칭시키는 제 3 스위칭 제어 신호(SCS3)의 파형이 변경되는 것을 제외하고는 전술한 본 발명의 제 1 실시 예에 따른 화소 회로의 스위칭부와 동일하므로, 동일한 구성에 대한 중복 설명은 생략하기로 한다.

[0086] 먼저, 상기 제 3 스위칭 트랜지스터(ST3)는 제 3 스위칭 제어 라인(SLi\_3)에 공급되는 로우(Low) 전압의 제 3 스위칭 제어 신호(SCS3)에 따라 상기 발광 기간 동안에만 턴-온되어 구동 트랜지스터(DT)의 드레인 단자인 제 2 노드(n2)를 발광 소자(OLED)의 애노드 전극에 접속시킨다. 이를 위해, 제 3 스위칭 트랜지스터(ST3)는 제 3 스위칭 제어 라인(SLi\_3)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 제 2 노드(n2)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 발광 소자(OLED)의 애노드 전극에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.

[0087] 상기 제 4 스위칭 트랜지스터(ST4)는 제 4 스위칭 제어 라인(SLi\_4)에 공급되는 제 4 스위칭 제어 신호(SC4)에 따라 스위칭되어 상기 초기화 기간 및 상기 샘플링 기간의 일부 기간 동안 구동 트랜지스터(DT)의 게이트 단자인 제 1 노드(n1)에 접속된 커패시터(C1)의 제 2 단자에 제 3 구동 전압(V3)을 공급함으로써 상기 제 1 노드(n1)의 전압을 제 3 구동 전압(V3)으로 초기화시킨다. 이를 위해, 제 4 스위칭 트랜지스터(ST4)는 제 4 스위칭 제어 라인(SLi\_4)에 접속된 제어 전극(예를 들어, 게이트 전극), 전술한 제 2 노드(n2), 즉 구동 트랜지스터(DT)의 드레인 단자와 전술한 제 2 스위칭 트랜지스터(ST2)의 제 2 전극 및 상기 제 3 스위칭 트랜지스터(ST3)의 제 1 전극에 공통적으로 접속된 제 1 전극(예를 들어, 소스 전극), 및 제 3 구동 전압(V3)이 공급되는 제 3 구동 전원 라인(PL3)에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.

[0088] 상기 제 3 구동 전압(V3)은 상기 제 1 노드(n1)를 초기화시키기 위한 초기화 전압으로서, 상기 구동 트랜지스터(DT)의 턴-온 조건을 만족하되, 발광 소자(OLED)의 구동 전압보다 낮은 전압 값으로 설정되는 것으로, 전술한 기준 전압(Vref)과 동일하거나 다를 수 있다. 또한, 상기 제 3 구동 전압(V3)은 구동 트랜지스터(DT)의 소스 단자에 공급되는 제 1 구동 전압(V1)과 구동 트랜지스터(DT)의 문턱 전압(Vth)의 합 전압(V1+Vth)보다 낮은 전압 값으로 설정될 수 있다.

[0089] 이와 같은, 상기 제 4 스위칭 트랜지스터(ST4)는 제 4 스위칭 제어 신호(SC4)에 따라 상기 초기화 기간 및 상기 샘플링 기간의 일부 기간 동안 턴-온됨으로써, 전술한 제 1 실시 예와 같이, 상기 초기화 기간 및 상기 샘플링 기간 동안 턴-온되는 상기 제 2 스위칭 트랜지스터(ST2)를 통해 상기 제 1 노드(n1)에 제 3 구동 전압(V3)을 공급한다. 이에 따라, 상기 초기화 기간 및 상기 샘플링 기간의 일부 기간 동안 상기 제 1 노드(n1)의 전압은 이전 데이터 전류의 흐름에 따라 발광 소자(OLED)의 양단에 걸려 있는 전압에 상관없이 상기 제 3 구동 전압(V3)으로 초기화된다.

[0090] 전술한 바와 같은, 본 발명의 제 2 실시 예에 따른 화소 회로(110)의 스위칭부(112)는 제 4 스위칭 트랜지스터(ST4)를 이용하여 상기 초기화 기간 및 상기 샘플링 기간의 일부 기간 동안 상기 제 1 노드(n1)의 전압을 상기 제 3 구동 전압(V3)으로 초기화시킴으로써 상기 제 1 노드(n1)의 초기화를 안정적으로 수행할 수 있고, 상기 초기화 기간에서 발생하는 발광 소자(OLED)의 미미한 발광을 방지하여 발광 소자(OLED)의 수명을 향상시킬 수 있으며, 상기 샘플링 기간 동안 상기 발광 소자(OLED)의 양단에 걸려 있는 전압의 영향을 받지 않고 구동 트랜지스터(DT)의 문턱 전압을 검출해 커패시터(C1)에 저장하므로 구동 트랜지스터(DT)의 문턱 전압의 검출 효율을 향상시킬 수 있다.

[0091] 도 7은 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 구동 파형도이고, 도 8a 내지 도 8e는 도 7에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.

[0092] 도 7을 도 8a 내지 도 8e와 결부하여 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법을 설명하면 다음과 같다.

[0093] 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법은 전술한 바와 같이, 초기화 기간(t1), 샘플링 기간(t2), 유지 기간(t3), 및 제 1 발광 기간(t4-1)과 제 2 발광 기간(T4-2)을 가지는 발광 기간(t4-1, T4-2)을 포함하여 이루어진다.

[0094] 먼저, 도 7 및 도 8a에 도시된 바와 같이, 현재 수평 기간의 상기 초기화 기간(t1)에서는, 게이트 로우 전압(VGL)의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 로우 전압(L 또는 VGL)의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 하이 전압(H 또는 VGH)의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되고, 로우 전압(L 또는 VGL)의 제 4 스위칭 제어 신호(SCS4)가 제 4 스위칭 제어 라인(SLi\_4)에 공급되며, 기준 전압(Vref)이 데이터 라인(DLi)에 공급된다. 이

에 따라, 상기 초기화 기간( $t_1$ )에서 상기 스위칭부(112)는 제 1, 제 2, 및 제 4 스위칭 트랜지스터(ST1, ST2, ST4) 각각을 동시에 모두 턴-온시키는 반면에 제 3 스위칭 트랜지스터(ST3)를 턴-오프시킴으로써 커패시터(C1)를 초기화, 즉 기준 전압( $V_{ref}$ )과 제 3 구동 전압( $V_3$ )의 차전압으로 초기화한다.

[0095] 구체적으로, 상기 현재 수평 기간의 초기화 기간( $t_1$ ) 동안, 커패시터(C1)의 제 1 단자는 턴-온된 제 1 스위칭 트랜지스터(ST1)를 통해 데이터 라인(DLi)에 접속되고, 커패시터(C1)의 제 2 단자는 턴-온된 제 2 및 제 4 스위칭 트랜지스터(ST2, ST4) 각각을 통해 제 3 구동 전원 라인(PL3)에 접속된다. 이에 따라, 커패시터(C1)의 제 1 단자에는 기준 전압( $V_{ref}$ )이 공급되고, 커패시터(C1)의 제 2 단자, 즉 제 1 노드( $n_1$ )에는 제 3 구동 전원 라인(PL3)으로부터 제 3 구동 전압( $V_3$ )이 공급된다. 따라서, 상기 초기화 기간( $t_1$ ) 동안 상기 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )은 제 3 구동 전압( $V_3$ )으로 초기화된다.

[0096] 한편, 상기 현재 수평 기간의 초기화 기간( $t_1$ ) 동안 발광 소자(OLED)는 상기 제 2 노드( $n_2$ )와 제 2 구동 전압 라인(PL2) 사이에 전류 패스가 형성되지 않기 때문에 발광하지 않는다. 이는, 발광 소자(OLED)의 애노드 전극 전압, 즉 제 2 노드( $n_2$ )의 전압은 초기화 기간( $t_1$ ) 동안 턴-온된 제 4 스위칭 트랜지스터(ST4)에 의해 제 3 구동 전압( $V_3$ )으로 유지되기 때문이다.

[0097] 다음으로, 도 7 및 도 8b에 도시된 바와 같이, 상기 현재 수평 기간의 샘플링 기간( $t_2$ )에서는, 제 1 스위칭 제어 라인(SLi\_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 로우 전압(VGL)을 유지하고, 제 2 스위칭 제어 라인(SLi\_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 로우 전압(L 또는 VGL)을 유지하고, 제 3 스위칭 제어 라인(SLi\_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 로우 전압(L 또는 VGL)을 유지하고, 제 4 스위칭 제어 라인(SLi\_4)에 공급되는 제 4 스위칭 제어 신호(SCS4)가 로우 전압(L 또는 VGL)을 소정 시간 유지하다가 소정 시간 이후에 하이 전압(H 또는 VGH)으로 변화되며, 현재 데이터 전압( $V_{data}$ )이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 샘플링 기간( $t_2$ )에서 상기 스위칭부(112)는 제 1 및 제 2 스위칭 트랜지스터(ST1, ST2) 각각의 턴-온 상태를 유지시킴과 아울러 제 3 스위칭 트랜지스터(ST3)의 턴-오프 상태를 유지시키고, 턴-온 상태를 유지하는 제 4 스위칭 트랜지스터(ST4)를 소정 시간 이후에 턴-오프시킴으로써 초기화 기간( $t_1$ ) 동안 초기화된 커패시터(C1)에 데이터 전압( $V_{data}$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ ) 및 제 1 구동 전압( $V_1$ )에 의해 결정되는 샘플링 전압을 저장한다.

[0098] 구체적으로, 상기 현재 수평 기간의 샘플링 기간( $t_2$ ) 동안, 커패시터(C1)의 제 1 단자는 턴-온 상태를 유지하는 제 1 스위칭 트랜지스터(ST1)를 통해 데이터 라인(DLi)에는 접속되고, 커패시터(C1)의 제 2 단자는 턴-온 상태를 유지하는 제 2 및 제 4 스위칭 트랜지스터(ST2, ST4)를 통해 제 3 구동 전원 라인(PL3)에 접속된 이후에 상기 제 4 스위칭 트랜지스터(ST4)의 턴-오프에 의해 제 2 노드( $n_2$ )에 접속된다. 따라서, 상기 현재 수평 기간의 샘플링 기간( $t_1$ ) 동안 상기 커패시터(C1)에는 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )에서 데이터 전압( $V_{data}$ )을 뺀 샘플링 전압( $V_1+V_{th}-V_{data}$ )이 샘플링되어 저장된다. 이때, 상기 합 전압( $V_1+V_{th}$ )과 상기 샘플링 전압( $V_1+V_{th}-V_{data}$ ) 각각에서 구동 트랜지스터의 문턱 전압( $V_{th}$ )는 절대값이 될 수 있다.

[0099] 상기 현재 수평 기간의 샘플링 기간( $t_2$ )에서, 구동 트랜지스터(DT)의 드레인 단자는 제 2 및 제 4 스위칭 트랜지스터(ST2, ST4)가 턴-온된 상태에서 상기 제 4 스위칭 트랜지스터(ST4)만이 턴-오프됨에 따라 턴-온 상태를 유지하는 제 2 스위칭 트랜지스터(ST2)를 통해 제 1 노드( $n_1$ )에 접속됨으로써 상기 구동 트랜지스터(DT)는 제 1 구동 전원 라인(PL1)과 제 1 노드( $n_1$ ) 사이에 다이오드 형태로 접속된다. 이에 따라, 상기 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )은 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )으로 변화되고, 커패시터(C1)의 제 1 단자는 데이터 전압( $V_{data}$ )으로 변화됨으로써 상기 커패시터(C1)에는 제 1 구동 전압( $V_1$ )과 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ )의 합 전압( $V_1+V_{th}$ )에서 데이터 전압( $V_{data}$ )을 뺀 샘플링 전압( $V_1+V_{th}-V_{data}$ )이 샘플링되어 저장된다. 따라서, 상기 현재 수평 기간의 샘플링 기간( $t_2$ ) 동안, 커패시터(C1)는 구동 트랜지스터(DT)의 문턱 전압( $V_{th}$ ) 편차와 제 1 구동 전압( $V_1$ )의 전압 강하를 동시에 보상하기 위한 전압을 샘플링한다.

[0100] 한편, 상기 현재 수평 기간의 샘플링 기간( $t_2$ )이 처음 시작되는 시점에서는 데이터 라인(DLi)의 전압 변동에 의해 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )이 크게 변동될 수 있는데, 이러한 제 1 노드( $n_1$ )의 전압( $V_{n1}$ )의 변동은 제 1 노드( $n_1$ )에 접속된 보조 커패시터(C2)에 억제되어 최소화된다.

[0101] 다른 한편, 상기 현재 수평 기간의 샘플링 기간( $t_2$ )에서, 상기 제 4 스위칭 트랜지스터(ST4)는 커패시터(C)의 제 1 단자에 데이터 전압( $V_{data}$ )이 공급된 이후에 턴-오프되는 것이 바람직하다. 즉, 상기 제 4 스위칭 트랜지스터(ST4)가 커패시터(C)의 제 1 단자에 데이터 전압( $V_{data}$ )이 공급되기 전에 턴-오프될 경우, 커패시터(C)의

제 1 단자에 공급되는 데이터 전압(Vdata)에 의해 상기 제 1 노드(n1)의 전압(Vn1)이 크게 변동될 수 있고, 이로 인해 상기 샘플링 기간(t2) 동안 상기 제 1 노드(n1)의 전압(Vn1)이 제 1 구동 전압(V1)과 구동 트랜지스터(DT)의 문턱 전압(Vth)의 합 전압(V1+Vth)보다 크게 변동될 수 있다. 따라서, 상기 현재 수평 기간의 샘플링 기간(t2)에서, 데이터 전압(Vdata)의 공급에 따른 상기 제 1 노드(n1) 큰 전압 변동을 방지하기 위해, 데이터 전압(Vdata)은 상기 제 4 스위칭 트랜지스터(ST4)가 턴-오프되기 전에 공급되는 것이 바람직하다.

[0102] 다음으로, 도 7 및 도 8c에 도시된 바와 같이, 상기 현재 수평 기간 이후의 첫 번째 수평 기간인 상기 유지 기간(t3)에서는, 게이트 하이 전압(VGH)의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 하이 전압(H 또는 VGH)의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 하이 전압(H 또는 VGH)의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되고, 하이 전압(H 또는 VGH)의 제 4 스위칭 제어 신호(SCS4)가 제 4 스위칭 제어 라인(SLi\_4)에 공급되며, 데이터 라인(DLi)에는 기준 전압(Vref)과 다른 수평 라인의 데이터 전압(Vdata')이 순차적으로 공급된다. 이에 따라, 상기 유지 기간(t3)에서 상기 스위칭부(112)는 제 1 내지 제 4 스위칭 트랜지스터(ST1, ST2, ST3, ST4) 각각을 모두 턴-오프시킴으로써 상기 샘플링 기간(t2) 동안 커패시터(C1)에 저장된 상기 샘플링 전압(V1+Vth-Vdata)을 1 수평 기간 동안 유지시킨다. 이러한 유지 기간(t3)은 생략될 수 있지만, 상기 제 1 내지 제 3 스위칭 제어 신호(SCS1, SCS2, SCS3) 각각의 상태 변화에 따른 파형(또는 펄스) 안정화를 위해 추가되는 것이 바람직하다

[0103] 다음으로, 도 7 및 도 8d에 도시된 바와 같이, 상기 현재 수평 기간 이후의 두 번째 수평 기간의 일부 기간인 상기 발광 기간(t4)의 제 1 발광 기간(t4-1)에서는, 게이트 로우 전압(VGL)의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 하이 전압(H 또는 VGH)의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 로우 전압(L 또는 VGL)의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되고, 하이 전압(H 또는 VGH)의 제 4 스위칭 제어 신호(SCS4)가 제 4 스위칭 제어 라인(SLi\_4)에 공급되며, 기준 전압(Vref)이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 제 1 발광 기간(t4-1)에서 스위칭부(112)는 제 1 내지 제 4 스위칭 트랜지스터(ST1, ST2, ST3, ST4) 중 제 1 및 제 3 스위칭 트랜지스터(ST1, ST3)만을 턴-온시켜 샘플링 전압(V1+Vth-Vdata)이 저장된 커패시터(C1)의 제 1 단자에 기준 전압(Vref)을 공급함으로써 커패시터(C1)의 전압에 따라 구동 트랜지스터(DT1)를 턴-온시켜 발광 소자(OLED)를 발광시킨다.

[0104] 구체적으로, 제 1 발광 기간(t4-1)에서는, 제 1 및 제 3 스위칭 트랜지스터(ST1, ST3) 각각이 턴-온됨과 동시에 상기 제 2 및 제 4 스위칭 트랜지스터(ST2, ST4)가 턴-오프됨으로써 데이터 라인(DLi)에 공급되는 기준 전압(Vref)이 샘플링 전압(V1+Vth-Vdata)이 저장된 커패시터(C1)의 제 1 단자에 공급된다. 이에 따라, 상기 제 1 노드(n1)의 전압(Vn1)은 상기 커패시터(C1)의 제 1 단자에 공급되는 기준 전압(Vref)에 따라 상기 샘플링 기간(t3)에 저장된 샘플링 전압(V1+Vth-Vdata)과 상기 기준 전압(Vref)의 합 전압(V1+Vth-Vdata+Vref)이 된다. 따라서, 제 1 발광 기간(t4-1)에서, 상기 구동 트랜지스터(DT)는 제 2 스위칭 트랜지스터(ST2)의 턴-오프에 따른 게이트 전압과 소스 전압, 즉 상기 제 1 노드(n1)의 전압(Vn1)과 제 1 구동 전압(V1)에 의해 턴-온됨으로써, 상기 수학적 식 1과 같이, 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류(Ioled)를 상기 턴-온된 제 3 스위칭 트랜지스터(ST3)를 통해 발광 소자(OLED)에 공급하여 발광 소자(OLED)를 발광시킨다.

[0105] 상기 수학적 식 1에서 알 수 있듯이, 본 발명의 제 2 실시 예에 따른 화소 회로(110)는 구동 트랜지스터(DT)의 문턱 전압(Vth) 및 제 1 구동 전압(V1)이 제거됨으로써 제 1 발광 기간(t4-1) 동안 발광 소자(OLED)에 흐르는 데이터 전류(Ioled)는 구동 트랜지스터(DT)의 문턱 전압(Vth) 및 제 1 구동 전압(V1) 등에 영향을 받지 않고, 단지 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정된다.

[0106] 다음으로, 도 7 및 도 8e에 도시된 바와 같이, 상기 현재 수평 기간 이후의 두 번째 수평 기간의 나머지 기간인 상기 발광 기간(t4)의 제 2 발광 기간(t4-2)에서는, 게이트 하이 전압(VGH)의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi\_1)에 공급되고, 하이 전압(H 또는 VGH)의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi\_2)에 공급되고, 로우 전압(L 또는 VGL)의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi\_3)에 공급되고, 하이 전압(H 또는 VGH)의 제 4 스위칭 제어 신호(SCS4)가 제 4 스위칭 제어 라인(SLi\_4)에 공급되며, 다음 수평 기간의 데이터 전압(Vdata')이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 제 2 발광 기간(t4-2)에서 상기 스위칭부(112)는 제 1, 제 2, 및 제 4 스위칭 트랜지스터(ST1, ST2, ST4)를 턴-오프시킴과 동시에 제 3 스위칭 트랜지스터(ST3)를 턴-온시켜 커패시터(C1)의 제 1 단자를 플로팅(Floating)시킴으로써 커패시터(C1)의 전압을 이용해 발광 소자(OLED)를 발광시킨다.

[0107] 구체적으로, 제 2 발광 기간(t4-2)에서는, 상기 제 1 스위칭 트랜지스터(ST1)의 턴-오프에 의해 커패시터(C1)의

제 1 단자가 플로팅(Floating)됨으로써 데이터 라인(DLi)에 공급되는 데이터 전압(Vdata')이 상기 커패시터(C1)의 제 1 단자에 공급되지 않는다. 이때, 커패시터(C1)의 제 1 단자가 플로팅됨에 따라 제 1 노드(n1)의 전압(Vn1)이 크게 변동될 수 있는데, 이러한 제 1 노드(n1)의 전압(Vn1) 변동은 전술한 바와 같이 보조 커패시터(C2)에 의해 억제 내지 최소화된다. 이에 따라, 제 2 발광 기간(t4-2)에서, 구동 트랜지스터(DT2)는 제 1 노드(n1)의 변동 전압(Vn1)과 제 1 구동 전압(V1)에 의해 턴-온되어 제 1 발광 기간(t4-1)보다 일정 비율로 감소된 데이터 전류를 상기 턴-온된 제 3 스위칭 트랜지스터(ST3)를 통해 발광 소자(OLED)에 공급함으로써 발광 소자(OLED)를 발광시킨다. 이때, 발광 소자(OLED)의 휘도는 제 1 발광 기간(t4-1)보다 일정 비율로 감소하지만, 상기 제 2 발광 기간(t4-2)이 매우 짧기 때문에 상기 제 1 및 제 2 발광 기간(t4-1, t4-2)의 휘도 변화는 시청자의 눈에 인식되지 않는다.

[0108] 한편, 제 2 발광 기간(t4-2) 이후, 스위칭부(112)는 다음 프레임의 초기화 기간(t1) 이전까지 상기 데이터 라인(DLi)에 교번적으로 공급되는 기준 전압(Vref)과 다음 수행 기간의 데이터 전압(Vdata')들에 대응되도록 전술한 상기 제 1 및 제 2 발광 기간(t4-1, t4-2)을 교번적으로 수행함으로써 상기 발광 소자(OLED)를 현재 프레임의 남은 기간 동안 발광시킨다.

[0109] 이와 같은, 본 발명의 제 2 실시 예에 따른 화소 회로(110) 및 그 구동 방법은 전술한 본 발명의 제 2 실시 예와 동일한 효과를 제공하면서도 초기화 기간(t1) 동안 제 3 구동 전압(V3)을 이용해 상기 제 1 노드(n1)의 초기화를 안정적으로 수행할 수 있다.

[0110] 한편, 전술한 본 발명의 제 2 실시 예에 따른 화소 회로(110)의 스위칭부(112)에서, 상기 제 2 스위칭 트랜지스터(ST4)의 제 2 전극은 제 3 구동 전원 라인(PL3)에 접속되는 것으로 설명하였으나, 이에 한정되지 않고, 상기 제 2 구동 전원 라인(PL2)에 접속될 수도 있으며, 이 경우에도 전술한 바와 같은 초기화 기간 동안 제 1 노드(n1)의 초기화를 안정적으로 수행할 수 있다.

[0111] 다른 한편, 상기 제 2 스위칭 트랜지스터(ST4)의 제 1 전극은 제 2 노드(n2)에 접속되는 것으로 설명하였으나, 이에 한정되지 않고, 상기 제 1 노드(n1)에 접속될 수도 있으며, 이 경우에도 전술한 바와 같은 초기화 기간 동안 제 1 노드(n1)의 초기화를 안정적으로 수행할 수 있다. 이때, 상기 제 2 스위칭 트랜지스터(ST4)의 제 2 전극은 전술한 제 2 구동 전원 라인(PL2) 또는 제 3 구동 전원 라인(PL3)에 접속될 수 있다.

[0112] 도 9는 본 발명의 제 2 실시 예에 따른 화소 회로 및 그 구동 방법에 있어서, 데이터 전압에 따른 구동 트랜지스터의 문턱 전압별 발광 소자에 흐르는 전류의 변화를 설명하기 위한 도면이다.

[0113] 도 9에서 알 수 있듯이, 발광 소자(OLED)에 흐르는 전류(Ioled)의 크기는 데이터 전압(Vdata)에 비례하지만, 동일한 데이터 전압(Vdata)에서는 구동 트랜지스터의 문턱 전압(Vth) 편차( $\Delta V_{th}$ )에 관계없이 일정하게 유지되는 것을 알 수 있다.

[0114] 이상과 같은, 본 발명의 제 1 및 제 2 실시 예들에 따른 화소 회로(110)에 대한 설명에서는 전술한 상기 구동 트랜지스터와 스위칭 트랜지스터들이 모두 P 타입의 전도도를 가지는 PMOS 박막 트랜지스터로 이루어지는 것으로 설명하였으나, 이에 한정되지 않고, 상기 구동 트랜지스터와 스위칭 트랜지스터들이 모두 N 타입의 전도도를 가지는 NMOS 박막 트랜지스터로 이루어질 수 있다. 이 경우, 상기 NMOS 박막 트랜지스터는 산화물 반도체를 포함하여 구성될 수 있다.

[0115] 도 10은 본 발명의 실시 예에 따른 발광 표시 장치를 개략적으로 나타내는 도면이다.

[0116] 도 10을 참조하면, 본 발명의 실시 예에 따른 발광 표시 장치는 디스플레이 패널(100), 타이밍 제어부(200), 주사 구동부(300), 데이터 구동부(400), 및 전원 공급부(500)를 포함하여 구성된다.

[0117] 디스플레이 패널(100)은 복수의 데이터 라인(DL1 내지 DLn)과 제 1 내지 제 3 스위칭 제어 라인(SLi\_1, SLi\_2, SLi\_3; i는 1 내지 n 사이의 자연수)으로 이루어진 복수의 주사 라인군(SL1 내지 SLn)과 복수의 제 1 및 제 2 구동 전원 라인(PL1, PL2)에 의해 정의되는 화소 영역마다 형성된 복수의 화소(P)를 포함하여 구성된다.

- [0118] 상기 복수의 화소(P) 각각은, 도 2를 참조하여 전술한, 본 발명의 제 1 실시 예에 따른 화소 회로(110)를 포함하여 구성되고, 각 주사 라인군(SL1 내지 SLn)에 접속된 각 수평 라인의 화소(P) 각각은, 도 3 및 도 4a 내지 도 4e를 참조하여 전술한, 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법에 따라 구동되어 소정의 영상을 표시한다. 이에 따라, 상기 각 화소(P)와 이의 구동 방법에 대한 구체적인 설명은 도 2, 도 3 및 도 4a 내지 도 4e에 대한 설명으로 대신하기로 한다.
- [0119] 타이밍 제어부(200)는 외부의 시스템 본체(미도시) 또는 그래픽 카드(미도시)로부터 입력되는 적색, 녹색, 및 청색의 입력 데이터(RGB)를 디스플레이 패널(100)의 구동에 알맞도록 정렬하고, 정렬된 데이터(R/G/B)를 데이터 구동부(400)에 공급한다.
- [0120] 또한, 타이밍 제어부(200)는 외부의 시스템 본체 또는 그래픽 카드로부터 입력되는 타이밍 동기 신호(TSS)에 따라 주사 구동부(300)와 데이터 구동부(400) 각각의 구동 타이밍을 제어한다. 즉, 타이밍 제어부(200)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블(DE), 클럭(DCLK) 등의 타이밍 동기신호(TSS)를 기초해 주사 타이밍 제어 신호(STCS)와 데이터 타이밍 제어 신호(DTCS)를 생성하여 주사 구동부(300)와 데이터 구동부(400) 각각의 구동 타이밍을 제어한다.
- [0121] 주사 구동부(300)는 타이밍 제어부(200)로부터 제공되는 주사 타이밍 신호(STCS)에 따라 1 수평 기간 단위로 쉬프트되는 전술한 제 1 내지 제 3 스위칭 제어 신호(도 3 참조)를 생성하여 복수의 주사 라인군(SL1 내지 SLn)에 순차적으로 공급한다. 이때, 제 1 스위칭 제어 신호(SCS1)는 복수의 주사 라인군(SL1 내지 SLn) 각각의 제 1 스위칭 제어 라인(SL1\_1 내지 SLn\_1)에 공급되고, 제 2 스위칭 제어 신호(SCS2)는 복수의 주사 라인군(SL1 내지 SLn) 각각의 제 2 스위칭 제어 라인(SL1\_2 내지 SLn\_2)에 공급되며, 제 3 스위칭 제어 신호(SCS3)는 복수의 주사 라인군(SL1 내지 SLn) 각각의 제 3 스위칭 제어 라인(SL1\_3 내지 SLn\_3)에 공급된다.
- [0122] 상기 주사 구동부(300)는 전술한 디스플레이 패널(100)의 박막 트랜지스터 공정과 함께 형성되는 GIP(Gate In Panel) 방식에 따라 디스플레이 패널(100)의 일측 또는/및 타측 비표시 영역에 형성되거나, 칩 형태로 형성되어 COG(Chip On Glass) 방식으로 상기 비표시 영역에 실장될 수 있다.
- [0123] 데이터 구동부(400)는 타이밍 제어부(200)로부터 제공되는 데이터 타이밍 제어 신호(DTCS)에 따라 상기 제 1 스위칭 제어 신호에 중첩되는 각 수평 기간 동안 소정의 기준 전압(Vref)과 데이터 전압(Vdata)을 교번적으로 해당 데이터 라인(DL1 내지 DLm)에 공급한다. 즉, 상기 데이터 구동부(400)는, 상기 데이터 타이밍 제어 신호(DTCS)에 따라 각 수평 기간의 일부 기간(전반 기간) 동안, 소정의 기준 전압(Vref)을 생성하여 해당 데이터 라인(DL1 내지 DLm)에 공급한다. 그리고, 상기 데이터 구동부(400)는, 상기 데이터 타이밍 제어 신호(DTCS)에 응답하여 타이밍 제어부(200)로부터 공급되는 정렬 데이터(R/G/B)를 순차적으로 래치하고, 각기 다른 복수의 감마 전압 중에서 래치된 정렬 데이터(R/G/B)에 대응되는 감마 전압을 데이터 전압(Vdata)으로 선택하고, 선택된 데이터 전압(Vdata)을 상기 각 수평 기간의 나머지 기간(후반 기간) 동안 해당 데이터 라인(DL1 내지 DLm)에 공급한다. 이를 위해, 데이터 구동부(400)는 각 수평 기간 동안 소정의 기준 전압(Vref)과 데이터 전압(Vdata)을 교번적으로 출력하기 위한 복수의 출력 전압 선택기(미도시)를 포함하여 구성되고, 상기 복수의 출력 전압 선택기는 타이밍 제어부(200)로부터 제공되는 데이터 타이밍 제어 신호(DTCS)의 데이터 출력 선택 신호에 따라 각 수평 기간의 절반 단위로 스위칭됨으로써 각 수평 기간의 일부 기간(전반 기간) 동안 상기 기준 전압(Vref)을 출력하고, 각 수평 기간의 나머지 기간(전반 기간) 동안 상기 데이터 전압(Vdata)을 출력한다.
- [0124] 전원 공급부(500)는 외부로부터의 입력 전원(Vin)을 이용하여 전술한 화소 회로의 구동에 필요한 각기 다른 제 1 및 제 2 구동 전압(V1, V2)을 생성하여 각 화소 회로의 스위칭부에 공급한다. 이때, 상기 전원 공급부(500)는 상기 제 1 구동 전압(V1)을 각 화소 회로의 스위칭부에 마련된 제 1 구동 전원 라인(PL1)에 공통적으로 공급하거나 개별적으로 공급할 수 있다. 또한, 상기 전원 공급부(500)는 상기 제 2 구동 전압(V2)을 각 화소 회로의 스위칭부에 마련된 제 2 구동 전원 라인(PL2)에 공통적으로 공급하거나 개별적으로 공급할 수 있다.
- [0125] 이와 같은, 본 발명의 실시 예에 따른 발광 표시 장치는 전술한 본 발명의 제 1 실시 예에 따른 화소 회로를 포함하여 구성되고, 전술한 화소 회로의 구동 방법을 통해 디스플레이 패널(100)의 영상을 표시함으로써 상기 화소 회로에 의한 효과를 제공할 수 있다.
- [0126] 한편, 전술한 본 발명의 실시 예에 따른 발광 표시 장치는 상기 제 1 및 제 2 구동 전원 라인(PL1, PL2) 중 적어도 한 라인에 접속되어 각 화소 회로의 구동 트랜지스터의 문턱 전압 정보 및/또는 발광 소자의 열화 정보를 외부에서 검출하기 위한 검출부(미도시)를 더 포함하여 구성될 수 있다.

[0127] 다른 한편, 전술한 본 발명의 실시 예에 따른 발광 표시 장치에서, 디스플레이 패널(100)의 각 화소(P)는, 도 6을 참조하여 전술한, 본 발명의 제 2 실시 예에 따른 화소 회로(110)를 포함하여 구성되고, 각 주사 라인군(SL1 내지 SLn)에 접속된 각 수평 라인의 화소(P) 각각은, 도 7 및 도 8a 내지 도 8e를 참조하여 전술한, 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법에 따라 구동되어 소정의 영상을 표시한다. 이에 따라, 상기 각 화소(P)와 이의 구동 방법에 대한 구체적인 설명은 도 6, 도 7 및 도 8a 내지 도 8e에 대한 설명으로 대신하기로 한다. 이 경우, 디스플레이 패널(100)의 각 화소(P)는 복수의 데이터 라인(DL1 내지 DLm), 제 1 내지 제 4 스위칭 제어 라인(SLi\_1, SLi\_2, SLi\_3, SLi\_4)으로 이루어진 복수의 주사 라인군(SL1 내지 SLn), 및 복수의 제 1 내지 제 3 구동 전원 라인(PL1, PL2, PL3)에 의해 정의되는 화소 영역마다 형성될 수 있다. 그리고, 상기 전원 공급부(500)는 제 3 구동 전압(V3)을 더 생성하여 상기 제 3 구동 전원 라인(PL3)에 공통적으로 공급하거나 개별적으로 공급할 수 있다.

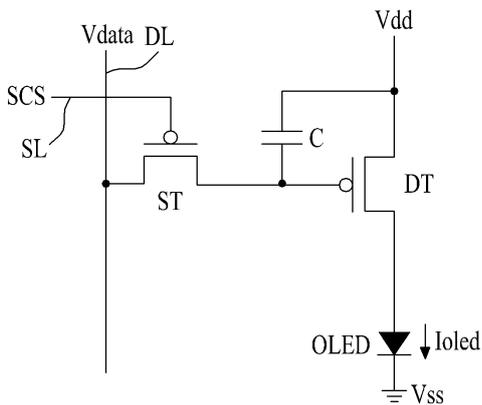
[0128] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

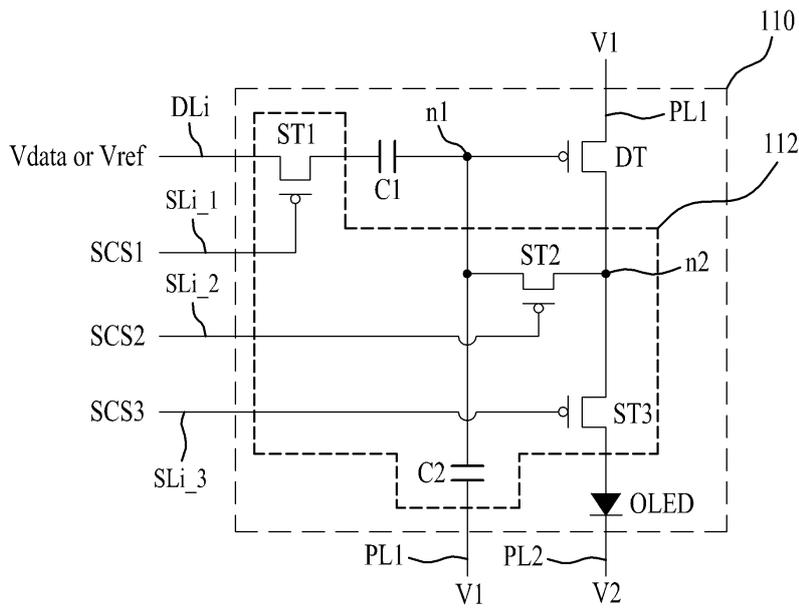
- |        |               |              |
|--------|---------------|--------------|
| [0129] | 100: 디스플레이 패널 | 110: 화소 회로   |
|        | 112: 스위칭부     | 200: 타이밍 제어부 |
|        | 300: 주사 구동부   | 400: 데이터 구동부 |
|        | 500: 전원 공급부   |              |

**도면**

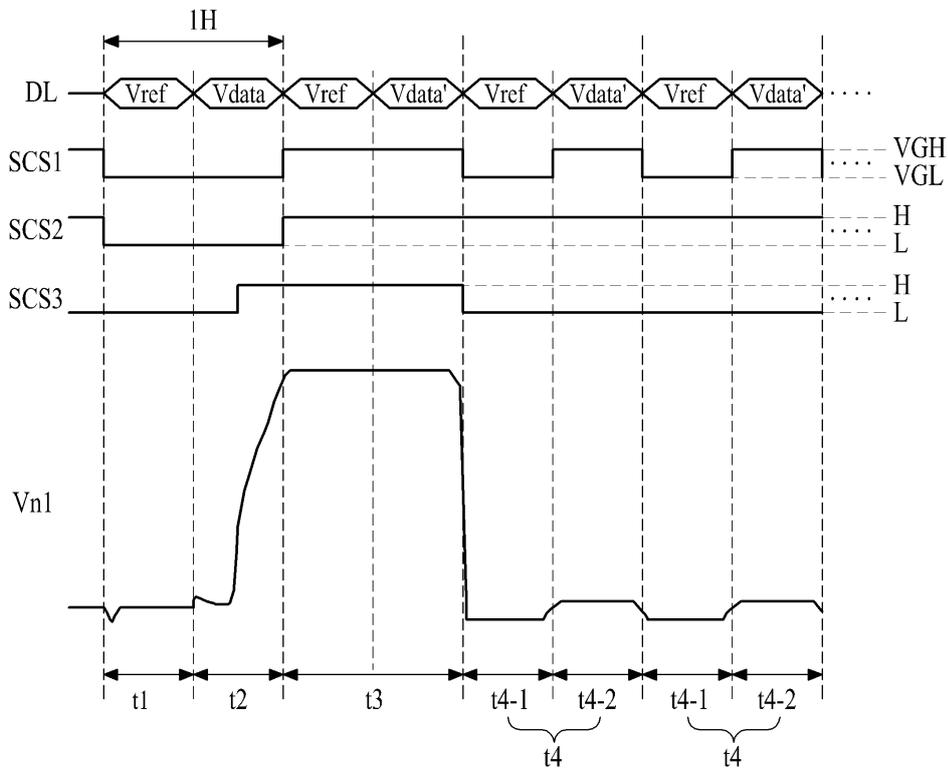
**도면1**



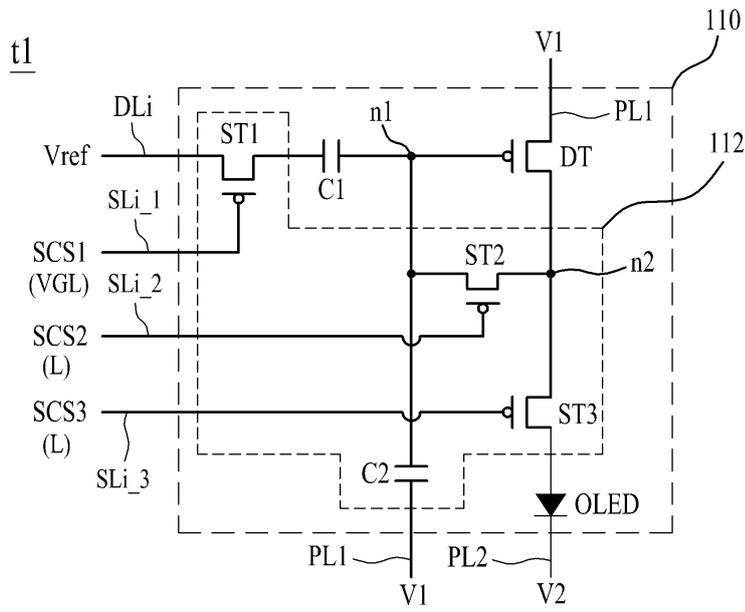
도면2



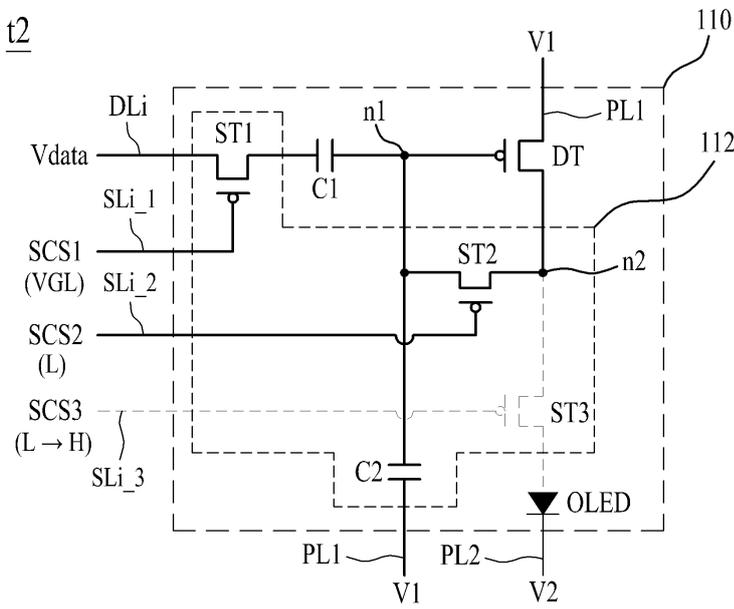
도면3



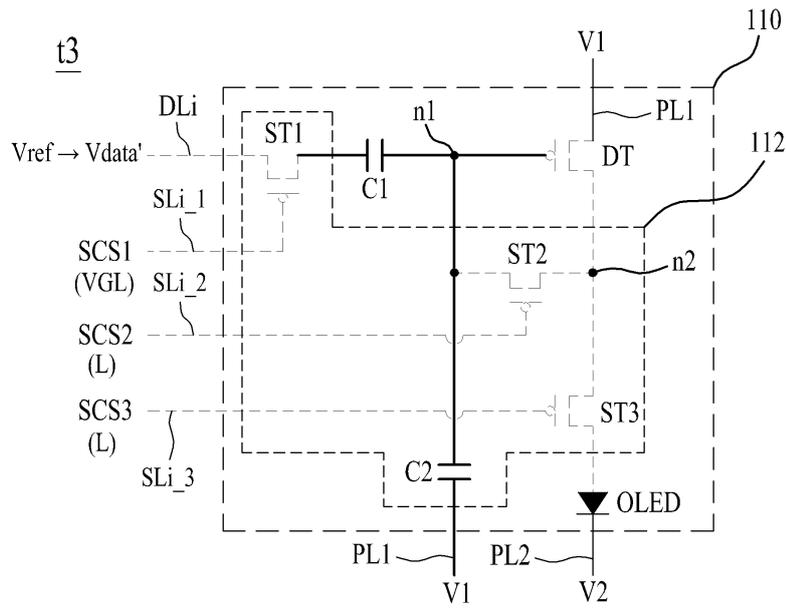
도면4a



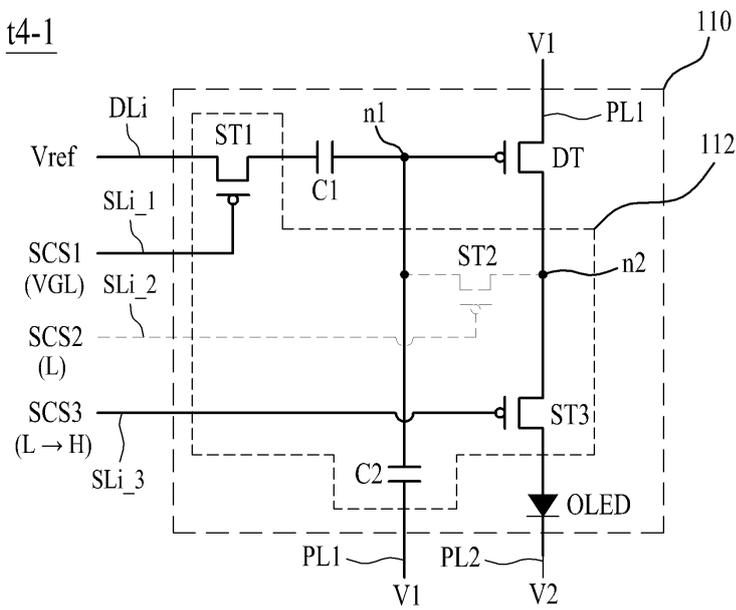
도면4b



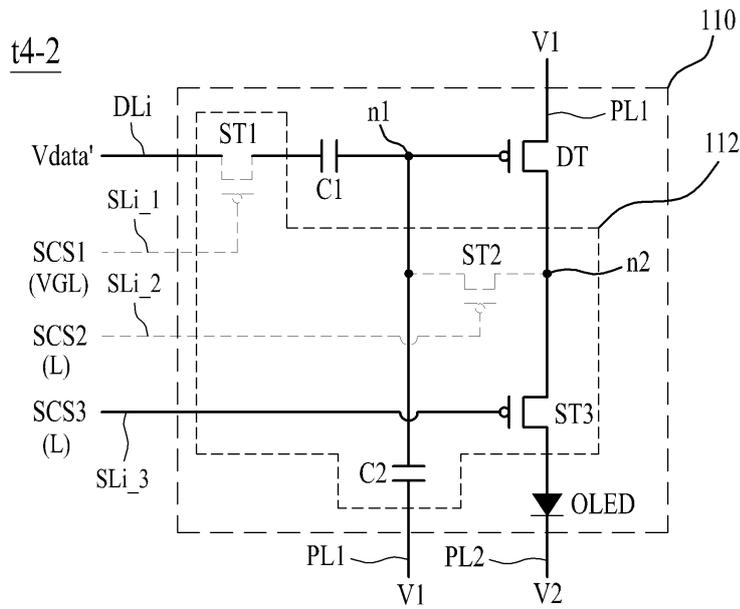
도면4c



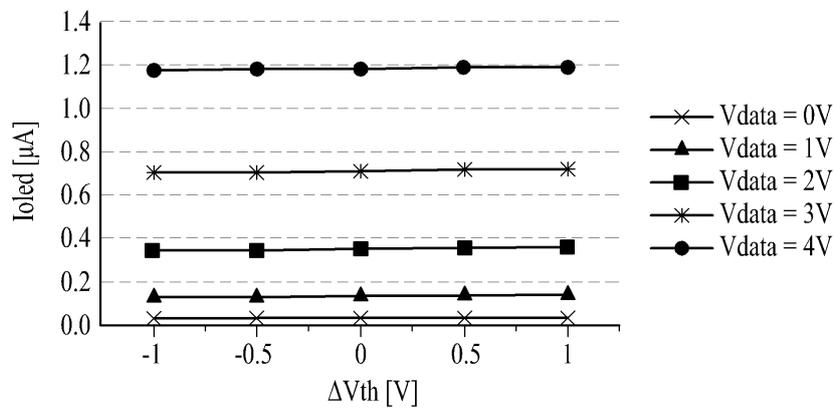
도면4d



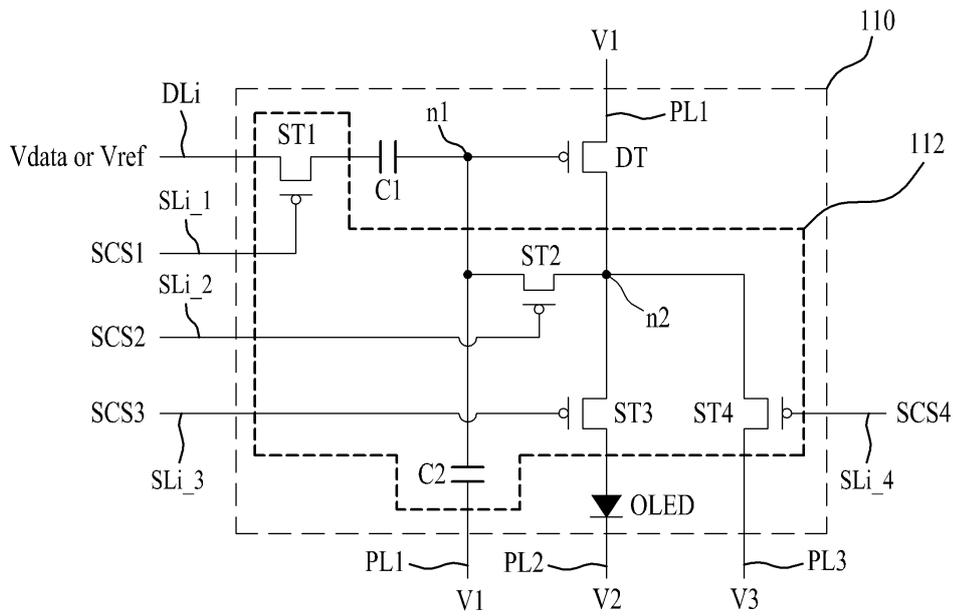
도면4e



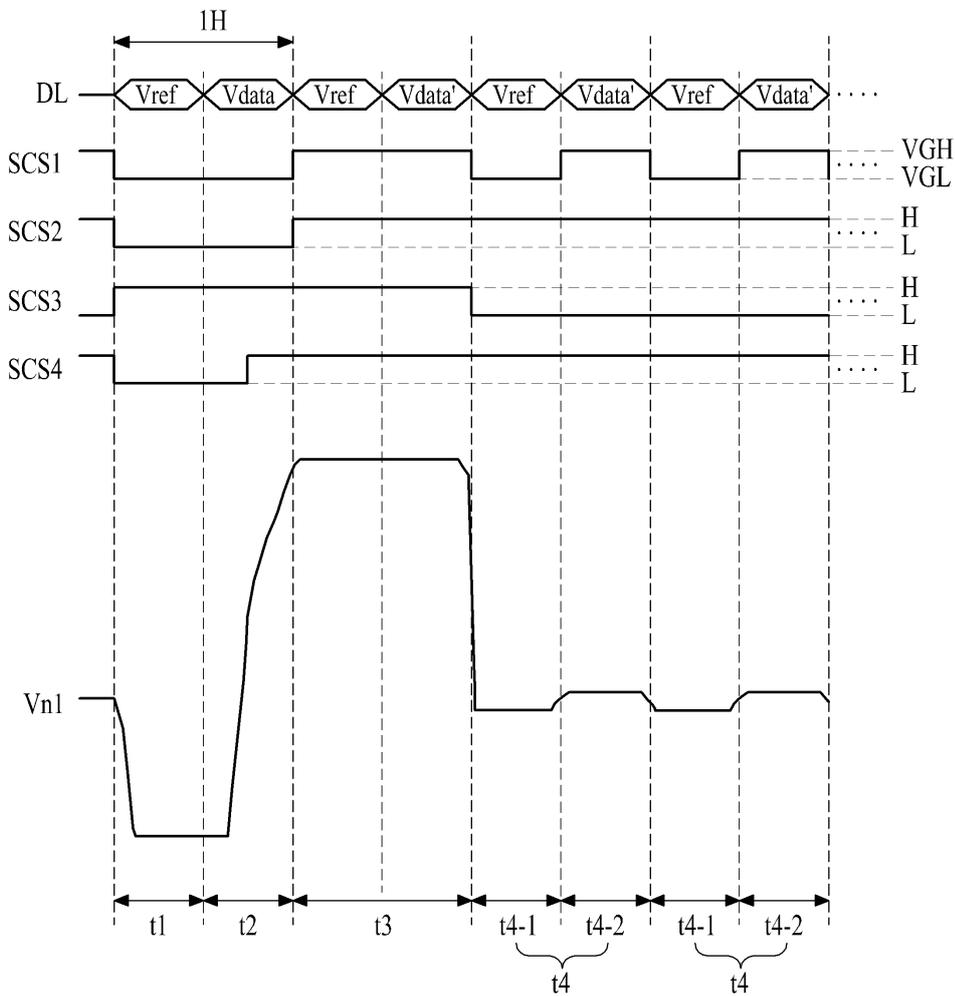
도면5



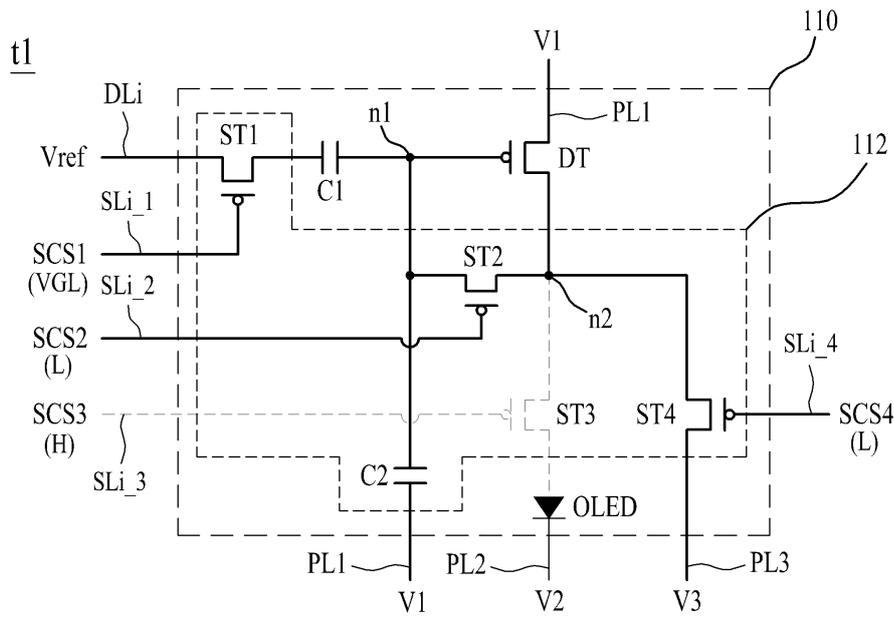
도면6



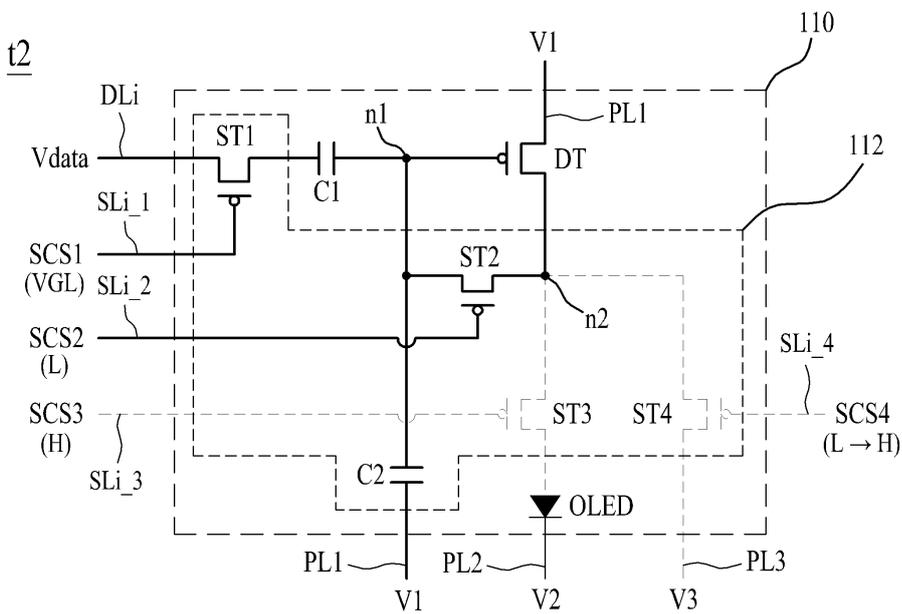
도면7



도면8a

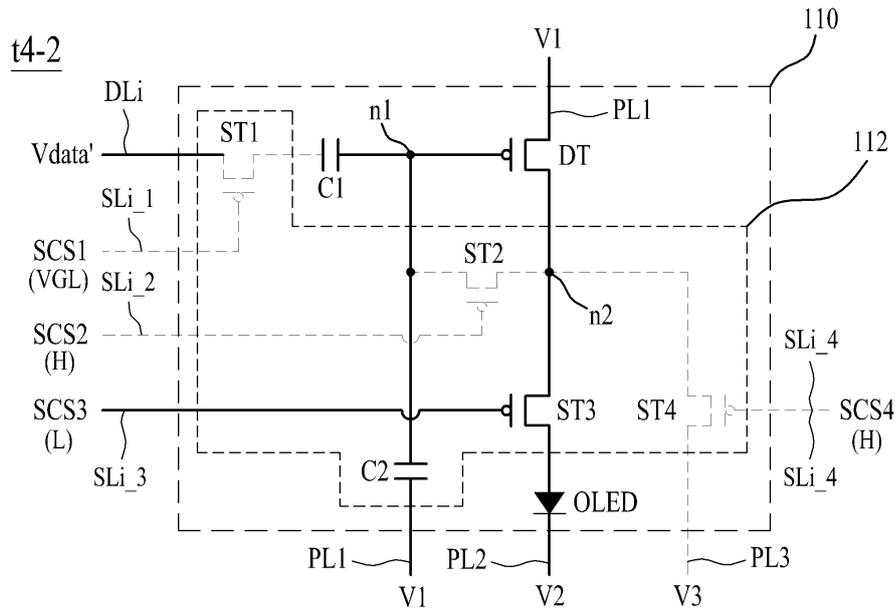


도면8b

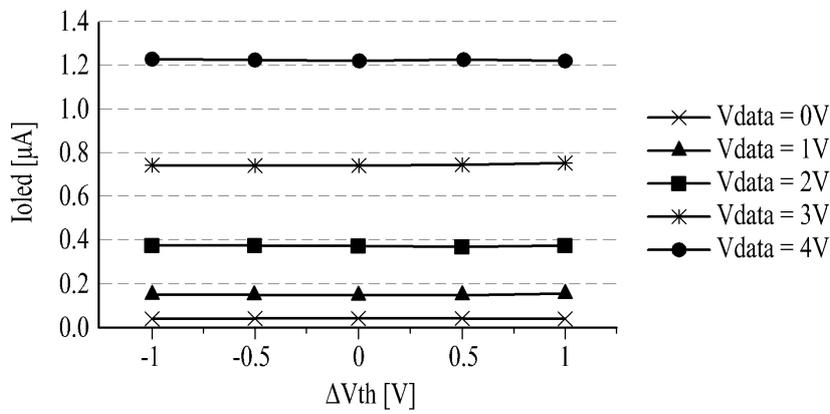




도면8e



도면9



도면10

