

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

G11C 11/401 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510131052.3

[45] 授权公告日 2008年7月30日

[11] 授权公告号 CN 100407410C

[22] 申请日 2005.12.7

[21] 申请号 200510131052.3

[30] 优先权

[32] 2004.12.7 [33] US [31] 11/004881

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 T·施勒泽尔

[56] 参考文献

US6545904B2 2003.4.8

审查员 赵百令

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚 李丙林

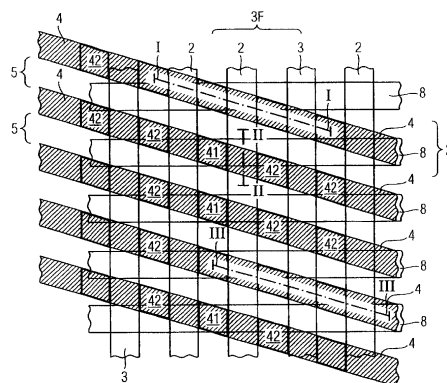
权利要求书 3 页 说明书 14 页 附图 5 页

[54] 发明名称

存储单元阵列

[57] 摘要

一种存储单元阵列，包含存储单元、沿第一方向进行的位线、沿垂直于第一方向的第二方向行进的字线、以及连续的有源区线，其中，晶体管至少部分地形成在有源区线内。这些晶体管经由位线接触将相应的存储单元耦合到相应的位线，且通过字线寻址这些晶体管。位线接触形成在通常由位线与相应有源区线的交叉所限定的区域内。与一个有源区线连接的相邻位线解除连接到相邻的位线。结果，一个有源区线被多个位线跨越。



1. 一种存储单元阵列，包含：

存储单元，每个存储单元包含储存元件和存取晶体管；

沿第一方向行进的位线；

沿基本上垂直于第一方向的第二方向行进的字线；以及

半导体衬底，形成在所述半导体衬底中的连续的有源区线和隔离沟槽，隔离沟槽与有源区线相邻，且隔离沟槽用来将相邻的有源区线彼此电隔离，存取晶体管至少部分地形成在有源区线中，并经由位线接触将相应的储存元件电耦合到相应的位线，通过字线寻址所述晶体管；

其中，位线接触形成在通常由位线与相应有源区线的交叉所限定的区域内；且

其中，每一个均连接到有源区线的相邻位线接触与相邻的位线连接。

2. 根据权利要求1的存储单元阵列，其中，有源区线形成为直线。

3. 根据权利要求1的存储单元阵列，其中，每个储存元件都包含储存电容器。

4. 根据权利要求3的存储单元阵列，其中，储存电容器是层叠电容器。

5. 根据权利要求1的存储单元阵列，其中，有源区线与位线之间的角度为 10° - 60° 。

6. 根据权利要求5的存储单元阵列,其中,有源区线与位线之间的角度为 10° - 25° 。
7. 根据权利要求6的存储单元阵列,其中,有源区线与位线之间的角度为 18° - 19° 。
8. 根据权利要求1的存储单元阵列,其中,一个位线接触与形成在一个有源区线中的二个相邻的晶体管相关联。
9. 根据权利要求1的存储单元阵列,还包含用来将相邻晶体管彼此隔离的隔离栅线,些隔离栅线平行于字线布置。
10. 根据权利要求9的存储单元阵列,其中,二个字线之后是一个隔离栅线,且一个隔离栅线之后是二个字线。
11. 一种存储单元阵列,包含:

存储单元,每个存储单元包含储存元件和存取晶体管;

沿第一方向行进的位线,所述位线形成为直的位线;以及

半导体衬底,形成在该半导体衬底中的连续的有源区线和隔离沟槽,这些隔离沟槽与有源区线相邻,并且这些隔离沟槽用来将相邻的有源区线彼此电隔离,存取晶体管至少部分地形成在有源区线中并经由位线接触将相应的储存元件电耦合到相应的位线,通过字线寻址这些存取晶体管;

其中,位线接触形成在通常由位线与相应有源区线的交叉所限定的区域内;且

其中,每一个均与有源区线连接的相邻的位线接触,与相邻的位线连接。

12. 根据权利要求 11 的存储单元阵列，还包含沿与第一方向交叉的第二方向行进的多个字线，通过这些字线寻址存取晶体管。
13. 根据权利要求 11 的存储单元阵列，其中，每个储存元件包括储存电容器。
14. 根据权利要求 13 的存储单元阵列，其中，储存电容器是层叠电容器。
15. 根据权利要求 11 的存储单元阵列，其中，有源区线与位线之间的角度为 10° - 60° 。
16. 根据权利要求 15 的存储单元阵列，其中，有源区线与位线之间的角度为 10° - 25° 。
17. 根据权利要求 16 的存储单元阵列，其中，有源区线与位线之间的角度为 18° - 19° 。
18. 根据权利要求 11 的存储单元阵列，其中，一个位线接触与形成在一个有源区线中的二个相邻的晶体管相关联。
19. 根据权利要求 12 的存储单元阵列，还包含用来将相邻晶体管彼此隔离的隔离栅线，这些隔离栅线平行于字线布置。
20. 根据权利要求 19 的存储单元阵列，其中，二个字线之后是一个隔离栅线，且一个隔离栅线之后是二个字线。
21. 根据权利要求 11 的存储单元阵列，其中，有源区线形成为直线。

存储单元阵列

技术领域

本发明涉及到存储单元阵列，它包含多个诸如 DRAM（动态随机存取）存储单元的存储单元。

背景技术

动态随机存取存储器（DRAM）通常包含用来储存代表被储存信息的电荷的储存电容器以及连接到储存电容器的存取晶体管。存取晶体管包含第一和第二源/漏区、连接第一和第二源/漏区的沟道、以及控制第一与第二源/漏区之间流动的电流的栅电极。此晶体管通常至少部分地形成在半导体衬底中。其中形成晶体管的部分通常被表示为有源区。栅电极形成字线的一部分，且栅电极通过栅电介质与沟道电隔离。通过经由相应的字线对存取晶体管进行寻址，来读取储存在储存电容器中的信息。确切地说，经由位线接触将信息读出到相应的位线。

在目前使用的 DRAM 存储单元中，可以以沟槽（trench）电容器的形式来实现储存电容器，其中，二个电容器电极被安置在沿垂直于衬底表面的方向延伸到衬底中的沟槽内。根据 DRAM 存储单元的另一实现方法，电荷储存在形成于衬底表面上的层叠电容器中。

通常，封装密度较高的 DRAM 存储单元阵列是理想的。例如，其整个公开在此处被列为参考的美国专利 No.6419948 公开了一种

存储单元阵列，其中，有源区形成为连续的线。有源区线和位线形成为波浪线，以便一个位线与一个相应的有源区线相交于许多点。根据这种布局，存储单元能够具有约为 $6F^2$ 的面积，其中 F 表示根据所用技术的最小间距。

此外，其整个会开在此处被列为参考的美国专利 No.6545904 公开了一种能够被形成来实现 $6F^2$ ($6F \times F$) DRAM 阵列的存储单元，它包括存取晶体管和储存电容器。确切地说，安置了二个相邻的存取晶体管，使之具有一个公共的位线接触。此外，形成在单个有源区线上的相邻存取晶体管通过隔离栅线彼此电隔离。

DE 19928781 C1 公开了一种 $6F^2$ 存储单元，其中，二个相邻的存储单元共用一个公共的位线接触。分配给一个有源区线的二个相邻的成对存储单元通过填充有隔离材料的沟槽彼此分隔开和电隔离。

而且，其整个公开在此处被列为参考的美国专利 No.5502320 公开了一种存储单元阵列，其中，晶体管形成在连续的有源区线中。有源区线与位线平行地排列。借助于将适当的电压施加到排列在二个相邻的成对存储单元之间的隔离栅线，二个相邻的成对存储单元被彼此分隔开和隔离开。字线和隔离栅线分别被实现为埋置的字线和埋置的隔离栅线。

发明内容

根据本发明，封装密度高并能够容易地制造的存储单元阵列包含：多个存储单元，每一个均包含储存元件和存取晶体管；沿第一方向行进的位线；沿第二方向行进的字线，第二方向垂直于第一方向；半导体衬底；形成在所述半导体衬底中的连续的有源区线和隔离沟槽，所述隔离沟槽与有源区线相邻，且隔离沟槽用于将相邻的

有源区线彼此电隔离，存取晶体管至少部分地形成在有源区线中并经由位线接触将相应的储存元件电耦合到相应的位线，通过字线寻址晶体管，位线接触形成在通常由位线与相应有源区线的交点限定的区域内，其中，分别与一个有源区线连接的相邻位线接触与相邻的位线连接。

因此，本发明提供了一种存储单元阵列，其中，存储单元的晶体管形成在连续的有源区线中。换言之，有源区线形成为从存储单元阵列的一个边缘连续地延伸到存储单元阵列的另一边缘。通常，相邻的有源区线被填充有诸如二氧化硅的隔离材料的隔离沟槽彼此分隔开和电隔离。因此，多个晶体管形成在一个连续的有源区线中。这与已知的存储单元阵列形成对照，在已知的存储单元阵列中有源区线被分割成通过隔离材料彼此电隔离的区段且每个区段包含一个或二个晶体管。

由于光刻限定有源区线比光刻限定有源区区段容易得多，故本发明的存储单元阵列比已知的存储单元阵列更优越。

根据本发明，当考虑三维剖面时，位线安置在位于有源区上的平面内。然而，当考虑二维平面图时，每个有源区线以与多个位线相交叉的方式被安置。位线接触形成在位线与相应有源区的交叉处，且有源区线以如下方式布置：与一个有源区线相关的相邻位线接触与相邻位线连接。确切地说，若与第一有源区线相关的第一位线接触连接到第一位线，则第一有源区线的第二位线接触连接到第二位线，第一有源区线的第三位线接触连接到第三位线，等等。

根据本发明，有源区线可以形成为直线。然而，也有可能将有源区线形成为例如相对于位线有不同角度的折线（angled line）。更具体地说，在有源区线的预定部分处有源区线可形成为平行于位线，并可以在有源区线的其它部分处相对于位线具有一定的角度。

或者，在有源区线的第一部分处有源区线可以相对于位线具有第一角度，而在有源区线的第二部分处有源区线可以相对于位线具有第二角度。

尽管如此，特别优选的是将有源区线形成为直线。在此情况下，可以更容易地用光刻限定这些有源区线。

另一方面，若有源区线被实现为折线，则能够增大位线接触的接触面积，从而降低接触电阻。

根据本发明，存储单元可以实现为包含储存电容器和存取晶体管的 DRAM 存储单元。更具体地，储存电容器可以是置于衬底表面上的沟槽电容器或层叠电容器。

由于在此情况下能够非常容易地限定用来连接晶体管与相应储存电容器的接触栓，故本发明对于包含层叠电容器的存储单元非常有利。

尽管如此，本发明同样能够应用于本技术领域熟知的其中储存元件以不同方式实现的不同类型的存储单元，例如 MRAM (“磁性随机存取存储器”)、FeRAM (“铁电随机存取存储器”)、PCRAM (“相变随机存取存储器”)。

根据本发明的一个优选实施方案，有源区线与位线之间的角度为 $10-60^\circ$ 。若有源区线不被实现为直线，则在连接有源区线的起点和终点的直线和位线之间测量此角度。 $10-25^\circ$ 的角度是特别优选的。

根据本发明的另一优选实施方案，一个位线接触与一个有源区线的二个相邻晶体管相关。在此情况下，能够以非常密集的方式实现存储单元阵列。在此情况下，特别优选的是有源区线与位线之间的角度合计为约 18° ，确切地说是 18.43° 。

根据本发明的另一优选实施方案，字线的部分用作隔离栅线，用来将相邻的晶体管彼此隔离。确切地说，特别优选的是每隔两条字线用作这种隔离栅线，使得成对的相邻存储单元彼此隔离。

借助于将适当的电压施加到隔离栅线，防止了电流流过位于隔离栅线下方的有源区线。结果，与隔离栅线相邻的存储单元彼此电隔离。

若成对的存储单元彼此隔离，则特别优选的是属于一对存储单元的二个存储单元共用一个公共的位线接触。

根据本发明，还提供了一种存储单元阵列，此存储单元阵列包含存储单元，所述存储单元中的每一个包含储存元件和存取晶体管，此存储单元阵列还包含：沿第一方向行进的位线，这些位线形成为直线位线；半导体衬底；形成在所述半导体衬底中的连续的有源区线和隔离沟槽，这些隔离沟槽与有源区线相邻并用来将相邻的有源区线彼此电隔离；存取晶体管，至少部分地形成在有源区线中并经由位线接触将相应的储存元件电耦合到相应的位线，通过字线寻址这些晶体管；位线接触形成在通常由位线与相应有源区线的交叉限定的区域内，其中，每一个均与一个有源区线连接的相邻的位线接触连接到相邻的位线。

因此，本发明提供了一种存储单元，其中，位线形成为直线。此外，形成连续的有源区线，以便与多个位线相交，在位线与相应有源区线的交叉点处形成位线接触。根据本发明，与一个有源区线相关的相邻的位线接触连接到相邻的位线。换言之，若与第一有源区线相关的第一位线接触连接到第一位线，则第一有源区线的第二位线接触连接到第二位线，第一有源区线的第三位线接触连接到第三位线，等等。

本发明的存储单元阵列还优选包含多个字线，其中，通过这些字线寻址晶体管。

根据本发明的一个优选实施方案，有源区线与位线之间的角度为 $10-60^\circ$ 。若有源区线不被实现为直线，则在连接有源区线的起点和终点的直线和位线之间测量此角度。 $10-25^\circ$ 的角度是特别优选的。

根据本发明的另一优选实施方案，一个位线接触与一个有源区线的二个相邻晶体管相关。在此情况下，能够以非常密集的方式实现存储单元阵列。在此情况下，特别优选的是有源区线与位线之间的角度为约 18° ，确切地说是 18.43° 。

附图说明

参照附图从具体说明本发明优选实施方案的下列详细描述，本发明的特点和优点将变得更为明显，其中，在所有附图中，用相同的附图标记来表示相似的元件，其中：

图 1 示出了本发明的第一优选实施方案；

图 2 示出了本发明的第二优选实施方案；

图 3 示出了根据单个存储单元的第一优选实现方法的存储单元阵列的剖面；

图 4 示出了根据单个存储单元的第二优选实现方法的存储单元阵列的剖面；而

图 5 示出了表示本发明存储单元阵列的示意电路。

具体实施方式

图 1 示出了本发明存储单元阵列的第一实施方案。在图 1 中，沿水平方向形成多个位线 8，而多个字线 2 沿优选垂直于第一方向的第二方向排列。此外，连续的有源区线 4 分别相对于位线和字线以倾斜的角度设置。如图 1 所示，位线 8 以及字线 2 实现为直线。

通常，借助于在诸如硅衬底的半导体衬底中形成填充有隔离材料的隔离沟槽 5，来限定有源区线。因此，有源区线 4 彼此分隔开且电隔离。在有源区线 4 与位线 8 的交叉处形成位线接触 41。而且，在既不被位线 8 也不被字线 3 覆盖的有源区线的部分处，形成节点接触 42。此节点接触在存取晶体管与相应储存电容器之间提供了电接触。通常，储存电容器形成在所示半导体衬底的顶部上。

如图 1 所示，隔离栅线 3 置于成对的相邻字线 2 之间。在沿 I-I 的剖面中，字线 2 和隔离栅线 3 置于有源区线 4 上。晶体管形成在有源区线 4 中，其中，晶体管包含第一源/漏区、第二源/漏区、以及连接第一和第二源/漏区的沟道。第一与第二源/漏区之间的沟道的电导率由字线 2 和隔离栅线 3 来控制。确切地说，向隔离栅线 3 施加适当的电压，使隔离栅线下方没有电流流动。因此，用隔离栅线达到了相邻存储单元对之间的电隔离。第一和第二漏区分别布置在位线接触 41 和节点接触 42 下方。

如图 1 所示，字线 2、隔离栅线 3、以及位线 8 以规则的方式布置，以形成网格。

在图 1 所示的布置中，二个相邻的晶体管共用一个公共的位线接触 41，这将在后面加以解释。

单个存储单元的尺寸通常用其最小特征尺寸 (F) 描述。通常，试图将导电线条实现成宽度等于最小特征尺寸且彼此的距离等于

最小特征尺寸。因此，导电线条之间的隔离间距和导电线条宽度之和对应于存储器件特征尺寸的2倍。目前，特征尺寸约为100nm，希望减小此特征尺寸。更具体地，将来的存储器件可具有500nm及以下的特征尺寸。

在图1的存储单元阵列中，每个单元沿字线方向的宽度是 $2F$ ，而沿位线方向的宽度是 $3F$ 。这就导致 $6F^2$ ($6F \times F$)的单元尺寸。

如从图1可见，由于二个节点接触**42**之后有一个位线接触**41**，且一个有源区线**4**的二个相邻位线接触分配给二个不同的位线**8**，故相邻位线接触的水平距离优选为 $6F$ ，而相邻位线接触的垂直距离优选为 $2F$ 。结果，由于 18.43° 等于 $\arctan(1/3)$ ，故特别优选的是位线**8**与有源区线**4**之间的角度约为 18° ，确切地说是 18.43° 。

由于有源区被形成为直线，故图1的存储单元器件能够非常容易地实现。由于仅仅需要使用具有条形图形的掩模，因而其能够以简单的方式通过光刻限定。更具体地说，在此情况下，掩模具有线条和间距的图形。此外，由于位线接触**41**形成在有源区线与位线之间倾斜的交叉处，故能够增大接触面积，从而降低接触电阻。

图2示出了本发明存储单元阵列的第二实施方案。图2中的字线**2**、隔离栅线**3**、以及位线**8**的布置与图1中的相同。此外，隔离栅线**3**的功能与图1中的相同。因此，其描述从略。如从图2可见，连续的有源区线不形成为直线而是形成为折线。具体而言，通常彼此平行地形成的每个连续的有源区线包含水平部分以及倾斜部分。作为一种改进，有源区线也可以仅仅包含例如相对于位线**8**具有二个不同角度的倾斜部分。

如图2所示，位于二个相邻位线**8**之间部分内的有源区线部分水平排列，而位线**8**所跨越的有源区线部分以倾斜方式与位线相交。

根据一种修正，位于相邻位线之间的空间内的有源区线部分，相对于位线可以具有较小的角度，而位线所跨越的有源区线部分，可以相对于位线 **8** 具有较大的角度。

在图 2 的存储单元阵列中，能够使形成在有源区线与位线的交叉处的位线接触的接触面积更大，从而降低接触电阻。此外，节点接触 **42** 置于相邻位线之间的空间内，使得能够容易地实现与晶体管的第二源/漏区的接触。

如从图 2 可见，如在图 1 情况那样，存储单元的尺寸为 $6F^2$ 。

图 3 利用根据例如从美国专利 No.6545904 所知的存储单元第一实现方法的图 1 中 III-III 点之间的图 1 存储单元阵列的剖面图，示出了本发明的一个实施方案。

在半导体衬底 **1** 中，形成了第一和第二存取晶体管 **61** 和 **62**。第一存取晶体管 **61** 包含第一源/漏区 **51** 和第二源/漏区 **52**。第一和第二源/漏区实现为 n 型掺杂部分。沟道或沟道区形成在第一与第二源/漏区 **51** 与 **52** 之间的 p 掺杂衬底部分内，且沟道的电导率由字线 **2** 控制。字线 **2** 通过栅介质 **21** 与沟道隔离。

如图 3 所示，字线可以由多晶硅层 **22**、诸如金属层的高电导率层 **23**、以及隔离层 **24** 组成。字线 **2** 通过由隔离材料制成的隔层 **411** 与相邻的位线接触 **41** 和相邻的节点接触 **42** 电隔离。提供节点接触 **42**，以便实现第二源/漏区 **52** 与储存电容器（未示出）的储存电极之间的电接触。位线接触 **41** 与二个相邻的晶体管相关。第二存取晶体管 **62** 类似地包含第一和第二源/漏区 **51** 和 **52'**；用来控制第一与第二源/漏区之间流动的电流的栅电极 **2**；位线接触 **41**，其也用作置于所示存取晶体管 **62** 右侧上的存取晶体管的位线接触；以及用来电连接第二源/漏区 **52'** 与储存电容器（未示出）的储存电极的

节点接触 42。隔离栅线 3 置于第一与第二存取晶体管 61 与 62 之间。将适当的电压施加到隔离栅线 3，以便防止电流在第二源/漏区 52 与 52' 之间流动。隔离栅线同样包含多晶硅层 22、高电导率层 23、以及隔离层 24。隔离栅线 3 通过栅电介质 31 与衬底隔离。

借助于将适当的电压施加到栅电极 2，寻址或激励存取晶体管 61 或 62，使得电流在第一与第二源/漏区 51 与 52 之间流动。储存在与节点接触 42 电连接的储存电容器（未示出）中的电荷从而能够被读出，并经由位线接触 41 被传输到位线。

图 4 示出了本发明的另一实施方案，其中，以不同的方式实现了单个存储单元。图 4 的左侧示出了图 1 中 I-I 之间的剖面，而图 4 的右侧示出了图 1 中 II-II 之间的剖面。如图 4 所示，字线 2 和隔离栅线 3 分别被实现为埋置的字线和埋置的隔离栅线。换言之，字线 2 的顶部表面和隔离栅线 3 的顶部表面设置在半导体衬底的表面下方。

在图 4 中，第一存取晶体管 61 包含实现为 n 掺杂部分的第一源/漏区 51 和第二源/漏区 52。沟道 53 或沟道区形成在第一与第二源/漏区 51 与 52 之间的 p 型衬底部分内，且借助于将适当的电压施加到字线 2，来控制沟道的导电性。字线 2 包含栅电介质 21，用来将字线 2 与沟道 53 隔离，还包含诸如金属层的高电导率层 23。绝缘层 24 置于高电导率层 23 上，以便将字线与第一和第二源/漏区 51 和 52 电隔离。存取晶体管 62 包含第一和第二源/漏区 51 和 52' 以及第一与第二源/漏区之间的 p 掺杂衬底部分中的沟道 53。沟道 53 的导电性由构造完全与第一存取晶体管的字线相同的字线 2 控制。

由于字线 2 形成为埋置的字线，故沟道 53 形成为“U”形，从而增大了沟道长度。

隔离栅线 3 置于第二源/漏区 52' 的右侧上。隔离栅线 3 包含栅电介质 31 以及高电导率层 33。在高电导率层 33 上设置绝缘层 34, 以便实现与相邻的源/漏区的电隔离。通常向隔离栅线 3 施加适当的电压, 以防止电流在第二源/漏区 52' 以及置于第二存取晶体管 62 右侧上的存取晶体管的第二源/漏区 52 之间流动。

以相似于图 3 的方式, 节点接触 42 将第二源漏区 52 和 52' 与储存电容器 63 的储存电极连接。如从图 4 可见, 储存电容器实现为层叠电容器, 此层叠电容器包含连接到节点接触 42 的第一储存电极 631、第二储存电极 632、以及置于第一与第二储存电极 631 与 632 之间并将该二储存电极彼此电隔离的电容器电介质 633。

二个存取晶体管 61 和 62 具有共同的位线接触 41。位线接触 41 可以由掺杂的多晶硅或其它导电材料形成。沿倾斜于图面的方向延伸的位线 8 设置在位线接触上。位线 8 可以由任意导电材料制成。具体而言, 位线 8 可以由与通常使用的栅叠层相似或相同的叠层制成。例如, 包括位线接触 41 的位线 8 可以由包含多晶硅层、高电导率层、以及隔离层的叠层组成, 从而以相似于图 3 所示字线 2 的方式形成。在此情况下, 特别优选的是, 形成在存储器件外围部分中的晶体管的栅电极由与形成在存储单元阵列中的包括位线接触的位线相同的叠层制成。

图 4 的右侧部分示出了图 1 的 II-II 之间的存储单元阵列的剖面。如从图 4 可见, 有源区线 4 由填充有诸如 SiO₂ 的隔离材料的二个相邻的隔离沟槽确定。在有源区线和相邻隔离沟槽 5 上形成包含栅介质 21、高电导率层 23、以及绝缘层 24 的字线。在绝缘层 24 上形成位线 8。

在图 4 的左侧上, 在隔离栅线 3 上形成隔离凹槽 (groove) 44, 以便将相邻的成对存储单元彼此电隔离。当存取晶体管 61 被字线 2

寻址时，作为信息储存在储存电容器 63 中的电荷经由节点接触 42 被读出，并跨越存取晶体管 61 从第二源/漏区 52 传输到第一源/漏区 51，并经由位线接触 41 传输到位线 8。

如结合图 1 的图 3 和 4 的左侧所指出的那样，字线 2、隔离栅线 3、以及位线 8 沿相对于图面倾斜的方向延伸。

如对本技术领域熟练人员显而易见的那样，本发明的存储单元阵列能够应用于单独的存储单元的多种不同的实现。

图 5 是简化的示意图，描述了根据本发明的成对存储单元阵列 60 和 60'。这些阵列实现为开放式位线构造，每一个均采用由一个晶体管 61 和一个电容器 63 形成的存储单元 6。

存储器阵列 60 和 60' 每一个耦合到相应的位线 8、8' 的组以及相应的字线 2 和、2' 的组。每组存储阵列 60 和 60' 中的二组位线 8 和 8'，被耦合到读出放大器 7。读出放大器 7 包含外围电路，亦即用来支持存储阵列 60 和 60' 且通常形成在存储器阵列 60 和 60' 外围外面的电路。

在操作中，例如借助于激活一个字线 2，来选择一个存储单元 6。此字线 2 耦合到相应晶体管 61 的相应栅电极。位线 8 经由位线接触 41 耦合到这些晶体管 61 之一的第一源/漏区。晶体管 61 于是导通，将储存在电容器 63 中的电荷耦合到相关的位线 8。然后，读出放大器 7 读出从电容器 63 耦合到位线 8 的电荷。读出放大器 7 在没有电压施加到相应的字线 8 的情况下，将此信号与诸如参考电荷 Q_{ref} 或借助于读出相应的位线 8' 而得到的参考信号之类的参考信号进行比较，将得到的信号放大并将放大的信号锁存适当的时间。这使储存在电容器 63 中的电荷所代表的能够在存储阵列 60 和 60' 外部存取，还使电容器 63 能够将代表来自存储单元 6 的

数据的电荷储存回到存储单元 6 中。如对本技术领域熟练人员显而易见的那样，也能够采用通常所知的诸如垂直扭曲的位线阵列结构之类的可选阵列结构。

附图标记清单

1	半导体衬底
2, 2'	字线
21	栅电介质
22	多晶硅
23	高电导率层
24	绝缘层 8
3	隔离栅线
31	栅电介质
4	有源区线
41	位线接触
411	隔层
42	节点接触
43	多晶硅
44	隔离凹槽

5	隔离沟槽
51	第一源/漏区
52, 52'	第二源/漏区
6	存储单元
60, 60'	存储单元阵列
61	第一存取晶体管
62	第二存取晶体管
63	储存电容器
631	第一电容器电极
632	第二电容器电极
633	电容器电介质
7	读出放大器
8, 8'	位线

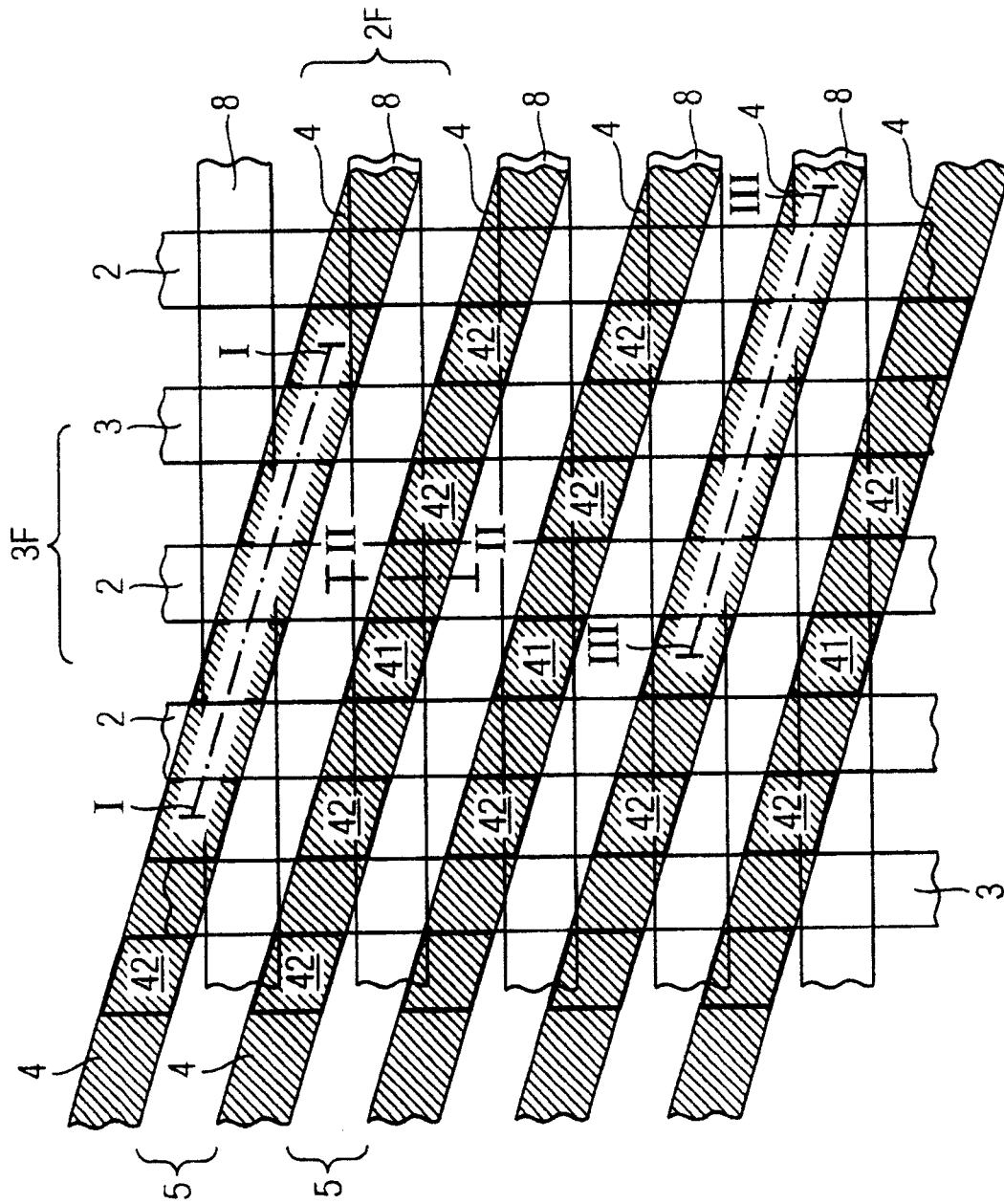


图 1

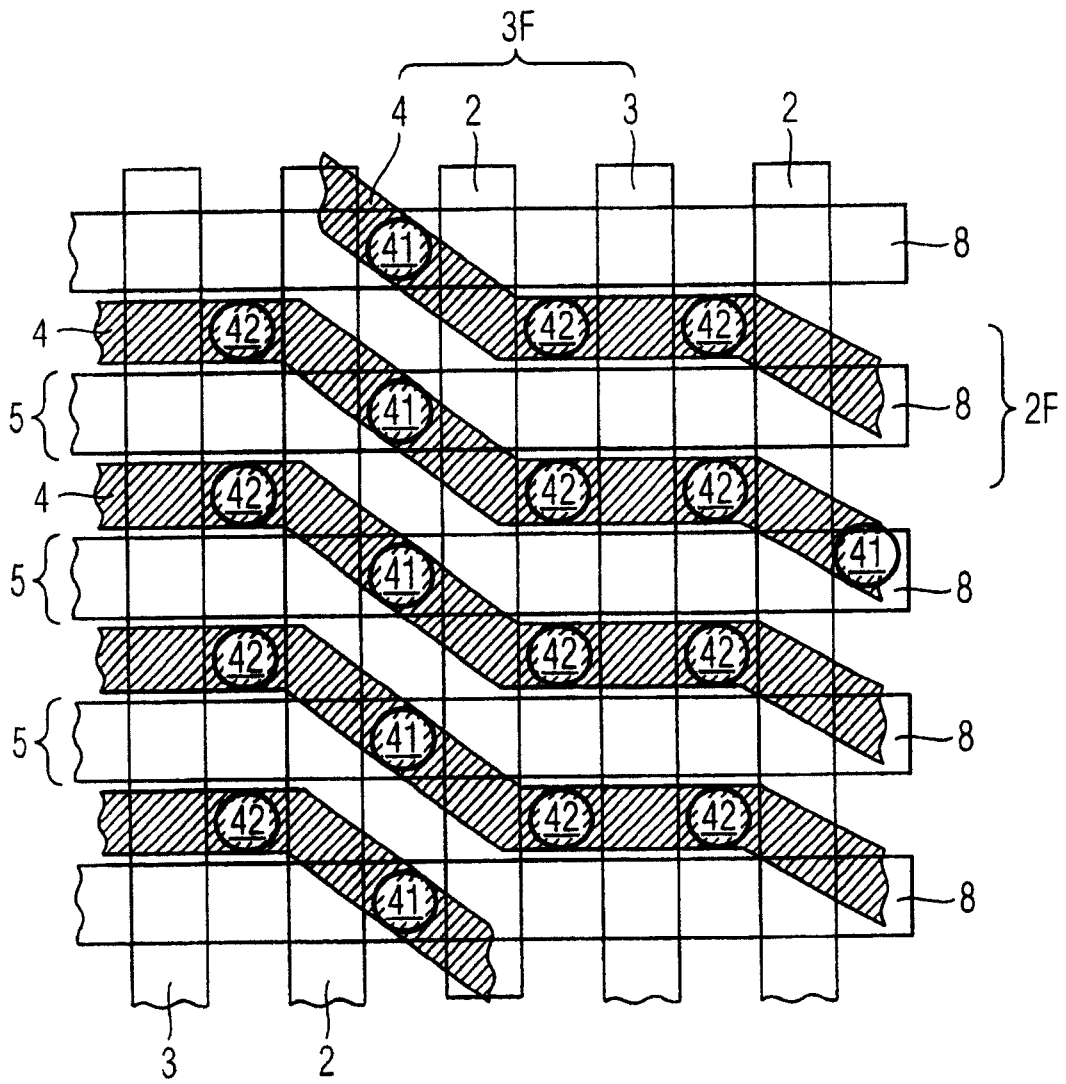


图 2

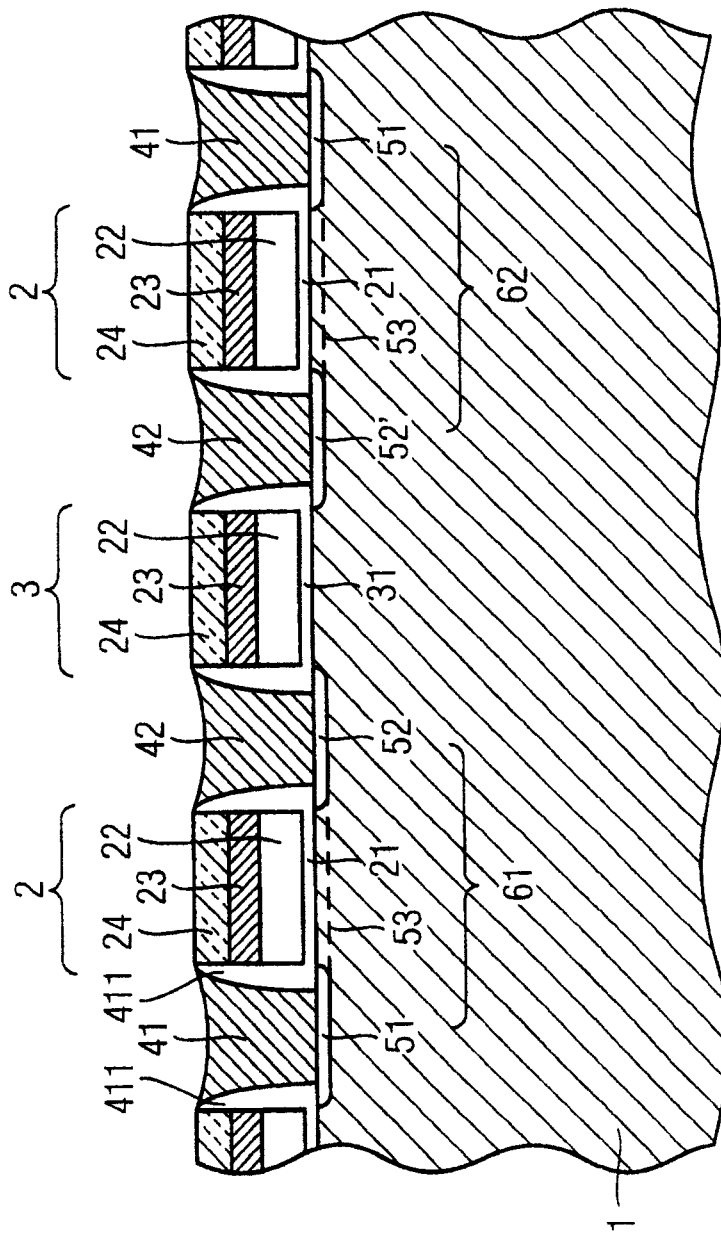


图 3

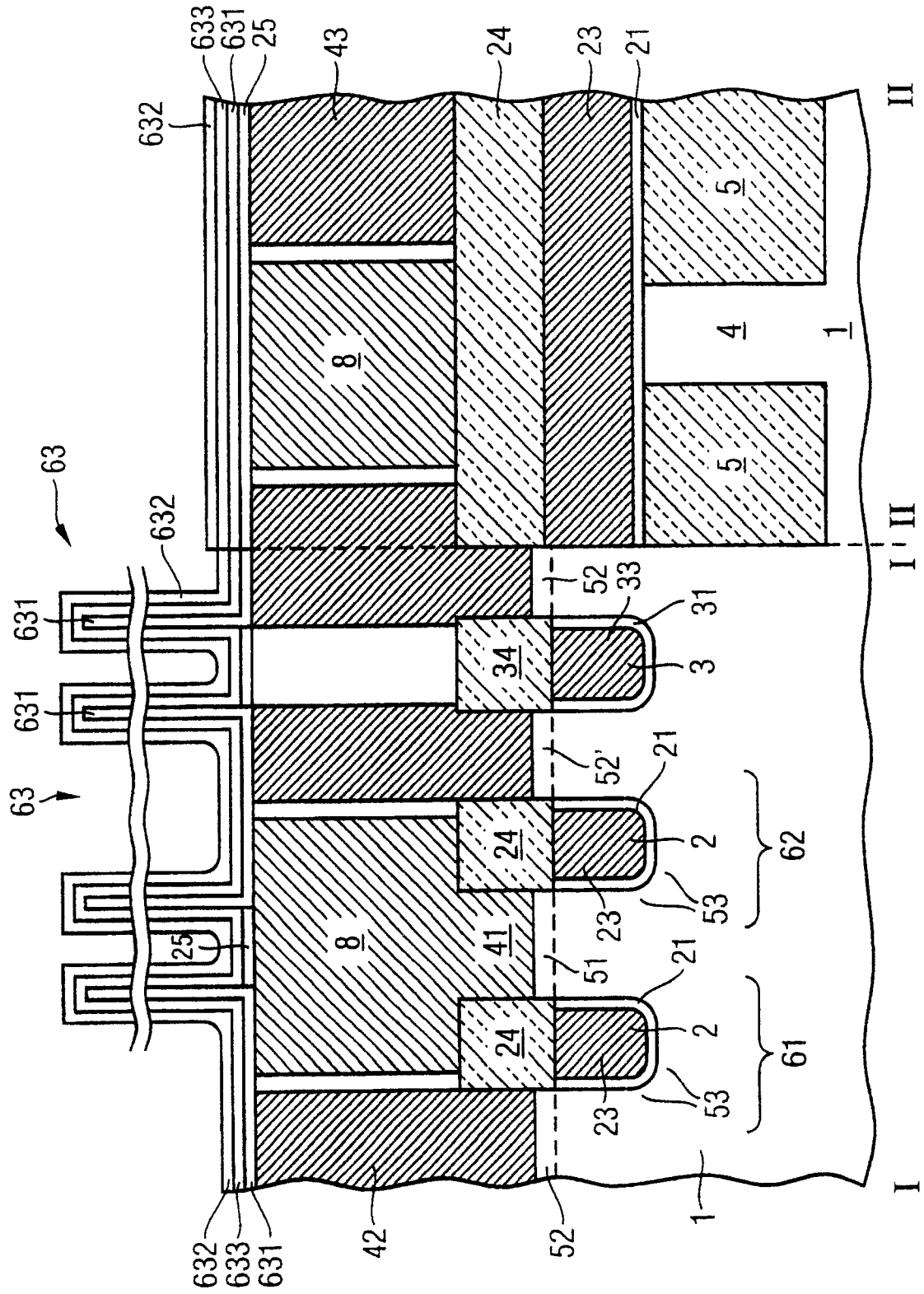


图 4

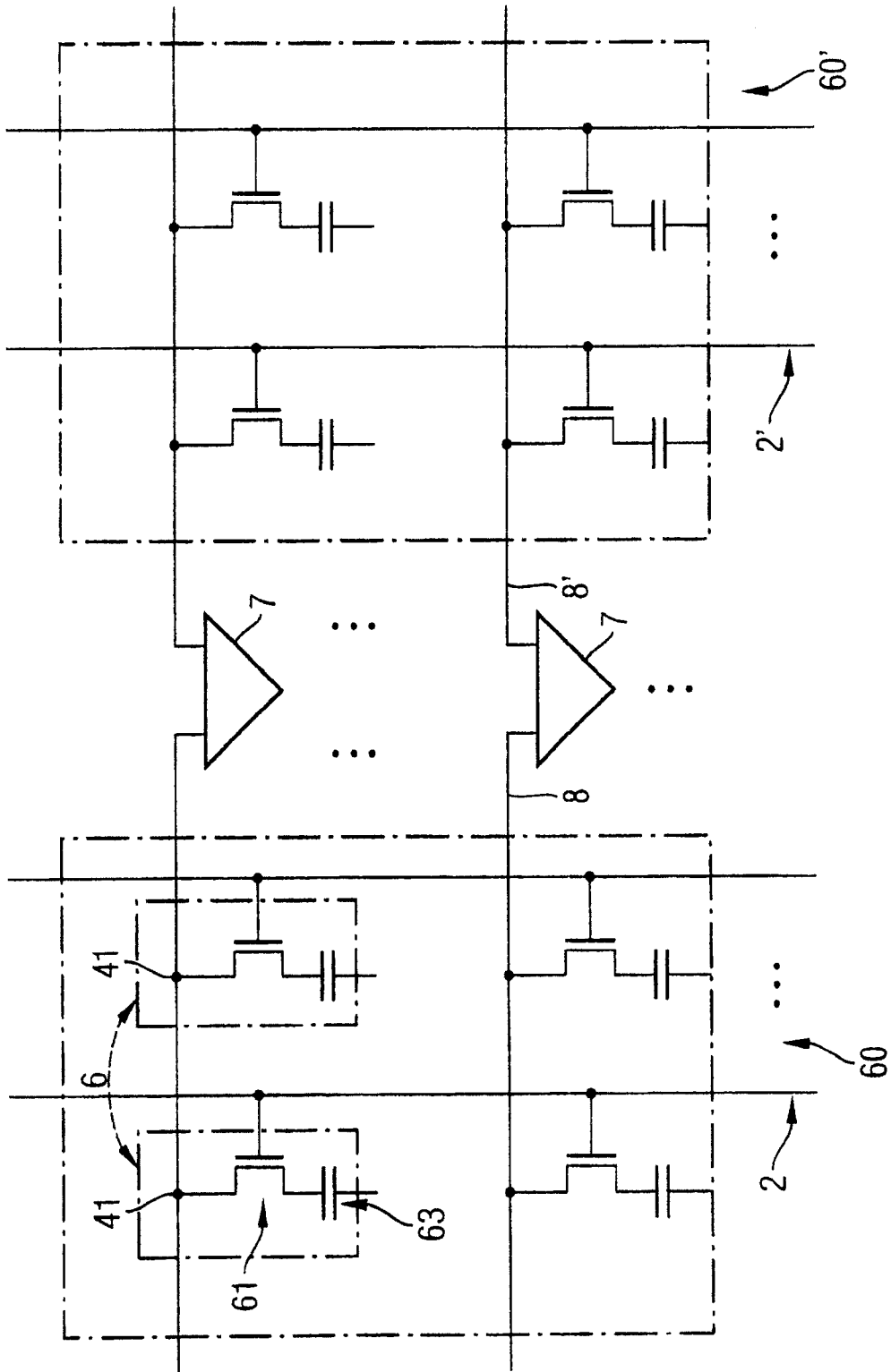


图 5