



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0012593
(43) 공개일자 2012년02월10일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2010-0074635

(22) 출원일자 2010년08월02일

심사청구일자 2010년08월02일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김승환

서울특별시 강동구 천호대로162길 34, 1201호 (성내동, 이안강동)

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 20 항

(54) 반도체 소자 및 그 제조 방법

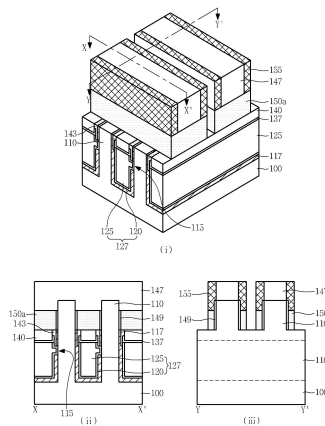
(57) 요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 수직형 게이트를 써라운드 게이트 구조로 형성함으로써, 게이트의 제어 능력을 향상시키는 기술이다.

본 발명에 따른 반도체 소자의 제조 방법은 반도체 기판 상부에 측벽 콘택을 포함하는 복수의 제 1 필라 패턴을 형성하는 단계와, 제 1 필라 패턴들 사이의 저부에 매립 비트라인을 형성하는 단계와, 제 1 필라 패턴을 식각하여 섬 형태의 제 2 필라 패턴을 형성하는 단계와, 비트라인과 교차하는 방향을 따라 배열된 상기 제 2 필라 패턴들을 연결시키며, 제 2 필라 패턴들을 감싸는 형태의 써라운드 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

측벽 콘택을 포함하는 복수의 필라 패턴;

상기 필라 패턴들 사이의 저부에 매립된 비트라인; 및

상기 비트라인과 교차하는 방향으로 배열된 상기 필라 패턴들을 연결시키며, 상기 필라 패턴들을 감싸도록 형성된 씨라운딩 게이트

를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

청구항 1에 있어서,

상기 비트라인은 텅스텐 또는 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 3

청구항 1에 있어서,

상기 비트라인과 상기 씨라운딩 게이트는 수직으로 교차하는 것을 특징으로 하는 반도체 소자.

청구항 4

청구항 1에 있어서,

상기 씨라운딩 게이트는 상기 비트라인 상부에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 5

청구항 1에 있어서,

상기 씨라운딩 게이트는 티타늄 질화막, 텅스텐 또는 이들의 조합을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

반도체 기판 상부에 측벽 콘택을 포함하는 복수의 제 1 필라 패턴을 형성하는 단계;

상기 제 1 필라 패턴들 사이의 저부에 매립 비트라인을 형성하는 단계;

상기 제 1 필라 패턴을 식각하여 섬 형태의 제 2 필라 패턴을 형성하는 단계; 및

상기 비트라인과 교차하는 방향을 따라 상기 제 2 필라 패턴들을 연결시키며, 상기 제 2 필라 패턴들을 감싸는 형태의 씨라운딩 게이트를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

청구항 6에 있어서,

상기 복수의 제 1 필라 패턴을 형성하는 단계는

상기 반도체 기판을 라인 형태로 식각하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

청구항 6에 있어서,

상기 비트라인 도전막을 형성하는 단계 이전에,

상기 제 1 필라 패턴 및 상기 반도체 기판 표면에 배리어 메탈층을 형성하는 단계를 더 포함하는 것을 특징으로

하는 반도체 소자의 제조 방법.

청구항 9

청구항 6에 있어서,

상기 매립 비트라인을 형성하는 단계는

상기 제 1 필라 패턴을 포함하는 상기 반도체 기판 상부에 비트라인 도전막을 형성하는 단계; 및

상기 비트라인 도전막을 에치-백 하여 상기 제 1 필라 패턴들 사이의 저부에만 상기 비트라인 도전막을 남기는 단계

를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10

청구항 9에 있어서,

상기 비트라인 도전막을 형성하는 단계는 텅스텐 또는 폴리실리콘을 포함하는 물질을 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11

청구항 6에 있어서,

상기 매립 비트라인을 형성하는 단계 이후,

상기 제 1 필라 패턴 및 상기 매립 비트라인 표면에 캡핑막을 형성하는 단계;

상기 제 1 필라 패턴 사이의 상기 매립 비트라인 상부에 산화막을 1차 매립하는 단계;

상기 제 1 필라 패턴 측벽의 상기 캡핑막을 제거하는 단계;

상기 캡핑막이 제거된 부분에 산화막을 2차 매립하는 단계;

상기 산화막을 리세스시켜 상기 제 1 필라 패턴 상측을 노출시키는 단계; 및

상기 노출된 제 1 필라 패턴 및 상기 산화막 상부에 질화막을 형성하는 단계

를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

청구항 11에 있어서,

상기 캡핑막을 형성하는 단계에서 상기 캡핑막을 질화막을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 13

청구항 11에 있어서,

상기 산화막을 1차 또는 2차 매립하는 단계에서

상기 산화막은 SOD막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 14

청구항 6에 있어서,

제 2 필라 패턴을 형성하는 단계는

상기 제 1 필라 패턴 상부에 상기 매립 비트라인과 교차하는 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 식각 마스크로 상기 제 1 필라 패턴을 식각하는 단계

를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 15

청구항 14에 있어서,

상기 마스크 패턴은 상기 매립 비트라인과 수직으로 교차하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16

청구항 6에 있어서,

상기 씨라운딩 게이트를 형성하는 단계는

상기 질화막, 산화막 및 제 1 필라 패턴을 식각하여 수직형 게이트를 정의하는 제 2 필라 패턴을 형성하는 단계;

상기 제 2 필라 패턴에 의해 노출된 상기 산화막을 제거하는 단계;

상기 산화막이 제거된 부분에 게이트 도전막을 매립하는 단계;

상기 제 2 필라 패턴 측벽에 스페이서를 형성하는 단계; 및

상기 스페이서를 마스크로 상기 게이트 도전막을 식각하는 단계

를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17

청구항 16에 있어서,

상기 게이트 도전막을 매립하는 단계 이전에,

상기 제 2 필라 패턴 측벽에 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 18

청구항 16에 있어서,

상기 게이트 도전막을 형성하는 단계에서

상기 게이트 도전막은 티타늄 질화막, 텅스텐 또는 이들의 조합을 포함하는 물질로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 19

청구항 18에 있어서,

상기 텅스텐은 열처리 CVD 장비에서 WF_6 , B_2BH_6 , H_2 , SiH_4 및 이들의 조합 중 선택된 어느 하나를 소스가스를 이용하여 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20

청구항 18에 있어서,

상기 티타늄 질화막은 $TiCl_4$, $TDMAT(Ti(N[CH_3]_2)_4)$ 또는 이들의 조합을 소스가스로 이용하여 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

기술분야

본 발명은 반도체 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는 수직형 게이트(Vertical Gate)를 포함

[0001]

하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 증가함에 따라 트랜지스터의 채널 길이가 점차 감소하고 있다. 그러나, 이러한 트랜지스터의 채널 길이 감소는 DIBL(Drain Induced Barrier Lowering) 현상, 핫 캐리어 효과(hot carrier effect) 및 펀치 스루(punch through)와 같은 단채널 효과(short channel effect)를 초래하는 문제점이 있다. 이러한 문제점을 해결하기 위하여 접합 영역의 깊이를 감소시키는 방법 또는 트랜지스터의 채널 영역에 리세스를 형성하여 상대적으로 채널 길이를 증가시키는 방법 등 다양한 방법이 제안되고 있다.

[0003] 그러나, 반도체 메모리 소자, 특히, 디램(DRAM)의 집적 밀도가 기가 비트(giga bit)에 육박함에 따라 보다 더 작은 사이즈의 트랜지스터 제조가 요구된다. 즉, 기가 비트대의 디램 소자의 트랜지스터는 8F2(F: minimum feature size) 이하의 소자 면적을 요구하고 있으며, 나아가 4F2 정도의 소자 면적을 요구하고 있다. 따라서, 게이트 전극이 반도체 기판 상에 형성되고 게이트 전극 양측에 접합 영역이 형성되는 현재의 플래너(planar) 트랜지스터 구조로는 채널 길이를 스케일링(scaling)한다고 하여도 요구되는 소자 면적을 만족시키기 어렵다. 이러한 문제를 해결하기 위하여 수직 채널 트랜지스터 구조가 제안되었다.

[0004] 이와 같은 수직 채널 트랜지스터 구조는 매립 비트라인을 먼저 형성한 후 수직형 게이트 형성을 위한 필라 패턴을 형성하게 된다. 이때, 필라 패턴을 식각 공정 시 실리콘 기판 이외에 질화막, 산화막 등의 다른 물질도 식각하여야 하는데, 이때 필라 패턴 뒷쪽의 질화막이 덜 식각되는 스킵트(Skirt) 현상이 발생한다. 이러한 스킵트 현상으로 인해 게이트가 끊어질 가능성이 높아진다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위한 것으로, 매립 비트라인 형성 후 서라운드 게이트를 형성하는 반도체 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위해, 본 발명에 따른 반도체 소자는 측벽 콘택을 포함하는 복수의 필라 패턴과, 필라 패턴들 사이의 저부에 매립된 비트라인과, 비트라인과 교차하는 방향으로 배열된 상기 필라 패턴들을 연결시키며, 상기 필라 패턴들을 감싸도록 형성된 서라운드 게이트를 포함하는 것을 특징으로 한다.

[0007] 나아가, 비트라인은 텅스텐 또는 폴리실리콘을 포함하는 물질로 형성되며, 비트라인과 상기 서라운드 게이트는 수직으로 교차하며, 서라운드 게이트는 상기 비트라인 상부에 형성되는 것을 특징으로 한다. 여기서, 서라운드 게이트는 티타늄 질화막, 텅스텐 또는 이들의 조합을 포함하는 물질로 형성된다.

[0008] 한편, 본 발명에 따른 반도체 소자의 제조 방법은 반도체 기판 상부에 측벽 콘택을 포함하는 복수의 제 1 필라 패턴을 형성하는 단계와, 제 1 필라 패턴들 사이의 저부에 매립 비트라인을 형성하는 단계와, 제 1 필라 패턴을 식각하여 섬 형태의 제 2 필라 패턴을 형성하는 단계와, 비트라인과 교차하는 방향을 따라 배열된 상기 제 2 필라 패턴들을 연결시키며, 제 2 필라 패턴들을 감싸는 형태의 서라운드 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

[0009] 상기 복수의 제 1 필라 패턴을 형성하는 단계는 반도체 기판을 라인 형태로 식각하여 형성하며, 비트라인 도전막을 형성하는 단계 이전에, 제 1 필라 패턴 및 상기 반도체 기판 표면에 배리어 메탈층을 형성하는 단계를 더 포함한다.

[0010] 또한, 매립 비트라인을 형성하는 단계 이전에, 상기 매립 비트라인을 형성하는 단계 이후, 상기 제 1 필라 패턴 및 상기 매립 비트라인 표면에 캡핑막을 형성하는 단계와, 제 1 필라 패턴 사이의 상기 매립 비트라인 상부에 산화막을 1차 매립하는 단계와, 제 1 필라 패턴 측벽의 상기 캡핑막을 제거하는 단계와, 캡핑막이 제거된 부분에 산화막을 2차 매립하는 단계와, 산화막을 리세스시켜 상기 제 1 필라 패턴 상측을 노출시키는 단계와, 노출된 제 1 필라 패턴 및 상기 산화막 상부에 질화막을 형성하는 단계를 더 포함한다. 여기서, 캡핑막은 질화막을 포함한다. 그리고, 매립 비트라인을 형성하는 단계는 제 1 필라 패턴을 포함하는 상기 반도체 기판 상부에 비트라인 도전막을 형성하는 단계와, 비트라인 도전막을 에치-백 하여 상기 제 1 필라 패턴들 사이의 저부에만 상기 비트라인 도전막을 남기는 단계를 더 포함하며, 비트라인 도전막을 형성하는 단계는 텅스텐을 포함하는 물질을

사용한다.

- [0011] 또한, 제 2 필라 패턴을 형성하는 단계는 제 1 필라 패턴 상부에 상기 매립 비트라인과 교차하는 마스크 패턴을 형성하는 단계와, 마스크 패턴을 식각 마스크로 상기 제 1 필라 패턴을 식각하는 단계를 더 포함하며, 산화막은 SOD막으로 형성한다.
- [0012] 나아가, 써라운드 게이트를 형성하는 단계는 질화막, 산화막 및 제 1 필라 패턴을 식각하여 수직형 게이트를 정의하는 제 2 필라 패턴을 형성하는 단계와, 제 2 필라 패턴에 의해 노출된 상기 산화막을 제거하는 단계와, 산화막이 제거된 부분에 게이트 도전막을 매립하는 단계와, 제 2 필라 패턴 측벽에 스페이서를 형성하는 단계와, 스페이서를 마스크로 상기 게이트 도전막을 식각하는 단계를 더 포함한다.
- [0013] 게이트 도전막을 매립하는 단계 이전에, 제 2 필라 패턴 측벽에 게이트 절연막을 형성하는 단계를 더 포함하며, 게이트 도전막을 형성하는 단계에서 게이트 도전막은 티타늄 질화막, 텅스텐 또는 이들의 조합을 포함하는 물질로 형성하며, 텅스텐은 열처리 CVD 장비에서 WF_6 , B_2BH_6 , H_2 , SiH_4 및 이들의 조합 중 선택된 어느 하나를 소스 가스를 이용하여 진행하고, 티타늄 질화막은 $TiCl_4$, TDMAT($Ti(N[CH_3]_2)_4$) 또는 이들의 조합을 소스가스로 이용하여 진행한다.
- [0014] 또한, 게이트 도전막을 식각하는 단계 이후, 질화막 및 스페이서를 제거하는 단계를 더 포함하는 것을 특징으로 한다.

발명의 효과

- [0015] 본 발명의 반도체 소자 및 그 제조 방법은 다음과 같은 효과를 제공한다.
- [0016] 첫째, 수직형 게이트의 스킵 현상을 개선함으로써, 게이트 conti Rs이 확보되는 효과가 있다.
- [0017] 둘째, 수직형 게이트의 높이를 일정하게 유지할 수 있는 효과가 있다.
- [0018] 셋째, 써라운드 게이트 사용으로 인해 게이트 제어 능력이 향상되는 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명에 따른 반도체 소자를 도시한 사시도 및 단면도.
 도 2a 내지 도 2k는 본 발명에 따른 반도체 소자의 제조 방법을 도시한 사시도 및 단면도.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자 및 그 제조 방법의 일실시예에 대해 상세히 설명하기로 한다.
- [0021] 도 1은 본 발명에 따른 반도체 소자를 도시한 것으로, 매립 비트라인과 써라운드 게이트가 형성된 모습을 도시한 것이다. 도 1에서 (i)은 사시도를 도시한 것이고, (ii)는 (i)의 X - X'에 따른 절단면을 도시한 단면도이며, (iii)은 (i)의 Y - Y'에 따른 절단면을 도시한 단면도이다.
- [0022] 도 1을 참조하면, 반도체 기판(100) 상부에 측벽 콘택(115)을 포함하는 복수의 필라 패턴(110)이 구비된다. 여기서, 필라 패턴(110)은 상측이 섬 형태로 형성된다. 그리고, 필라 패턴(110)들 사이의 저부에 매립형 비트라인(125)이 구비된다. 매립형 비트라인(125)은 배리어 메탈층(120) 및 비트라인 도전막(125)을 포함하고 있으며, Y - Y' 방향으로 연장된 라인 형태로 형성되어 있다.
- [0023] 또한, 매립형 비트라인(125) 및 필라 패턴(110) 상부에 써라운드 게이트(150a)가 형성된다. 써라운드 게이트(150a)는 매립형 비트라인(125)과 교차되는 방향(X - X' 방향)을 따라 배열된 필라 패턴(110)들이 연결되도록 형성된다. 또한, 필라 패턴(110)들이 감싸지도록 형성된다. 여기서, 써라운드 게이트(150a)는 티타늄질화막, 텅스텐 또는 이들의 조합을 포함하는 물질로 형성되며, 써라운드 게이트(150a)와 필라 패턴(110) 계면에 게이트 절연막(149)이 더 형성되도록 한다.
- [0024] 이와 같이 수직형 게이트를 써라운드 게이트 구조로 형성함으로써, 반도체 소자에서 게이트의 제어능력을 향상시킬 수 있다.
- [0025] 도 2a 내지 도 2k는 본 발명에 따른 반도체 소자의 제조 방법을 도시한 것으로, (i)은 사시도, (ii)는 상기

(i)의 X - X'에 따른 절단면을 도시한 단면도, (iii)은 상기 (i)의 Y - Y'에 따른 절단면을 도시한 단면도이다. 먼저 도 2a를 참조하면, 반도체 기판(100) 상부에 매립 비트라인(buried bit line) 영역을 정의하는 마스크 패턴(111)을 형성한다. 이때, 마스크 패턴(111)은 라인(line) 형태로 형성하며, 질화막을 포함하는 물질로 형성하는 것이 바람직하다.

[0026] 다음으로, 마스크 패턴(111)을 식각 마스크로 반도체 기판(100)을 식각하여 복수의 필라 패턴(110)을 형성한다. 필라 패턴(110)은 반도체 기판(100)의 일부가 식각되어 Y - Y'방향으로 연장된 형상으로 형성된다. 그 다음, 필라 패턴(110) 및 마스크 패턴(111)을 포함하는 반도체 기판(100) 표면에 측벽 콘택(115)을 정의하는 제 1 질화막(113) 및 제 1 산화막(117)을 형성한다. 측벽 콘택(115)은 필라 패턴(110)의 일측 측벽에만 형성되는 단일 측벽콘택(One side contact) 구조인 것이 바람직하다.

[0027] 그 다음, 측벽 콘택(115)이 형성된 필라 패턴(110)을 포함하는 반도체 기판(100) 전체 표면에 배리어 메탈층(120)을 증착한다. 배리어 메탈층(120)은 티타늄(Ti), 티타늄 질화막(TiN) 및 이들의 조합 중 선택된 어느 하나로 형성하는 것이 바람직하다.

[0028] 그 다음, 배리어 메탈층(120)이 형성된 반도체 기판(100) 전체 상부에 비트라인 도전막(125)을 형성한다. 비트라인 도전막(125)은 텅스텐 또는 폴리실리콘을 포함하는 물질로 형성하는 것이 바람직하다. 이어서, 에치-백(Etch-Back)으로 비트라인 도전막(125)을 식각하여 필라 패턴(110) 사이의 저부에만 남기도록 한다. 이때, 비트라인 도전막(125)이 식각되면서, 배리어 메탈층(120)도 같은 높이까지 식각된다. 이렇게 형성된 비트라인 도전막(125) 및 배리어 메탈층(120)을 매립 비트라인(127)이라고 지칭한다.

[0029] 다음으로, 필라 패턴(110) 및 매립 비트라인(127)의 표면에 제 2 질화막(137)을 증착한다. 제 2 질화막(137)은 매립 비트라인(127)을 보호하는 캡핑막(Capping) 역할을 한다. 그리고, 제 2 질화막(137)이 증착된 전체 상부에 제 2 산화막(140)을 형성한 후 마스크 패턴(111)이 노출될때까지 평탄화 식각한다. 즉, 필라 패턴(110) 사이의 매립 비트라인(127) 상부에 제 2 산화막(140)이 형성된다. 제 2 산화막(140)은 PSZ(Poly Silazane)막으로 형성할 수 있다. PSZ막은 캡산화막으로서 다량의 아민 성분을 포함하며, H₂O 분위기에서 고온 및 고압으로 습식 어닐링을 수행하여 형성할 수 있다.

[0030] 도 2b를 참조하면, 노출된 제 2 질화막(137)을 제거한다. 이때, 제 1 질화막(113) 및 질화막으로 형성된 마스크 패턴(111)도 같이 제거된다. 이러한 질화막을 제거하는 공정은 습식 클리닝 공정으로 진행하는 것이 바람직하다. 여기서, 질화막은 모두 제거되지 않고, 측벽 저부에 일부 남겨지게 된다.

[0031] 도 2c를 참조하면, 마스크 패턴(111), 제 1 질화막(113) 및 제 2 질화막(137)이 제거된 부분에 제 3 산화막(143)을 형성한다. 이때, 제 3 산화막(143)은 매립특성이 우수한 SOD 산화막으로 형성하는 것이 바람직하다. 그 다음, 제 3 산화막(143)에 대해 평탄화 식각을 진행한다. 제 3 산화막(143)은 필라 패턴(110) 표면으로부터 200 ~ 300Å의 두께가 되도록 식각하는 것이 바람직하다. 제 3 산화막(143)은 제 2 산화막(140)과 같이 PSZ(Poly Silazane)막으로 형성할 수 있으며, 300 ~ 400°C의 온도에서 습식 어닐을 진행하여 형성할 수 있다.

[0032] 도 2d를 참조하면, 필라 패턴(110) 상측이 노출될때까지 제 3 산화막(143) 및 제 2 산화막(140)을 리세스시킨다. 이때, 제 3 산화막(143)이 필라 패턴(110) 표면으로부터 200 ~ 300Å의 두께만큼 리세스되도록 하는 것이 바람직하다. 즉, 필라 패턴(110) 상측이 제 3 산화막(143) 상부로 돌출된 형태가 된다.

[0033] 도 2e를 참조하면, 돌출된 필라 패턴(110) 및 제 3 산화막(143) 상부에 제 3 질화막(147)을 형성한다. 그 다음, 제 3 질화막(147)을 평탄화시킨다. 여기서, 평탄화된 제 3 질화막(147)은 150 ~ 200Å의 두께가 되도록 한다.

[0034] 도 2f를 참조하면, 제 3 질화막(147) 상부에 수직형 게이트를 정의하는 마스크 패턴(미도시)을 형성한다. 수직형 게이트를 정의하는 마스크 패턴(미도시)은 라인형태로 형성되며, 매립 비트라인(127)과 교차되는 방향(X - X')으로 연장된 형태이다. 그 다음, 마스크 패턴(미도시)을 식각 마스크로 제 3 질화막(147), 제 3 산화막(143) 및 제 2 산화막(140)을 식각한다. 이때, 필라 패턴(110) 및 필라 패턴(110) 측벽의 제 1 산화막(117)도 같이 식각된다. 이러한 식각 공정은 매립 비트라인(127) 상부의 제 2 질화막(137)이 노출될때까지 진행된다. 즉, 제 2 질화막(137)이 식각 정지막 역할을 한다.

[0035] 도 2g를 참조하면, 필라 패턴(110)을 감싸고 있는 모든 산화막들을 제거한다. 여기서, 산화막들은 제 3 산화막(143), 제 2 산화막(140) 및 제 1 산화막(117)이 있다. 이때, 산화막들은 제 3 질화막(147)에 의해 노출되며, 노출된 부분을 통해 습식 용액을 주입하여 산화막들을 제거하는 것이 바람직하다. 여기서, 제 3 질화막(147)은 하부의 산화막들을 지탱하는 역할은 한다.

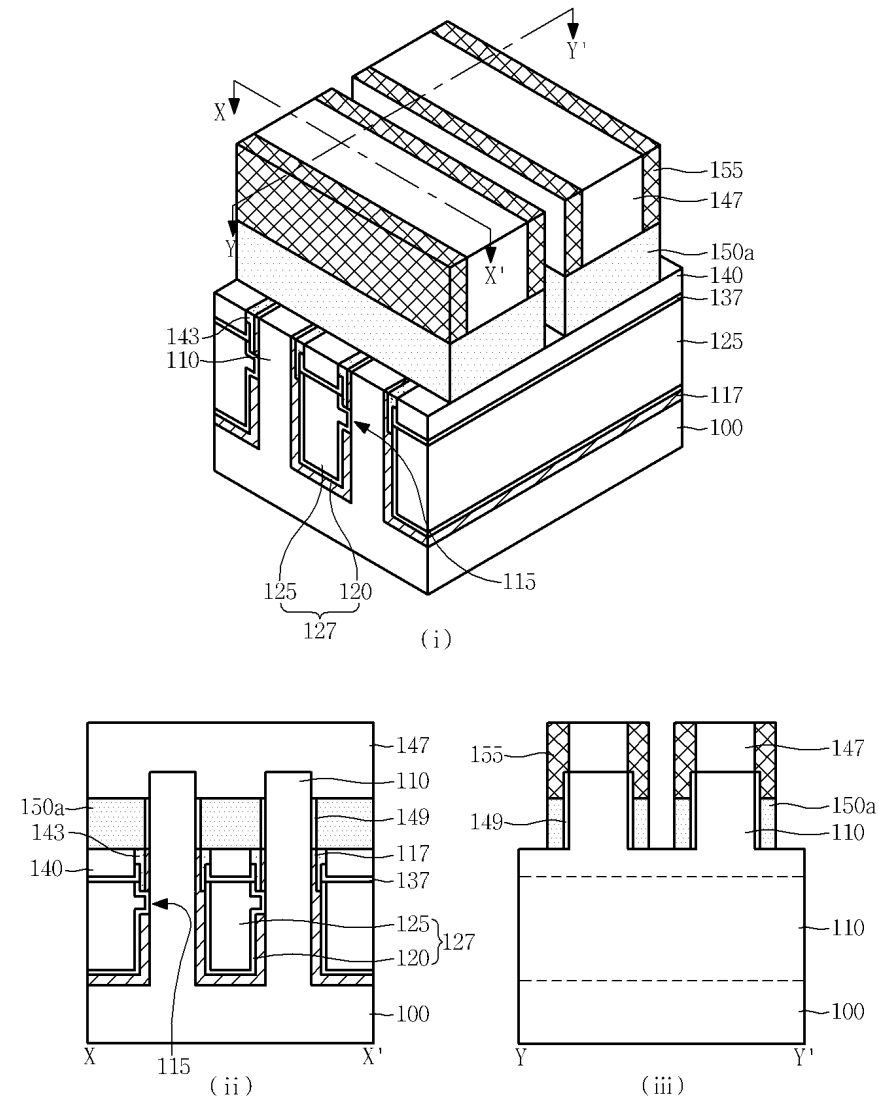
- [0036] 도 2h를 참조하면, 필라 패턴(110)의 측벽에 제 4 산화막(149)을 증착한다. 제 4 산화막(149)은 라디칼 산화막이나 플라즈마 산화막을 형성한다. 라디칼 산화막은 라디칼 산소를 이용한 산화 공정으로 형성하며, 비교적 낮은 온도에서 특성이 우수한 산화막을 얻을 수 있는 장점이 있다.
- [0037] 도 2i를 참조하면, 필라 패턴(110) 및 제 3 질화막(143)을 포함하는 전체 상부에 게이트 도전막(150)을 형성한다. 이때, 게이트 도전막(150)은 제 3 질화막(147) 하부에도 형성되어 필라 패턴(110) 사이의 빈 공간에 완전히 매립되도록 한다. 게이트 도전막(150)은 티타늄 질화막, 텅스텐 및 이들의 조합을 포함하는 물질로 형성한다. 여기서, 게이트 도전막(150)을 티타늄 질화막으로 형성하는 경우, 소스 가스는 $TiCl_4$, $TiDMAT(Ti[N(CH_3)_2]_4)$ 또는 이들의 조합을 이용한다. 또한, 게이트 도전막(150)을 텅스텐으로 형성하는 경우, 열처리 CVD(Chemical Vapor Deposition) 장비를 사용하며 소스 가스는 WF_6 , B_2BH_6 , H_2 , SiH_4 를 이용하는 것이 바람직하다.
- [0038] 그 다음, 평탄화 공정으로 게이트 도전막(150)을 식각하여 제 3 질화막(147)을 노출시킨다.
- [0039] 도 2j를 참조하면, 에치-백 공정으로 게이트 도전막(150)을 더 식각하여 제 3 질화막(147) 및 필라 패턴(110) 상측이 노출되도록 한다.
- [0040] 도 2k를 참조하면, 필라 패턴(110) 및 제 3 질화막(147)을 포함하는 전체 표면에 스페이서 물질층을 증착한다. 이때, 스페이서 물질층은 산화막을 포함하는 물질로 형성하는 것이 바람직하다.
- [0041] 다음으로, 스페이서 물질층에 대해 에치-백 공정을 진행하여 필라 패턴(110) 및 제 3 질화막(147) 측벽에 스페이서(155)를 형성한다. 이후, 제 3 질화막(147) 및 스페이서(155)를 식각 마스크로 게이트 도전막(150)을 식각하여 필라 패턴(110) 측벽에 수직형 게이트(150a)를 형성한다. 이러한 식각 공정은 게이트와 게이트 사이를 분리시키기 위해 진행하는 것이 바람직하다.
- [0042] 이와 같이, 매립 비트라인(127)과 교차되는 방향을 따라 배열된 필라 패턴(110)들이 하나의 수직형 게이트(150a)로 연결되어 있다. 이렇게 필라 패턴(110)들이 수직형 게이트(150a)로 감싸지도록 형성된 서라운드링 게이트(Surrounding gate)를 구현함으로써, 반도체 소자의 제조 공정에서 게이트 제어 능력을 향상시킬 수 있다.
- [0043] 본 발명은 기재된 실시예에 한정하는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않는 한 다양하게 수정 및 변형을 할 수 있음은 당업자에게 자명하다고 할 수 있는 바, 그러한 변형예 또는 수정예들은 본 발명의 특허 청구범위에 속하는 것이다.

부호의 설명

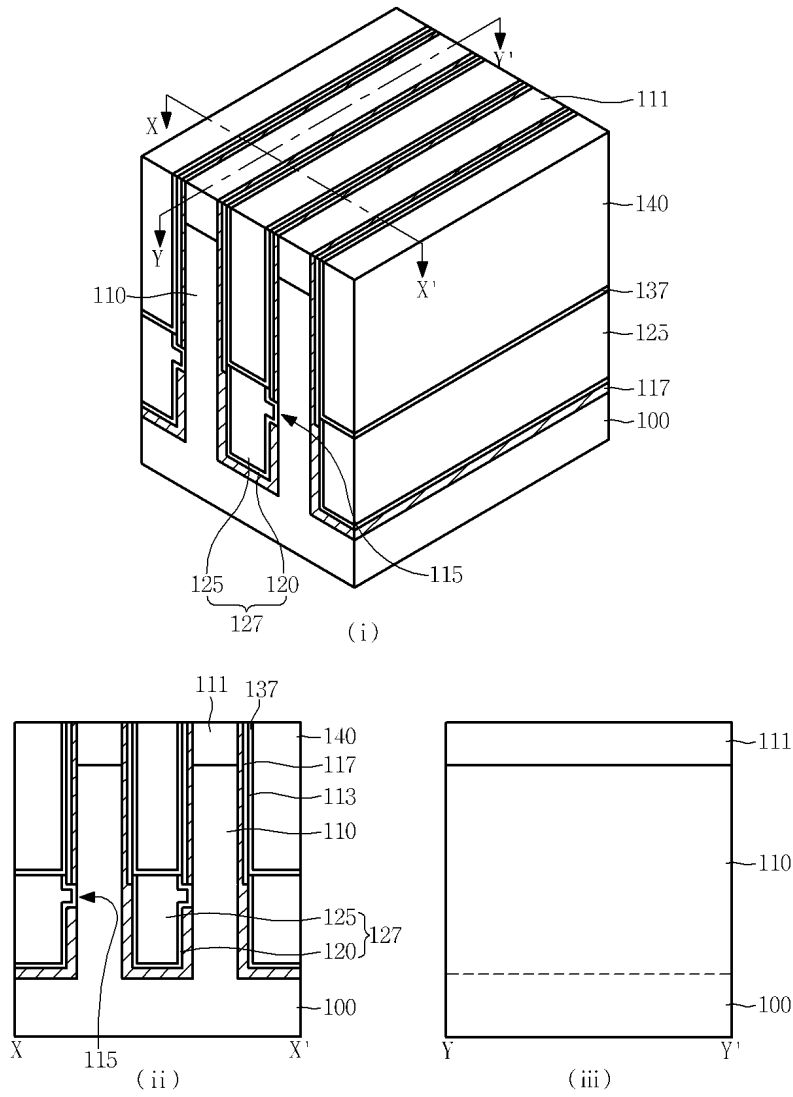
- [0044]
- | | |
|------------------|----------------|
| 100 : 반도체 기판 | 110 : 필라 패턴 |
| 111 : 마스크 패턴 | 113 : 제 1 질화막 |
| 115 : 측벽 콘택 | 117 : 제 1 산화막 |
| 120 : 배리어 메탈층 | 125 : 비트라인 도전막 |
| 137 : 제 2 질화막 | 140 : 제 2 산화막 |
| 143 : 제 3 산화막 | 147 : 제 3 질화막 |
| 149 : 제 4 산화막 | 150 : 게이트 도전막 |
| 150a : 서라운드링 게이트 | 155 : 스페이서 |

도면

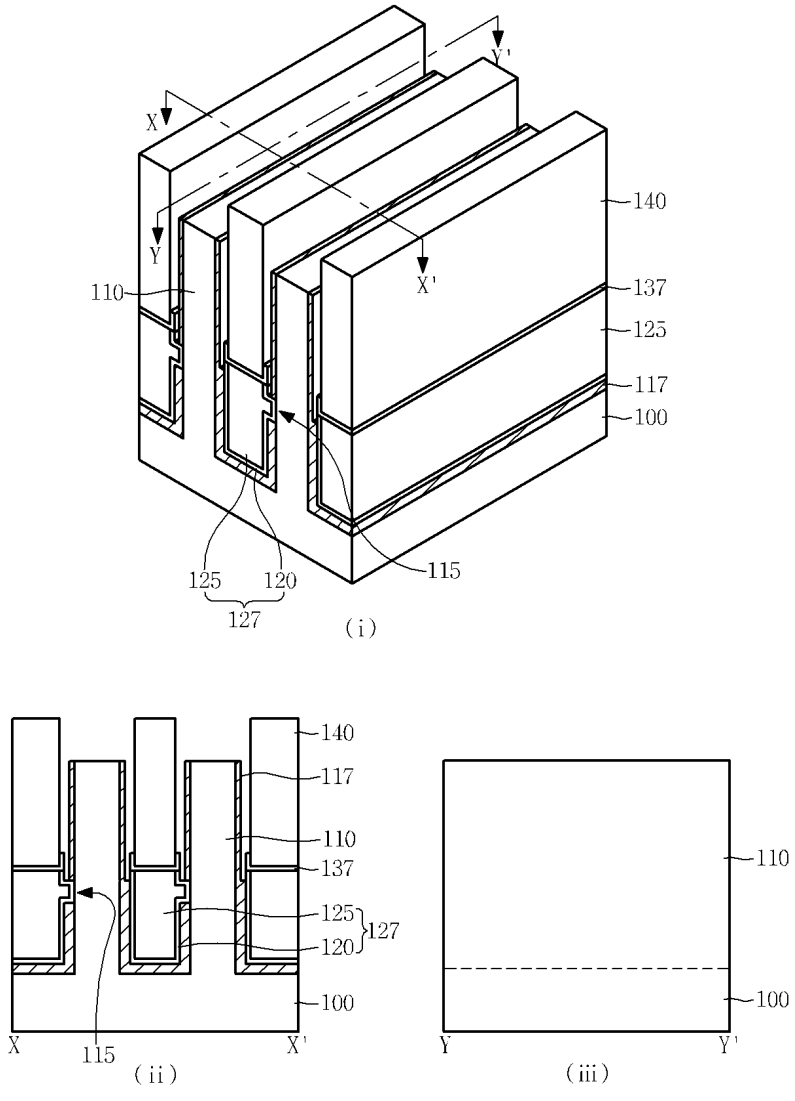
도면1



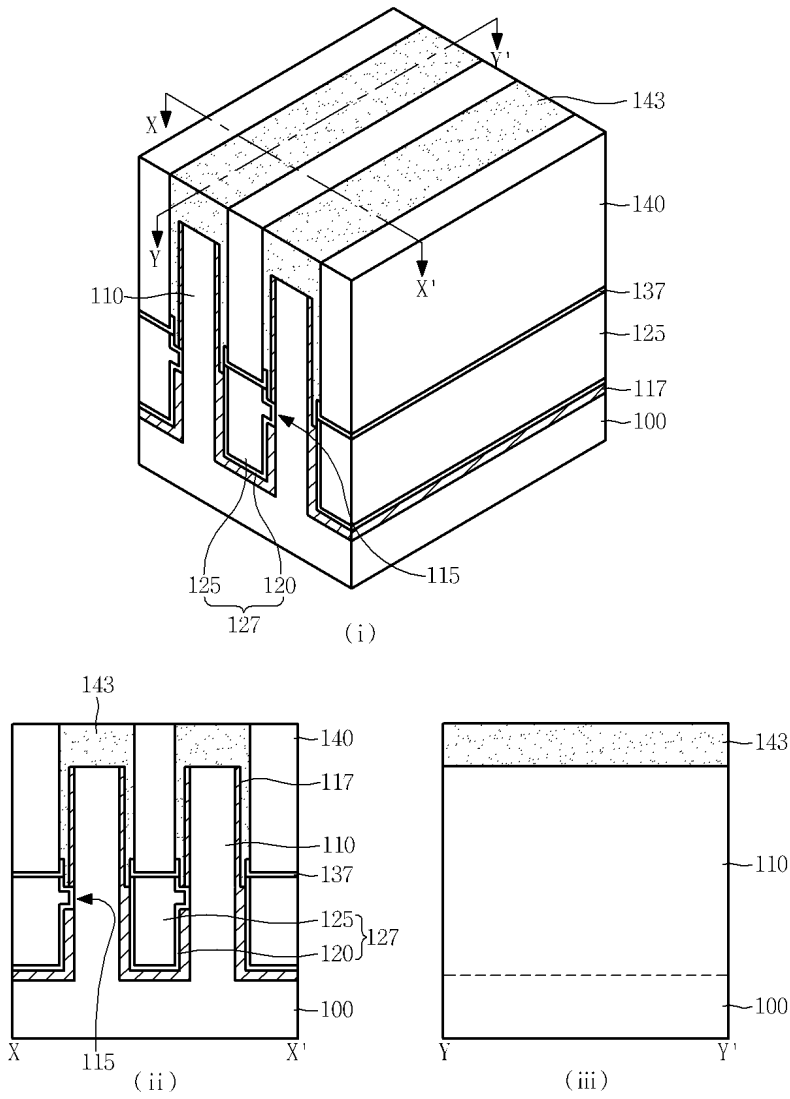
도면2a



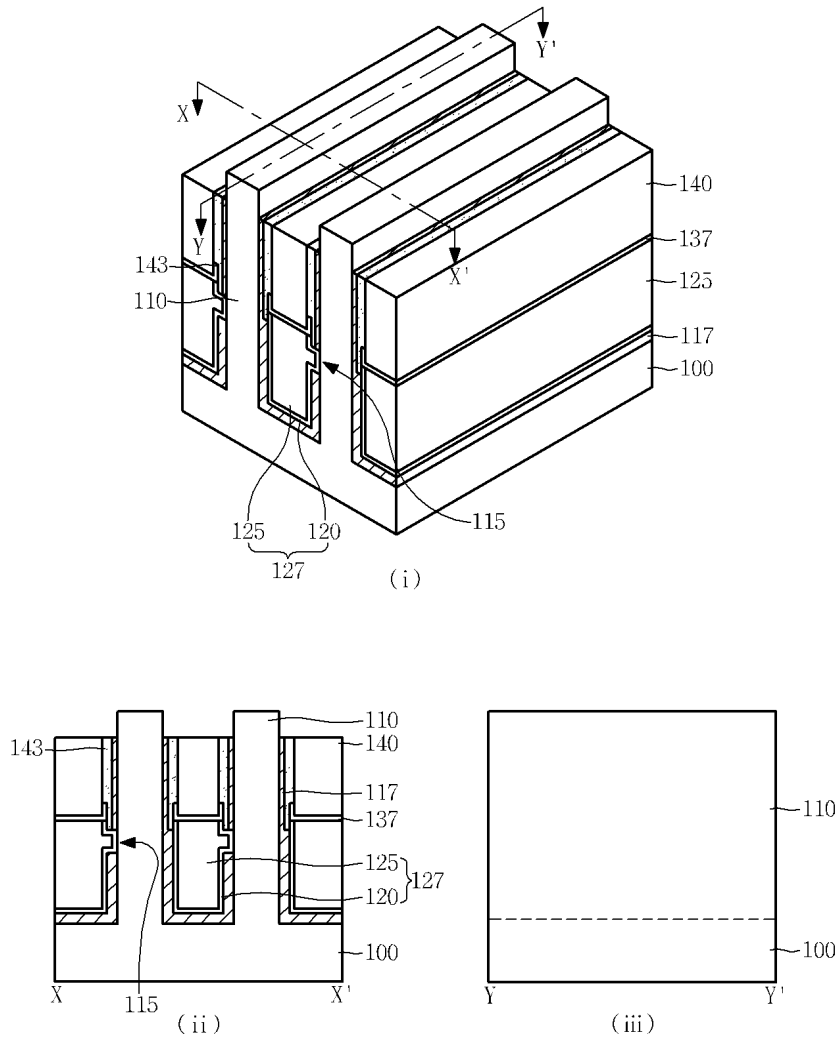
도면2b



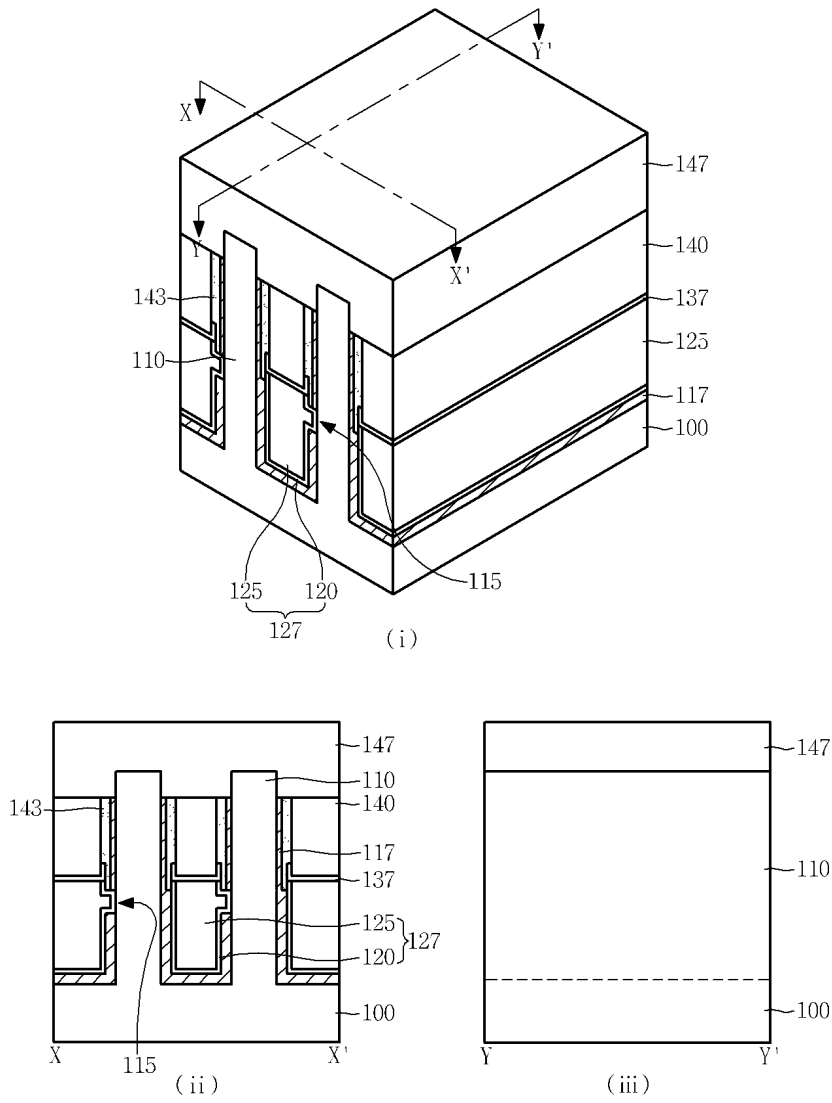
도면2c



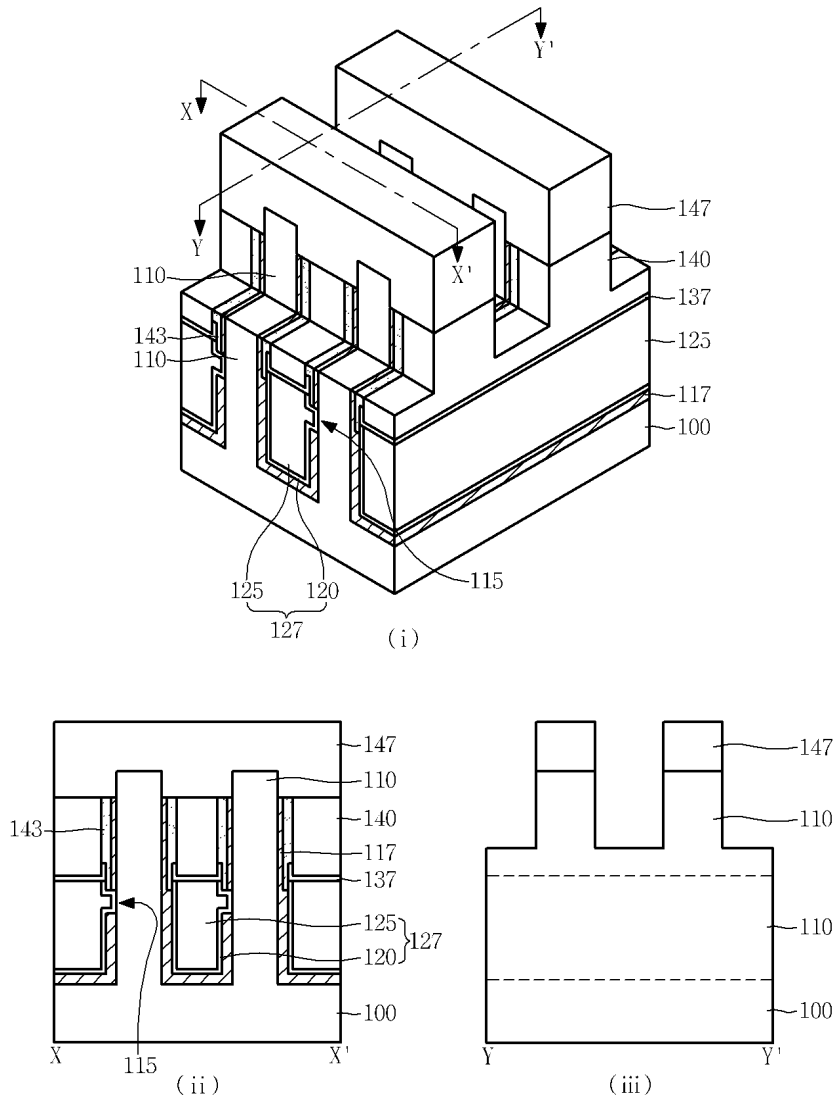
도면2d



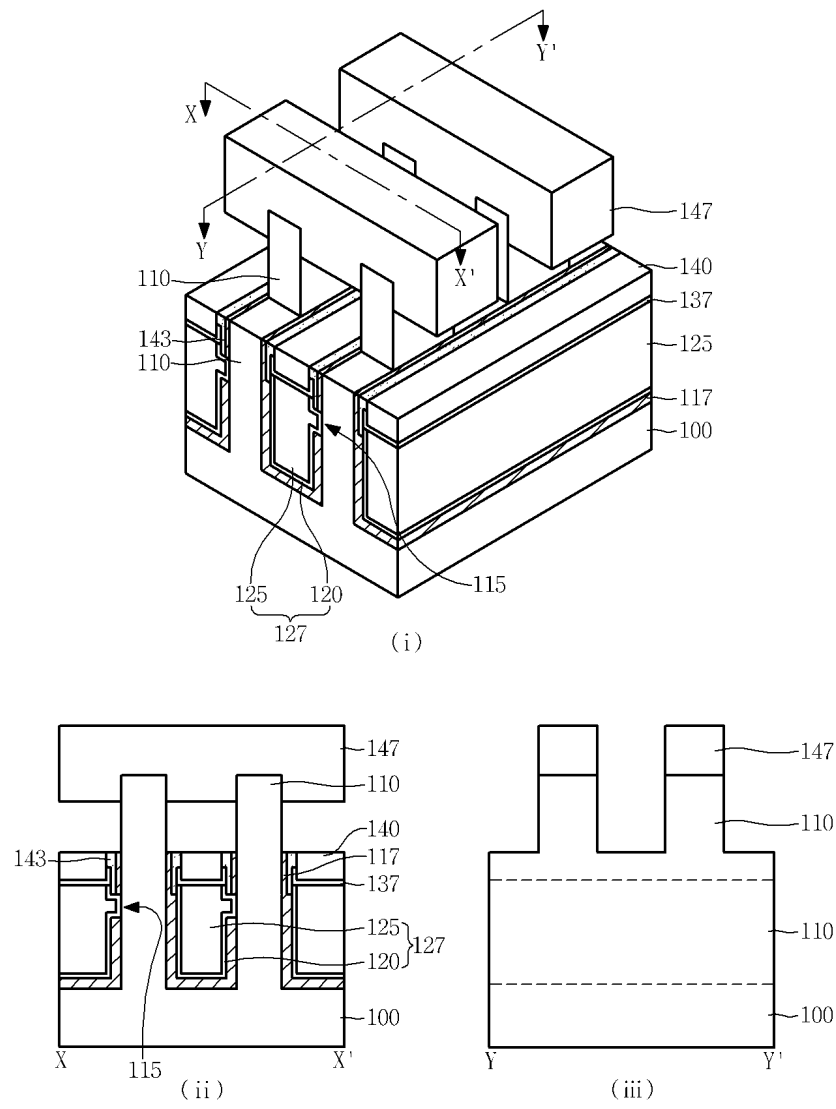
도면2e



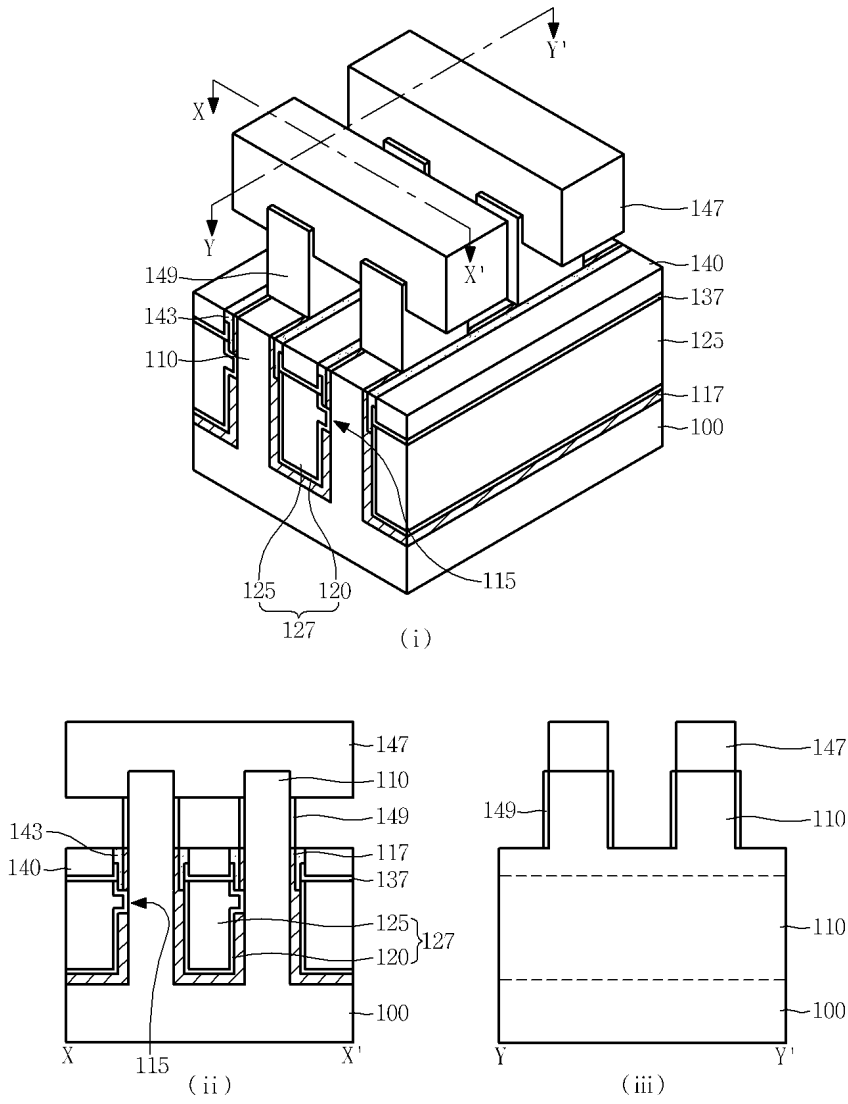
도면2f



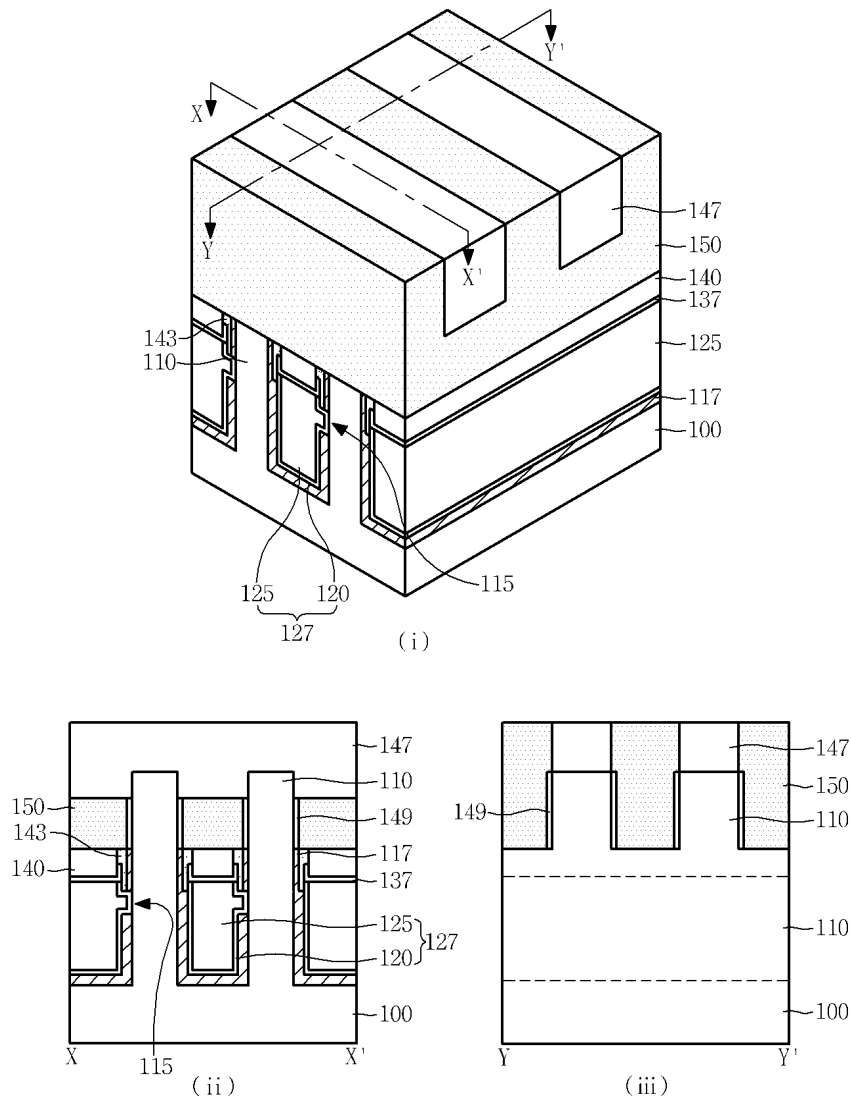
도면2g



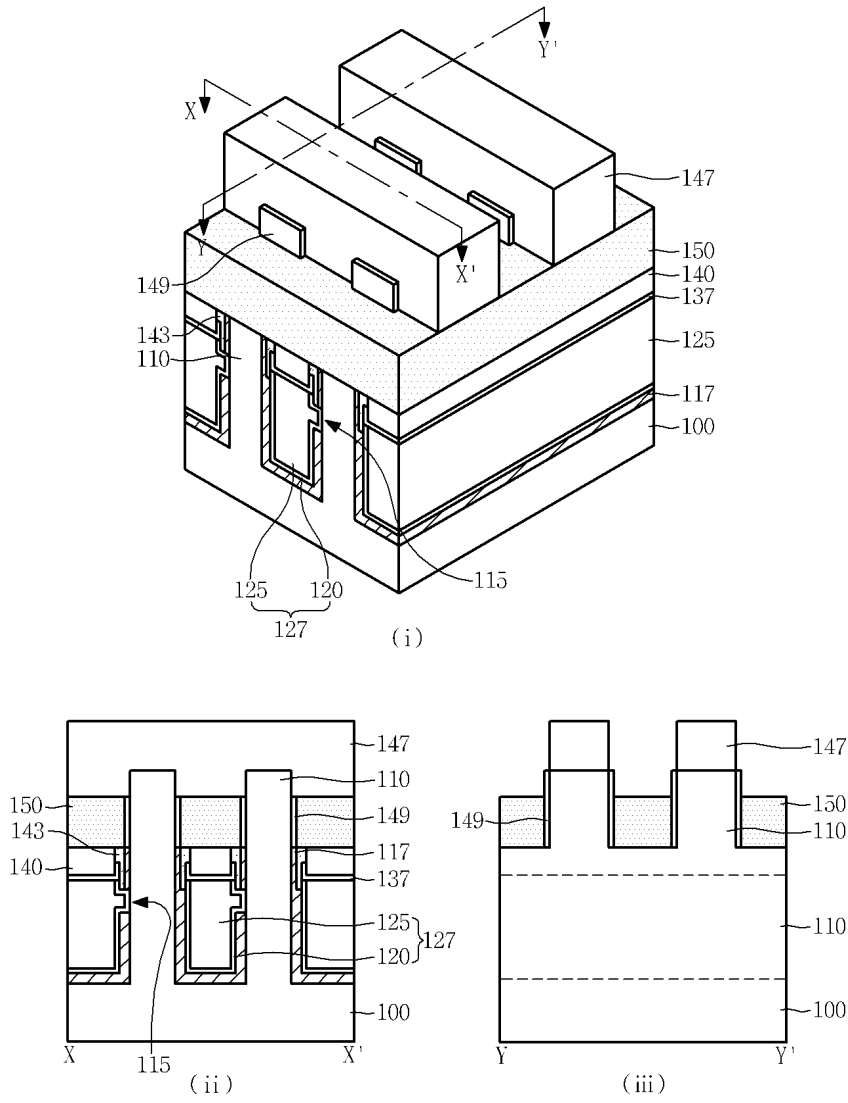
도면2h



도면2i



도면2j



도면2k

