



# (12)发明专利申请

(10)申请公布号 CN 109219885 A

(43)申请公布日 2019.01.15

(21)申请号 201880001048.0

(51)Int.Cl.

(22)申请日 2018.07.20

H01L 27/11551(2017.01)

(85)PCT国际申请进入国家阶段日

H01L 27/11578(2017.01)

2018.08.17

H01L 21/768(2006.01)

(86)PCT国际申请的申请数据

PCT/CN2018/096515 2018.07.20

(71)申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 陈俊 朱继锋 吕震宇 胡禹石

董金文 姚兰

(74)专利代理机构 北京永新同创知识产权代理

有限公司 11376

代理人 钟胜光

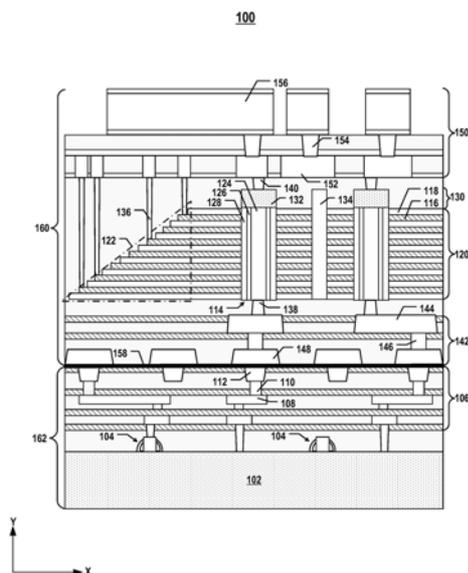
权利要求书3页 说明书13页 附图14页

(54)发明名称

三维存储器件

(57)摘要

公开了三维(3D)存储器件的实施例。在示例中,3D存储器件包括衬底、设置在外围设备、设置在外围设备之上并包括多个导体/电介质层对的存储堆叠层、以及多个存储器串。每个存储器串垂直延伸穿过存储堆叠层,并且包括漏极选择栅和漏极选择栅之上的源极选择栅。在存储堆叠层的阶梯结构中的沿着远离衬底的垂直方向的导体/电介质层对的边缘朝向存储器串横向交错排列。



1. 一种三维 (3D) 存储器件, 包括:  
衬底;  
设置在所述衬底上的外围设备;  
存储堆叠层, 其设置在所述外围设备之上并包括多个导体/电介质层对; 以及  
多个存储器串, 每个所述存储器串垂直延伸穿过所述存储堆叠层, 并包括漏极选择栅和所述漏极选择栅之上的源极选择栅,  
其中, 所述存储堆叠层的阶梯结构中的沿着远离所述衬底的垂直方向的所述导体/电介质层对的边缘朝向所述存储器串横向交错排列。
2. 如权利要求1所述的3D存储器件, 还包括设置在所述存储器串之上的第一互连层。
3. 如权利要求1或2所述的3D存储器件, 还包括在所述存储器串和所述外围设备之间的键合界面。
4. 如权利要求3所述的3D存储器件, 还包括在所述键合界面与所述外围设备之间的第二互连层以及在所述键合界面与所述存储器串之间的第三互连层。
5. 如权利要求2所述的3D存储器件, 还包括多个第一通孔触点, 其中每个所述第一通孔触点包括与所述导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与所述第一互连层接触的上端。
6. 如权利要求1-5中任一项所述的3D存储器件, 还包括分别在所述多个存储器串之下并与所述多个存储器串接触的多个第二通孔触点。
7. 如权利要求1-6中任一项所述的3D存储器件, 其中每个所述存储器串包括位于所述存储器串的上端的半导体插塞。
8. 如权利要求7所述的3D存储器件, 其中, 所述半导体插塞包括单晶硅。
9. 如权利要求7或8所述的3D存储器件, 还包括多个第三通孔触点, 其中每个所述第三通孔触点包括与所述半导体插塞之一接触的下端和与所述第一互连层接触的上端。
10. 如权利要求1-9中任一项所述的3D存储器件, 其中每个所述存储器串包括:  
垂直延伸穿过所述导体/电介质层对的半导体沟道;  
所述导体/电介质层对与所述半导体沟道之间的隧穿层; 以及  
所述隧穿层与所述导体/电介质层对之间的存储层。
11. 一种三维 (3D) 存储器件, 包括:  
衬底;  
设置在所述衬底上的外围设备;  
存储堆叠层, 其设置在所述外围设备之上并包括多个导体/电介质层对;  
多个存储器串, 每个所述存储器串垂直延伸穿过所述存储堆叠层;  
设置在所述存储器串之上的第一互连层, 和设置在所述存储器串之下的第二互连层;  
多个第一通孔触点, 每个所述第一通孔触点包括与所述导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与所述第一互连层接触的上端; 以及  
多个第二通孔触点, 每个所述第二通孔触点包括与所述第二互连层接触的下端和与所述存储器串之一接触的上端。
12. 如权利要求11所述的3D存储器件, 其中所述存储堆叠层的阶梯结构中的沿着远离所述衬底的垂直方向的所述导体/电介质层对的边缘朝向所述存储器串横向交错排列。

13. 如权利要求11或12所述的3D存储器件,其中每个所述存储器串包括漏极选择栅和所述漏极选择栅之上的源极选择栅。

14. 如权利要求11-13中任一项所述的3D存储器件,还包括在所述第二互连层和所述外围设备之间的键合界面。

15. 如权利要求11-14中任一项所述的3D存储器件,其中,每个所述存储器串包括位于所述存储器串的上端的半导体插塞。

16. 如权利要求15所述的3D存储器件,其中所述半导体插塞包含单晶硅。

17. 如权利要求15或16所述的3D存储器件,还包括多个第三通孔触点,其中每个所述第三通孔触点包括与所述半导体插塞之一接触的下端和与所述第一互连层接触的上端。

18. 如权利要求11-17中任一项所述的3D存储器件,其中每个所述存储器串包括:

垂直延伸穿过所述导体/电介质层对的半导体沟道;

所述导体/电介质层对与所述半导体沟道之间的隧穿层;以及

所述隧穿层与所述导体/电介质层对之间的存储层。

19. 一种三维(3D)存储器件,包括:

第一半导体结构,包括:

多个存储器串,每个所述存储器串垂直延伸并包括位于所述存储器串的上端的半导体插塞;

设置在所述存储器串之上的第一互连层,和设置在所述存储器串之下的第二互连层;以及

多个第一通孔触点,每个所述第一通孔触点包括与所述半导体插塞之一接触的下端和与所述第一互连层接触的上端;

第二半导体结构,包括:

衬底;

设置在所述衬底上的外围设备;以及

设置在所述外围设备之上的第三互连层;以及

所述第一半导体结构和所述第二半导体结构之间的键合界面,其中所述第二互连层在键合界面处接触所述第三互连层。

20. 如权利要求19所述的3D存储器件,其中,所述半导体插塞包括单晶硅。

21. 如权利要求19或20所述的3D存储器件,其中,每个所述存储器串还包括漏极选择栅和漏极选择栅之上的源极选择栅。

22. 如权利要求19-21中任一项所述的3D存储器件,还包括存储堆叠层,所述存储器串垂直延伸穿过所述存储堆叠层,并且所述存储堆叠层包括多个导体/电介质层对,其中所述存储堆叠层的阶梯结构中的沿着远离所述衬底的垂直方向的导体/电介质层对的边缘朝向所述存储器串横向交错排列。

23. 如权利要求22所述的3D存储器件,其中每个所述存储器串包括:

垂直延伸穿过所述导体/电介质层对的半导体沟道;

所述导体/电介质层对与所述半导体沟道之间的隧穿层;以及

所述隧穿层与所述导体/电介质层对之间的存储层。

24. 如权利要求22或23所述的3D存储器件,还包括多个第二通孔触点,其中每个所述第

二通孔触点包括与所述导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与所述第一互连层接触的上端。

25. 如权利要求19-24中任一项所述的3D存储器件,还包括多个第三通孔触点,每个所述第三通孔触点包括与所述第二互连层接触的下端和与所述存储器串之一接触的上端。

## 三维存储器件

### 背景技术

[0001] 本公开的实施例涉及三维 (3D) 存储器件及其制造方法。

[0002] 通过改进工艺技术、电路设计、编程算法和制造工艺,将平面存储单元缩放到更小的尺寸。然而,随着存储单元的特征尺寸接近下限,平面工艺和制造技术变得具有挑战性且成本高。结果,平面存储单元的存储密度接近上限。

[0003] 3D存储器架构可以解决平面存储单元中的密度限制。3D存储器架构包括存储阵列和用于控制进出存储阵列的信号的外围设备。

### 发明内容

[0004] 本文公开了3D存储器件的实施例。

[0005] 在一个示例中,3D存储器件包括衬底、设置在衬底上的外围设备、设置在外围设备之上并包括多个导体/电介质层对的存储堆叠层、以及多个存储器串。每个存储器串垂直延伸穿过存储堆叠层,并且包括漏极选择栅和漏极选择栅之上的源极选择栅。在存储堆叠层的阶梯结构中的沿着远离衬底的垂直方向的导体/电介质层对的边缘朝向存储器串横向交错排列。

[0006] 在另一示例中,3D存储器件包括衬底、设置在衬底上的外围设备、设置在外围设备之上并包括多个导体/电介质层对的存储堆叠层、每个垂直延伸穿过存储堆叠层的多个存储器串、设置在存储器串之上的第一互连层、设置在存储器串之下的第二互连层、多个第一通孔触点和多个第二通孔触点。每个第一通孔触点包括与导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与第一互连层接触的上端。每个第二通孔触点包括与第二互连层接触的下端和与存储器串之一接触的上端。

[0007] 在又一个示例中,3D存储器件包括第一半导体结构、第二半导体结构、以及第一半导体结构和第二半导体结构之间的键合界面。第一半导体结构包括多个存储器串、设置在存储器串之上的第一互连层、设置在存储器串之下的第二互连层、以及多个第一通孔触点,每个存储器串垂直延伸并包括位于存储器串的上端的半导体插塞。每个第一通孔触点包括与半导体插塞之一接触的下端和与第一互连层接触的上端。第二半导体结构包括衬底、设置在衬底上的外围设备、以及设置在外围设备之上的第三互连层。第二互连层在键合界面处接触第三互连层。

### 附图说明

[0008] 并入本文中并且构成说明书的部分的附图示出了本公开的实施例,并且与说明书一起进一步用来对本公开的原理进行解释,并且使相关领域技术人员能够实施和使用本公开。

[0009] 图1示出了根据一些实施例的示例性3D存储器件的横截面。

[0010] 图2A-2B示出了根据一些实施例的用于形成示例性外围设备芯片的制造工艺。

[0011] 图3A-3D示出了根据一些实施例的用于形成示例性存储阵列器件芯片的制造工

艺。

[0012] 图4A-4F示出了根据一些实施例的用于形成示例性3D存储器件的制造工艺,其中存储阵列器件芯片键合到外围设备芯片。

[0013] 图5是根据一些实施例的用于形成示例性外围设备芯片的方法的流程图。

[0014] 图6是根据一些实施例的用于形成示例性存储阵列器件芯片的方法的流程图。

[0015] 图7是根据一些实施例的用于形成示例性3D存储器件的方法的流程图,其中存储阵列器件芯片键合到外围设备芯片。

[0016] 将参考附图来描述本公开的实施例。

### 具体实施方式

[0017] 尽管对具体配置和布置进行了讨论,但应当理解,这只是出于示例性目的而进行的。相关领域中的技术人员将认识到,可以使用其它配置和布置而不脱离本公开的精神和范围。对相关领域的技术人员显而易见的是,本公开还可以用于多种其它应用中。

[0018] 要指出的是,在说明书中提到“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等指示所述的实施例可以包括特定特征、结构或特性,但未必每个实施例都包括该特定特征、结构或特性。此外,这样的短语未必是指同一个实施例。另外,在结合实施例描述特定特征、结构或特性时,结合其它实施例(无论是否明确描述)实现这种特征、结构或特性应在相关领域技术人员的知识范围内。

[0019] 通常,可以至少部分从上下文中的使用来理解术语。例如,至少部分取决于上下文,本文中使用的术语“一个或多个”可以用于描述单数意义的特征、结构或特性,或者可以用于描述复数意义的特征、结构或特性的组合。类似地,至少部分取决于上下文,诸如“一”或“所述”的术语可以被理解为传达单数使用或传达复数使用。另外,术语“基于”可以被理解为不一定旨在传达一组排他性的因素,而是可以替代地,至少部分地取决于上下文,允许存在不一定明确描述的其他因素。

[0020] 应当容易理解,本公开中的“在…上”、“在…之上”和“在…上方”的含义应当以最宽方式被解读,以使得“在…上”不仅表示“直接在”某物“上”而且还包括在某物“上”且其间有居间特征或层的含义,并且“在…之上”或“在…上方”不仅表示“在”某物“之上”或“上方”的含义,而且还可以包括其“在”某物“之上”或“上方”且其间没有居间特征或层(即,直接在某物上)的含义。

[0021] 此外,诸如“在…之下”、“在…下方”、“下部”、“在…之上”、“上部”等空间相关术语在本文中为了描述方便可以用于描述一个元件或特征与另一个或多个元件或特征的关系,如在附图中示出的。空间相关术语旨在涵盖除了在附图所描绘的取向之外的在设备使用或操作中的不同取向。设备可以以另外的方式被定向(旋转90度或在其它取向),并且本文中使用的空间相关描述词可以类似地被相应解释。

[0022] 如本文中使用的,术语“衬底”是指向其上增加后续材料的材料。可以对衬底自身进行图案化。增加在衬底的顶部上的材料可以被图案化或可以保持不被图案化。此外,衬底可以包括宽范围的半导体材料,例如硅、锗、砷化镓、磷化铟等。替代地,衬底可以由诸如玻璃、塑料或蓝宝石晶圆的非导电材料制成。

[0023] 如本文中使用的,术语“层”是指包括具有厚度的区域的材料部分。层可以在下方

或上方结构的整体之上延伸,或者可以具有小于下方或上方结构范围的范围。此外,层可以是厚度小于连续结构的厚度的均质或非均质连续结构的区域。例如,层可以位于在连续结构的顶表面和底表面之间或在顶表面和底表面处的任何水平面对之间。层可以水平、竖直和/或沿倾斜表面延伸。衬底可以是层,其中可以包括一个或多个层,和/或可以在其上、其上方和/或其下方具有一个或多个层。层可以包括多个层。例如,互连层可以包括一个或多个导体和接触层(其中形成互连线和/或通孔触点)和一个或多个电介质层。

[0024] 如本文使用的,术语“标称/标称地”是指在生产或过程的设计阶段期间设置的针对部件或过程操作的特性或参数的期望或目标值,以及高于和/或低于期望值的值的范围。值的范围可能是由于制造过程或容限中的轻微变化导致的。如本文使用的,术语“大约”指示可以基于与主题半导体器件相关联的特定技术节点而变化的给定量的值。基于特定技术节点,术语“大约”可以指示给定量的值,其例如在值的10%–30%(例如,值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$ )内变化。

[0025] 如本文所使用的,术语“3D存储器件”指的是在横向取向的衬底上具有垂直取向的存储单元晶体管串(在本文中称为“存储器串”,例如NAND存储器串)使得存储器串相对于衬底在垂直方向上延伸的半导体器件。如本文所使用的,术语“垂直/垂直地”意味着标称上正交于衬底的横向表面。

[0026] 与其他3D存储器件相比,根据本公开的各种实施例提供了具有更小管芯尺寸、更高单元密度和改进性能的3D存储器件。通过在外围设备芯片之上垂直堆叠存储阵列器件芯片,可以增加所得到的3D存储器件的单元密度。此外,通过使外围设备处理和存储阵列器件处理去耦,与处理存储阵列器件相关联的热预算不受外围设备的性能要求的限制。类似地,外围设备性能不受存储阵列器件处理的影响。例如,外围设备和存储阵列器件可以分别制造在不同的衬底上,使得用于制造存储阵列器件的某些高温工艺不会不利地影响外围设备的制造(例如,避免掺杂剂的过度扩散,控制离子注入的掺杂浓度和/或厚度等)。

[0027] 图1示出了根据本公开的一些实施例的示例性3D存储器件100的横截面。3D存储器件100表示非单片3D存储器件的示例。术语“非单片”意指3D存储器件100的组件(例如,外围设备和存储阵列器件)可以在不同的衬底上单独形成,然后连接以形成3D存储器件。3D存储器件100可包括衬底102,衬底102可包括硅(例如,单晶硅)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或任何其他合适的材料。

[0028] 3D存储器件100可以包括衬底102上的外围设备。外围设备可以形成在衬底102“上”,其中外围设备的整体或部分形成在衬底102中(例如,在衬底102的顶表面之下)和/或直接形成在衬底102上。外围设备可以包括形成在衬底102上的多个晶体管104。隔离区(例如,浅沟槽隔离(STI),未示出)和掺杂区(例如,晶体管104的源极区和漏极区,未示出)也可以形成在衬底102中。

[0029] 在一些实施例中,外围设备可以包括用于便于3D存储器件100的操作的任何合适的数字、模拟和/或混合信号外围电路。例如,外围设备可以包括一个或多个页面缓冲器、解码器(例如,行解码器和列解码器)、读出放大器、驱动器、电荷泵、电流或电压基准源、或电路的任何有源或无源组件(例如,晶体管、二极管、电阻器或电容器)。在一些实施例中,使用互补金属氧化物半导体(CMOS)技术(也称为“CMOS芯片”)在衬底102上形成外围设备。

[0030] 3D存储器件100可包括晶体管104之上的互连层106(本文称为“外围互连层”)以将

电信号传输到晶体管104和从晶体管104传输电信号。外围互连层106可包括多个互连(本文也称为“触点”),包括横向互连线108和垂直互连接入(通孔)触点110。如本文所用,术语“互连”可以广泛地包括任何合适类型的互连,例如中段工序(MEOL)互连和后段工序(BEOL)互连。外围互连层106还可以包括一个或多个层间电介质(ILD)层(也称为“金属间电介质(IMD)层”),其中可以形成互连线108和通孔触点110。也就是说,外围互连层106可以包括多个ILD层中的互连线108和通孔触点110。外围互连层106中的互连线108和通孔触点110可包括导电材料,其包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或其任何组合。外围互连层106中的ILD层可以包括电介质材料,其包括但不限于氧化硅、氮化硅、氮氧化硅、低介电常数(低k)电介质或其任何组合。

[0031] 在一些实施例中,外围互连层106还包括在外围互连层106的顶表面处的多个键合触点112。键合触点112可包括导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。外围互连层106的顶表面处的剩余区域可以用电介质材料形成,电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在外围互连层106的顶表面处的(键合触点112的)导电材料和电介质材料可以用于混合键合,如下面详细描述。

[0032] 3D存储器件100可以包括在外围设备之上的存储阵列器件。注意,x轴和y轴被包括在图1中,以进一步示出3D存储器件100中的组件的空间关系。衬底102包括在x方向(即,横向方向或宽度方向)上横向延伸的两个横向表面(例如,顶表面和底表面)。如本文所使用的,一个组件(例如,层或器件)是否在半导体器件(例如,3D存储器件100)的另一组件(例如,层或器件)“上”、“之上”或“之下”是在衬底在y方向上位于半导体器件的最低部平面中时、相对于半导体器件的衬底(例如,衬底102)在y方向(即,垂直方向或厚度方向)上所确定的。在整个本公开中均采用用于描述空间关系的相同概念。

[0033] 在一些实施例中,3D存储器件100是NAND快闪存储器件,其中存储单元以NAND存储器串114的阵列的形式提供,每个存储器串114在外围设备(例如,晶体管104)和衬底102之上垂直延伸。存储阵列器件可以包括NAND存储器串114,其垂直延伸穿过多个对,每个对包括导体层116和电介质层118(本文称为“导体/电介质层对”)。堆叠的导体/电介质层对在本文也称为“存储堆叠层”120。存储堆叠层120中的导体层116和电介质层118在垂直方向上交替。换句话说,除了在存储堆叠层120的顶部或底部处的导体/电介质层对之外,每个导体层116可以在两侧与两个电介质层118邻接,并且每个电介质层118可以在两侧与两个导体层116邻接。导体层116可各自具有相同的厚度或不同的厚度。类似地,电介质层118可各自具有相同的厚度或不同的厚度。导体层116可包括导体材料,其包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。电介质层118可包括电介质材料,其包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0034] 存储堆叠层120可包括内部区域(也称为“核心阵列区域”)和外部区域(也称为“阶梯区域”)。在一些实施例中,内部区域是存储堆叠层120的中心区域,其中形成NAND存储器串114的阵列,并且外部区域是存储堆叠层120的围绕内部区域的剩余区域(包括侧面和边缘)。如图1所示,至少在一个侧面上,存储堆叠层120的外部区域可以包括阶梯结构122。存储堆叠层120的阶梯结构122中的沿着远离衬底102的垂直方向(正y方向)的导体/电介质层对的边缘朝向NAND存储器串114的阵列横向交错排列。换句话说,阶梯结构122中的存储堆叠层120的边缘可以随着远离衬底102(从底部到顶部)移动而朝向内部区域倾斜。阶梯结构

122的斜面可以背向衬底102。在一些实施例中,存储堆叠层120的每个导体/电介质层对的长度从顶部到底部增加。

[0035] 在一些实施例中,阶梯结构122中的每两个相邻导体/电介质层对在垂直方向上偏移标称上相同的距离,并且在横向方向上偏移标称上相同的距离。因此,每个偏移可以形成用于垂直方向上字线扇出的“着陆区域”。导体/电介质层对中的一些导体层116可以用作3D存储器件100的字线,并且横向延伸到阶梯结构122中以用于互连。如图1所示,根据一些实施例,阶梯结构122中的每个相邻导体/电介质层对的边缘的偏移标称上是相同的。

[0036] 如图1所示,每个NAND存储器串114可以垂直延伸穿过存储堆叠层120的内部区域,并且包括半导体沟道124和电介质层(也称为“存储膜”)。在一些实施例中,半导体沟道124包括硅,例如非晶硅、多晶硅或单晶硅。在一些实施例中,存储膜是复合层,包括隧穿层126、存储层128(也称为“电荷捕获/存储层”)和阻隔层(未示出)。每个NAND存储器串114可以具有圆柱形状(例如,柱形)。根据一些实施例,半导体沟道124、隧穿层126、存储层128和阻隔层依此顺序从柱的中心朝向外表面径向布置。隧穿层126可包括氧化硅、氮氧化硅或其任意组合。存储层128可包括氮化硅、氮氧化硅、硅或其任意组合。阻隔层可包括氧化硅、氮氧化硅、高介电常数(高k)电介质或其任意组合。

[0037] 在一些实施例中,NAND存储器串114还包括多个控制栅极(每个控制栅极是字线的一部分)。存储堆叠层120中的每个导体层116可以用作NAND存储器串114的每个存储单元的控制栅极。每个NAND存储器串114可以包括在其上端的源极选择栅和在其次下端的漏极选择栅。如本文所使用的,组件(例如,NAND存储器串114)的“上端”是在y方向上远离衬底102的端部,并且组件的“下端”(例如,NAND存储器串114)是在y方向上靠近衬底102的端部。对于每个NAND存储器串114,漏极选择栅可以设置在3D存储器件100中的源极选择栅之下。

[0038] 在一些实施例中,3D存储器件100还包括设置在NAND存储器串114之上并与其接触的半导体层130,例如,在每个NAND存储器串114的上端。存储堆叠层120可以设置在半导体层130之下。半导体层130可以是其上形成存储堆叠层120的减薄的衬底。在一些实施例中,半导体层130包括通过隔离区(例如,STI)电隔离的多个半导体插塞132。在一些实施例中,每个半导体插塞132设置在相应的NAND存储器串114的上端,并且用作相应的NAND存储器串114的源极,因此,可以被认为是相应的NAND存储器串114的一部分。半导体插塞132可以包括单晶硅。半导体插塞132可以是未掺杂的、部分掺杂的(在厚度方向和/或宽度方向上),或者是由p型或n型掺杂剂完全掺杂的。在一些实施例中,半导体插塞132可包括SiGe、GaAs、Ge或任何其他合适的材料。在一些实施例中,半导体层130(及其中的半导体插塞132)的厚度在约0.1 $\mu\text{m}$ 和约50 $\mu\text{m}$ 之间,例如在0.1 $\mu\text{m}$ 和50 $\mu\text{m}$ 之间。在一些实施例中,半导体层130(及其中的半导体插塞132)的厚度在约0.2 $\mu\text{m}$ 和约5 $\mu\text{m}$ 之间,例如在0.2 $\mu\text{m}$ 和5 $\mu\text{m}$ 之间(例如,0.2 $\mu\text{m}$ 、0.3 $\mu\text{m}$ 、0.4 $\mu\text{m}$ 、0.5 $\mu\text{m}$ 、0.6 $\mu\text{m}$ 、0.7 $\mu\text{m}$ 、0.8 $\mu\text{m}$ 、0.9 $\mu\text{m}$ 、1 $\mu\text{m}$ 、2 $\mu\text{m}$ 、3 $\mu\text{m}$ 、4 $\mu\text{m}$ 、5 $\mu\text{m}$ 、由下端通过任何这些值限定的任何范围、或处于由这些值中的任何两个定义的任何范围)。

[0039] 在一些实施例中,3D存储器件100还包括垂直延伸穿过存储堆叠层120的栅缝隙(“GLS”)134。GLS 134可用于通过栅极替换工艺在存储堆叠层120中形成导体/电介质层对。在一些实施例中,首先用电介质材料(例如,氧化硅、氮化硅或其任何组合)填充GLS 134,以将NAND存储器串阵列分成不同的区域(例如,存储指状物和/或存储块)。然后,根据一些实施例,GLS 134填充有导电和/或半导体材料(例如,W、Co、多晶硅或其任何组合),以电控制

阵列共源极(ACS)。

[0040] 在一些实施例中,3D存储器件100包括形成于一个或多个ILD层中并与存储堆叠层120中的组件(例如字线(例如,导体层116)和NAND存储器串114)接触的局部互连。互连在本文中称为“局部互连”,因为它们直接与存储堆叠层120中的组件接触以扇出。如本文所使用的,术语“互连”可以广泛地包括任何合适类型的互连,包括垂直互连接入(例如,通孔)触点和横向互连线。局部互连可以包括字线通孔触点136、位线通孔触点138和源极线通孔触点140。每个局部互连可以包括填充有导电材料的开口(例如,通孔或沟槽),导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。

[0041] 字线通孔触点136可以垂直延伸穿过一个或多个ILD层。每个字线通孔触点136可以使其下端与存储堆叠层120的阶梯结构122中的对应导体层116(例如,在着陆区域处)接触,以单独寻址3D存储器件100的对应字线。在一些实施例中,每个字线通孔触点136设置在相应的导体层116之上。每个位线通孔触点138可以设置在存储堆叠层120之下,并使其上端与相应的NAND存储器串114的下端(漏极端)接触,以单独寻址相应的NAND存储器串114。根据一些实施例,多个位线通孔触点138分别设置在多个NAND存储器串114之下并与其接触。如图1所示,字线通孔触点136和位线通孔触点138将相应的存储堆叠层组件朝向相反的垂直方向(正y方向和负y方向)扇出。源极线通孔触点140可以垂直延伸穿过一个或多个ILD层。每个源极线通孔触点140可以使其下端与NAND存储器串114的相应半导体插塞132(例如,源极)接触。在一些实施例中,每个源极线通孔触点140设置在相应的NAND存储器串114之上。

[0042] 与外围设备类似,3D存储器件100的存储阵列器件还可以包括用于将电信号传输到NAND存储器串114和从NAND存储器串114传输电信号的互连层。如图1所示,3D存储器件100可以包括NAND存储器串114之下的互连层142(本文称为“阵列互连层”)。阵列互连层142可以包括多个互连,其包括一个或多个ILD层中的互连线144和通孔触点146。在一些实施例中,阵列互连层142包括在其底表面处的多个键合触点148。互连线144、通孔触点146和键合触点148可包括导电材料,其包括但不限于W、Co、Cu、Al、硅化物或其任何组合。阵列互连层142的底表面处的剩余区域可以用电介质材料形成,电介质材料包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在阵列互连层142的底表面处的(键合触点148的)导电材料和电介质材料可以用于混合键合,如下面详细描述。

[0043] 如图1所示,另一个互连层150(本文称为“BEOL互连层”)可以设置在NAND存储器串114和半导体层130之上,并且可以包括互连,例如一个或多个ILD层中的互连线152和通孔触点154。BEOL互连层150还可以包括在3D存储器件100的顶表面处的接触焊盘156和再分布层(未示出),用于引线键合和/或与插入器的键合。BEOL互连层150和阵列互连层142可以形成在NAND存储器串114的相对侧。在一些实施例中,BEOL互连层150中的互连线152、通孔触点154和接触焊盘156可以在3D存储器件100和外部电路之间传输电信号。BEOL互连层150可以通过局部互连电连接到存储堆叠层组件。如图1所示,每个字线通孔触点136可以使其上端与BEOL互连层150接触。类似地,每个源极线通孔触点140可以使其上端与BEOL互连层150接触。阶梯结构122和半导体层130的布置和配置允许通过局部互连(例如,字线通孔触点136和源极线通孔触点140)和BEOL互连层150直接扇出字线(例如,导体层116)和NAND存储器串114的源极,而不绕过阵列互连层142。

[0044] 在一些实施例中,3D存储器件100还包括穿过存储堆叠层120垂直延伸的一个或多个贯穿阵列触点(TAC,未示出)。每个TAC可以延伸穿过整个存储堆叠层120(例如,所有其中的导体/电介质层对),并使其上端与BEOL互连层150接触并使其下端与阵列互连层142接触。因此,TAC可以在外围互连层106和BEOL互连层150之间形成电连接,并且将电信号从3D存储器件100的外围设备传递到BEOL互连。

[0045] 键合界面158可以形成在外围互连层106和阵列互连层142之间。键合触点112可以在键合界面158处与键合触点148键合。如图1所示,外围设备(例如,晶体管104)可以在键合之后设置在3D存储器件100中的存储阵列器件(例如,NAND存储器串114)之下。在3D存储器件100中,根据一些实施例,键合界面158设置在存储阵列器件(例如,存储器串114)和外围设备(例如,晶体管104)之间。外围互连层106可以在键合界面158和外围设备(例如,晶体管104)之间,并且阵列互连层142可以在键合界面158和存储阵列器件(例如,存储器串114)之间。

[0046] 在一些实施例中,包括NAND存储器串114、半导体层130(例如,减薄的衬底)、阵列互连层142、BEOL互连层150、以及字线通孔触点136的第一半导体结构(例如,存储阵列器件芯片160)以面对面的方式在键合界面158处键合到包括衬底102、外围设备(例如,晶体管104)和外围互连层106的第二半导体结构(例如,外围设备芯片162)。阵列互连层142可以在键合界面158处接触外围互连层106。外围设备芯片162和存储阵列器件芯片160可以使用混合键合(也称为“金属/电介质混合键合”)来键合,这是一种直接键合技术(例如,在不使用中间层的情况下在表面之间形成键合,例如焊料或粘合剂),并且可以同时获得金属-金属键合和电介质-电介质键合。可以在键合触点148和键合触点112之间形成金属-金属键合,并且可以在键合界面158处的剩余区域处的电介质材料之间形成电介质-电介质键合。

[0047] 图2A-2B示出了根据一些实施例的用于形成示例性外围设备芯片的制造工艺。图3A-3D示出了根据一些实施例的用于形成示例性存储阵列器件芯片的制造工艺。图4A-4F示出了根据一些实施例的用于形成示例性3D存储器件的制造工艺,其中存储阵列器件芯片键合到外围设备芯片。图5是根据一些实施例的用于形成示例性外围设备芯片的方法500的流程图。图6是根据一些实施例的用于形成示例性存储阵列器件芯片的方法600的流程图。图7是根据一些实施例的用于形成示例性3D存储器件的方法700的流程图,其中存储阵列器件芯片键合到外围设备芯片。图2-7中示出的3D存储器件的示例包括图1中示出的3D存储器件100。将一起描述图2-7。应当理解,方法500、600和700中所示的操作不是详尽的,并且也可以在所列举的任何操作之前、之后或之间执行其他操作。此外,一些操作可以同时执行,或者以与图5-7中所示不同的顺序来执行。

[0048] 参照图5,方法500开始于操作502,其中将外围设备形成在第一衬底上。衬底可以是硅衬底。如图2A所示,外围设备形成在硅衬底202上。外围设备可以包括形成在硅衬底202上的多个晶体管204。晶体管204可以通过多种工艺形成,包括但不限于光刻、干法/湿法蚀刻、薄膜沉积、热生长、注入、化学机械抛光(CMP)和任何其他合适的工艺。在一些实施例中,通过离子注入和/或热扩散在硅衬底202中形成掺杂区(未示出),其例如用作晶体管204的源极区和/或漏极区。在一些实施例中,隔离区(例如,STI,未示出)也通过湿法/干法蚀刻和薄膜沉积形成在硅衬底202中。

[0049] 方法500前进到操作504,如图5所示,其中在外围设备之上形成第一互连层(例如,

外围互连层)。外围互连层可以包括一个或多个ILD层中的第一多个互连。方法500前进到操作506,如图5所示,其中第一多个键合触点形成在外围互连层的顶表面处。

[0050] 如图2B所示,外围互连层206可以形成在晶体管204之上。外围互连层206可以包括互连,其包括多个ILD层中的外围设备芯片的MEOL和/或BEOL的互连线208和通孔触点210,以制造与外围设备(例如,晶体管204)的电连接。可以在外围互连层206的顶表面处形成键合触点212以用于混合键合。在一些实施例中,外围互连层206包括由多个工艺形成的多个ILD层和其中的互连。例如,互连线208、通孔触点210和键合触点212可包括通过一个或多个薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)、电镀、化学镀或其任何组合。形成互连线208、通孔触点210和键合触点212的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可包括通过一种或多种薄膜沉积工艺沉积的电介质材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。图2B中所示的ILD层和互连可以统称为“互连层”(例如,外围互连层206)。

[0051] 参照图6,方法600包括操作602,其中在第二衬底上形成电介质堆叠层。衬底可以是硅衬底。电介质堆叠层可包括多个电介质/牺牲层对。如图3A所示,通过湿法/干法蚀刻和薄膜沉积在硅衬底302中形成隔离区304(例如,STI),以电隔离硅插塞306(例如,单晶硅插塞)。可以使用离子注入和/或热扩散工艺将硅插塞306图案化并掺杂有n型或p型掺杂剂。在一些实施例中,隔离区304和硅插塞306的厚度在约0.1 $\mu\text{m}$ 和约50 $\mu\text{m}$ 之间,例如在0.1 $\mu\text{m}$ 和50 $\mu\text{m}$ 之间。在一些实施例中,隔离区304和硅插塞306的厚度在约0.2 $\mu\text{m}$ 和约5 $\mu\text{m}$ 之间,例如在0.2 $\mu\text{m}$ 和5 $\mu\text{m}$ 之间(例如,0.2 $\mu\text{m}$ 、0.3 $\mu\text{m}$ 、0.4 $\mu\text{m}$ 、0.5 $\mu\text{m}$ 、0.6 $\mu\text{m}$ 、0.7 $\mu\text{m}$ 、0.8 $\mu\text{m}$ 、0.9 $\mu\text{m}$ 、1 $\mu\text{m}$ 、2 $\mu\text{m}$ 、3 $\mu\text{m}$ 、4 $\mu\text{m}$ 、5 $\mu\text{m}$ 、由下端通过任何这些值限定的任何范围、或处于由这些值中的任何两个限定的任何范围)。

[0052] 如图3B所示,在硅衬底302上形成成对的第一电介质层310和第二电介质层(称为“牺牲层”)312(本文统称为“电介质层对”)。堆叠的电介质层对可以形成电介质堆叠层308。电介质堆叠层308可以包括牺牲层312和与牺牲层312不同的电介质层310的交替堆叠层。在一些实施例中,每个电介质层对包括氮化硅层和氧化硅层。在一些实施例中,牺牲层312可各自具有相同的厚度或具有不同的厚度。类似地,电介质层310可各自具有相同的厚度或具有不同的厚度。电介质堆叠层308可以通过一种或多种薄膜沉积工艺形成,薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。

[0053] 方法600前进到操作604,如图6所示,其中形成多个存储器串,每个存储器串垂直延伸穿过电介质堆叠层。如图3C所示,NAND存储器串314形成在硅衬底302上,每个NAND存储器串垂直延伸穿过电介质堆叠层308。在一些实施例中,每个NAND存储器串314可以与相应的硅插塞306对准。硅插塞306可以是NAND存储器串314的一部分。在一些实施例中,形成NAND存储器串314的制造工艺包括形成垂直延伸穿过电介质堆叠层308的半导体沟道316。在一些实施例中,形成NAND存储器串314的制造工艺还包括在半导体沟道316和电介质堆叠层308中的多个电介质/牺牲层对之间形成复合电介质层(存储膜)。存储膜可以是多个电介质层的组合,其包括但不限于隧穿层318、存储层320和阻隔层。

[0054] 隧穿层318可包括电介质材料,其包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。存储层320可以包括用于存储用于存储器操作的电荷的材料。存储层材料可包括但

不限于氮化硅、氮氧化硅、氧化硅和氮化硅的组合、或其任何组合。阻隔层可以包括电介质材料,其包括但不限于氧化硅、或氧化硅/氧氮化硅/氧化硅(ONO)的组合。阻隔层还可以包括高k电介质层,例如氧化铝层。半导体沟道316和存储膜(包括隧穿层318和存储层320)可以通过诸如ALD、CVD、PVD、任何其他合适的工艺或其任何组合之类的工艺形成。

[0055] 方法600前进到操作606,如图6所示,其中在存储器串之上形成第二互连层(例如,阵列互连层)。阵列互连层可以包括一个或多个ILD层中的第二多个互连。方法600前进到操作608,如图6所示,其中第二多个键合触点形成在阵列互连层的顶表面处。如图3D所示,阵列互连层322可以形成在电介质堆叠层308和NAND存储器串314之上。阵列互连层322可以包括互连,其包括一个或多个ILD层中的互连线324和通孔触点326,以用于将电信号传输到NAND存储器串314和从NAND存储器串314传输电信号。在一些实施例中,位线通孔触点321可以在形成阵列互连层322之前形成在电介质堆叠层308之上形成的ILD层中,使得每个位线通孔触点321在相应的NAND存储器串314之上并与之接触。键合触点328可以形成在阵列互连层322的顶表面处,以用于混合键合。

[0056] 在一些实施例中,阵列互连层322包括在多个工艺中形成的多个ILD层和其中的互连。例如,互连线324、通孔触点326和键合触点328可包括通过一个或多个薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD、电镀、化学镀或其任何组合。形成互连线324、通孔触点326和键合触点328的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可包括通过一种或多种薄膜沉积工艺沉积的电介质材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。图3D中所示的ILD层和互连可以统称为“互连层”(例如,阵列互连层322)。

[0057] 参照图7,方法700包括操作702,其中其上形成存储器串的第二衬底上下翻转。结果,第二衬底位于存储器串之上。方法700进行到操作704,如图7所示,其中第二衬底和其上形成有外围设备的第一衬底以面对面的方式键合,使得外围互连层在阵列互连层之下并与之接触。键合可以是混合键合。

[0058] 如图4A所示,硅衬底302和在其上形成的组件(例如,NAND存储器串314)上下翻转。面向下的阵列互连层322将与面向上的外围互连层206键合,即,以面对面的方式,使得在所得到的3D存储器件中阵列互连层322可以在外围互连层206之上并与之接触。在一些实施例中,阵列互连层322的键合触点328在键合之前与外围互连层206的键合触点214对准。结果,当硅衬底302与硅衬底202连接时,键合触点328可以与键合触点214接触。在一些实施例中,处理工艺(例如等离子体处理、湿法处理和/或热处理)在键合之前被应用到键合表面上。作为键合(例如,混合键合)的结果,键合触点328可以与键合触点214相互混合,从而在阵列互连层322和外围互连层206之间形成键合界面402,如图4B所示。

[0059] 方法700进行到操作706,如图7所示,其中将第二衬底减薄。如图4B所示,硅衬底302在减薄之后变成单晶硅层404(包括硅插塞306和周围的隔离区)。在一些实施例中,在减薄工艺之后,单晶硅层404(及其中的硅插塞306)具有在约0.1 $\mu\text{m}$ 和约50 $\mu\text{m}$ 之间的厚度,例如在0.1 $\mu\text{m}$ 和50 $\mu\text{m}$ 之间。在一些实施例中,单晶硅层404(及其中的硅插塞306)的厚度在约0.2 $\mu\text{m}$ 和约5 $\mu\text{m}$ 之间,例如在0.2 $\mu\text{m}$ 和5 $\mu\text{m}$ 之间(例如,0.2 $\mu\text{m}$ 、0.3 $\mu\text{m}$ 、0.4 $\mu\text{m}$ 、0.5 $\mu\text{m}$ 、0.6 $\mu\text{m}$ 、0.7 $\mu\text{m}$ 、0.8 $\mu\text{m}$ 、0.9 $\mu\text{m}$ 、1 $\mu\text{m}$ 、2 $\mu\text{m}$ 、3 $\mu\text{m}$ 、4 $\mu\text{m}$ 、5 $\mu\text{m}$ 、由下端通过任何这些值限定的任何范围、或处于由这些值中的任何两个限定的任何范围)。硅衬底302可以通过包括但不限于晶片研磨、干法蚀

刻、湿法蚀刻、CMP、任何其他合适的工艺或其任何组合之类的工艺来减薄。

[0060] 方法700进行到操作708,如图7所示,其中在电介质堆叠层的边缘处形成阶梯结构。可以通过对电介质/牺牲层对朝向第一衬底执行多个修整蚀刻循环来形成阶梯结构。如图4C所示,在电介质堆叠层308的边缘处形成阶梯结构406。电介质堆叠层308的阶梯结构406中的沿着远离硅衬底202的垂直方向(正y方向)的电介质/牺牲层对的边缘朝向NAND存储器串314横向交错排列。为了形成阶梯结构406,可以图案化光刻胶层以暴露电介质/牺牲层对中顶部的一个电介质/牺牲层对的一部分。图案化的光刻胶层可以用作蚀刻掩模,以通过湿法蚀刻和/或干法蚀刻来蚀刻电介质/牺牲层对中顶部的一个电介质/牺牲层对的暴露部分。可以使用任何合适的蚀刻剂(例如,湿法蚀刻和/或干法蚀刻的蚀刻剂)来去除电介质/牺牲层对中顶部的一个电介质/牺牲层对在暴露部分中的整个厚度(包括其中的牺牲层312和电介质层310)。可以通过在电介质/牺牲层对中使用不同材料(例如,氮化硅和氧化硅)上的蚀刻停止来控制蚀刻的厚度。蚀刻电介质/牺牲层对中顶部的一个电介质/牺牲层对的暴露部分可暴露出在电介质/牺牲层对中顶部的一个电介质/牺牲层对下方的一个电介质/牺牲层对的部分。

[0061] 然后可以修整图案化的光刻胶层(例如,经常从所有方向逐渐地且向内地蚀刻)以暴露电介质/牺牲层对中顶部的一个电介质/牺牲层对的另一部分。修整的光刻胶层的量可以通过修整速率和/或修整时间来控制,并且可以与所得到的台阶结构的尺寸直接相关(例如,决定因素)。可以使用任何合适的蚀刻工艺,例如,各向同性干法蚀刻或湿法蚀刻,来执行光刻胶层的修整。使用修整的光刻胶层作为蚀刻掩模来蚀刻电介质/牺牲层对中顶部的一个电介质/牺牲层对扩大的暴露部分和电介质/牺牲层对中顶部的一个电介质/牺牲层对下方的一个电介质/牺牲层对的暴露部分,以形成阶梯结构406中的一个台阶结构。可以使用任何合适的蚀刻剂(例如,湿法蚀刻和/或干法蚀刻的蚀刻剂)来朝向硅衬底202去除暴露部分中的电介质/牺牲层对的整个厚度(包括其中的牺牲层312和电介质层310)。光刻胶层的修整工艺之后是电介质/牺牲层对的蚀刻工艺,这在本文中称为电介质/牺牲层对的修整蚀刻循环。

[0062] 可以朝向硅衬底202(负y方向)重复电介质/牺牲层对的修整-蚀刻循环,直到完成对电介质/牺牲层对中底部的一个电介质/牺牲层对的蚀刻。因此,可以形成在电介质堆叠层308的边缘处具有多个台阶结构的阶梯结构406。由于电介质/牺牲层对的重复的修整-蚀刻循环,电介质堆叠层308可以具有倾斜的侧边缘和比底部电介质/牺牲层对短的顶部电介质/牺牲层对,如图4C所示。

[0063] 方法700进行到操作710,如图7所示,其中通过用多个导体层替换电介质/牺牲层对中的牺牲层,在减薄的第二衬底之下形成存储堆叠层。因此,存储堆叠层包括多个导体/电介质层对。在一些实施例中,形成存储堆叠层包括蚀刻穿过减薄的第二衬底和电介质/牺牲层对的开口、穿过开口蚀刻电介质/牺牲层对中的牺牲层、以及穿过开口沉积导体/电介质层对中的导体层。结果,可以在存储堆叠层的边缘处形成阶梯结构。存储堆叠层的阶梯结构中的沿着远离第一衬底的垂直方向的导体/电介质层对的边缘可以朝向存储器串横向交错排列。

[0064] 如图4D所示,GLS 408穿过单晶硅层404和电介质堆叠层308的电介质/牺牲层对而形成。可以通过湿法蚀刻和/或干法蚀刻来图案化和蚀刻GLS408。然后可以穿过GLS 408蚀

刻电介质堆叠层308的每个牺牲层312(图4C中示出),并且可以穿过GLS 408沉积导体层410。也就是说,可以用导体层410替换电介质堆叠层308的每个牺牲层312,从而在存储堆叠层412中形成多个导体/电介质层对。用导体层410替换牺牲层312可以通过对电介质层310有选择地湿法/干法蚀刻牺牲层312并用导体层410填充结构来执行。导体层410可包括导电材料,其包括但不限于W、Co、Cu、Al、掺杂硅、多晶硅、硅化物或其任何组合。导体层410可以通过诸如CVD、ALD、任何其他合适的工艺、或其任何组合之类的薄膜沉积工艺来填充。

[0065] 结果,NAND存储器串314每个均可以垂直延伸穿过存储堆叠层412。在一些实施例中,存储堆叠层412中的导体层410用于形成NAND存储器串314的选择栅和字线。存储堆叠层412中的至少一些导体层410(例如,除了顶部和底部导体层410之外)可以各自用作NAND存储器串314的字线。作为栅极替换的结果,可以在存储堆叠层412的边缘处形成阶梯结构414。存储堆叠层412的阶梯结构414中的沿着远离硅衬底202的垂直方向(正y方向)的导体/电介质层对的边缘可以朝向NAND存储器串314横向交错排列。

[0066] 方法700进行到操作712,如图7所示,其中形成存储堆叠层和存储器串的局部互连。局部互连可以包括形成在存储堆叠层的阶梯结构之上的字线通孔触点,并且包括形成在存储器串之上的源极线通孔触点。如图4E所示,可以通过电介质材料的诸如CVD、ALD、任何其他合适的工艺或其任何组合之类的薄膜沉积工艺在单晶硅层404上形成ILD层416。源极线通孔触点418可以分别穿过ILD层416形成并与存储器串314的硅插塞306接触。每个源极线通孔触点418可以使其下端与相应的NAND存储器串314的上端接触。根据一些实施例,字线通孔触点420穿过一个或多个ILD层(包括ILD层416)并在存储堆叠层412的阶梯结构414之上形成。字线通孔触点420的下端可以落在存储堆叠层412的阶梯结构414中的NAND存储器串314(例如,导体层410)的字线上,使得每个字线通孔触点420在相应的导体层410之上并与之接触。

[0067] 在一些实施例中,形成源极线通孔触点418和字线通孔触点420的制造工艺包括使用干法/湿法蚀刻工艺形成垂直开口,之后用导电材料和其他材料(例如,阻隔层、粘合层和/或种子层)填充开口以用于导体填充、粘合和/或其他目的。源极线通孔触点418和字线通孔触点420可包括导电材料,其包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。源极线通孔触点418和字线通孔触点420的开口可以用导电材料和其他材料、通过ALD、CVD、PVD、电镀、任何其他合适的工艺或其任何组合来进行填充。在一些实施例中,GLS 408可以通过CVD、PVD、ALD、任何其他合适的工艺或其任何组合填充电介质材料,其包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0068] 方法700进行到操作714,如图7所示,其中在减薄的第二衬底之上形成第三互连层(例如,BEOL互连层)。BEOL互连层可以包括一个或多个ILD层中的第三多个互连。如图4F所示,BEOL互连层422可以形成在单晶硅层404和NAND存储器串314之上。BEOL互连层422可以包括互连,其包括一个或多个ILD层中的互连线424和通孔触点426,以用于将电信号传输到3D存储器件和从3D存储器件传输电信号。在一些实施例中,接触焊盘428和再分布层(未示出)可以形成在BEOL互连层422的顶表面处,以用于引线键合和/或与插入器键合。

[0069] 在一些实施例中,BEOL互连层422包括在多个工艺中形成的多个ILD层和其中的互连。例如,互连线424、通孔触点426和接触焊盘428可包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD、电镀、化学镀或其任何组合。形成

互连线424、通孔触点426和接触焊盘428的制造工艺还可包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可包括通过一种或多种薄膜沉积工艺沉积的电介质材料，薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。图4F中所示的ILD层和互连可以统称为“互连层”（例如，BEOL互连层422）。

[0070] 尽管未示出，但在一些实施例中，在键合之前，形成TAC，其垂直延伸穿过电介质堆叠层308并与阵列互连层322中的互连接触。在键合之后，可形成通孔触点，其垂直延伸穿过一个或多个ILD层并与TAC接触，使得BEOL互连层422可以电连接到外围互连层206。

[0071] 根据本公开的一个方面，3D存储器件包括衬底、设置在衬底上的外围设备、设置在外围设备之上并且包括多个导体/电介质层对的存储堆叠层、以及多个存储器串。每个存储器串垂直延伸穿过存储堆叠层，并且包括漏极选择栅和在漏极选择栅之上的源极选择栅。在存储堆叠层的阶梯结构中的沿着远离衬底的垂直方向的导体/电介质层对的边缘朝向存储器串横向交错排列。

[0072] 在一些实施例中，3D存储器件还包括设置在存储器串之上的第一互连层。根据一些实施例，3D存储器件还包括多个第一通孔触点，每个第一通孔触点包括与导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与第一互连层接触的上端。

[0073] 在一些实施例中，3D存储器件还包括存储器串和外围设备之间的键合界面。根据一些实施例，3D存储器件还包括在键合界面和外围设备之间的第二互连层以及在键合界面和存储器串之间的第三互连层。

[0074] 在一些实施例中，3D存储器件还包括分别在多个存储器串之下并与所述多个存储器串接触的多个第二通孔触点。

[0075] 在一些实施例中，每个存储器串包括位于存储器串的上端的半导体插塞。根据一些实施例，半导体插塞包括单晶硅。在一些实施例中，3D存储器件还包括多个第三通孔触点，每个第三通孔触点包括与半导体插塞之一接触的下端和与第一互连层接触的上端。

[0076] 在一些实施例中，每个存储器串包括垂直延伸穿过导体/电介质层对的半导体沟道、导体/电介质层对与半导体沟道之间的隧穿层、以及隧穿层与导体/电介质层对之间的存储层。

[0077] 根据本公开的另一方面，3D存储器件包括衬底、设置在衬底上的外围设备、设置在外围设备之上并且包括多个导体/电介质层对的存储堆叠层、每个垂直延伸穿过存储堆叠层的多个存储器串、设置在存储器串之上的第一互连层、设置在存储器串之下的第二互连层、多个第一通孔触点和多个第二通孔触点。每个第一通孔触点包括与导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与第一互连层接触的上端。每个第二通孔触点包括与第二互连层接触的下端和与存储器串之一接触的上端。

[0078] 在一些实施例中，在存储堆叠层的阶梯结构中的沿着远离衬底的垂直方向的导体/电介质层对的边缘朝向存储器串横向交错排列。

[0079] 在一些实施例中，每个存储器串包括漏极选择栅和在漏极选择栅之上的源极选择栅。

[0080] 在一些实施例中，3D存储器件还包括第二互连层和外围设备之间的键合界面。

[0081] 在一些实施例中，每个存储器串包括位于存储器串的上端的半导体插塞。根据一些实施例，半导体插塞包括单晶硅。在一些实施例中，3D存储器件还包括多个第三通孔触

点,每个第三通孔触点包括与半导体插塞之一接触的下端和与第一互连层接触的上端。

[0082] 在一些实施例中,每个存储器串包括垂直延伸穿过导体/电介质层对的半导体沟道、导体/电介质层对与半导体沟道之间的隧穿层、以及隧穿层与导体/电介质层对之间的存储层。

[0083] 根据本公开的又一方面,3D存储器件包括第一半导体结构、第二半导体结构、以及第一半导体结构和第二半导体结构之间的键合界面。第一半导体结构包括多个存储器串,每个存储器串垂直延伸并包括位于存储器串上端的半导体插塞、设置在存储器串之上的第一互连层、设置在存储器串之下的第二互连层、以及多个第一通孔触点。每个第一通孔触点包括与半导体插塞之一接触的下端和与第一互连层接触的上端。第二半导体结构包括衬底、设置在衬底上的外围设备、以及设置在外围设备之上的第三互连层。第二互连层在键合界面处接触第三互连层。

[0084] 在一些实施例中,半导体插塞包括单晶硅。

[0085] 在一些实施例中,每个存储器串还包括漏极选择栅和漏极选择栅之上的源极选择栅。

[0086] 在一些实施例中,3D存储器件还包括存储堆叠层,存储器串穿过该存储堆叠层垂直延伸,并且该存储堆叠层包括多个导体/电介质层对。在存储堆叠层的阶梯结构中的沿着远离衬底的垂直方向的导体/电介质层对的边缘朝向存储器串横向交错排列。

[0087] 在一些实施例中,每个存储器串包括垂直延伸穿过导体/电介质层对的半导体沟道、导体/电介质层对与半导体沟道之间的隧穿层、以及隧穿层与导体/电介质层对之间的存储层。

[0088] 在一些实施例中,3D存储器件还包括多个第二通孔触点,每个第二通孔触点包括与导体/电介质层对中的一个导体/电介质层对中的导体层接触的下端和与第一个互连层接触的上端。在一些实施例中,3D存储器件还包括多个第三通孔触点,每个第三通孔触点包括与第二互连层接触的下端和与存储器串之一接触的上端。

[0089] 对特定实施例的上述说明因此将揭示本公开的一般性质,使得他人能够通过运用本领域技术范围内的知识容易地对这种特定实施例进行修改和/或调整以用于各种应用,而不需要过度实验,且不脱离本公开的一般概念。因此,基于本文呈现的教导和指导,这种调整和修改旨在处于所公开的实施例的等同物的含义和范围内。应当理解,本文中的措辞或术语是用于说明的目的,而不是为了进行限制,从而本说明书的术语或措辞将由技术人员按照所述教导和指导进行解释。

[0090] 上文已经借助于功能构建块描述了本公开的实施例,功能构建块例示了指定功能及其关系的实施方式。在本文中出于方便描述的目的任意地定义了这些功能构建块的边界。可以定义替代的边界,只要适当执行指定的功能及其关系即可。

[0091] 发明内容和摘要部分可以阐述发明人所设想的本公开的一个或多个示例性实施例,但未必是所有示例性实施例,并且因此,并非旨在通过任何方式限制本公开和所附权利要求。

[0092] 本公开的广度和范围不应受任何上述示例性实施例的限制,并且应当仅根据所附权利要求书及其等同物来进行限定。

100

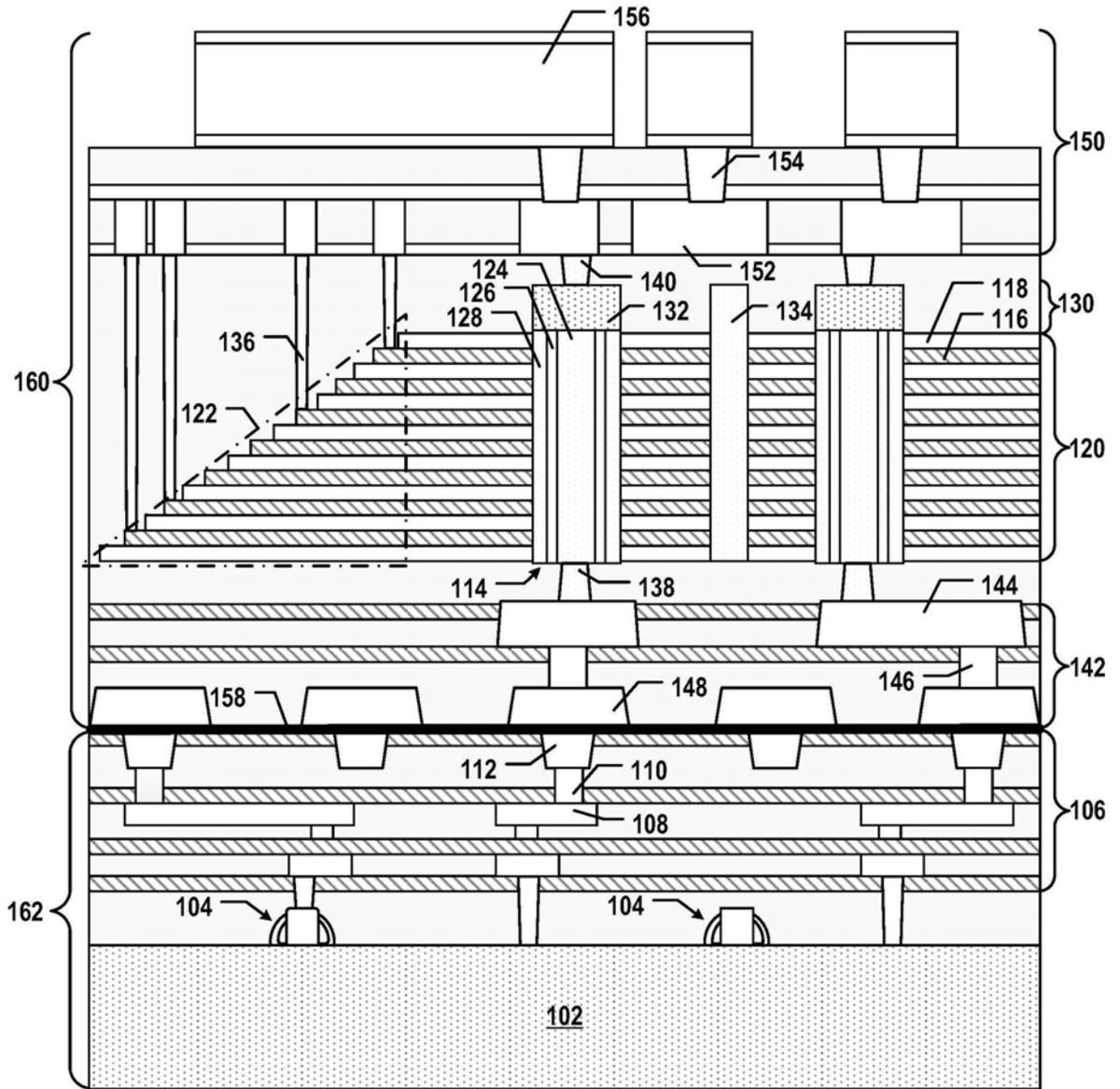


图1

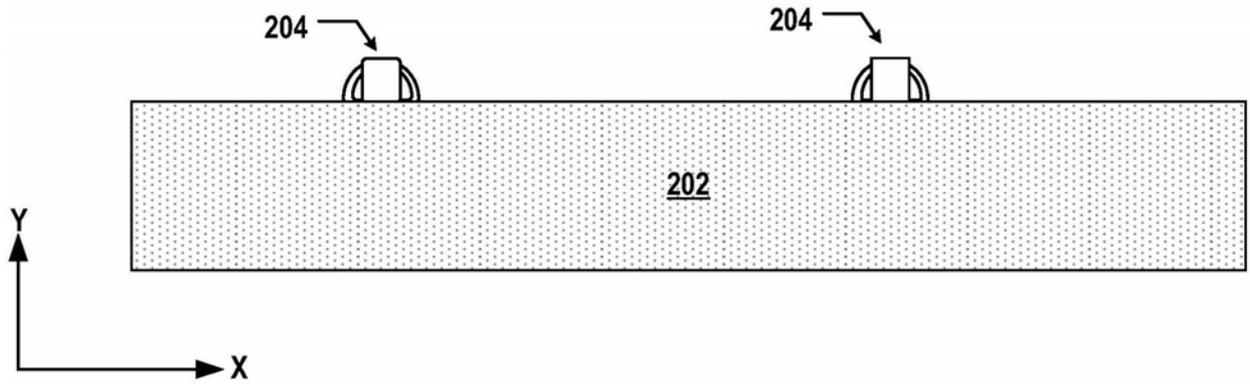


图2A

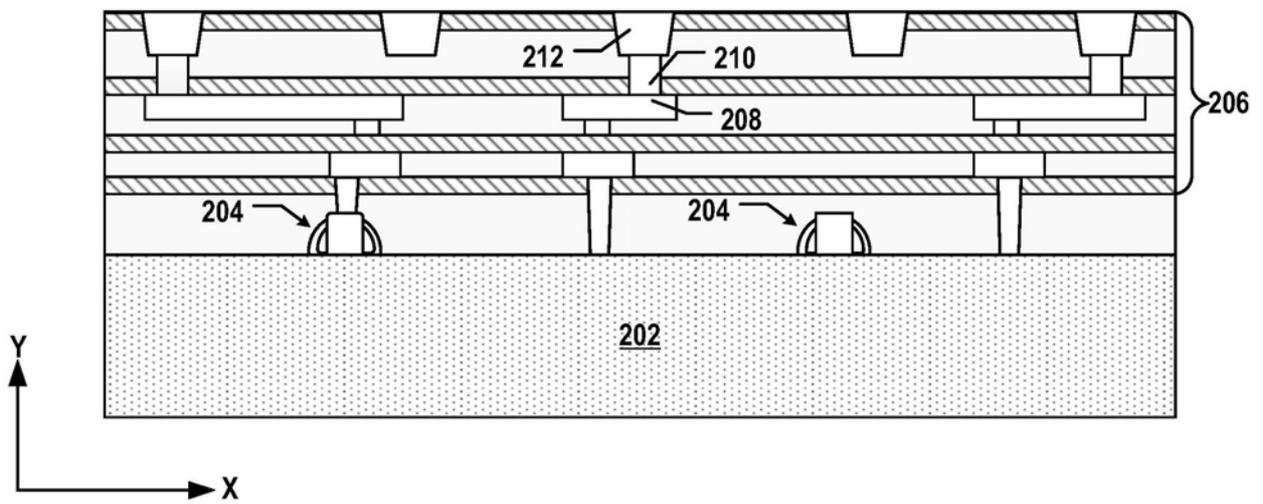


图2B

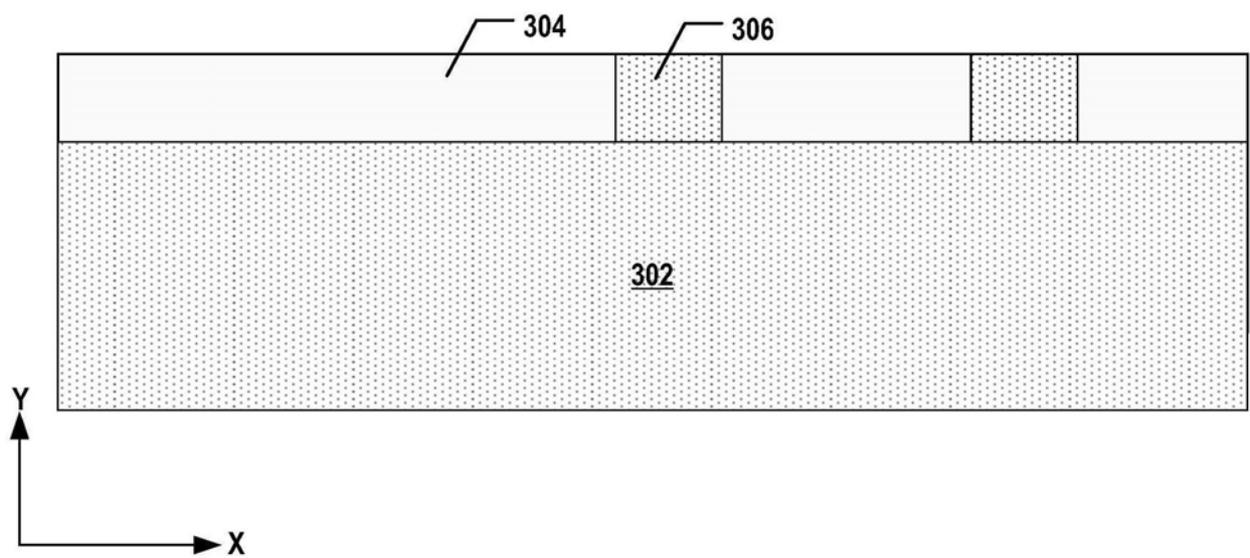


图3A

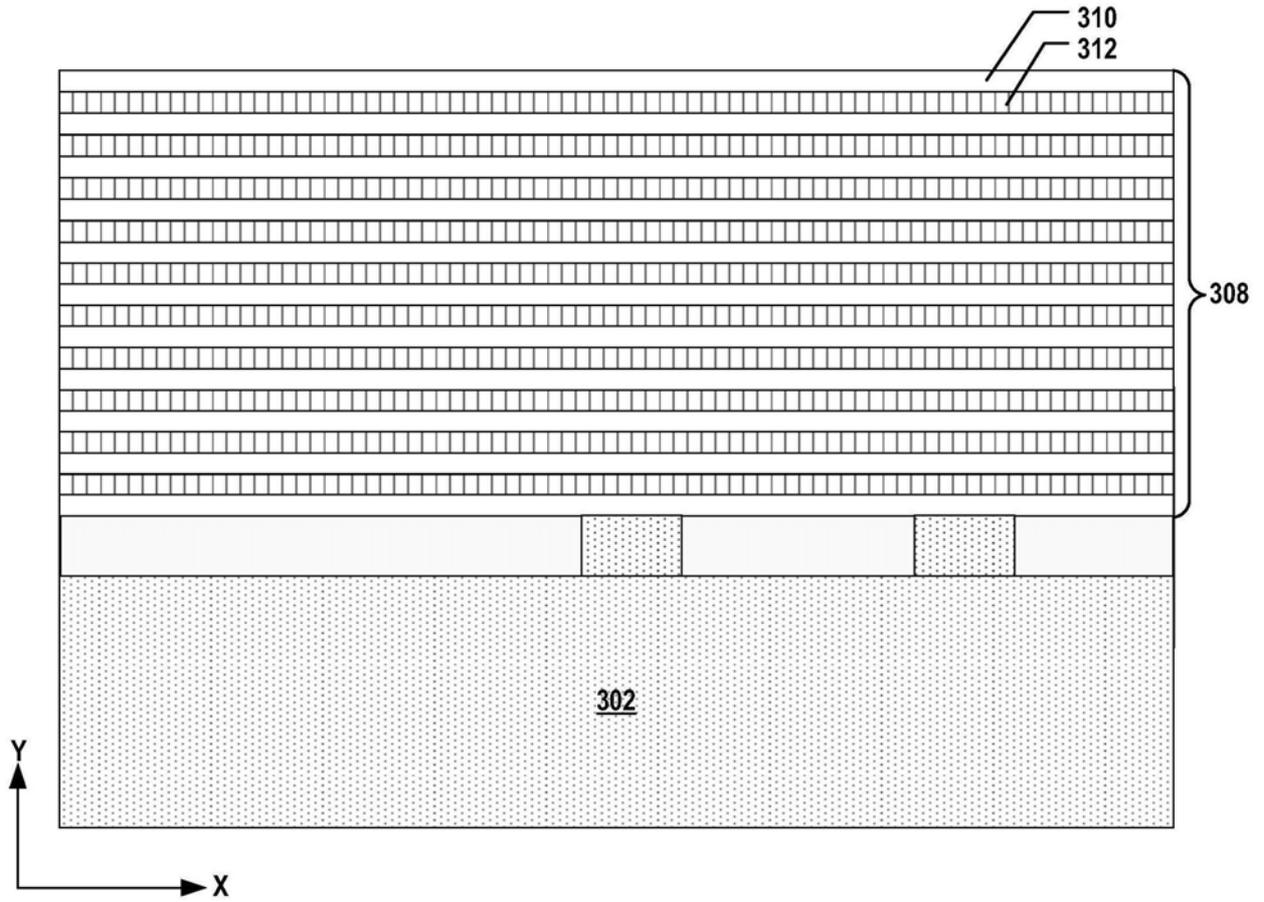


图3B

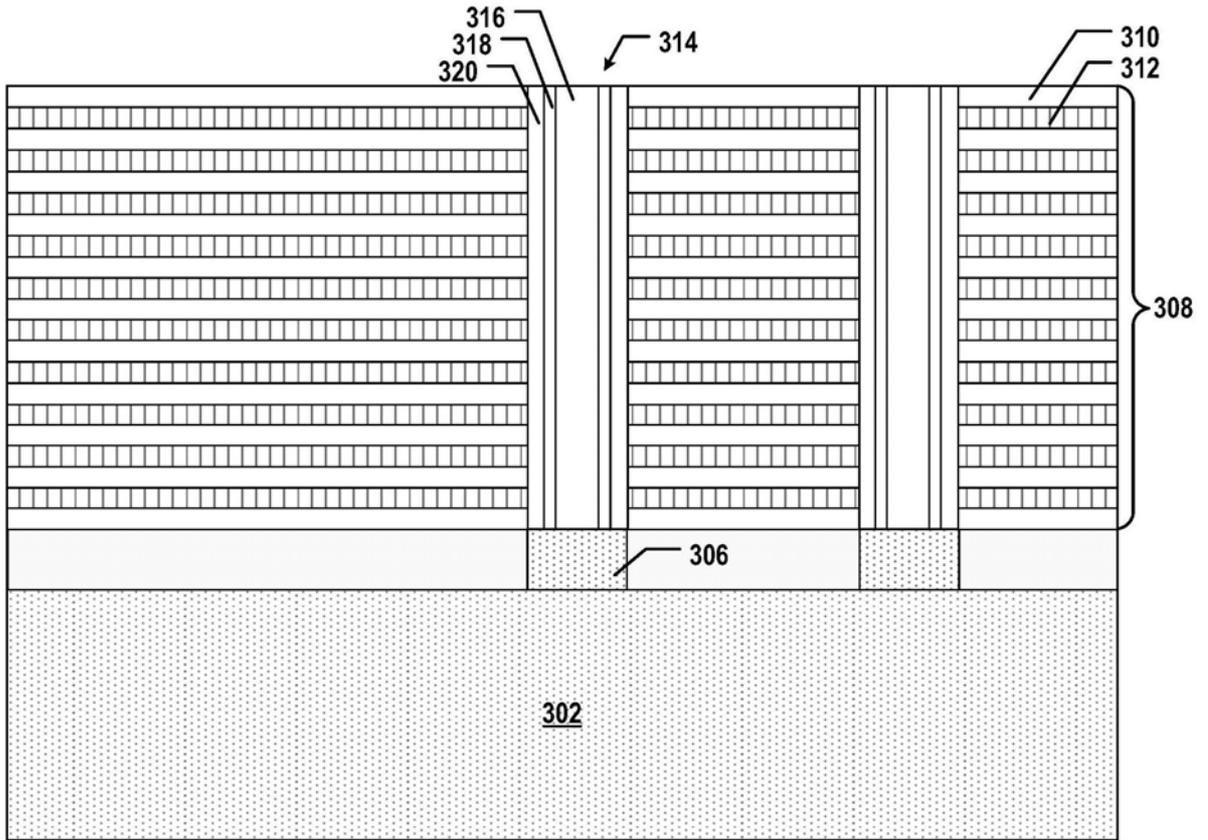


图3C



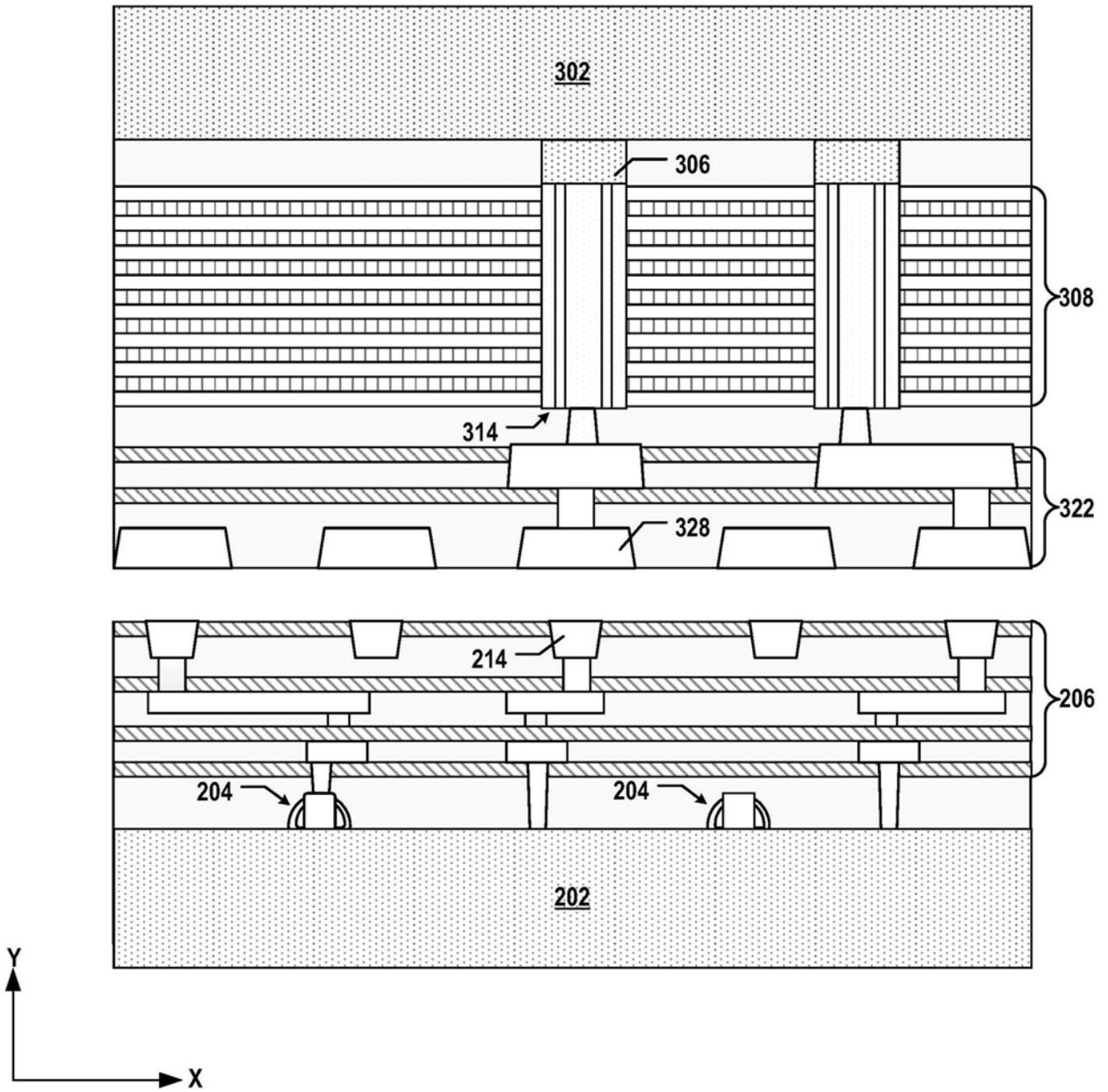


图4A

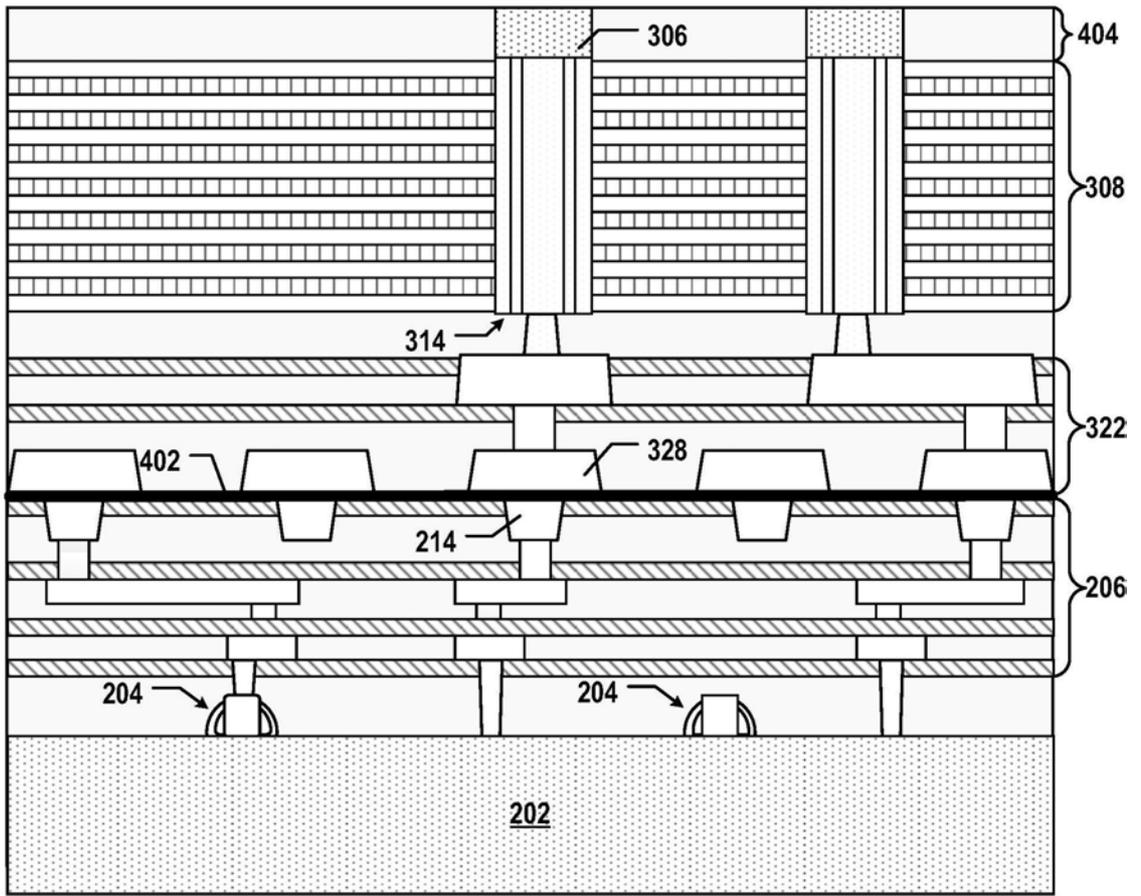


图4B

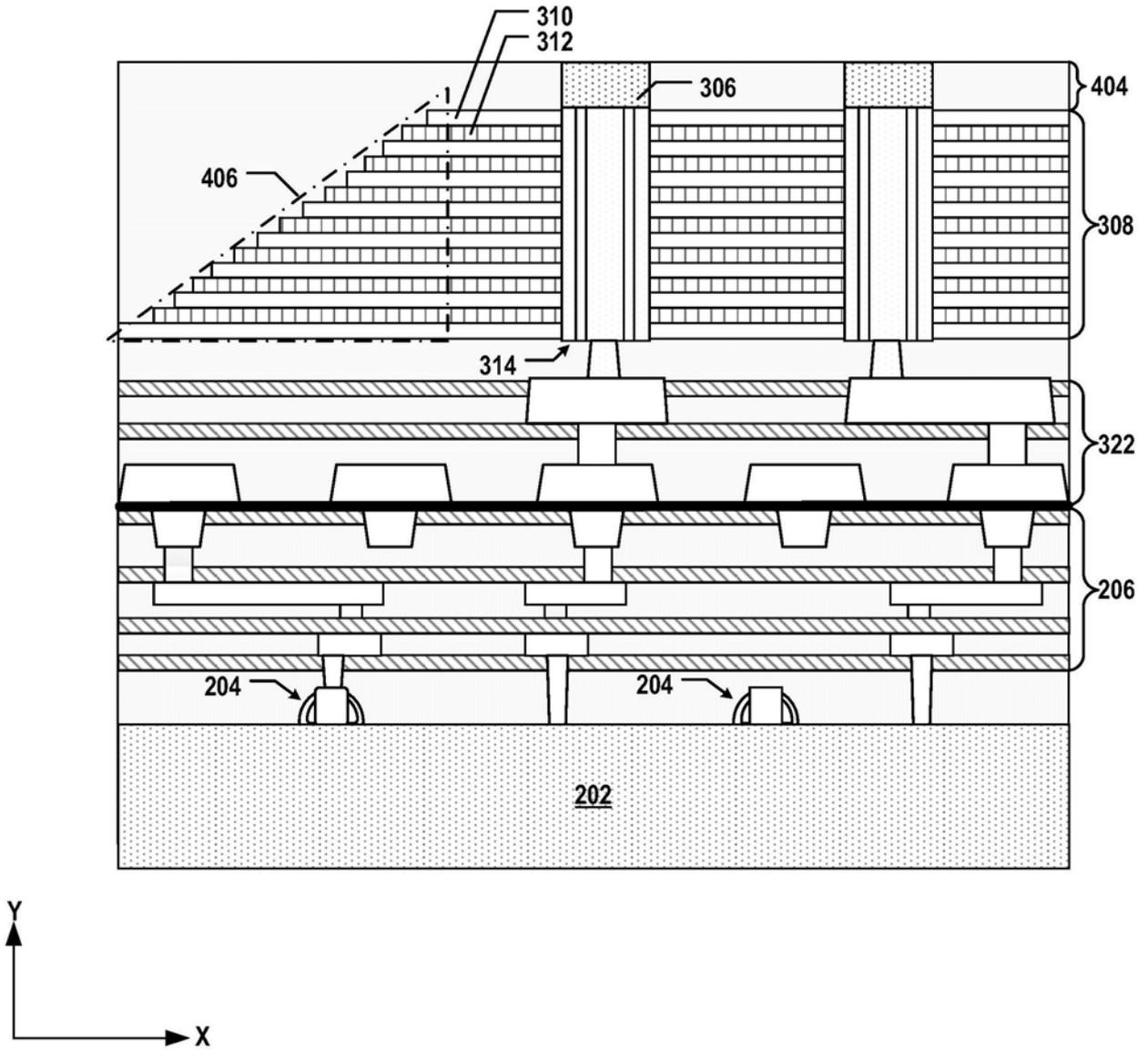


图4C

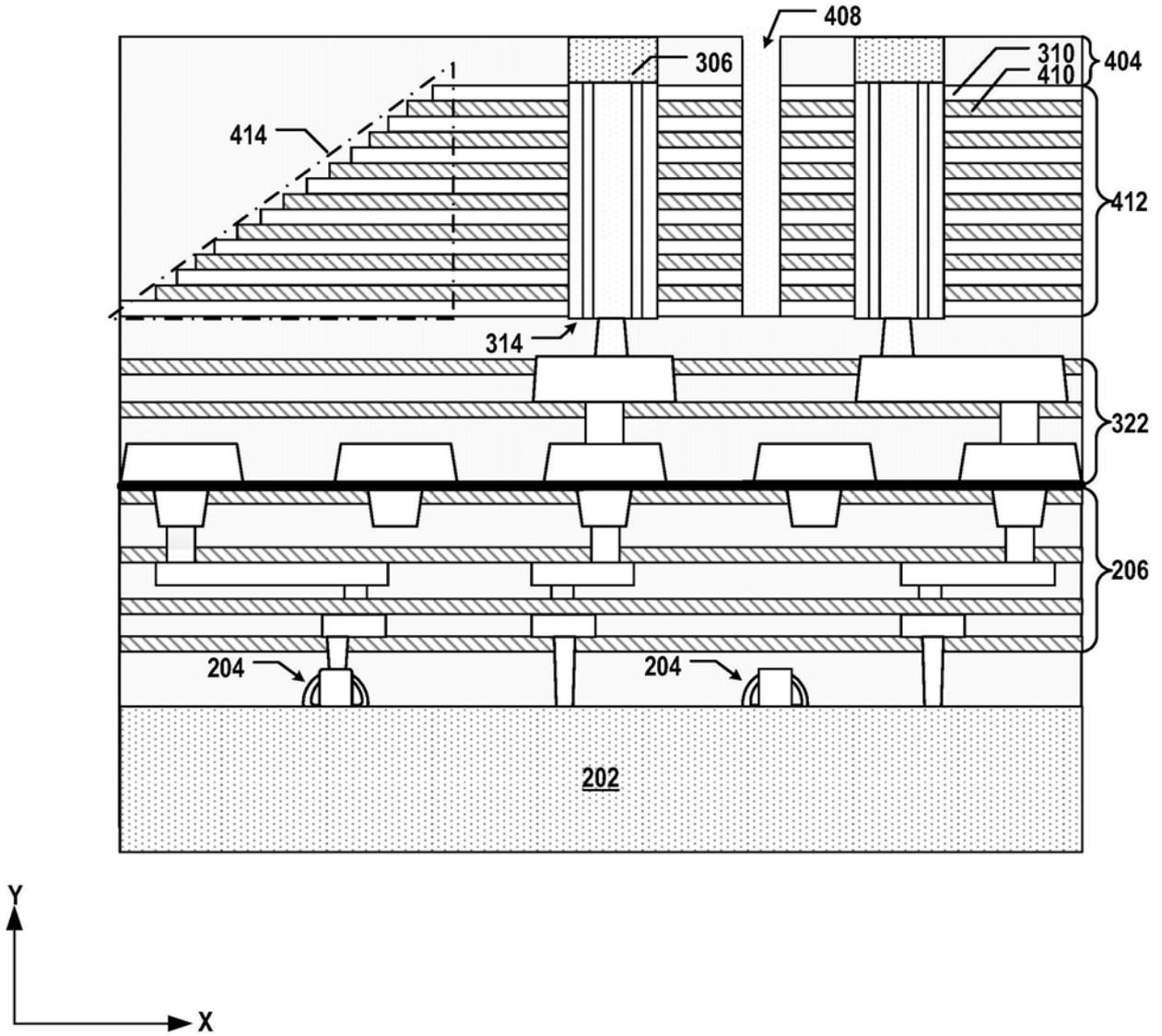


图4D

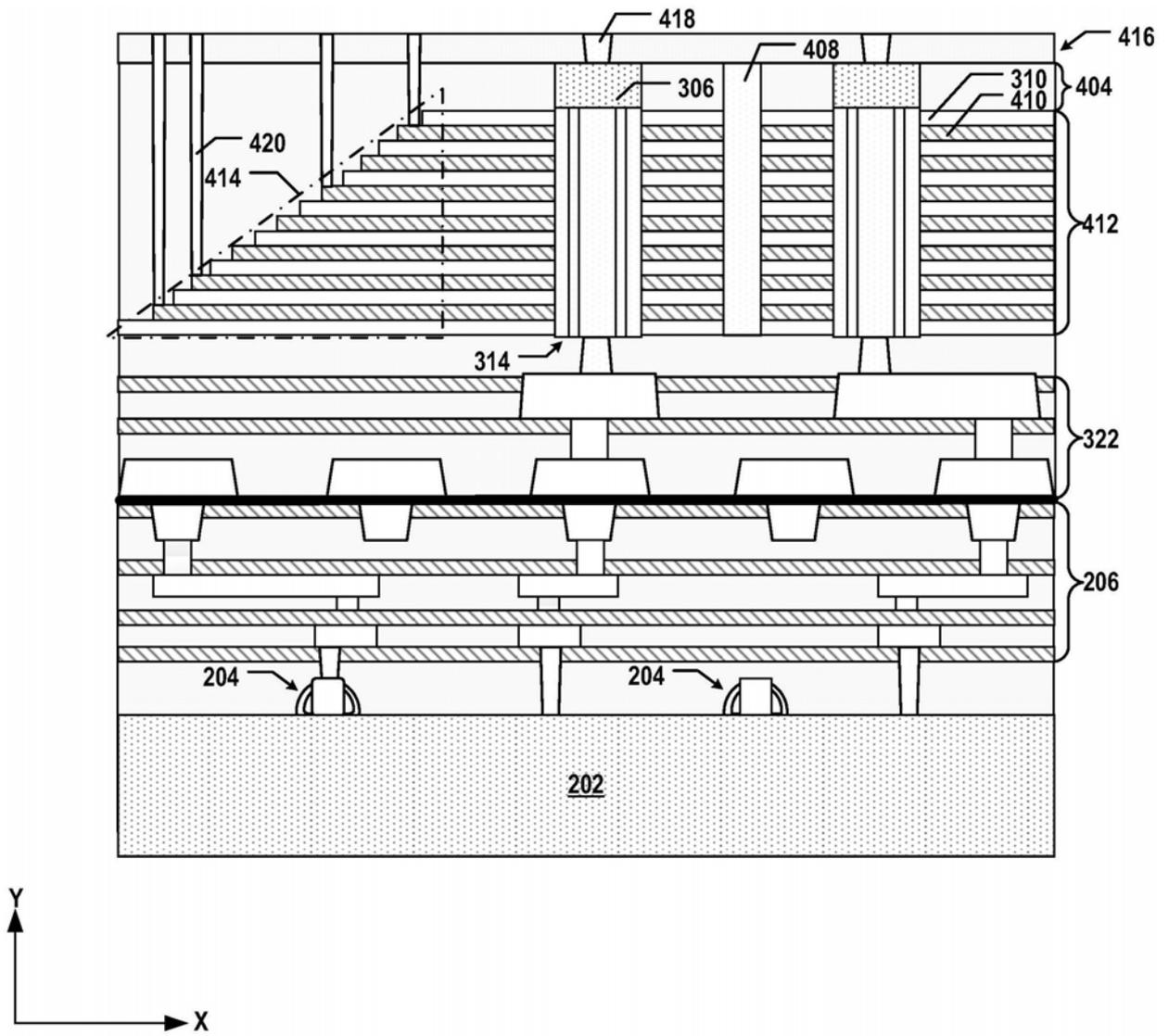


图4E

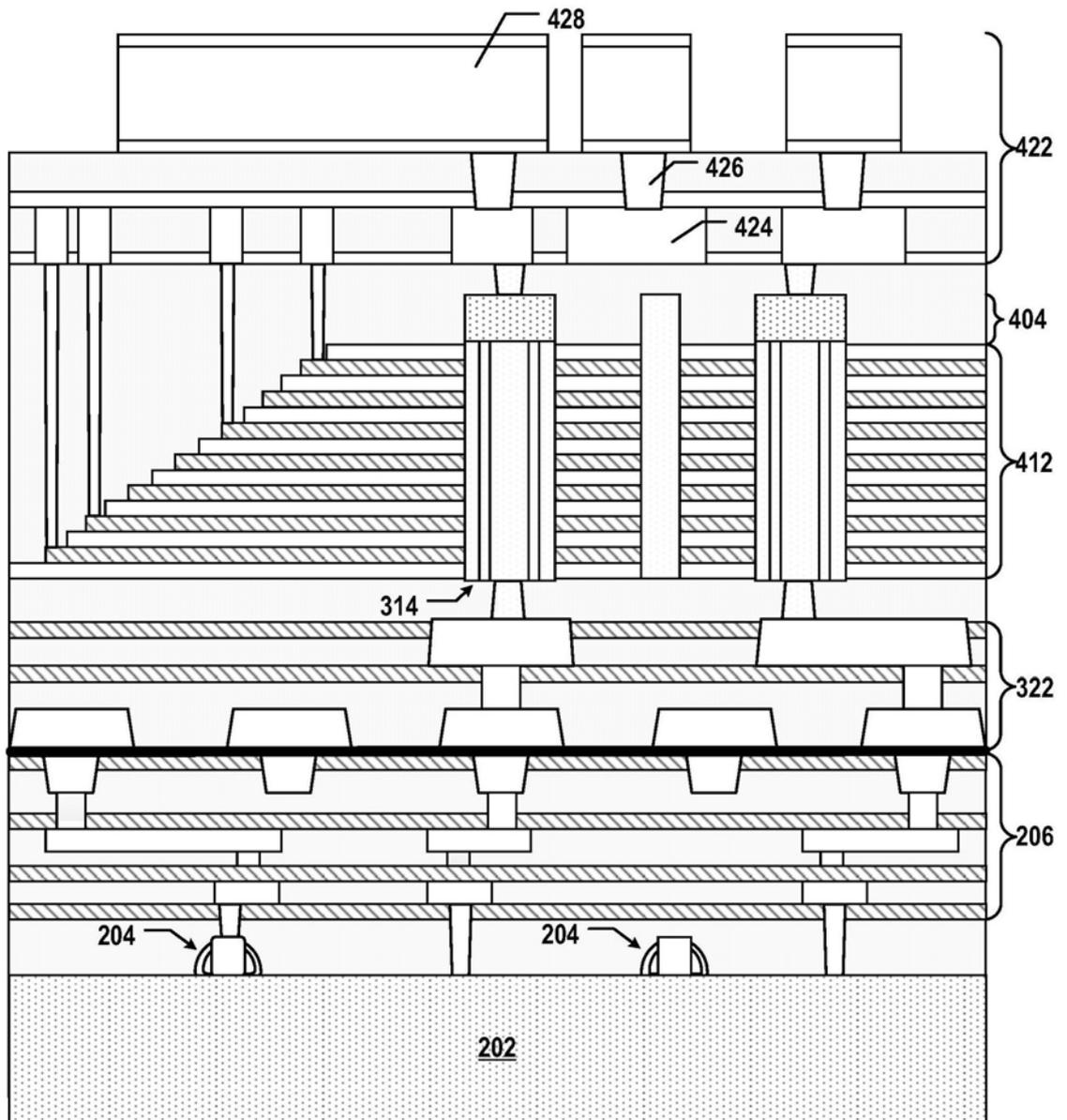


图4F

**500**

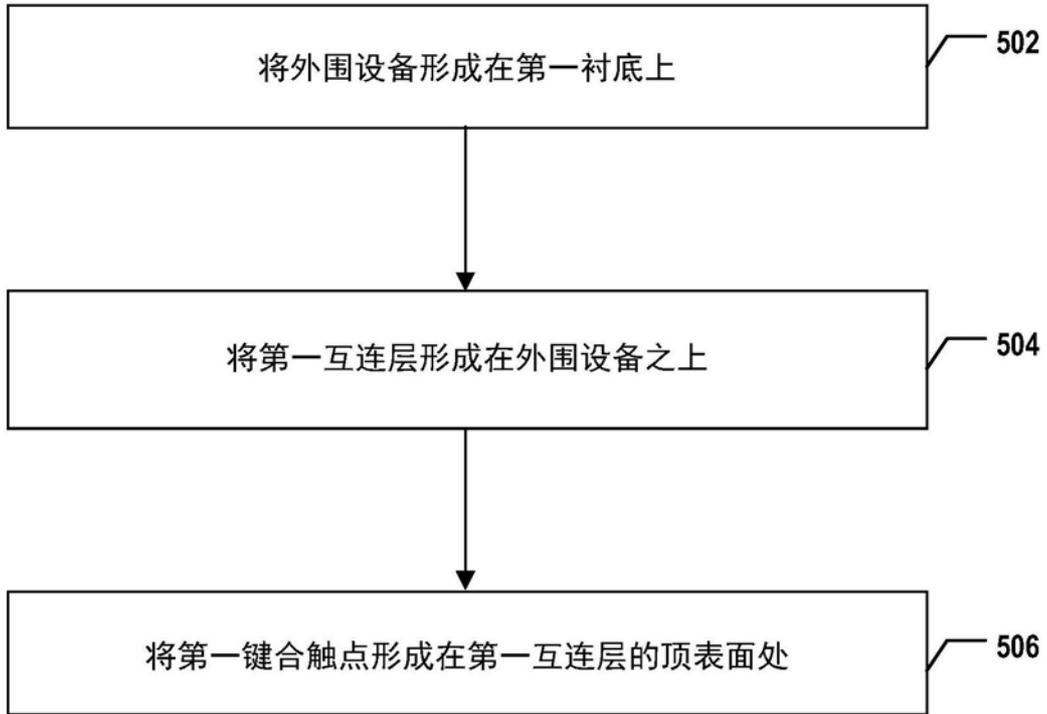


图5

**600**

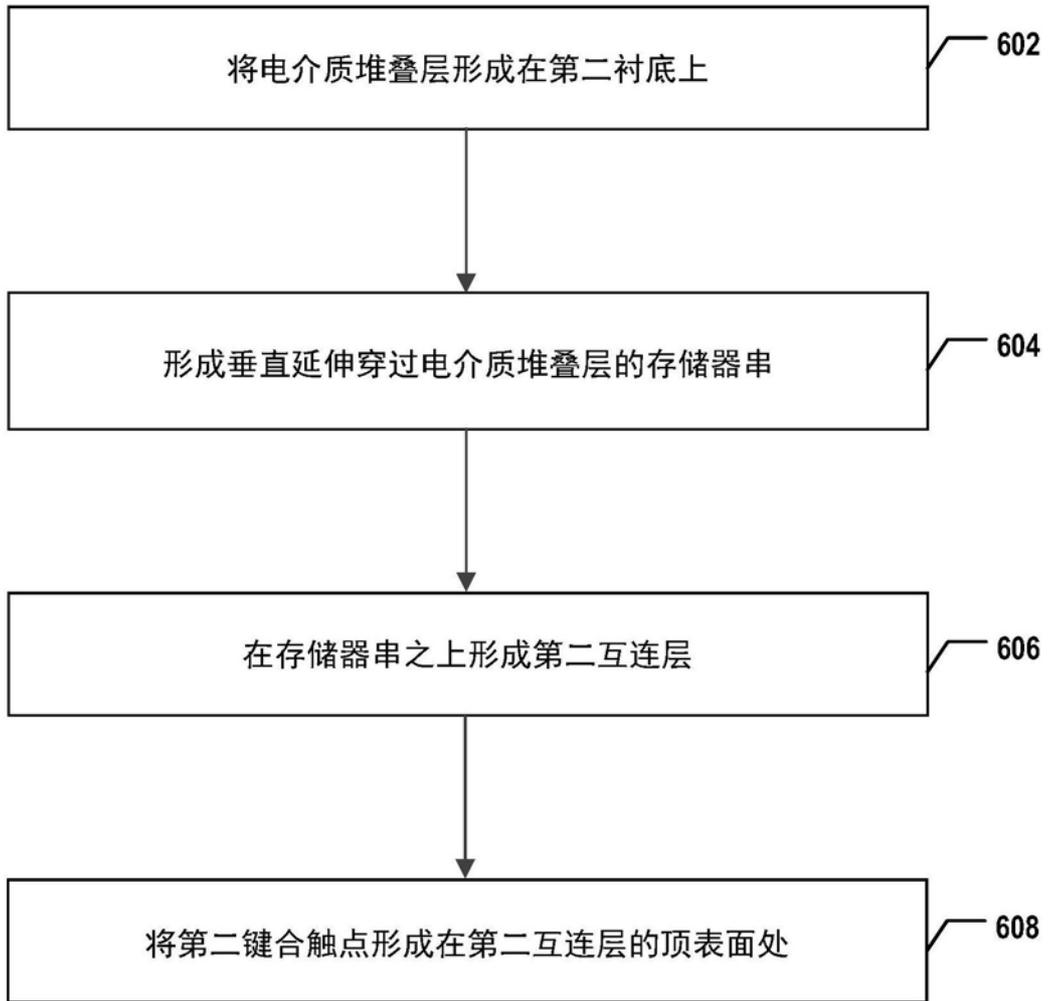


图6

**700**

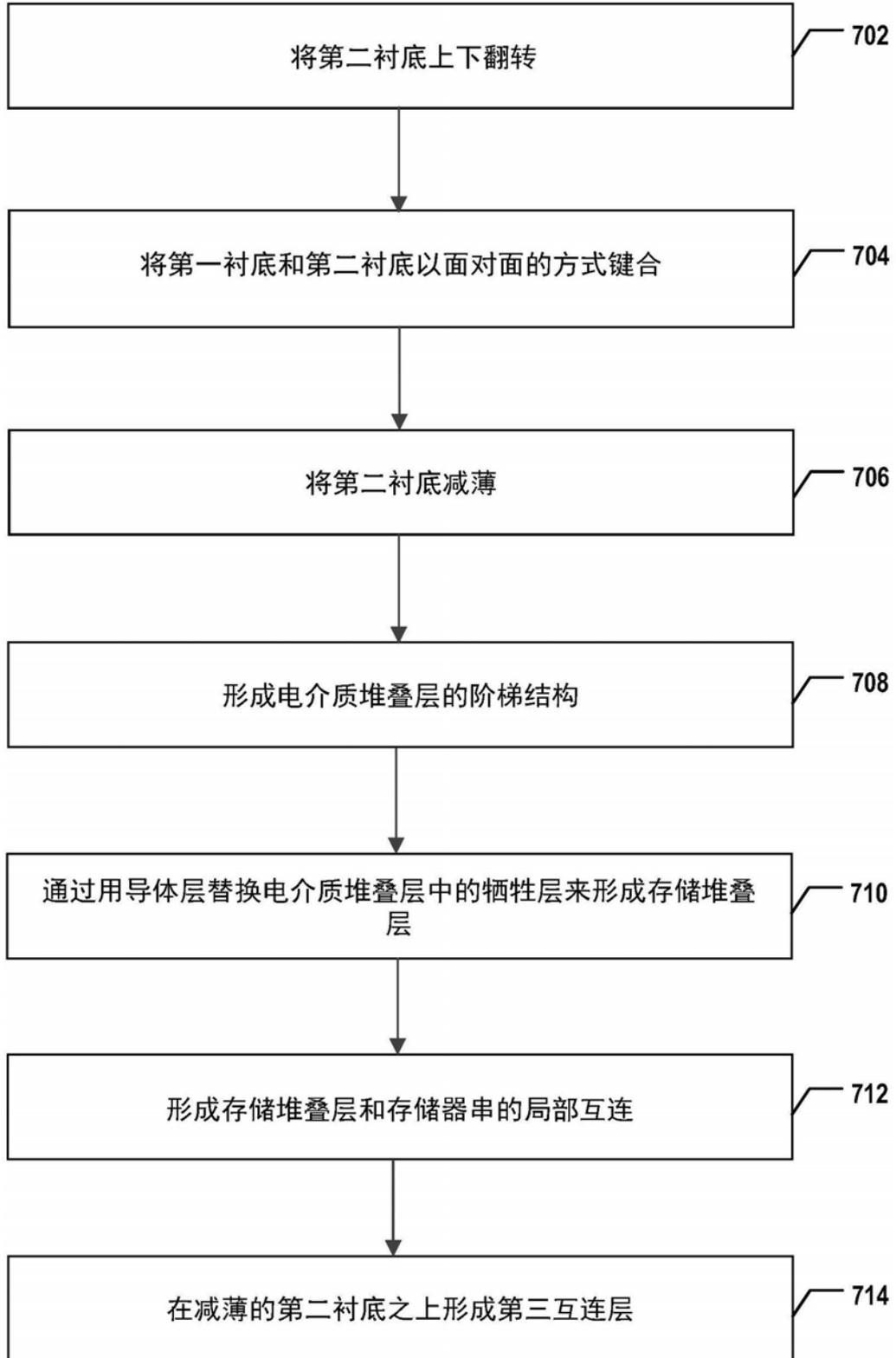


图7