



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I613672 B

(45) 公告日：中華民國 107 (2018) 年 02 月 01 日

(21) 申請案號：105123524

(22) 申請日：中華民國 105 (2016) 年 07 月 26 日

(51) Int. Cl. : G11C7/12 (2006.01)

(30) 優先權：2016/01/19 美國 62/280,683

(71) 申請人：力旺電子股份有限公司 (中華民國) EMEMORY TECHNOLOGY INC. (TW)

新竹市新竹科學園區園區二路四十七號三〇五室

(72) 發明人：賴宗沐 LAI, TSUNG-MU (TW)；陳志欣 CHEN, CHIH-HSIN (TW)；王世辰 WANG, SHIH-CHEN (TW)；柏正豪 PO, CHEN-HAO (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW	I469328	TW	200746148
US	8625350B2	US	8743585B2
US	8787092B2	US	8958245B2
US	9042174B2	US	2007/0058441A1
US	2013/0009163A1	US	2013/0214341A1

審查人員：劉聖尉

申請專利範圍項數：20 項 圖式數：9 共 41 頁

(54) 名稱

記憶體陣列

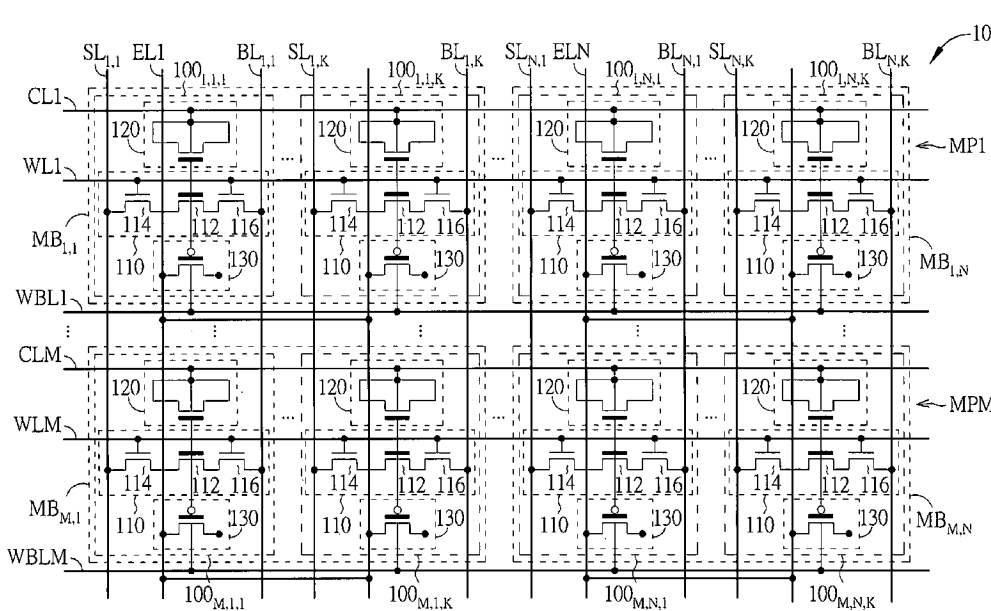
MEMORY ARRAY

(57) 摘要

記憶體陣列包含複數個記憶體分頁，每一記憶體分頁包含複數個記憶體位元組，每一記憶體位元組包含複數個記憶體單元。每一記憶體單元包含浮接閘極模組、控制元件及清除元件。位於同一行的複數個記憶體位元組耦接於相同之清除線，而位於相異行的複數個記憶體位元組耦接於相異的複數條清除線。因此記憶體陣列能夠支援位元組操作，且位於相同位元組的記憶體單元還可共用相同的井區。記憶體陣列的面積會降低，也能夠更有彈性地支援各種操作。

A memory array includes a plurality of memory pages, each memory page includes a plurality of memory bytes, each memory byte includes a plurality of memory cells, and each memory cell includes a floating gate module, a control element, and an erase element. Memory bytes of the same column are coupled to the same erase line, and memory bytes of different columns are coupled to different erase lines. Therefore, the memory array is able to support byte operations while the memory cells of the same memory byte can share the same wells. The circuit area of the memory array can be reduced and the operation of the memory array can be more flexible.

指定代表圖：



第1圖

符號簡單說明：

- 10 . . . 記憶體陣列
- MP1 至 MPM . . . 記憶體分頁
- MB<sub>1,1</sub> 至 MB<sub>1,N</sub>、MB<sub>M,1</sub> 至 MB<sub>M,N</sub> . . . 記憶體位元組
- 100<sub>1,1,1</sub> 至 100<sub>1,1,k</sub>、100<sub>1,N,1</sub> 至 100<sub>1,N,K</sub>、100<sub>M,1,1</sub> 至 100<sub>M,1,K</sub>、100<sub>M,N,1</sub> 至 100<sub>M,N,K</sub> . . . 記憶體單元
- 110 . . . 浮接閘極模組
- 112 . . . 浮接閘極電晶體
- 114 . . . 源極電晶體
- 116 . . . 位元電晶體
- 120 . . . 控制元件
- 130 . . . 清除元件
- CL1 至 CLM . . . 控制線
- WL1 至 WLM . . . 字元線
- WBL1 至 WBLM . . . 井偏壓線
- EL1 至 ELN . . . 清除線
- SL<sub>1,1</sub> 至 SL<sub>1,K</sub>、SL<sub>N,1</sub> 至 SL<sub>N,K</sub> . . . 源極線
- BL<sub>1,1</sub> 至 BL<sub>1,K</sub>、BL<sub>N,1</sub> 至 BL<sub>N,K</sub> . . . 位元線

## 【發明說明書】

【中文發明名稱】 記憶體陣列

【英文發明名稱】 MEMORY ARRAY

【技術領域】

【0001】 本發明係有關於一種記憶體陣列，特別是一種能夠執行位元組清除操作之可重複寫入的非揮發性記憶體陣列。

【先前技術】

【0002】 電子可重複寫入之非揮發性記憶體是一種在沒有電源供應時仍然能夠保存儲存的資訊，並且能夠允許在電路板上被重複寫入的記憶體。由於這種非揮發性記憶體所能應用的範圍相當廣泛，因此將非揮發性記憶體與其他主要電路嵌入在同一晶片的需求也日益成長，尤其是在對電路面積要求相當嚴苛的個人電子裝置，隔外需要將非揮發性記憶體與其他電路嵌入在同一晶片中。

【0003】 先前技術的非揮發性記憶體包含用來儲存資料的浮接閘極電晶體，以及一個或兩個用來致能浮接閘極電晶體以執行對應操作的選擇電晶體。浮接閘極的寫入操作及清除操作可由耦合元件來控制。

【0004】 由於位於不同記憶體分頁或不同記憶體區段的記憶體單元應要能夠獨立操作，因此當記憶體的操作涉及到改變井區(或基體)偏壓時，位於不同分頁或區段的記憶體單元常會被設置在彼此獨立的區域。然而由於製程上的空間區隔規定(spacing rule)，獨立區域間的區隔空間將顯著地擴大電路所需的矽晶面積。再者，對於需要支援位元組操作，例如支援位元組的同時寫入及清除操作的系統而言，記憶體單元所接收到的控制訊號還會更加複雜，並使共用電路面

積的做法更加困難。因此，如何減少電路面積，並增進電路面積使用的效率即成為了有待解決的問題。

**【發明內容】**

**【0005】** 本發明之一實施例提供一種記憶體陣列，記憶體陣列包含複數個記憶體分頁，每一記憶體分頁包含複數個記憶體位元組，每一記憶體位元組包含複數個記憶體單元。每一記憶體單元包含浮接閘極模組、控制元件及清除元件。

**【0006】** 浮接閘極模組包含浮接閘極電晶體、源極電晶體及位元電晶體。浮接閘極電晶體具有第一端、第二端及浮接閘極。源極電晶體具有第一端耦接於源極線，第二端耦接於浮接閘極電晶體之第一端，及控制端耦接於字元線。位元電晶體具有第一端耦接於浮接閘極電晶體之第二端，第二端耦接於位元線，及控制端耦接於字元線。

**【0007】** 控制元件具有基體端耦接於控制線，第一端耦接於基體端，第二端耦接於基體端，及控制端耦接於浮接閘極。清除元件具有基體端，第一端耦接於清除線，第二端，及控制端耦接於浮接閘極。

**【0008】** 位於同一行的複數個記憶體位元組耦接於相同之清除線，而位於相異行的複數個記憶體位元組耦接於相異的複數條清除線。

**【0009】** 本發明之另一實施例提供一種記憶體陣列，記憶體陣列包含複數個記憶體分頁，每一記憶體分頁包含複數個記憶體位元組，每一記憶體位元組包含複數個記憶體單元。每一記憶體單元包含浮接閘極模組、控制元件及清除元件。

**【0010】** 浮接閘極模組包含浮接閘極電晶體、源極電晶體及位元電晶體。浮接閘極電晶體具有第一端、第二端及浮接閘極。源極電晶體具有第一端耦接於

源極線，第二端耦接於浮接閘極電晶體之第一端，及控制端耦接於字元線。位元電晶體具有第一端耦接於浮接閘極電晶體之第二端，第二端耦接於位元線，及控制端耦接於字元線。

【0011】 控制元件具有基體端耦接於控制線，第一端耦接於基體端，第二端耦接於基體端，及控制端耦接於浮接閘極。清除元件具有基體端，第一端耦接於清除線，第二端，及控制端耦接於該浮接閘極。

【0012】 位於同一行的複數個記憶體位元組耦接於相同之控制線，而位於相異行的複數個記憶體位元組耦接於相異的複數條控制線。

### 【圖式簡單說明】

#### 【0013】

第1圖為本發明一實施例之記憶體陣列的示意圖。

第2圖為第1圖之記憶體陣列之記憶體分頁的布局圖。

第3圖為第1圖之記憶體單元在寫入操作期間的訊號電壓示意圖。

第4圖為第1圖之記憶體單元在清除操作期間的訊號電壓示意圖。

第5圖為本發明一實施例之記憶體陣列的示意圖。

第6圖為第5圖之記憶體陣列之記憶體分頁的布局圖。

第7圖為第5圖之記憶體單元在寫入操作期間的訊號電壓示意圖。

第8圖為第5圖之記憶體單元在清除操作期間的訊號電壓示意圖。

第9圖為本發明一實施例之記憶體陣列的示意圖。

### 【實施方式】

【0014】 第1圖為本發明一實施例之記憶體陣列10的示意圖。記憶體陣列10包含M個記憶體分頁MP1至MPM，每一記憶體分頁MP1至MPM包含N個記憶體位

元組。舉例來說，記憶體分頁MP1包含N個記憶體位元組 $MB_{1,1}$ 至 $MB_{1,N}$ ，而記憶體分頁MPM包含N個記憶體位元組 $MB_{M,1}$ 至 $MB_{M,N}$ 。每個記憶體位元組 $MB_{1,1}$ 至 $MB_{1,N}$ 、...、及 $MB_{M,1}$ 至 $MB_{M,N}$ 包含K個記憶體單元。上述的M、N及K為正整數。舉例來說，記憶體位元組 $MB_{1,1}$ 包含K個記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,K}$ ，記憶體位元組 $MB_{1,N}$ 包含K個記憶體單元 $100_{1,N,1}$ 至 $100_{1,N,K}$ ，記憶體位元組 $MB_{M,1}$ 包含K個記憶體單元 $100_{M,1,1}$ 至 $100_{M,1,K}$ ，而記憶體位元組 $MB_{M,N}$ 包含K個記憶體單元 $100_{M,N,1}$ 至 $100_{M,N,K}$ 。

**【0015】** 每個記憶體單元包含浮接閘極模組110、控制元件120及清除元件130。浮接閘極模組110包含浮接閘極電晶體112、源極電晶體114及位元電晶體116。浮接閘極電晶體114具有第一端、第二端及浮接閘極。源極電晶體114具有第一端、第二端及控制端。源極電晶體114之第一端耦接於一對應之源極線，源極電晶體114的第二端耦接於浮接閘極電晶體112的第一端，而源極電晶體114之控制端耦接於一對應的字元線。位元電晶體116具有第一端、第二端及控制端。位元電晶體116之第一端耦接於浮接閘極電晶體112的第二端，位元電晶體116的第二端耦接於一對應的位元線，而位元電晶體116的控制端耦接於對應的字元線。

**【0016】** 在記憶體陣列10中，相同記憶體分頁中的記憶體單元會耦接於相同的字元線，而位於相異記憶體分頁的記憶體單元則會耦接於相異的字元線。舉例來說，記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,K}$ 及 $100_{1,N,1}$ 至 $100_{1,N,K}$ 皆位於記憶體分頁MP1中，並且耦接至相同的字元線WL1。此外，記憶體單元 $100_{M,1,1}$ 至 $100_{M,1,K}$ 及 $100_{M,N,1}$ 至 $100_{M,N,K}$ 皆位於記憶體分頁MPM中，並且耦接至相同的字元線WLM。

**【0017】** 再者，位於同一行的記憶體單元會耦接於相同的源極線及位元線，而位於相異行的記憶體單元則會耦接至相異的源極線及位元線。舉例來說，記憶體單元 $100_{1,1,1}$ 及記憶體單元 $100_{M,1,1}$ 位於同一行，且兩者會耦接至相同的源極線

$SL_{1,1}$ 及位元線 $BL_{1,1}$ 。記憶體單元 $100_{1,1,K}$ 及記憶體單元 $100_{M,1,K}$ 位於同一行，且兩者會耦接至相同的源極線 $SL_{1,K}$ 及位元線 $BL_{1,K}$ 。記憶體單元 $100_{1,N,1}$ 及記憶體單元 $100_{M,N,1}$ 位於同一行，且兩者會耦接至相同的源極線 $SL_{N,1}$ 及位元線 $BL_{N,1}$ 。記憶體單元 $100_{1,N,K}$ 及記憶體單元 $100_{M,N,K}$ 位於同一行，且兩者會耦接至相同的源極線 $SL_{N,K}$ 及位元線 $BL_{N,K}$ 。控制元件120具有基體端、第一端、第二端及控制端。控制元件120的基體端耦接於對應的控制線，控制元件120的第一端耦接於控制元件120的基體端，控制元件120的第二端耦接於控制元件120的基體端，而控制元件120的控制端耦接於浮接閘極電晶體112的浮接閘極。

【0018】 在本實施例中，相同記憶體分頁的記憶體單元會耦接至相同的控制線，而位於相異記憶體分頁的記憶體單元則會耦接至相異的控制線。舉例來說，記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,K}$ 及記憶體單元 $100_{1,N,1}$ 至 $100_{1,N,K}$ 位於相同的記憶體分頁MP1中，並耦接至相同的控制線CL1。相似地，記憶體單元 $100_{M,1,1}$ 至 $100_{M,1,K}$ 及記憶體單元 $100_{M,N,1}$ 至 $100_{M,N,K}$ 位於相同的記憶體分頁MPM中，並耦接至相同的控制線CLM。

【0019】 清除元件130具有基體端、第一端、第二端及控制端。清除元件130的基體端耦接於對應的井偏壓線，清除元件130的第一端耦接於對應的清除線，清除元件130的第二端為浮接狀態或是耦接於清除元件130的第一端，清除元件130的控制端耦接於浮接閘極電晶體112的浮接閘極。

【0020】 在記憶體陣列10中，位於同一行的記憶體位元組會耦接至相同的清除線，而位於相異行的記憶體位元組會耦接至相異的清除線。舉例來說，記憶體位元組 $MB_{1,1}$ 及記憶體位元組 $MB_{M,1}$ 位於相同一行，並且會耦接到相同的清除線EL1。同樣地，記憶體位元組 $MB_{1,N}$ 及記憶體位元組 $MB_{M,N}$ 位於相同一行，並且會耦接到相同的清除線ELN。再者，位於相同記憶體分頁的記憶體單元會耦接至相同的井偏壓線，且位於相異記憶體分頁的記憶體單元會耦接至相異的井

偏壓線。舉例來說，記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,K}$ 及記憶體單元 $100_{1,N,1}$ 至 $100_{1,N,K}$ 皆位於相同的記憶體分頁MP1，且皆耦接至相同的井偏壓線WBL1。同樣地，記憶體單元 $100_{M,1,1}$ 至 $100_{M,1,K}$ 及記憶體單元 $100_{M,N,1}$ 至 $100_{M,N,K}$ 皆位於相同的記憶體分頁MPM，且皆耦接至相同的井偏壓線WBLM。

【0021】 由於位於相同記憶體分頁的記憶體位元組會耦接至相異的清除線，因此相同記憶體分頁的記憶體位元組能夠在獨立控制的情況下，耦接至相同的井偏壓線。也就是說，相同記憶體分頁的記憶體位元組可設置於相同的井區。透過井區的共用，就能夠減少記憶體陣列10的電路面積。

【0022】 第2圖為本發明一實施例之記憶體陣列10之記憶體分頁MP1的布局圖。記憶體單元 $100_{1,1,1}$ 的浮接閘極模組110可設置於P型井PW1的主動區AAF1中，記憶體單元 $100_{1,1,1}$ 的清除元件130可設置於N型井NW1的主動區AAE1，而記憶體單元 $100_{1,1,1}$ 的控制元件120可設置於N型井NW2的主動區AAC。主動區AAF1設置於N型井NW1及N型井NW2之間。

【0023】 再者，記憶體單元 $100_{1,N,1}$ 的浮接閘極模組110可設置於P型井PW1的主動區AAF2中，記憶體單元 $100_{1,N,1}$ 的清除元件130可設置於N型井NW1的主動區AAE2，而記憶體單元 $100_{1,N,1}$ 的控制元件120可設置於N型井NW2的主動區AAC。也就是說，位於相同記憶體分頁MP1中的記憶體位元組 $MB_{1,1}$ 至 $MB_{1,N}$ 可共用N井區NW2中相同的主動區AAC來形成其控制元件120，而位於相同記憶體分頁MP1中的記憶體位元組 $MB_{1,1}$ 至 $MB_{1,N}$ 可利用N井區NW1中的相異主動區AAE1及AAE2來設置其清除元件130，並可利用P型井PW1中相異的主動區AAF1及AAF2來設置其浮接閘極模組110。

【0024】 由於相同記憶體分頁MP1中的記憶體位元組 $MB_{1,1}$ 至 $MB_{1,N}$ 可共用相同的P型井PW1及N型井NW1及NW2，因此N型井之間的空間區隔規定就不會過分限制了記憶體陣列10的電路面積，而記憶體陣列10的電路面積即可顯著地縮



小。

【0025】 此外，為避免記憶體陣列10的電路面積僅朝單一方向延伸，記憶體位元組中的浮接閘極模組110還可設置於P型井PW1中的相異主動區，而記憶體位元組中的清除元件130亦可設置於相異的兩個N型井。舉例來說，在第2圖中，記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,1}$ 的浮接閘極模組110可設置於P型井PW1的主動區AAF1，然而記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,k}$ 的浮接閘極模組110則可設置於P型井PW1的主動區AAF3。

【0026】 再者，記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,1}$ 的清除單元130可設置在N型井NW1的主動區AAE1，而記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,k}$ 的清除元件130則可設置於N井區NW3的主動區AAE3。

【0027】 主動區AAE1及AAE3可設置於N井區NW2的相對兩側，而主動區AAF1及AAF3也可設置於N井區NW2的相對兩側，因此記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,k}$ 的控制元件120仍能設置在相同的N井區NW2中。此外，主動區AAF3可設置在N井區NW2及N井區NW3之間。

【0028】 在此情況下，記憶體陣列10的布局就不會僅沿單一方向延伸，因此記憶體陣列10的布局就可以更加彈性。然而，在本發明的部分實施例中，根據系統的需求，記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,k}$ 的浮接閘極模組110也可設置在同一P井區，且記憶體位元組 $MB_{1,1}$ 之記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,k}$ 的清除元件130亦可設置在同一N井區。

【0029】 第3圖為記憶體陣列10之記憶體單元 $100_{1,1,1}$ 在寫入操作期間的訊號電壓示意圖。根據第3圖，在記憶體單元 $100_{1,1,1}$ 的寫入操作期間，控制線CL1可處在第一電壓VPP，清除線EL1可處在第二電壓VEE'，字元線WL1可處在第三電壓VDD，源極線 $SL_{1,1}$ 可處在第四電壓VSS，位元線 $BL_{1,1}$ 可處在第四電壓VSS，而井偏壓線WBL1可處在第二電壓VEE'。

【0030】 在本發明的部分實施例中，第一電壓VPP大於第二電壓VEE'，第二電壓VEE'大於第三電壓VDD，而第三電壓VDD大於第四電壓VSS。此外，第二電壓VEE'與第四電壓VSS間之差值可上大於第一電壓VPP與第四電壓VSS間之差值的一半，而第三電壓VDD與第四電壓VSS間之差值可小於第一電壓VPP與第四電壓VSS間之差值的一半。舉例來說，若第一電壓VPP為10V，第二電壓VEE'可為6V，第三電壓VDD可為3V，而第四電壓VSS可為0V。

【0031】 在第3圖中，記憶體單元 $100_{i,j,k}$ 的控制元件120可經由控制線CL1耦接至高電壓。源極電晶體114及位元電晶體116會被導通，因此記憶體單元 $100_{i,j,k}$ 之浮接閘極電晶體112的第一端及第二端會被拉低到低電壓，亦即第四電壓VSS。因此，施加在浮接閘極電晶體112上的高電壓差會導致浮接閘極發生福諾(Fowler Nordheim)電子穿隧注入，因而記憶體單元 $100_{i,j,k}$ 會被寫入。

【0032】 此外，在記憶體單元 $100_{i,j,k}$ 的寫入操作期間，記憶體單元 $100_{i,N,k}$ 並未被選取。因此，為了避免與記憶體單元 $100_{i,j,k}$ 位於相同記憶體分頁MP1的記憶體單元 $100_{i,N,k}$ 被寫入，記憶體單元 $100_{i,N,k}$ 可在記憶體單元 $100_{i,j,k}$ 的寫入操作期間執行禁止寫入操作。

【0033】 在記憶體單元 $100_{i,N,k}$ 的禁止寫入操作期間，控制線CL1會處在第一電壓VPP，清除線ELN可處在第二電壓VEE'，字元線WL1可處在第三電壓VDD，源極線 $SL_{N,k}$ 可處在第三電壓VDD，位元線 $BL_{N,k}$ 可處在第三電壓VDD，而井偏壓線WBL1會處在第二電壓VEE'。

【0034】 在此情況下，雖然記憶體單元 $100_{i,N,k}$ 與記憶體單元 $100_{i,j,k}$ 會耦接至相同的控制線CL1及相同的字元線WL1，然而因為記憶體單元 $100_{i,N,k}$ 的源極電晶體114及位元電晶體116會抬升通道的電壓，因此記憶體單元 $100_{i,N,k}$ 並不會被寫入。也就是說，緊接在控制線CL1的電壓提升至第一電壓VPP之後，浮接閘極電晶體112之第一端及第二端的電壓會與源極線 $SL_{N,k}$ 及位元線 $BL_{N,k}$ 的電壓隔離，而反而

會經由控制元件120之基體端接收到較高的電壓，因此記憶體單元 $100_{i,N,i}$ 的浮接閘極無法捕獲足夠的電子，導致記憶體單元 $100_{i,N,i}$ 不會被寫入。

【0035】 此外，在記憶體單元 $100_{i,1,i}$ 的寫入操作期間，在未被選取之記憶體分頁中的記憶體單元也不應被寫入。舉例來說，在第3圖中，記憶體單元 $100_{M,1,i}$ 是位於未被選取的記憶體分頁MPM中。然而，由於記憶體單元 $100_{M,1,i}$ 與 $100_{i,1,i}$ 是位於相同一行，因此記憶體單元 $100_{M,1,i}$ 與 $100_{i,1,i}$ 會耦接至相同的源極線 $SL_{i,1}$ 、相同的位元線 $BL_{i,1}$ 及相同的清除線 $EL1$ 。

【0036】 在記憶體單元 $100_{i,1,i}$ 的寫入操作期間，耦接至未被選取之記憶體單元 $100_{M,1,i}$ 的控制線CLM可處在第三電壓VDD，耦接至未被選取之記憶體單元 $100_{M,1,i}$ 的字元線WLM可處在第三電壓VDD，而耦接至未被選取之記憶體單元 $100_{M,1,i}$ 的井偏壓線WBLM可處在第二電壓VEE'。

【0037】 在此情況下，由於控制線CLM的電壓不夠高到足以引發福諾電子穿隧注入，因此記憶體單元 $100_{M,1,i}$ 將不會被寫入。此外，由於記憶體單元 $100_{i,1,i}$ 及 $100_{M,1,i}$ 會耦接至相同的清除線 $EL1$ ，因此記憶體單元 $100_{M,1,i}$ 之清除元件130的基體端電壓不應小於清除線 $EL1$ 的電壓，否則記憶體單元 $100_{M,1,i}$ 之清除元件130之第一端及基體端將具有順向偏壓而造成漏電流。因此，耦接至記憶體單元 $100_{M,1,i}$ 之井偏壓線WBL1可處於第二電壓VEE'。

【0038】 再者，字元線WLM可為第三電壓VDD以減少閘極引發汲極漏電流 (gate-induced drain leakage, GIDL)。舉例來說，在記憶體單元 $100_{i,1,i}$ 的寫入操作期間及記憶體單元 $100_{i,N,i}$ 的禁止寫入操作期間，耦接至記憶體單元 $100_{M,N,i}$ 之源極線 $SL_{N,i}$ 及位元線 $BL_{N,i}$ 會處在第三電壓VDD。若字元線WLM為第四電壓VSS，則記憶體單元 $100_{M,N,i}$ 之源極電晶體114及位元電晶體116可能會因為較大的電壓差而導致閘極引發汲極漏電流。因此字元線WLM可為第三電壓VDD以有效地避免閘極引發汲極漏電流，同時也不致影響其他記憶體單元的操作。

【0039】 此外，在本發明的部分實施例中，記憶體陣列10能夠以位元組為單位進行寫入操作。也就是說，位於相同記憶體位元組 $MB_{1,i}$ 中的記憶體單元 $100_{1,i,1}$ 至 $100_{1,i,k}$ 可以同步執行寫入操作。在此情況下，於記憶體單元 $100_{1,i,1}$ 的寫入操作期間，記憶體單元 $100_{1,i,k}$ 可與記憶體單元 $100_{1,i,1}$ 接收到相同的訊號。然而在本發明的部分實施例中，記憶體陣列也可能以單一位元為單位來進行寫入操作。也就是說，於記憶體單元 $100_{1,i,1}$ 的寫入操作期間，記憶體單元 $100_{1,i,k}$ 可執行禁止寫入操作來避免被寫入資料。在此情況下，於記憶體單元 $100_{1,i,1}$ 的寫入操作期間，記憶體單元 $100_{1,i,k}$ 可與記憶體單元 $100_{1,N,i}$ 接收到相同的訊號。

【0040】 第4圖為記憶體陣列10之記憶體單元 $100_{1,i,1}$ 在清除操作期間的訊號電壓示意圖。根據第4圖，在記憶體單元 $100_{1,i,1}$ 的清除操作期間，控制線CL1可處在第四電壓VSS，清除線EL1可處在第五電壓VEE，字元線WL1可處在第三電壓VDD，源極線 $SL_{1,i}$ 可處在第三電壓VDD，位元線 $BL_{1,i}$ 可處在第三電壓VDD，而井偏壓線WBL1可處在第五電壓VEE。第五電壓VEE大於第三電壓VDD。在部分實施例中，第五電壓VEE可實質上相等或略小於第一電壓VPP。舉例來說，第五電壓VEE亦可與第一電壓VPP同為10V。

【0041】 在此情況下，具有高電壓的清除線EL1可以引發福諾電子穿隧釋放，使得記憶體單元 $100_{1,i,1}$ 會被清除。此外，由於清除線EL1處於第五電壓VEE，因此井偏壓線WBL1也應處於第五電壓VEE以避免漏電流。

【0042】 再者，於記憶體單元 $100_{1,i,1}$ 的清除操作期間，與記憶體單元 $100_{1,i,1}$ 位於相同記憶體分頁MP1之未被選取的記憶體單元不應被清除。舉例來說，在第4圖中，記憶體單元 $100_{1,N,i}$ 是位在未被選取的記憶體位元組 $MB_{1,N}$ 中，且不應於記憶體單元 $100_{1,i,1}$ 的清除操作期間被清除。

【0043】 由於記憶體單元 $100_{1,N,i}$ 與記憶體單元 $100_{1,i,1}$ 位於相同的記憶體分頁MP1中，因此記憶體單元 $100_{1,N,i}$ 會與記憶體單元 $100_{1,i,1}$ 耦接至相同的控制線

CL1、相同的字元線WL及相同的井偏壓線WBL1。由於井偏壓線WBL1於記憶體單元 $100_{i,1,1}$ 的清除操作期間是處在為第五電壓VEE，因此耦接至記憶體單元 $100_{i,N,1}$ 的清除線ELN的電壓不宜過低，否則記憶體單元 $100_{i,N,1}$ 的清除元件130可能會崩潰導通。因此耦接至記憶體單元 $100_{i,N,1}$ 的清除線ELN可處於第六電壓VEE''，且第六電壓VEE''大於第四電壓VSS。在本發明的部分實施例中，第六電壓VEE''與第四電壓VSS間之差值會小於第五電壓VEE與第四電壓VSS間之差值的一半。舉例來說，若第五電壓VEE為10V，第六電壓VEE''可為4V。

【0044】 如此一來，清除線ELN的電壓不至於高到引發福諾電子穿隧釋放，所以記憶體單元 $100_{i,N,1}$ 不會被清除。而且清除線ELN的電壓也不至於低到使記憶體單元 $100_{i,N,1}$ 的清除元件130崩潰導通。

【0045】 除了耦接至記憶體單元 $100_{i,N,1}$ 的清除線ELN之外，於記憶體單元 $100_{i,1,1}$ 的清除操作期間，耦接至未選定之記憶體單元 $100_{i,N,1}$ 的源極線 $SL_{N,1}$ 可處於第三電壓VDD，而耦接至記憶體單元 $100_{i,N,1}$ 的位元線 $BL_{N,1}$ 可處於第三電壓VDD。因此於記憶體單元 $100_{i,N,1}$ 可保持在穩定的狀態。

【0046】 此外，於記憶體單元 $100_{i,1,1}$ 的清除操作期間，位於未被選定之記憶體分頁的記憶體單元也不應被清除。舉例來說，在第4圖中，記憶體單元 $100_{M,1,1}$ 位於未被選定之記憶體分頁MPM中。然而，由於記憶體單元 $100_{M,1,1}$ 與記憶體單元 $100_{i,1,1}$ 位於相同一行，因此記憶體單元 $100_{M,1,1}$ 與記憶體單元 $100_{i,1,1}$ 會耦接至相同的源極線 $SL_{i,1}$ 、相同的位元線 $BL_{i,1}$ 及相同的清除線EL1。由於清除線EL1是處在第五電壓VEE，耦接至未選定之記憶體單元 $100_{M,1,1}$ 之控制線CLM的電壓不宜過低，否則記憶體單元 $100_{M,1,1}$ 可能會被意外地清除。然而控制線CLM的電壓也不宜過高，否則記憶體單元 $100_{M,1,1}$ 可能會被意外地寫入。因此控制線CLM的電壓可為第七電壓VPP'。第五電壓VEE可大於第七電壓VPP'，且第七電壓VPP'可大於第三電壓VDD。在本發明的部分實施例中，第七電壓VPP'與第四電壓VSS

間之差值會上大於第五電壓VEE與第四電壓VSS間之差值的一半。舉例來說，若第五電壓VEE為10V，則第七電壓VPP'可為6V。

【0047】 在此情況下，控制線CLM的電壓就不會過高到足以寫入記憶體單元 $100_{M,1,1}$ ，也不會過低到足以清除記憶體單元 $100_{M,1,1}$ 。

【0048】 除了控制線CLM之外，在記憶體單元 $100_{1,1,1}$ 的清除操作期間，耦接至未被選定之記憶體單元 $100_{M,1,1}$ 的字元線WLM可處於第三電壓VDD，而耦接至未被選定之記憶體單元 $100_{M,1,1}$ 的井偏壓線WBLM可處於第五電壓VEE。因此記憶體單元 $100_{M,1,1}$ 可保持在穩定狀態。

【0049】 再者，由於同一個記憶體位元組中的記憶體單元都會耦接到相同的清除線，記憶體陣列10能夠以位元組為單位來執行清除操作。也就是說，在記憶體位元組 $MB_{1,1}$ 中的記憶體單元 $100_{1,1,1}$ 至 $100_{1,1,K}$ 可同步執行清除操作。在此情況下，在記憶體單元 $100_{1,1,1}$ 的清除操作期間，記憶體單元 $100_{1,1,K}$ 會與記憶體單元 $100_{1,1,1}$ 接收到相同的訊號。

【0050】 如此一來，記憶體陣列10就能夠以位元組為單位執行操作，例如位元組寫入操作及/或位元組清除操作，而無須連接複雜的訊號線路。再者，由於位於相同記憶體分頁之記憶體單元的控制元件120都可設置在相同的井區，且位於相同記憶體分頁之記憶體單元的清除元件130都可設置在相同的井區，因此記憶體陣列10的記憶體單元可以有效地共用電路面積。也就是說，相較於先前技術，記憶體陣列10可以具有較小的電路面積，同時也能有效地支援各種彈性的操作。

【0051】 然而，如第4圖所示，在記憶體單元 $100_{1,1,1}$ 的清除操作期間，耦接至記憶體單元 $100_{1,N,1}$ 的清除線ELN是處於第六電壓VEE''，而耦接至記憶體單元 $100_{1,N,1}$ 的井偏壓線WBL1是處於第五電壓VEE。換言之，記憶體單元 $100_{1,N,1}$ 之清除元件130的第一端及基體端會承受逆向偏壓。當記憶體陣列10操作在低電壓，

例如不高於12V的電壓時，由低壓元件製程製造之記憶體單元的清除元件130即能夠承受逆向偏壓並維持正常運作。舉例來說，適用於3V電壓操作的元件即可適合地應用在記憶體陣列10。然而，若逆向偏壓超過了記憶體單元之清除元件130所能承受範圍，則清除元件130就可能會崩潰。

【0052】 為了讓記憶體陣列能夠操作在較高的電壓而不致崩潰，在本發明的部分實施例中，清除元件的基體端可耦接至清除元件的第一端。

【0053】 第5圖為本發明一實施例之記憶體陣列20的示意圖。記憶體陣列20與記憶體陣列10具有相似的架構。記憶體陣列20包含M個記憶體分頁MP'1至MP'M，每一記憶體分頁MP'1至MP'M包含N個記憶體位元組。舉例來說，記憶體分頁MP'1包含N個記憶體位元組MB'<sub>1,1</sub>至MB'<sub>1,N</sub>，而記憶體分頁MP'M包含N個記憶體位元組MB'<sub>M,1</sub>至MB'<sub>M,N</sub>。每個記憶體位元組MB'<sub>1,1</sub>至MB'<sub>1,N</sub>、...、及MB'<sub>M,1</sub>至MB'<sub>M,N</sub>包含K個記憶體單元。上述的M、N及K為正整數。舉例來說，記憶體位元組MB'<sub>1,1</sub>包含K個記憶體單元200<sub>1,1,1</sub>至200<sub>1,1,K</sub>，記憶體位元組MB'<sub>1,N</sub>包含K個記憶體單元200<sub>1,N,1</sub>至200<sub>1,N,K</sub>，記憶體位元組MB'<sub>M,1</sub>包含K個記憶體單元200<sub>M,1,1</sub>至200<sub>M,1,K</sub>，而記憶體位元組MB'<sub>M,N</sub>包含K個記憶體單元200<sub>M,N,1</sub>至200<sub>M,N,K</sub>。

【0054】 每個記憶體單元包含浮接閘極模組110、控制元件120及清除元件230。清除元件230及清除元件130具有相似的架構，然而記憶體陣列20中每一記憶體單元之清除元件230的第一端、第二端及基體端都會共同耦接到對應的清除線。也就是說，在記憶體陣列10中的井偏壓線WBL1至WBLM可在記憶體陣列20中被移除。

【0055】 第6圖為本發明一實施例之記憶體陣列20之記憶體分頁MP'1的布局圖。記憶體單元200<sub>1,1,1</sub>的浮接閘極模組110可設置於P型井PW1的主動區AAF1中，記憶體單元200<sub>1,1,1</sub>的清除元件230可設置於N型井NW1的主動區AAE1，而記

憶體單元 $200_{i,1,1}$ 的控制元件120可設置於N型井NW2的主動區AAC1。主動區AAF1設置於N型井NW1及NW2之間。

【0056】 再者，記憶體單元 $200_{i,N,1}$ 的浮接閘極模組110可設置於P型井PW1的主動區AAF2中，而記憶體單元 $200_{i,N,1}$ 的控制元件120可設置於N型井NW2的主動區AAC2然而，由於記憶體陣列20已將原先會耦接至同一記憶體分頁之各個清除元件的井偏壓線移除，因此記憶體單元 $200_{i,N,1}$ 的清除元件230會與記憶體單元 $200_{i,1,1}$ 的清除元件230分別設置在相異的N井區。在第6圖中，記憶體單元 $200_{i,N,1}$ 的清除元件230會設置在N型井NW3的主動區AAE2。也就是說，不同記憶體位元組之記憶體單元的清除元件230會設置在不同的N井區。

【0057】 此外，位於相同記憶體分頁之記憶體單元的控制元件會共用相同的N型井。舉例來說，記憶體分頁MP'1之記憶體位元組 $MB_{1,1}$ 至 $MB_{1,N}$ 可共用N型井NW2。再者，相同位元組之記憶體單元的清除元件230則會共用相同的N型井。因此，N型井之間的空間區隔規定就不至於過分限制記憶體陣列20的電路面積，而記憶體陣列20的電路面積仍可顯著地減少。

【0058】 此外，為避免記憶體陣列20的電路面積僅朝單一方向延伸，記憶體位元組中的浮接閘極模組110還可設置於P型井PW1中的相異主動區，而記憶體位元組中的清除元件230亦可設置於相異的兩個N型井。舉例來說，在第6圖中，記憶體位元組 $MB'_{1,1}$ 之記憶體單元 $200_{i,1,1}$ 的浮接閘極模組110可設置於P型井PW1的主動區AAF1，然而記憶體位元組 $MB'_{1,1}$ 之記憶體單元 $200_{i,1,k}$ 的浮接閘極模組110則可設置於P型井PW1的主動區AAF3。

【0059】 再者，記憶體位元組 $MB'_{1,1}$ 之記憶體單元 $200_{i,1,1}$ 的清除單元230可設置在N型井NW1的主動區AAE1，而記憶體位元組 $MB'_{1,1}$ 之記憶體單元 $200_{i,1,k}$ 的清除元件230則可設置於N井區NW4的主動區AAE3。

【0060】 在此情況下，記憶體陣列20的布局就不會僅沿單一方向延伸，因此



記憶體陣列20的布局就可以更加彈性。然而，在本發明的部分實施例中，根據系統的需求，記憶體位元組 $MB'_{1,i}$ 之記憶體單元 $200_{1,i,1}$ 至 $200_{1,i,k}$ 的浮接閘極模組110也可設置在同一P井區，且記憶體位元組 $MB'_{1,i}$ 之記憶體單元 $200_{1,i,1}$ 至 $200_{1,i,k}$ 的清除元件230亦可設置在同一N井區。

【0061】 第7圖為記憶體陣列20之記憶體單元 $200_{1,i,1}$ 在寫入操作期間的訊號電壓示意圖。根據第7圖，在記憶體單元 $200_{1,i,1}$ 的寫入操作期間，控制線CL1可處在第一電壓VPP，清除線EL1可處在第二電壓VEE'，字元線WL1可處在第三電壓VDD，源極線 $SL_{1,i}$ 可處在第四電壓VSS，而位元線 $BL_{1,i}$ 可處在第四電壓VSS。

【0062】 在本發明的部分實施例中，記憶體陣列20可以較記憶體陣列10承受更高的電壓。舉例來說，記憶體陣列20可利用適於操作在5V電壓的元件來實作。在此情況下，第一電壓VPP可為18V，第二電壓VEE'可為13V，第三電壓VDD可為6V，而第四電壓VSS可為0V。

【0063】 在第7圖中，記憶體單元 $200_{1,i,1}$ 的控制元件120可經由控制線CL1耦接至高電壓。源極電晶體114及位元電晶體116會被導通，因此記憶體單元 $200_{1,i,1}$ 之浮接閘極電晶體112的第一端及第二端會被拉低到低電壓，亦即第四電壓VSS。因此，施加在浮接閘極電晶體112上的高電壓差會導致浮接閘極發生福諾電子穿隧注入，因而記憶體單元 $200_{1,i,1}$ 會被寫入。

【0064】 此外，在記憶體單元 $200_{1,i,1}$ 的寫入操作期間，記憶體單元 $200_{1,N,1}$ 並未被選取。因此，為了避免與記憶體單元 $200_{1,i,1}$ 位於相同記憶體分頁MP'1的記憶體單元 $200_{1,N,1}$ 被寫入，記憶體單元 $200_{1,N,1}$ 可執行禁止寫入操作。在記憶體單元 $100_{1,N,1}$ 的禁止寫入操作期間，控制線CL1可處在第一電壓VPP，清除線ELN可處在第二電壓VEE'，字元線WL1可處在第三電壓VDD，源極線 $SL_{N,1}$ 可處在第三電壓VDD，而位元線 $BL_{N,1}$ 可處在第三電壓VDD。

【0065】 在此情況下，雖然記憶體單元 $200_{1,N,1}$ 與記憶體單元 $200_{1,i,1}$ 會耦接至相

同的控制線CL1及相同的字元線WL1，然而因為記憶體單元 $200_{i,N,1}$ 的源極電晶體114及位元電晶體116會抬升通道的電壓，因此記憶體單元 $200_{i,N,1}$ 並不會被寫入。也就是說，緊接在控制線CL1的電壓提升至第一電壓VPP之後，浮接閘極電晶體112之第一端及第二端的電壓會與源極線 $SL_{N,1}$ 及位元線 $BL_{N,1}$ 的電壓隔離，並經由控制元件120之基體端接收到較高的電壓，因此記憶體單元 $200_{i,N,1}$ 的浮接閘極無法捕獲足夠的電子，導致記憶體單元 $200_{i,N,1}$ 不會被寫入。

【0066】 此外，在記憶體單元 $200_{i,1,1}$ 的寫入操作期間，在未被選取之記憶體分頁中的記憶體單元也不應被寫入。舉例來說，在第7圖中，記憶體單元 $200_{M,1,1}$ 是位於未被選取的記憶體分頁MP'M中。然而，由於記憶體單元 $200_{M,1,1}$ 與 $200_{i,1,1}$ 位於相同一行，因此記憶體單元 $200_{M,1,1}$ 與 $200_{i,1,1}$ 會耦接至相同的源極線 $SL_{i,1}$ 、相同的位元線 $BL_{i,1}$ 及相同的清除線EL1。

【0067】 在記憶體單元 $200_{i,1,1}$ 的寫入操作期間，耦接至未被選取之記憶體單元 $200_{M,1,1}$ 的控制線CLM可處在第三電壓VDD，耦接至未被選取之記憶體單元 $200_{M,1,1}$ 的字元線WLM可處在第三電壓VDD。

【0068】 在此情況下，由於控制線CLM的電壓不夠高到足以引發福諾電子穿隧注入，因此記憶體單元 $200_{M,1,1}$ 將不會被寫入。此外，字元線WLM可為第三電壓VDD以減少閘極引發汲極漏電流(gate-induced drain leakage, GIDL)。舉例來說，在記憶體單元 $200_{i,1,1}$ 的寫入操作期間及記憶體單元 $200_{i,N,1}$ 的禁止寫入操作期間，耦接至記憶體單元 $200_{M,N,1}$ 之源極線 $SL_{N,1}$ 及位元線 $BL_{N,1}$ 會處在第三電壓VDD。若字元線WLM為第四電壓VSS，則記憶體單元 $200_{M,N,1}$ 之源極電晶體114及位元電晶體116可能會因為較大的電壓差而導致閘極引發汲極漏電流。因此字元線WLM可為第三電壓VDD以有效地避免閘極引發汲極漏電流，同時也不致影響其他記憶體單元的操作。

【0069】 此外，在本發明的部分實施例中，記憶體陣列20能夠以位元組為單

位進行寫入操作。也就是說，位於相同記憶體位元組 $MB'_{1,1}$ 中的記憶體單元 $200_{1,1,1}$ 至 $200_{1,1,K}$ 可以同步執行寫入操作。在此情況下，於記憶體單元 $200_{1,1,1}$ 的寫入操作期間，記憶體單元 $200_{1,1,K}$ 可與記憶體單元 $200_{1,1,1}$ 接收到相同的訊號。然而在本發明的部分實施例中，記憶體陣列也可能以單一位元為單位來進行寫入操作。也就是說，於記憶體單元 $200_{1,1,1}$ 的寫入操作期間，記憶體單元 $200_{1,1,K}$ 可執行禁止寫入操作來避免被寫入資料。在此情況下，於記憶體單元 $200_{1,1,1}$ 的寫入操作期間，記憶體單元 $200_{1,1,K}$ 可與記憶體單元 $200_{1,N,1}$ 接收到相同的訊號。

【0070】 第8圖為記憶體陣列20之記憶體單元 $200_{1,1,1}$ 在清除操作期間的訊號電壓示意圖。根據第8圖，在記憶體單元 $200_{1,1,1}$ 的清除操作期間，控制線CL1可處在第四電壓VSS，清除線EL1可處在第五電壓VEE，字元線WL1可處在第三電壓VDD，源極線 $SL_{1,1}$ 可處在第三電壓VDD，而位元線 $BL_{1,1}$ 可處在第三電壓VDD。在此實施例中，第五電壓VEE與第一電壓VPP可同為18V。

【0071】 在此情況下，具有高電壓的清除線EL1可以引發福諾電子穿隧釋放，使得記憶體單元 $200_{1,1,1}$ 會被清除。

【0072】 再者，於記憶體單元 $200_{1,1,1}$ 的清除操作期間，與記憶體單元 $200_{1,1,1}$ 位於相同記憶體分頁MP'1之未被選取的記憶體單元不應被清除。舉例來說，在第8圖中，記憶體單元 $200_{1,N,1}$ 位在未選取的記憶體位元組 $MB'_{1,N}$ 中，且不應於記憶體單元 $200_{1,1,1}$ 的清除操作期間被清除。

【0073】 由於記憶體單元 $200_{1,N,1}$ 與記憶體單元 $200_{1,1,1}$ 位於相同的記憶體分頁MP'1中，因此記憶體單元 $200_{1,N,1}$ 會與記憶體單元 $200_{1,1,1}$ 耦接至相同的控制線CL1及相同的字元線WL。然而耦接至未選定之記憶體單元 $200_{1,N,1}$ 之清除線ELN可處於第六電壓VEE”。在本發明的部分實施例中，若第五電壓VEE為18V，第六電壓VEE”可為4V。

【0074】 如此一來，清除線ELN的電壓不至於高到引發福諾電子穿隧釋放，

所以記憶體單元 $200_{i,N,i}$ 不會被清除。

【0075】 除了耦接至記憶體單元 $200_{i,N,i}$ 的清除線 $EL_N$ 之外，於記憶體單元 $200_{i,i,i}$ 的清除操作期間，耦接至未選定之記憶體單元 $200_{i,N,i}$ 的源極線 $SL_{N,i}$ 可處於第三電壓 $VDD$ ，而耦接至記憶體單元 $200_{i,N,i}$ 的位元線 $BL_{N,i}$ 可處於第三電壓 $VDD$ 。因此於記憶體單元 $200_{i,N,i}$ 可保持在穩定的狀態。

【0076】 此外，於記憶體單元 $200_{i,i,i}$ 的清除操作期間，位於未被選定之記憶體分頁的記憶體單元也不應被清除。舉例來說，在第8圖中，記憶體單元 $200_{M,i,i}$ 位於未被選定之記憶體分頁 $MP'M$ 中。然而，由於記憶體單元 $200_{M,i,i}$ 與記憶體單元 $200_{i,i,i}$ 位於相同一行，因此記憶體單元 $200_{M,i,i}$ 與記憶體單元 $200_{i,i,i}$ 會耦接至相同的源極線 $SL_{i,i}$ 、相同的位元線 $BL_{i,i}$ 及相同的清除線 $EL_i$ 。由於清除線 $EL_i$ 是處在第五電壓 $VEE$ ，耦接至未選定之記憶體單元 $200_{M,i,i}$ 之控制線 $CLM$ 的電壓不宜過低，否則記憶體單元 $200_{M,i,i}$ 可能會被意外地清除。然而控制線 $CLM$ 的電壓也不宜過高，否則記憶體單元 $200_{M,i,i}$ 可能會被意外地寫入。因此控制線 $CLM$ 的電壓可為第七電壓 $VPP'$ 。2在此實施例中，若第五電壓 $VEE$ 為18V，則第七電壓 $VPP'$ 可為12V。

【0077】 在此情況下，控制線 $CLM$ 的電壓就不會過高到足以寫入記憶體單元 $200_{M,i,i}$ ，也不會過低到足以清除記憶體單元 $200_{M,i,i}$ 。除了控制線 $CLM$ 之外，在記憶體單元 $200_{i,i,i}$ 的清除操作期間，耦接至未被選定之記憶體單元 $200_{M,i,i}$ 的字元線 $WLM$ 可處於第三電壓 $VDD$ 。因此透過記憶體單元 $200_{M,i,i}$ 之源極電晶體114及位元電晶體116抬升通道電壓即可進一步防止記憶體單元 $200_{M,i,i}$ 被清除。

【0078】 再者，由於同一個記憶體位元組中的記憶體單元都會耦接到相同的清除線，記憶體陣列20可根據位元組為單位來執行清除操作。也就是說，在記憶體位元組 $MB'_{i,i}$ 中的記憶體單元 $200_{i,i,i}$ 至 $200_{i,i,K}$ 可同步執行清除操作。在此情況下，在記憶體單元 $200_{i,i,i}$ 的清除操作期間，記憶體單元 $200_{i,i,K}$ 會與記憶體單元

200<sub>1,1,1</sub>接收到相同的訊號。

【0079】 如此一來，記憶體陣列20就能夠以位元組為單位執行操作，例如位元組寫入操作及/或位元組清除操作，而無須連接複雜的訊號線路。再者，由於位於相同記憶體分頁之記憶體單元的控制元件120都可設置在相同的井區，且位於相同記憶體位元組之記憶體單元的清除元件230都可設置在相同的井區，因此記憶體陣列20的記憶體單元可以有效地共用電路面積。也就是說，相較於先前技術，記憶體陣列20可以具有較小的電路面積，同時也能有效地支援各種彈性的操作。

【0080】 在記憶體陣列10及20中，位於同一行之記憶體位元組會耦接至相同的清除線，而位於相異行的記憶體位元組則會耦接至相異的清除線，且位於相同記憶體分頁的記憶體單元會耦接至相同的控制線，而位於相異記憶體分頁的記憶體單元會耦接至相異的控制線。然而，在本發明的部分實施例中，控制線及清除線的連接安排方式也可彼此互換。第9圖為本發明一實施例之記憶體陣列30的示意圖。

【0081】 在第9圖中，記憶體陣列30與記憶體陣列10具有相似的架構。然而，在記憶體陣列30中，位於同一行之記憶體位元組會耦接到相同的控制線，而位於相異行之記憶體位元組會耦接至相異的控制線。舉例來說，記憶體位元組MB<sub>1,1</sub>及記憶體位元組MB<sub>M,1</sub>位於同一行，並且會耦接到相同的控制線CL1'。相似地，記憶體位元組MB<sub>1,N</sub>及記憶體位元組MB<sub>M,N</sub>位於同一行，並且會耦接到相同的控制線CLN'。

【0082】 再者，在第9圖中，在相同記憶體分頁的記憶體單元會耦接至相同的清除線，而位於相異記憶體分頁的記憶體單元則會耦接至相異的清除線。舉例來說，記憶體單元100<sub>1,1,1</sub>至100<sub>1,1,K</sub>及記憶體單元100<sub>1,N,1</sub>至100<sub>1,N,K</sub>皆位於相同的記憶體分頁MP1，並且都會耦接至相同的清除線EL1'。相似地，記憶體單元100<sub>M,1,1</sub>

至 $100_{M,1,K}$ 及記憶體單元 $100_{M,N,1}$ 至 $100_{M,N,K}$ 皆位於相同的記憶體分頁MPM，並且都會耦接至相同的清除線ELM'。在此情況下，記憶體陣列30仍然能夠以位元組為單位來進行各種操作，例如位元組寫入操作及/或位元組清除操作，而無須複雜的訊號線。也就是說，相較於先前技術，記憶體陣列30仍會具有較小的電路面積，並且能夠更有彈性且有效地支援各種操作。

【0083】 綜上所述，本發明之實施力所提供的記憶體陣列能夠執行位元組操作，例如位元組寫入操作及/或位元組清除操作，而無須複雜的訊號線。再者，由於不同記憶體單元的控制元件及清除元件可以有效的共用井區，因此相較於先前技術，本發明所提供的記憶體陣列會具有較小的電路面積，並且能夠更有彈性且有效地支援各種操作。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

【0084】	
10、20、30	記憶體陣列
MP1至MPM、MP'1至MP'M	記憶體分頁
$MB_{1,1}$ 至 $MB_{1,N}$ 、 $MB_{M,1}$ 至 $MB_{M,N}$ 、 $MB'_{1,1}$ 至 $MB'_{1,N}$ 、 $MB'_{M,1}$ 至 $MB'_{M,N}$	記憶體位元組
$100_{1,1,1}$ 至 $100_{1,1,k}$ 、 $100_{1,N,1}$ 至 $100_{1,N,K}$ 、 $100_{M,1,1}$ 至 $100_{M,1,K}$ 、 $100_{M,N,1}$ 至 $100_{M,N,K}$ 、 $200_{1,1,1}$ 至 $200_{1,1,k}$ 、 $200_{1,N,1}$ 至 $200_{1,N,K}$ 、 $200_{M,1,1}$ 至 $200_{M,1,K}$ 、 $200_{M,N,1}$ 至 $200_{M,N,K}$	記憶體單元
110	浮接閘極模組
112	浮接閘極電晶體

114	源極電晶體
116	位元電晶體
120	控制元件
130、230	清除元件
CL1至CLM、CL1'至CLM'	控制線
WL1至WLM	字元線
WBL1至WBLM	井偏壓線
EL1至ELN、EL1'至ELN'	清除線
SL <sub>1,1</sub> 至SL <sub>1,K</sub> 、SL <sub>N,1</sub> 至SL <sub>N,K</sub>	源極線
BL <sub>1,1</sub> 至BL <sub>1,K</sub> 、BL <sub>N,1</sub> 至BL <sub>N,K</sub>	位元線
PW1	P型井
NW1、NW2、NW3	N型井
AAC、AAE1、AAE2、AAE3、 AAF1、AAF2、AAF3、AAC1、 AAC2	主動區
VPP	第一電壓
VEE'	第二電壓
VDD	第三電壓
VSS	第四電壓
VEE	第五電壓
VEE''	第六電壓
VPP'	第七電壓



## 【發明摘要】

【中文發明名稱】 記憶體陣列

【英文發明名稱】 MEMORY ARRAY

## 【中文】

記憶體陣列包含複數個記憶體分頁，每一記憶體分頁包含複數個記憶體位元組，每一記憶體位元組包含複數個記憶體單元。每一記憶體單元包含浮接閘極模組、控制元件及清除元件。位於同一行的複數個記憶體位元組耦接於相同之清除線，而位於相異行的複數個記憶體位元組耦接於相異的複數條清除線。因此記憶體陣列能夠支援位元組操作，且位於相同位元組的記憶體單元還可共用相同的井區。記憶體陣列的面積會降低，也能夠更有彈性地支援各種操作。

## 【英文】

A memory array includes a plurality of memory pages, each memory page includes a plurality of memory bytes, each memory byte includes a plurality of memory cells, and each memory cell includes a floating gate module, a control element, and an erase element. Memory bytes of the same column are coupled to the same erase line, and memory bytes of different columns are coupled to different erase lines. Therefore, the memory array is able to support byte operations while the memory cells of the same memory byte can share the same wells. The circuit area of the memory array can be reduced and the operation of the memory array can be more flexible.



## 【發明申請專利範圍】

【第1項】 一種記憶體陣列，包含：

複數個記憶體分頁，每一記憶體分頁包含複數個記憶體位元組，每一記憶體位元組包含複數個記憶體單元，每一記憶體單元包含：

一浮接閘極模組，包含：

一浮接閘極電晶體，具有一第一端、一第二端及一浮接閘極；

一源極電晶體，具有一第一端耦接於一源極線，一第二端耦接於該浮接閘極電晶體之該第一端，及一控制端耦接於一字元線；及

一位元電晶體，具有一第一端耦接於該浮接閘極電晶體之該第二端，一第二端耦接於一位元線，及一控制端耦接於該字元線；

一控制元件，具有一基體端耦接於一控制線，一第一端耦接於該基體端，一第二端耦接於該基體端，及一控制端耦接於該浮接閘極；

及

一清除元件，具有一基體端，一第一端耦接於一清除線，一第二端，及一控制端耦接於該浮接閘極；

其中：

位於同一行的複數個記憶體位元組係耦接於相同之一清除線；及

位於相異行的複數個記憶體位元組係耦接於相異的複數條清除線。

【第2項】 如請求項1所述之記憶體陣列，其中：

位於相同之一記憶體分頁的複數個記憶體單元係耦接於相同之一控制線；

及

位於相異之複數個記憶體分頁的複數個記憶體單元係耦接於相異的複數條控制線。

【第3項】 如請求項1所述之記憶體陣列，其中：

位於相同之一記憶體分頁的複數個記憶體單元係耦接於相同之一字元線；

及

位於相異之複數個記憶體分頁的複數個記憶體單元係耦接於相異的複數條字元線。

【第4項】 如請求項1所述之記憶體陣列，其中：

位於同一行的複數個記憶體單元係耦接於相同之一源極線及相同之一位元線；及

位於相異行的複數個記憶體單元係耦接於相異的複數條源極線及相異的複數條位元線。

【第5項】 如請求項1所述之記憶體陣列，其中：

該清除元件之該基體端耦接於一井偏壓線；

該清除元件之該第二端係為浮接狀態或耦接於該清除元件之該第一端；

位於相同之一記憶體分頁的複數個記憶體單元係耦接於相同之一井偏壓線；及

位於相異之複數個記憶體分頁的複數個記憶體單元係耦接於相異的複數條井偏壓線。

【第6項】 如請求項5所述之記憶體陣列，其中：

第 2 頁，共 9 頁(發明申請專利範圍)

在該記憶體單元之一寫入操作期間：

該控制線實質上處於一第一電壓；

該清除線實質上處於一第二電壓；

該字元線實質上處於一第三電壓；

該源極線實質上處於一第四電壓；

該位元線實質上處於該第四電壓；及

該井偏壓線實質上處於該第二電壓；

該第一電壓實質上大於該第二電壓，該第二電壓實質上大於該第三電壓，

及該第三電壓實質上大於該第四電壓；

該第二電壓與該第四電壓間之一差值實質上大於該第一電壓與該第四電壓

間之一差值的一半；及

該第三電壓與該第四電壓間之一差值實質上小於該第一電壓與該第四電壓

間之該差值的一半。

**【第7項】** 如請求項6所述之記憶體陣列，其中：

在該記憶體單元之該寫入操作期間：

耦接於與該記憶體單元位於相同之一記憶體分頁的一未選定記憶體單

元之一清除線係實質上處於該第二電壓；

耦接於該未選定記憶體單元之一源極線係實質上處於該第三電壓；及

耦接於該未選定記憶體單元之一位元線係實質上處於該第三電壓。

**【第8項】** 如請求項6所述之記憶體陣列，其中：

在該記憶體單元之該寫入操作期間：

耦接於位於一未選定記憶體分頁但與該記憶體單元位於相同一行之一

未選定記憶體單元之一控制線係實質上處於該第三電壓；  
耦接於該未選定記憶體單元之一字元線係實質上處於該第三電壓；及  
耦接於該未選定記憶體單元之一井偏壓線係實質上處於該第二電壓。

【第9項】 如請求項5所述之記憶體陣列，其中：

在該記憶體單元之一清除操作期間：

該控制線實質上處於一第四電壓；

該清除線實質上處於一第五電壓；

該井偏壓線實質上處於該第五電壓；

該字元線實質上處於一第三電壓；

該源極線實質上處於該第三電壓；及

該位元線實質上處於該第三電壓；及

該第五電壓實質上大於該第三電壓，及該第三電壓實質上大於該第四電壓。

【第10項】 如請求項9所述之記憶體陣列，其中：

在該記憶體單元之該清除操作期間：

耦接於與該記憶體單元位於相同之一記憶體分頁的一未選定記憶體單

元之一清除線係實質上處於一第六電壓；

耦接於該未選定記憶體單元之一源極線係實質上處於該第三電壓；及

耦接於該未選定記憶體單元之一位元線係實質上處於該第三電壓；

該第五電壓實質上大於該第六電壓，且該第六電壓實質上大於該第四電

壓；及

該第六電壓與該第四電壓間之一差值實質上小於該第五電壓與該第四電壓

間之一差值的一半。

【第11項】如請求項9所述之記憶體陣列，其中：

在該記憶體單元之該清除操作期間：

耦接於與該記憶體單元位於相異之一記憶體分頁之一未選定記憶體單元之一井偏壓線線係實質上處於該第五電壓；

耦接於該未選定記憶體單元之一控制線係實質上處於一第七電壓；及

耦接於該未選定記憶體單元之一字元線係實質上處於該第三電壓；

該第五電壓實質上大於該第七電壓，且該第七電壓實質上大於該第三電壓；及

該第七電壓與該第四電壓間之一差值實質上大於該第五電壓與該第四電壓間之一差值的一半。

【第12項】如請求項1所述之記憶體陣列，其中：

該清除元件之該基體端耦接於該清除元件之該第一端；及

該清除元件之該第二端耦接於該清除元件之該第一端。

【第13項】如請求項12所述之記憶體陣列，其中：

在該記憶體單元之一寫入操作期間：

該控制線實質上處於一第一電壓；

該清除線實質上處於一第二電壓；

該字元線實質上處於一第三電壓；

該源極線實質上處於一第四電壓；及

該位元線實質上處於該第四電壓；

該第一電壓實質上大於該第二電壓，該第二電壓實質上大於該第三電壓，

及該第三電壓實質上大於該第四電壓；

該第二電壓與該第四電壓間之一差值實質上大於該第一電壓與該第四電壓間之一差值的一半；及

該第三電壓與該第四電壓間之一差值實質上小於該第一電壓與該第四電壓間之該差值的一半。

【第14項】如請求項13所述之記憶體陣列，其中：

在該記憶體單元之該寫入操作期間：

耦接於與該記憶體單元位於相同之一記憶體分頁的一未選定記憶體單元之一清除線係實質上處於該第二電壓；

耦接於該未選定記憶體單元之一源極線係實質上處於該第三電壓；及

耦接於該未選定記憶體單元之一位元線係實質上處於該第三電壓。

【第15項】如請求項13所述之記憶體陣列，其中：

在該記憶體單元之該寫入操作期間：

耦接於位於一未選定記憶體分頁但與該記憶體單元位於相同一行之一

未選定記憶體單元之一控制線係實質上處於該第三電壓；及

耦接於該未選定記憶體單元之一字元線係實質上處於該第三電壓。

【第16項】如請求項12所述之記憶體陣列，其中：

在該記憶體單元之一清除操作期間：

該清除線實質上處於一第五電壓；

該控制線實質上處於一第四電壓；

該字元線實質上處於一第三電壓；

該源極線實質上處於該第三電壓；及  
該位元線實質上處於該第三電壓；及  
該第五電壓實質上大於該第三電壓，及該第三電壓實質上大於該第四電壓。

【第17項】如請求項16所述之記憶體陣列，其中：

在該記憶體單元之該清除操作期間：

耦接於與該記憶體單元位於相同之一記憶體分頁之一未選定記憶體單元之一清除線係實質上處於一第六電壓；  
耦接於該未選定記憶體單元之一源極線係實質上處於該第三電壓；及  
耦接於該未選定記憶體單元之一位元線係實質上處於該第三電壓；  
該第五電壓實質上大於該第六電壓，且該第六電壓實質上大於該第四電壓；及  
該第六電壓與該第四電壓間之一差值實質上小於該第五電壓與該第四電壓間之一差值的一半。

【第18項】如請求項16所述之記憶體陣列，其中：

在該記憶體單元之該清除操作期間：

耦接於與該記憶體單元位於相異之一記憶體分頁之一未選定記憶體單元之一控制線係實質上處於一第七電壓；及  
耦接於該未選定記憶體單元之一字元線係實質上處於該第三電壓；  
該第五電壓實質上大於該第七電壓，且該第七電壓實質上大於該第四電壓；及  
該第七電壓與該第四電壓間之一差值實質上大於該第五電壓與該第四電壓間之一差值的一半。

【第19項】一種記憶體陣列，包含：

複數個記憶體分頁，每一記憶體分頁包含複數個記憶體位元組，每一記憶體位元組包含複數個記憶體單元，每一記憶體單元包含：

一浮接閘極模組，包含：

一浮接閘極電晶體，具有一第一端、一第二端及一浮接閘極；

一源極電晶體，具有一第一端耦接於一源極線，一第二端耦接於該浮接閘極電晶體之該第一端，及一控制端耦接於一字元線；及

一位元電晶體，具有一第一端耦接於該浮接閘極電晶體之該第二端，一第二端耦接於一位元線，及一控制端耦接於該字元線；

一控制元件，具有一基體端耦接於一控制線，一第一端耦接於該基體端，一第二端耦接於該基體端，及一控制端耦接於該浮接閘極；及

一清除元件，具有一基體端，一第一端耦接於一清除線，一第二端，及一控制端耦接於該浮接閘極；

其中：

位於同一行的複數個記憶體位元組係耦接於相同之一控制線；及

位於相異行的複數個記憶體位元組係耦接於相異的複數條控制線。

【第20項】如請求項19所述之記憶體陣列，其中：

位於相同之一記憶體分頁的複數個記憶體單元係耦接於相同之一清除線；

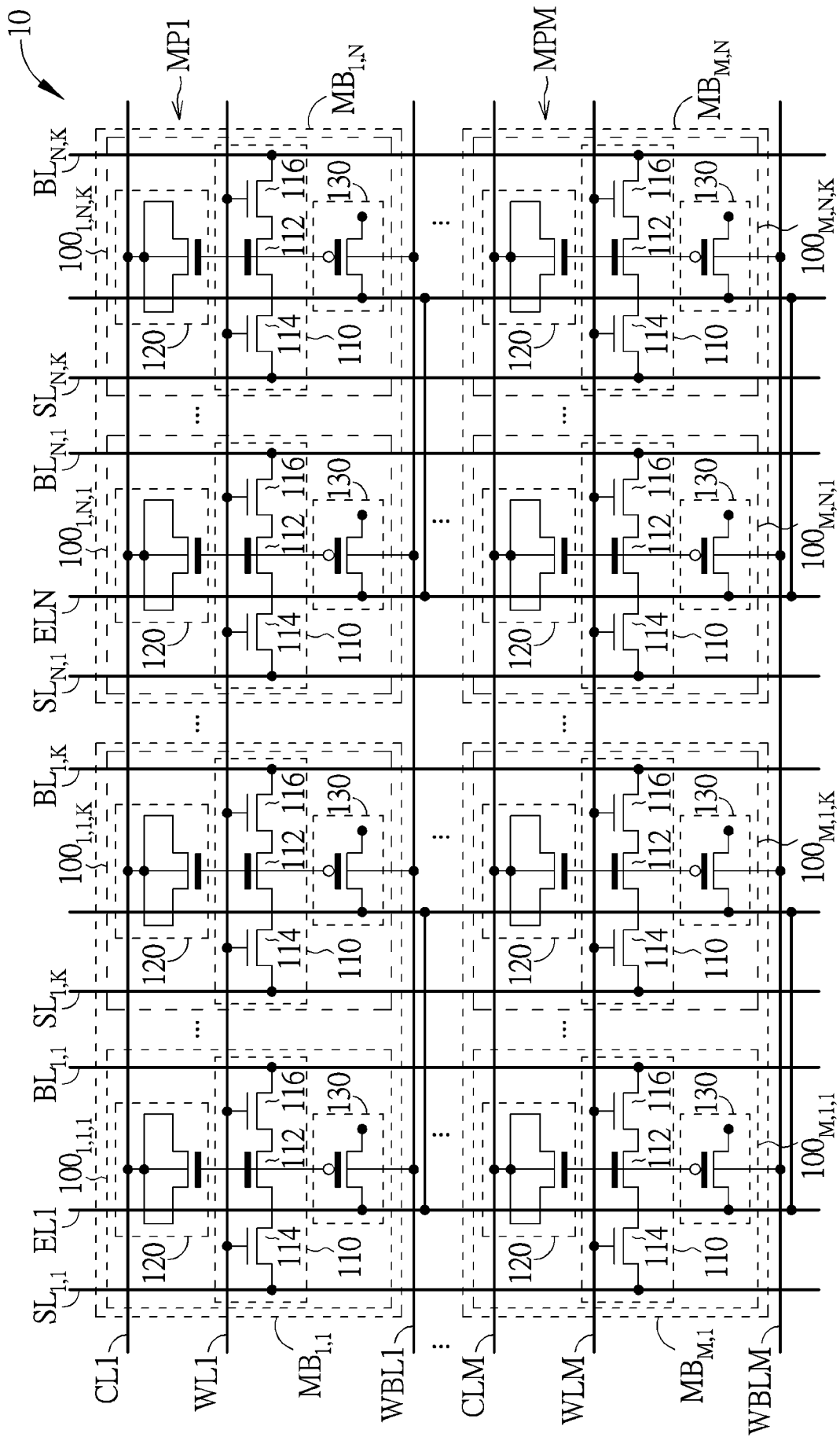
及

位於相異之複數個記憶體分頁的複數個記憶體單元係耦接於相異的複數條

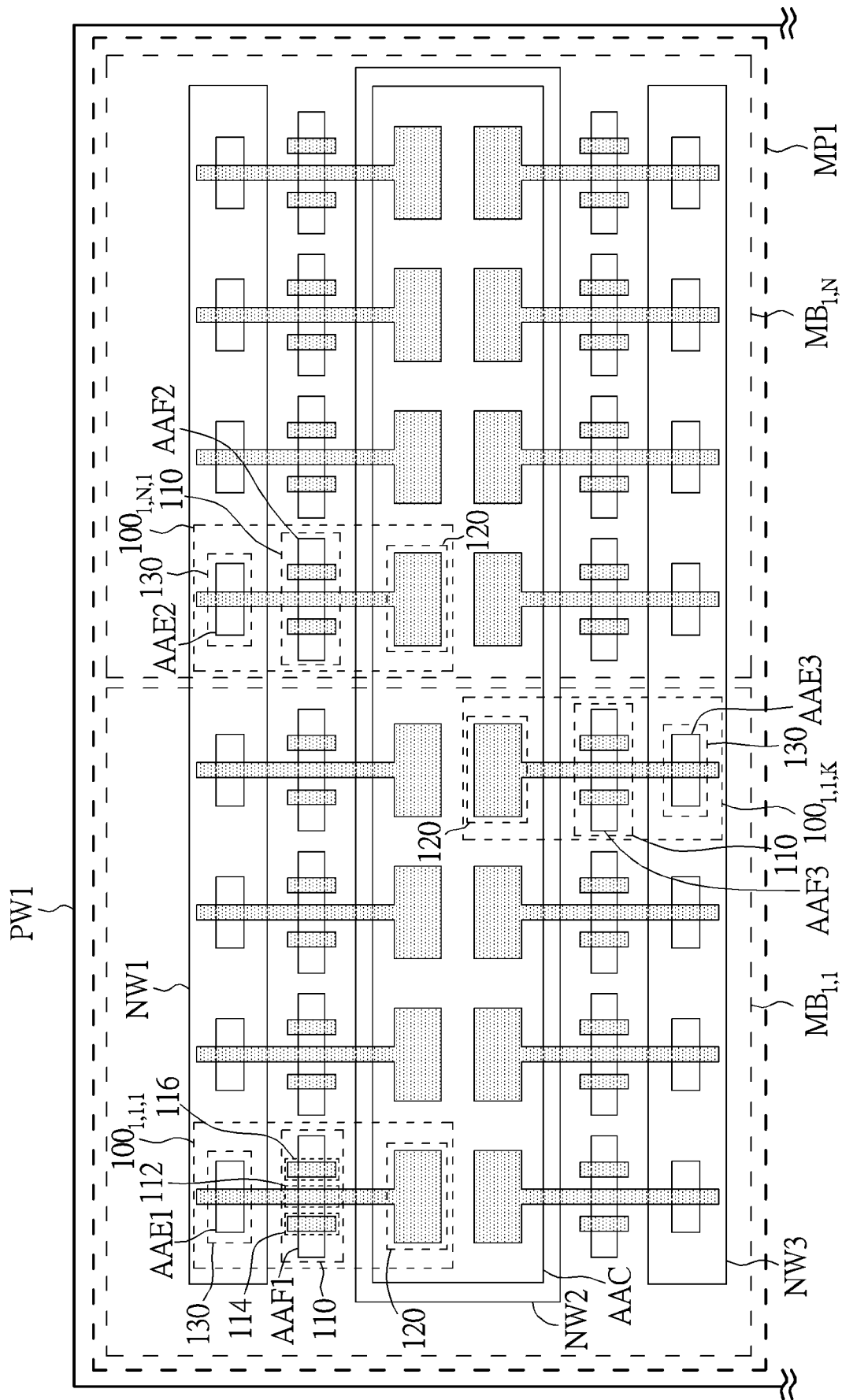


清除線。

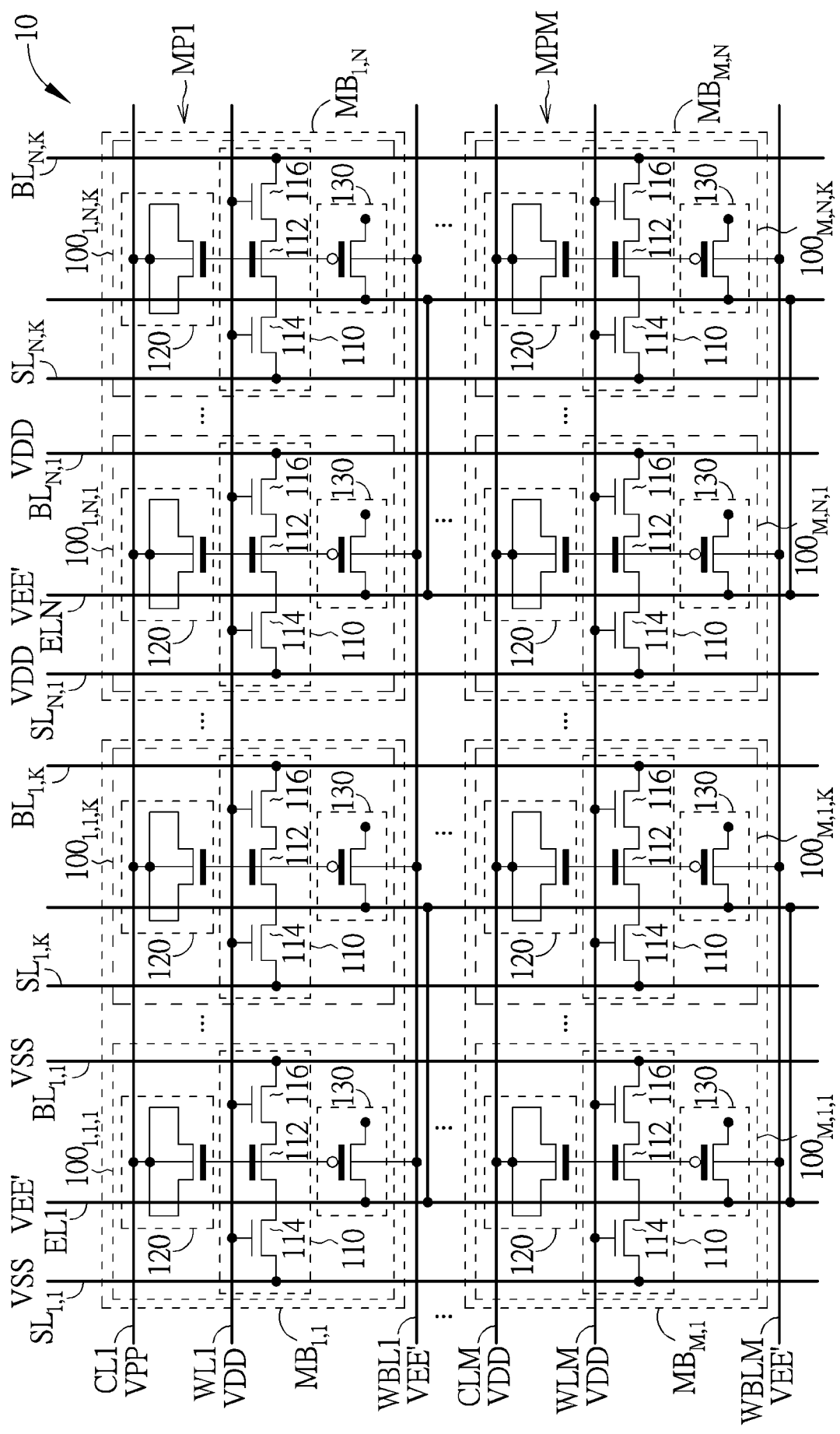
【發明圖式】



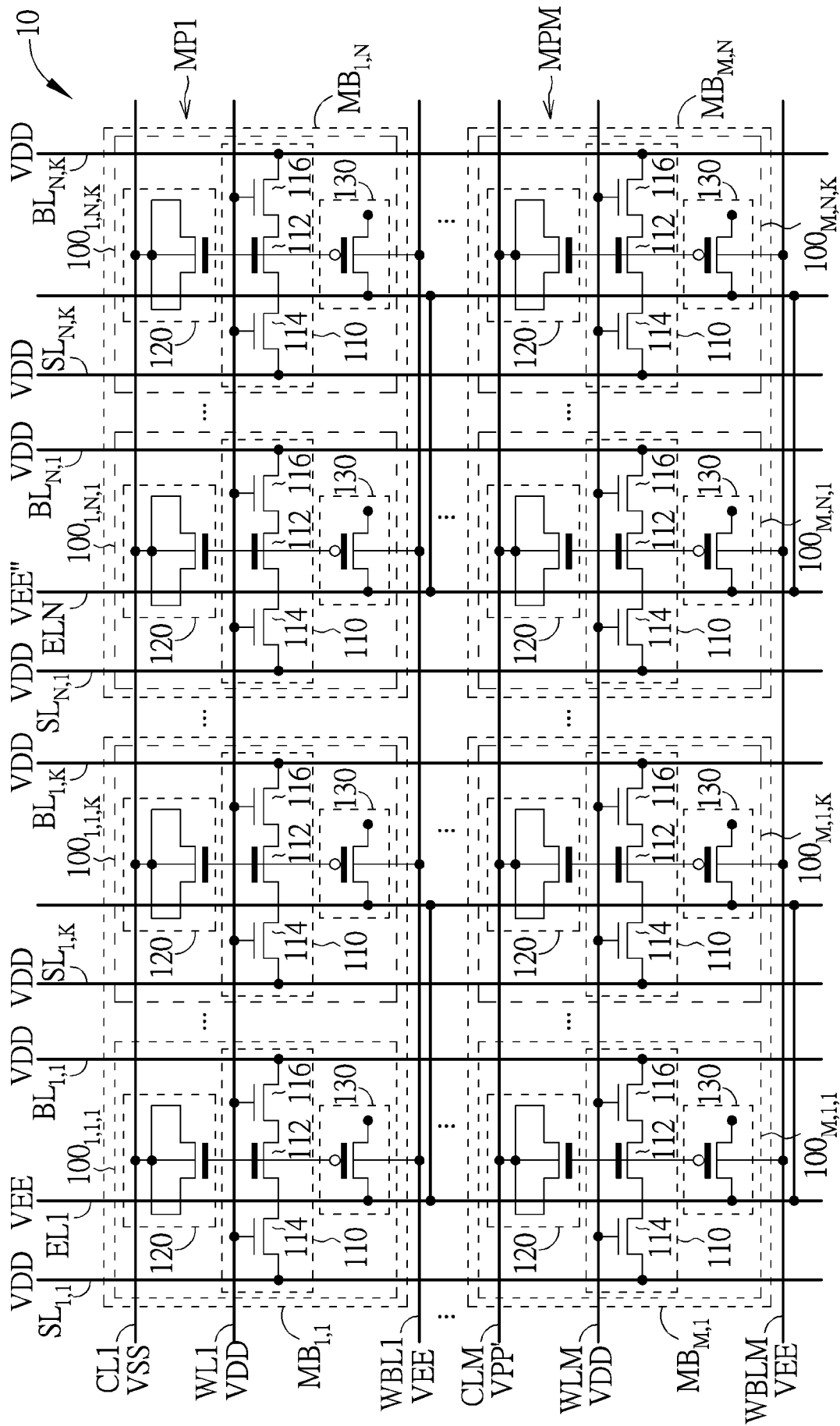
第1圖



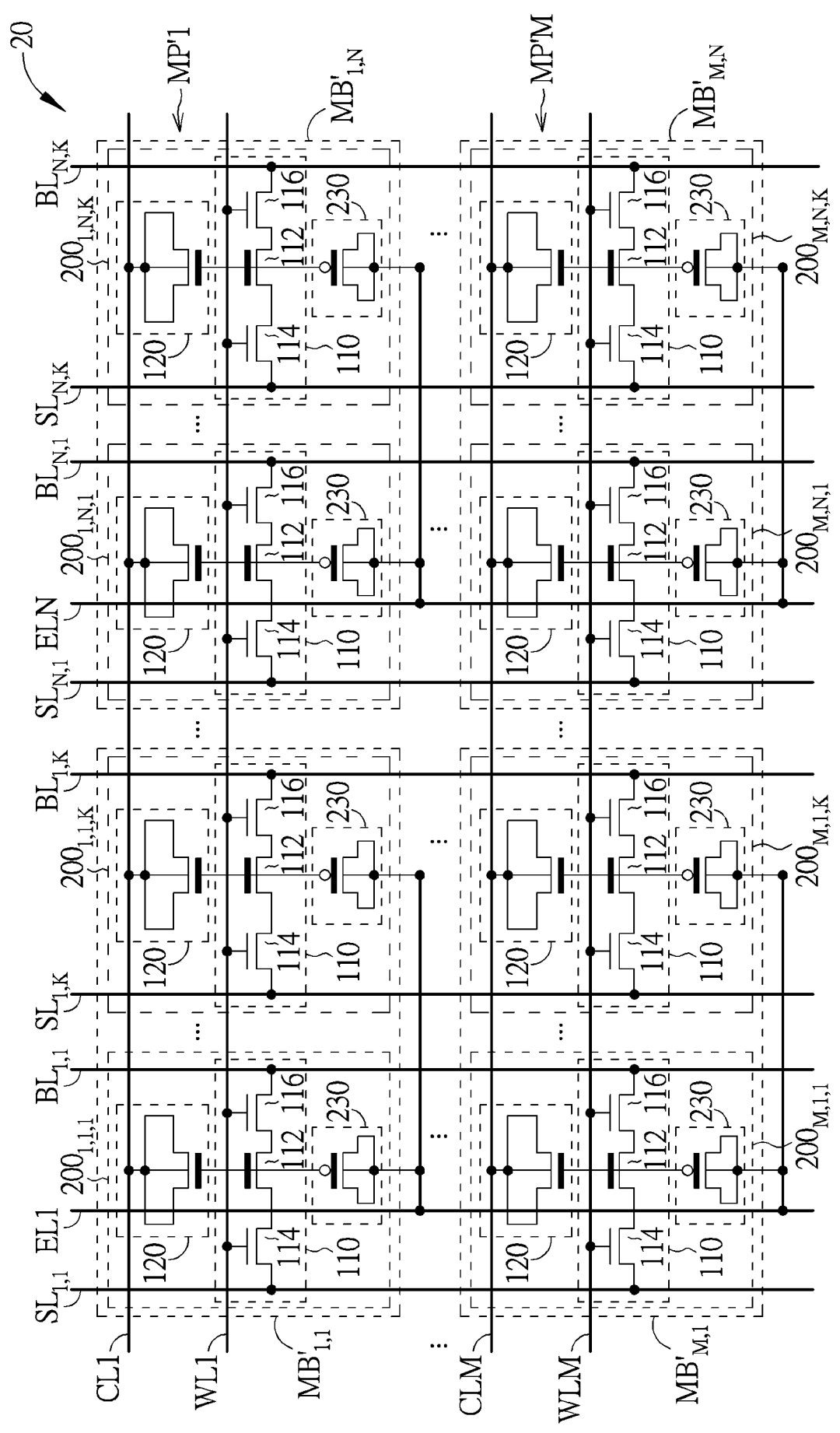
第2圖



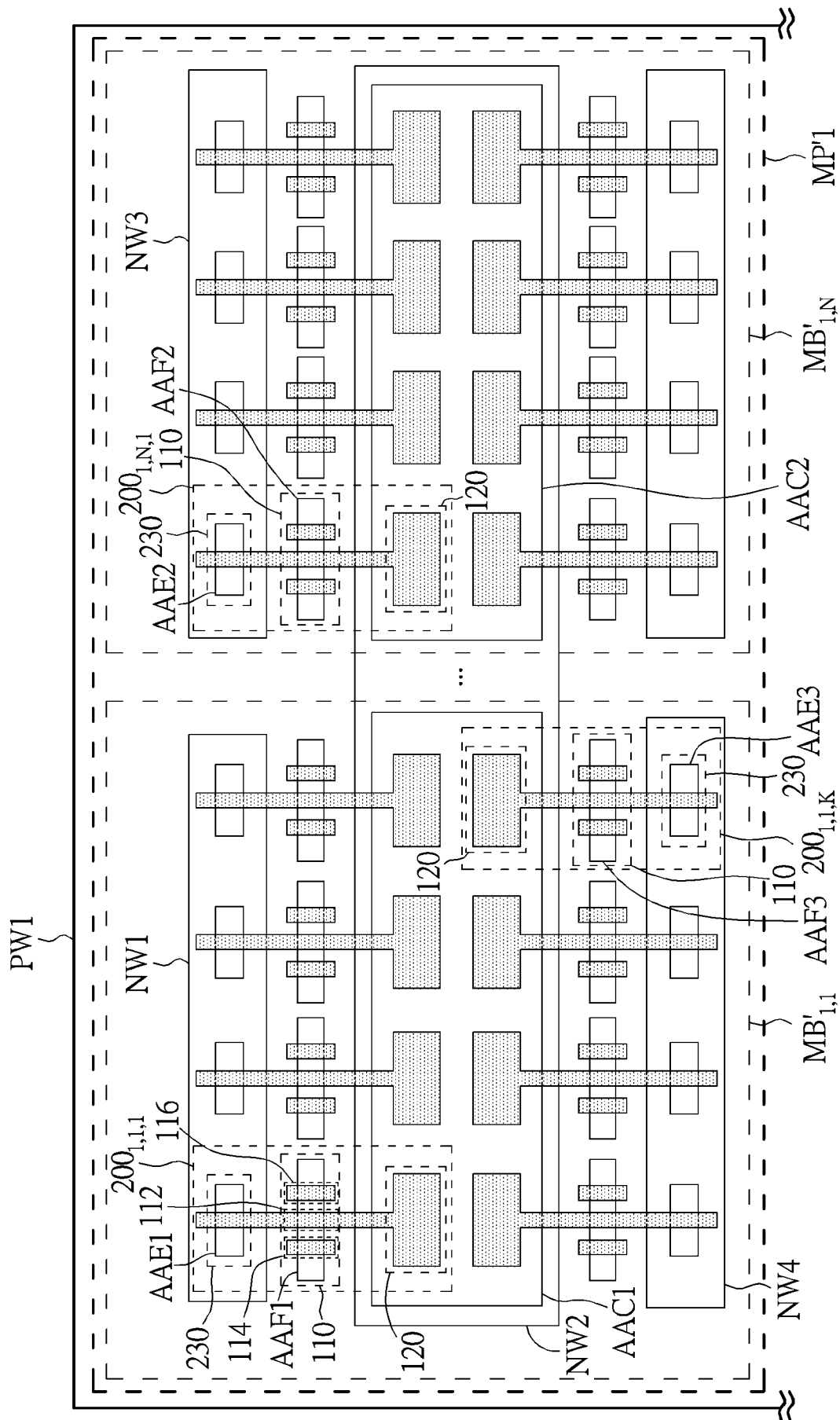
第3圖



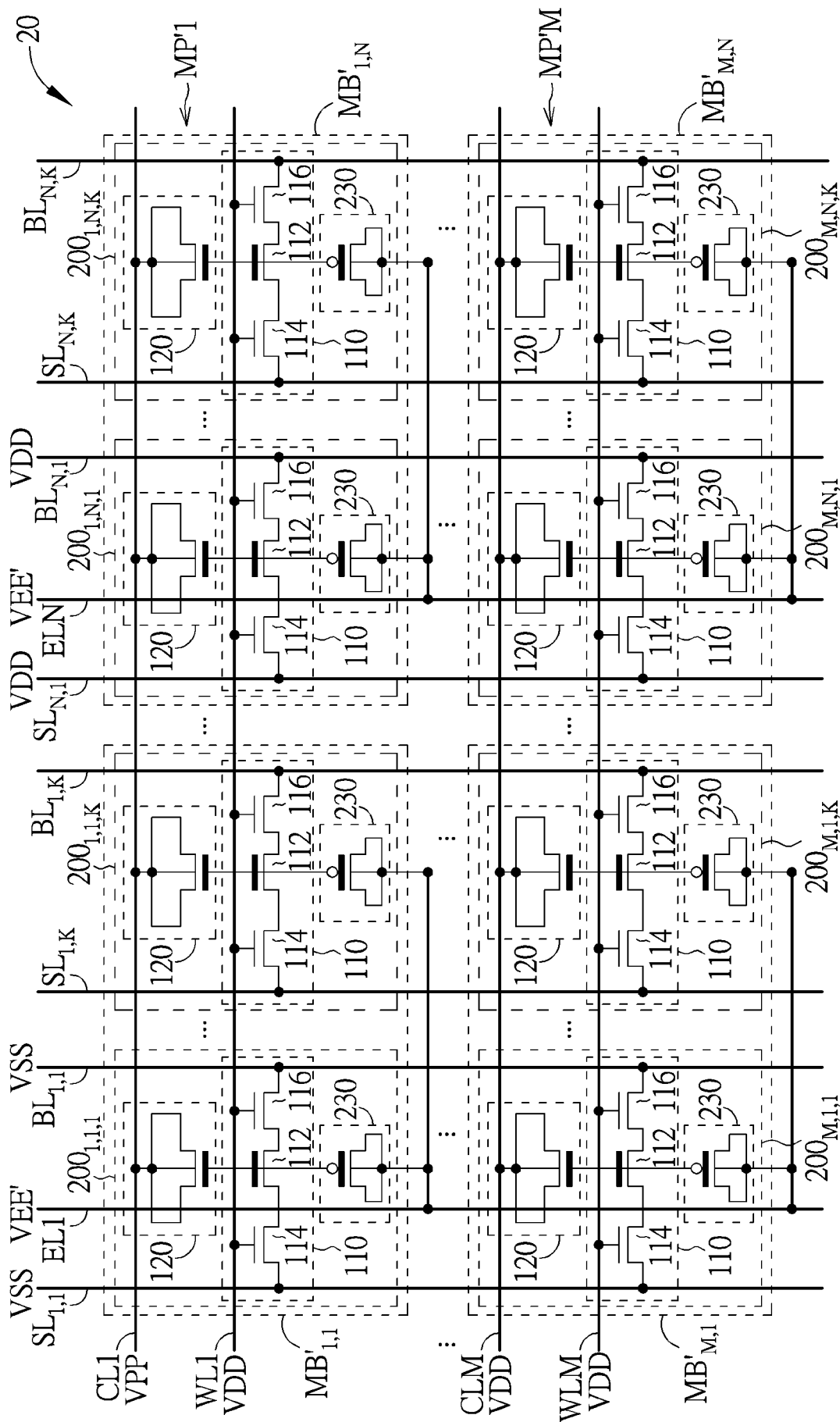
第4圖



第5圖

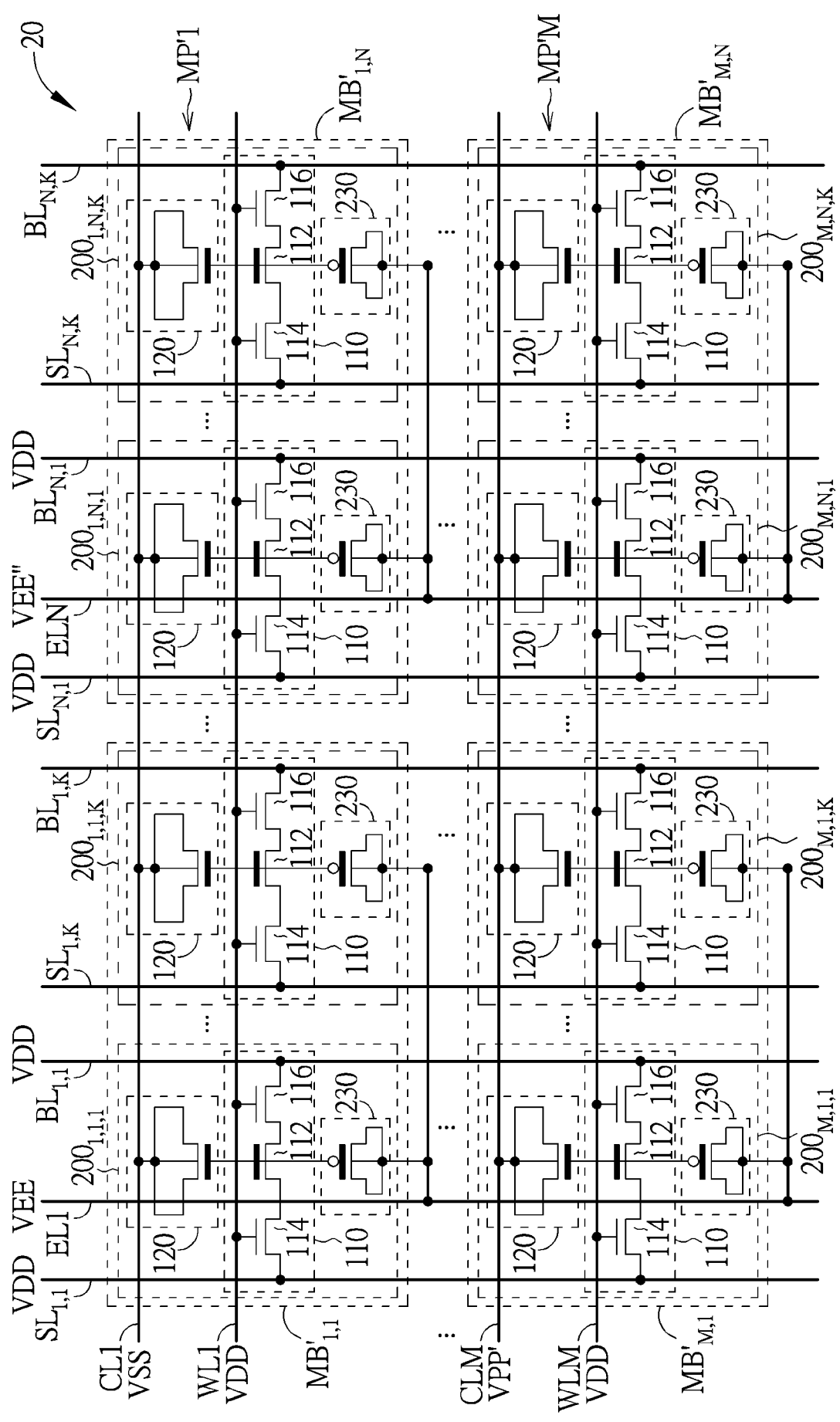


第6圖

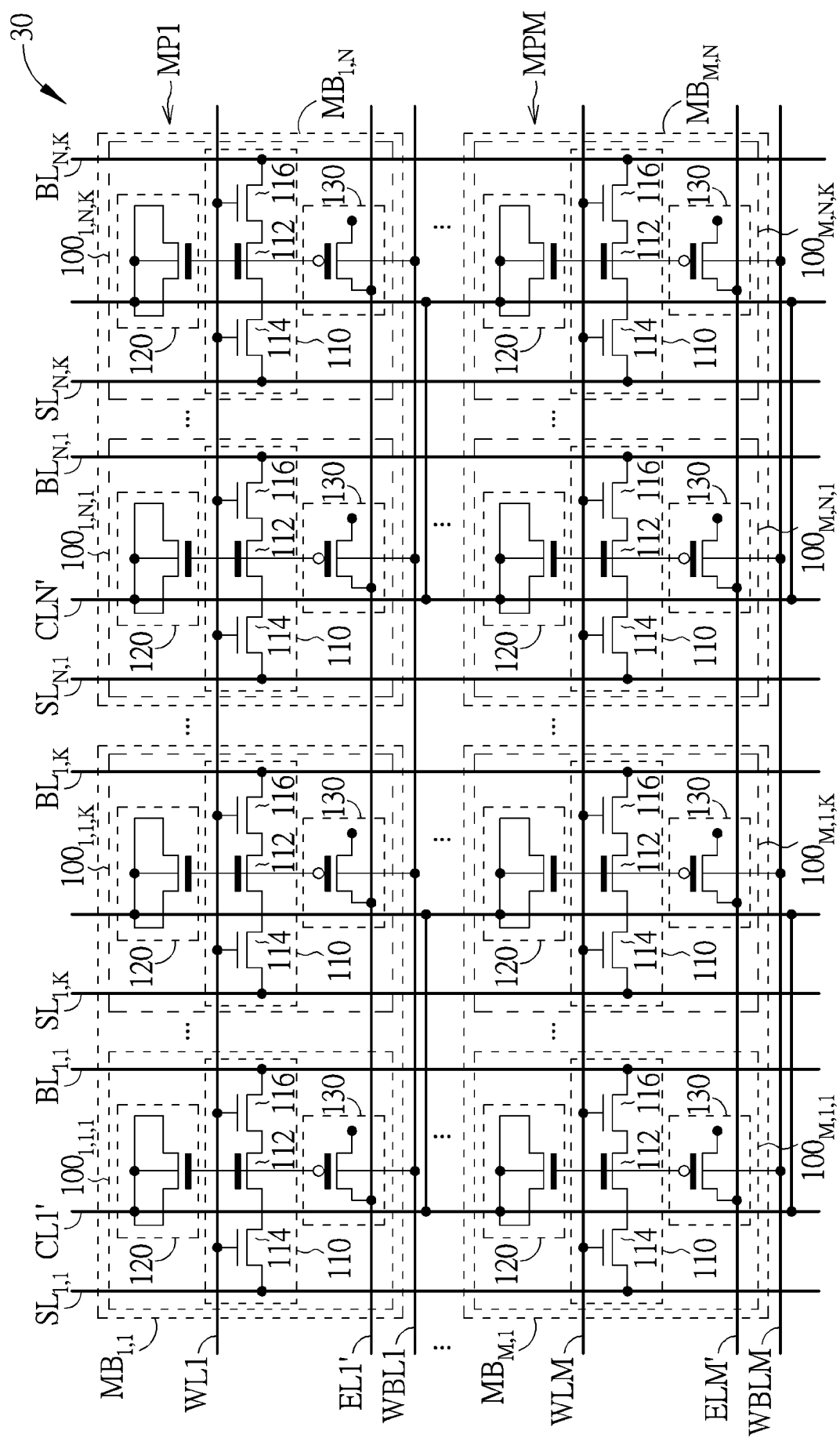


第7圖





第8圖



第9圖

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

10	記憶體陣列
MP1至MPM	記憶體分頁
MB <sub>1,1</sub> 至MB <sub>1,N</sub> 、MB <sub>M,1</sub> 至MB <sub>M,N</sub>	記憶體位元組
100 <sub>1,1,1</sub> 至100 <sub>1,1,k</sub> 、100 <sub>1,N,1</sub> 至100 <sub>1,N,K</sub> 、 100 <sub>M,1,1</sub> 至100 <sub>M,1,K</sub> 、100 <sub>M,N,1</sub> 至100 <sub>M,N,K</sub>	記憶體單元
110	浮接閘極模組
112	浮接閘極電晶體
114	源極電晶體
116	位元電晶體
120	控制元件
130	清除元件
CL1至CLM	控制線
WL1至WLM	字元線
WBL1至WBLM	井偏壓線
EL1至ELN	清除線
SL <sub>1,1</sub> 至SL <sub>1,K</sub> 、SL <sub>N,1</sub> 至SL <sub>N,K</sub>	源極線
BL <sub>1,1</sub> 至BL <sub>1,K</sub> 、BL <sub>N,1</sub> 至BL <sub>N,K</sub>	位元線

【特徵化學式】

無