



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월23일
 (11) 등록번호 10-1129130
 (24) 등록일자 2012년03월14일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) *G09G 3/36* (2006.01)
 (21) 출원번호 10-2010-7019681
 (22) 출원일자(국제) 2008년03월28일
 심사청구일자 2010년09월03일
 (85) 번역문제출일자 2010년09월03일
 (65) 공개번호 10-2010-0107523
 (43) 공개일자 2010년10월05일
 (86) 국제출원번호 PCT/JP2008/056222
 (87) 국제공개번호 WO 2009/118909
 국제공개일자 2009년10월01일
 (56) 선행기술조사문헌
 KR1020060050969 A*
 KR1020070116024 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라꾸 가미고
 다나카 4초메 1-1
 (72) 발명자
신가이, 도모히사
 일본 211-8588 가나가와켄 가와사키시 나카하라꾸
 가미고다나카 4초메 1-1 후지쯔 가부시끼가이샤
 내
 (74) 대리인
이중희, 장수길, 박충범

전체 청구항 수 : 총 10 항

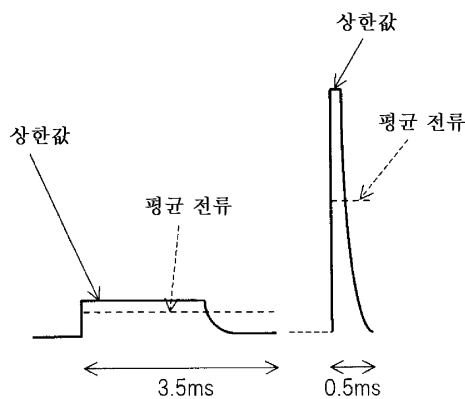
심사관 : 신창우

(54) 발명의 명칭 **콜레스테릭 액정 패널의 다계조 구동 회로, 구동 방법 및 표시 장치**

(57) 요약

충방전 주기가 크게 변화해도, 부하 전류의 변동(피크 전류와 평균 전류의 비)을 효과적으로 완화할 수 있는 콜레스테릭 액정 패널의 다계조 구동 회로가 개시되어 있다. 이 회로는, 콜레스테릭 액정 표시 패널을 구동 주기가 상이한 복수의 구동 페이즈로 구동하는 다계조 구동 회로로서, 액정 구동용 전원의 공급 전류의 상한을 산출하여 상한 제어 신호를 출력하는 전류 상한 제어 회로와, 액정 구동용 전원의 공급 전류를 상한 제어 신호로 지시되는 상한값 이하로 제한하는 공급 전류 제한 회로를 구비하고, 전류 상한 제어 회로는, 상한 제어 신호를, 각 구동 페이즈의 구동 주기에 따라서 절환한다.

대표도 - 도6



특허청구의 범위

청구항 1

콜레스테릭 액정 표시 패널을, 구동 주기가 상이한 복수의 구동 페이즈로 구동하는 다계조 구동 회로로서,
 액정 구동용 전원의 공급 전류의 상한을 산출하여 상한 제어 신호를 출력하는 전류 상한 제어 회로와,
 상기 액정 구동용 전원의 공급 전류를 상한 제어 신호로 지시되는 상한값 이하로 제한하는 공급 전류 제한 회로
 를 구비하고,
 상기 전류 상한 제어 회로는, 상기 상한 제어 신호를, 각 구동 페이즈의 구동 주기에 따라서 절환하는 것을 특
 징으로 하는 다계조 구동 회로.

청구항 2

제1항에 있어서,
 상기 공급 전류의 상한값은, 각 구동 페이즈의 평균 전류에 소정 계수를 곱한 값인 다계조 구동 회로.

청구항 3

제2항에 있어서,
 상기 평균 전류는, 각 구동 페이즈의 구동 주기를 T, 평균 전류를 Iave, 구동 주기 T에서의 출력 전압을 V, 구
 동 주기 T에서의 출력 전압 V에 대한 평균 부하 용량을 C로 하였을 때에,
 $Iave=C \times V/T$ 로 주어지는 다계조 구동 회로.

청구항 4

제1항에 있어서,
 상기 전류 상한 제어 회로는, 구동 주기를 어드레스로 하고, 상기 구동 주기에 대응하는 공급 전류의 상한값 데
 이터를 미리 저장한 테이블과, 상기 테이블로부터 읽어낸 상한값 데이터를 상기 공급 전류 제한 회로에 공급하
 는 신호로 변환하는 신호 변환 회로를 구비하는 다계조 구동 회로.

청구항 5

제1항에 있어서,
 상기 공급 전류 제한 회로는, 출력 전류 제한 기능을 갖는 오피 앰프인 다계조 구동 회로.

청구항 6

제1항에 있어서,
 상기 공급 전류 제한 회로는, 다이오드를 통하여 병렬로 접속한 전류 상한값이 고정인 복수의 전류 제한
 회로와, 상기 전류 상한 제어 회로로부터의 신호에 따라서 상기 복수의 전류 제한 회로 중 동작 상태로 하는 회
 로를 선택하는 디코더를 구비하는 다계조 구동 회로.

청구항 7

제1항에 있어서,
 상기 전류 상한 제어 회로는, 각 구동 페이즈의 구동 주기 T에서의 출력 전압 V에 대한 실부하 용량을 산출하는
 실부하 용량 산출 회로를 더 구비하고,
 상기 공급 전류의 상한값은, 각 구동 페이즈의 평균 전류 Iave에 소정 계수를 곱한 값이고, 평균 전류 Iave는,
 $Iave=C \times V/T$ 로 주어지는 다계조 구동 회로.

청구항 8

제7항에 있어서,

상기 실부하 용량 산출 회로는, 표시하는 화상 데이터 중의 온 화소수를 산출하는 온 화소수 산출 회로와, 산출한 온 화소수에 대응하는 실부하 용량을 저장한 테이블을 갖는 다계조 구동 회로.

청구항 9

콜레스테릭 액정 표시 패널과, 제1항의 다계조 구동 회로를 구비하는 콜레스테릭 액정 표시 장치.

청구항 10

콜레스테릭 액정 표시 패널을, 구동 주기가 상이한 복수의 구동 페이즈로 온?오프 구동하는 다계조 구동 방법으로서,

각 구동 페이즈의 구동 주기에 따라서, 액정 구동용 전원의 공급 전류의 상한값을 산출하고,

각 구동 페이즈에서의 상기 액정 구동용 전원의 공급 전류를, 산출된 상기 상한값으로 제한하는 것을 특징으로 하는 다계조 구동 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

명세서

기술분야

[0001] 본 발명은, 콜레스테릭 액정 표시 장치, 그 다계조 구동 회로 및 구동 방법에 관한 것으로, 특히 구동 주기가 상이한 복수의 구동 페이즈로 콜레스테릭 액정 패널을 다계조 구동하는 경우의 소비 전력의 저감 기술에 관한 것이다.

배경기술

[0002] 콜레스테릭 액정을 이용한 전자 페이퍼는, 「밝은 컬러 표시·다계조(풀 컬러) 표시·무전력 표시」가 가능한 유일한 전자 페이퍼로서 주목받고 있다. 콜레스테릭 액정은, 키랄 네마틱 액정이라고도 칭해지는 경우가 있고, 네마틱 액정에 키랄성의 첨가제(키랄제)를 비교적 많이(수십%) 첨가함으로써, 네마틱 액정의 분자가 나선 형상의 콜레스테릭상을 형성하는 액정이다.

[0003] 콜레스테릭 액정을 이용한 표시 장치의 표시·구동 원리에 대해서는, 특허 문헌 1 등에 기재되어 있으므로, 여기서는 특허 문헌 1의 기재 내용을 인용하고, 표시·구동 원리에 대한 설명은 생략한다.

[0004] TN 액정, STN 액정, 콜레스테릭 액정 등을 이용한 액정 표시 패널은, 액정이 용량성 부하이기 때문에, 충방전 개시 시만 매우 큰 과도 전류가 흐른다. 도 1A 및 도 1B는 이 현상을 설명하는 도면이다.

[0005] 도 1A에 도시한 바와 같이, 구동원(1)이 출력하는 정부의 전압 펄스를, 저항(2)을 통하여 액정에 대응하는 용량(3)에 인가한다. 여기서, e는 구동원(1)이 출력하는 펄스 전압을, i는 회로를 흐르는 전류를, R은 저항(2)의 저항값을, C는 용량(액정)(3)의 용량값을, V는 용량(3)의 양단의 전압을 나타낸다.

[0006] 도 1B에 도시한 바와 같이, 용량(액정)(3)의 초기 전압이 0V일 때에, 구동원(1)이 스텝 형상으로 변화하는 전압 e를 출력한 경우, 시각 t에서의 전류 i 및 전압 V는, 다음의 수학적 식 1 및 2로 주어진다.

수학식 1

[0007]
$$i = (e/R) \times \exp(-t/(C \times R))$$

수학식 2

[0008]
$$V = e \times (1 - \exp(-t/(C \times R)))$$

[0009] 도 1B에 도시한 바와 같이, 전압 e의 상승에 의해 전류 i는 e/R를 향하여 급격하게 상승하고, 시상수 C×R에 의해 지수 함수적으로 급격하게 감소한다. 저항(2)의 저항값 R에 의해, 변화의 상태가 상이하다.

[0010] 액정 표시 장치에서는, 저전압(3V 등)으로부터 액정에 인가하는 전압을 발생시키는 전원부를 갖고, 전원부 내에 승압 회로가 설치된다. 동화상 표시를 행하는 통상의 액정 패널은 충전 주기가 마이크로(μ)초 정도로 충분히 짧기 때문에, 전원부의 부하 전류는 전원부 내의 평활 용량(콘덴서)에서 평활화되어, 승압 회로에서는 높은 변환 효율이 얻어진다. 한편, 정지 화상을 표시하는 콜레스테릭 액정 패널은, 충전 주기가 밀리(m)초 정도로 길기 때문에, 전원부의 부하 전류는 거의 평활화되지 않아, 승압 회로에서는 낮은 변환 효율밖에 얻어지지 않는다고 하는 문제가 있었다.

[0011] 일반적으로, 용량성 부하의 충전에서, 부하 용량이 일정한 경우에는, 부하 전류 상한값을 소정값으로 제한함으로써, 충전 시간에 그다지 영향을 주지 않고, 충전 개시 시의 과도 전류를 효과적으로 억제할 수 있는 것이 알려져 있다. 도 2A 및 도 2B는 이 현상을 설명하는 도면이다.

[0012] 도 2A에 도시한 회로는, 도 1A의 회로에 전류 제한 회로(4)를 설치한 구성을 갖는다.

[0013] 예를 들면, 도 2B에 도시한 바와 같이, 전류 i를 최대값 e/R의 1/2로 제한한 경우, 전압 e의 상승에 의해 전류는 급격하게 e/(2×R)에 도달한다. 전압 V는 직선적으로 상승하게 되어, 다음의 수학식 3으로 주어진다.

수학식 3

[0014]
$$V = (e \times t / (2 \times R)) / C$$

[0015] 전압 V가 e/2에 도달하면, 이후 저항(2)에 인가되는 전압은 e/2를 하회하고, 전류 i는 e/(2×R)를 하회하기 때문에, 전류 제한은 해제된다. 전압 V가 e/2에 도달하는 시각을 t0으로 하면, 전류 제한 없음의 경우, 용량(3)은 t0에서 e/2보다 높은 전압까지 충전되기 때문에, 이후의 전류 i는 전류 제한 시보다 작고, 전압 V의 증가율도 전류 제한 시보다 작다. 전류 제한이 있는 경우, 전류 i는 시상수 C×R 지수 함수적으로 급격하게 감소한다. 도 2B로부터 알 수 있는 바와 같이, 전류 상한값을 적절하게 설정함으로써, 충전 시간에 그다지 영향을 주지 않고, 과도 전류의 피크를 효과적으로 억제할 수 있다.

[0016] 도 2A에서는, 부하 용량은 일정하지만, 콜레스테릭 액정 표시 패널의 구동에서는, 부하 용량은 일정하지 않고, 표시하는 화상에 따라서 변동한다. 본원 발명자들은, 특허 문헌 1에서, 이와 같은 경우에서도, 부하 전류를 일정값으로 제한함으로써, 충전 개시 시의 과도 전류를 효과적으로 억제할 수 있어, 표시 패널 구동 제어 회로의 동작 안정성을 대폭 향상시킬 수 있는 것을 기재하고 있다.

[0017] 한편, 특허 문헌 2는, 콜레스테릭 액정 패널의 다계조 구동법을 기재하고 있다. 도 3은 이 다계조 구동법을 설명하는 도면으로서, 도 3의 (A)는 레벨0부터 레벨3의 4단계의 계조 영역으로 이루어지는 완성 패턴을 도시한다. 이 다계조 구동법은, 최저 레벨(레벨0)에 대응하는 비반사 상태(포컬 코닉 상태)와, 최고 레벨(레벨3)에 대응하는 반사 상태(플래너 상태)의 2상태로 설정하는 스텝 1과, 중간조에 대응하는 상태(포컬 코닉 상태와 플래너 상태가 혼재된 상태)로 설정하는 스텝 2를 갖는다. 스텝 2는, 중간조의 레벨수에 따라서 복수의 서브 스텝을 갖는다. 도 3의 (A)에 도시한 4단계의 계조의 경우, 중간조는 2레벨이므로, 스텝 2는, 서브 스텝 1과 서브 스텝 2를 갖는다.

- [0018] 우선 스텝 1에서, 도 3의 (B)에 도시한 바와 같이, 레벨0의 영역을 포컬 코닉 상태로, 레벨0 이외의 레벨1~3의 영역을 플래너 상태로 구동한다. 다음으로, 서브 스텝 1에서, 도 3의 (C)에 도시한 바와 같이, 플래너 상태로 한 영역 중 레벨1과 레벨2로 하는 영역을 포컬 코닉 상태로 하는 펄스를 인가한다. 이 펄스는, 플래너 상태의 일부를 포컬 코닉 상태로 변화시켜, 포컬 코닉 상태와 플래너 상태의 혼재비가 레벨2에 대응하는 비율로 되도록 펄스 주기 및 펄스 전압이 설정되어 있다. 또한, 서브 스텝 2에서, 포컬 코닉 상태와 플래너 상태가 혼재되는 상태로 한 영역 중 레벨1로 하는 영역에, 포컬 코닉 상태의 혼재비를 높게 하는 펄스를 인가한다. 이 펄스는, 포컬 코닉 상태와 플래너 상태의 혼재비가 레벨2에 대응하는 비율인 상태에서부터, 레벨1에 대응하는 비율인 상태로 되도록 펄스 주기 및 펄스 전압이 설정되어 있다. 이와 같이, 스텝 1에서 포컬 코닉 상태와 플래너 상태로 구동한 후, 스텝 2에서 플래너 상태의 일부의 영역에서의 포컬 코닉 상태의 혼재비를 서서히 높이도록 구동함으로써, 높은 균일성(저입상성)·계조수·흑 농도·콘트라스트가 얻어지고, 크로스토크도 회피할 수 있다고 하는 이점이 있다. 각 스텝에서의 구동 방법을 더 설명한다.
- [0019] 도 4는 스텝 1과 스텝 2에서 각 화소에 인가하는 펄스 파형을 도시하는 도면이다. 도시한 바와 같이, 스텝 1에서는, 반사 상태로 해야 할 화소에, ON 레벨(±32V)의 펄스를 인가하여 플래너 상태로 하고, 비반사 상태로 해야 할 화소에, OFF 레벨(±24V)의 펄스를 인가하여 포컬 코닉 상태로 구동한다. 구동 속도는 7ms/라인, 즉 펄스 주기는 7ms이다.
- [0020] 스텝 2에서는, 스텝 1보다도 고속으로 스캔시키는, 즉 펄스 주기가 짧은 펄스를 인가함으로써, 플래너 상태의 일부를 포컬 코닉 상태로 변화시킨다. 스텝 2에서는, 도 4에 도시한 바와 같이, 반사율을 저감해야 할 화소에, ON 레벨(±24V)의 펄스를 인가하여 플래너 상태의 일부를 포컬 코닉 상태로 변화시키고, 반사율을 유지해야 할 화소에, OFF 레벨(±12V)의 펄스를 인가한다. 스텝 2의 펄스 주기는, 서브 스텝 1과 서브 스텝 2에서 상이하고, 서브 스텝 1에서는 3ms, 서브 스텝 2에서는 1ms이다.
- [0021] 이와 같이, 상기의 콜레스테릭 액정 패널의 다계조 구동법에서는, 펄스 주기가 약 10배 상이한 펄스를 인가하므로, 충방전 주기도 그것에 따라서 변화한다.
- [0022] 상기의 콜레스테릭 액정 패널의 다계조 구동법에 대해서는, 특허 문헌 2에 자세하게 기재되어 있으므로, 이 이상의 설명은 생략한다.
- [0023] 콜레스테릭 액정 패널의 다계조 구동법은, 특허 문헌 2에 기재된 구동 방법에 한하지 않고 각종 제안되어 있으며, 특히 저소비 전력의 점에서는 펄스 폭이 상이한 펄스를 조합하여 인가하는 PWM 구동법이 적합하다. PWM 구동법에서는, 펄스 폭(주기)이 상이한 펄스를 인가하기 때문에, 특허 문헌 2에 기재된 다계조 구동법과 마찬가지로, 충방전 주기도 그것에 따라서 변화한다.

선행기술문헌

특허문헌

- [0024] (특허문헌 0001) 특허 문헌 1 : W02005/024774A1
(특허문헌 0002) 특허 문헌 2 : W02006/103738A1

발명의 내용

해결하려는 과제

- [0025] 상기한 바와 같이, 콜레스테릭 액정 패널을 다계조 구동법으로 구동하는 경우, 충방전 주기가 변화하는 것이 일반적이며, 그 변화는 약 10배로도 된다. 이 경우, 부하 전류를 일정값으로 제한해도, 과도 전류의 날카로운 피크는, 최단의 충방전 주기에서는 평균 전류의 2배 정도로 완화할 수 있지만, 다른 충방전 주기에서는 평균 전류보다 매우 커지게 되어, 10배 정도로 된다.
- [0026] 도 5는 이 문제를 설명하는 도면이다. 도 2B에 도시한 바와 같이, 전류 제한을 행하는 경우를 생각한다. 충방전 주기가 3.5ms인 경우, 전류는 도시한 바와 같이, 전류 제한값까지 급격하게 상승한 후, 전류 제한값인 상태를 유지하고, 그 후 0.5ms 정도에서 약 제로까지 저하한다. 충방전 주기는 3.5ms이기 때문에, 주기에서의 평균 전류는 도시한 바와 같이 전류 제한값에 비해 매우 작다. 바꿔 말하면, 전류 제한값은, 평균 전류보다 훨씬 크

고, 약 10배이다. 이에 대하여, 충전 주기가 0.5ms인 경우, 전류는 상기와 마찬가지로 변화하지만, 충전 주기는 0.5ms이기 때문에, 주기에서의 평균 전류는 도시한 바와 같이 전류 제한값에 비교적 가까운 레벨로 된다. 바꿔 말하면, 전류 제한값은, 평균 전류보다 조금(약 2배) 클 뿐이다.

[0027] 상기의 콜레스테릭 액정 패널을 다계조 구동법으로 구동하는 경우, 전류 제한값을, 충전 주기가 가장 짧은 1ms에서의 평균 전류의 2배로 제한한 경우, 충전 주기가 가장 긴 7ms에서, 전류 제한값, 즉 전류 피크는 평균 전류의 14배로도 된다.

[0028] 이와 같이, 다계조 구동법으로 구동하는 경우, 부하 전류가 크게 변동하기 때문에, 승압 회로에서는 낮은 변환 효율밖에 얻어지지 않는다고 하는 문제가 있었다.

[0029] 이하에 설명하는 실시예는, 콜레스테릭 액정 표시 패널의 구동에서, 충전 주기가 크게 변화해도, 부하 전류의 변동(피크 전류와 평균 전류의 비)을 효과적으로 완화할 수 있는 새로운 콜레스테릭 액정 패널의 다계조 구동 회로, 구동 방법 및 표시 장치의 실현을 목적으로 한다.

과제의 해결 수단

[0030] 이 콜레스테릭 액정 패널의 다계조 구동 회로, 구동 방법 및 표시 장치는, 콜레스테릭 액정 표시 패널을 구동 주기가 상이한 복수의 구동 페이즈로 구동하고, 전원부의 공급 전류를 상한값 이하로 제한하고, 상한값을 충전 주기의 길이에 따라서 각 구동 페이즈의 구동 주기에 따라서 절환한다.

[0031] 이에 의해, 충전 주기에 관계없이, 과도 전류 피크를 주기 중의 평균 전류의 2배 정도로 완화할 수 있어, 승압 회로의 변환 효율을 대폭 개선할 수 있다.

[0032] 구동 주기가 상이한 복수의 구동 페이즈를 갖는 구동 방법은, 특허 문헌 2에 기재된 구동 방법 외에도 각종 있을 수 있지만, 상한값을 충전 주기의 길이에 따라서 각 구동 페이즈의 구동 주기에 따라서 절환하는 구성은 어떠한 경우나 유효하다.

[0033] 공급 전류의 상한값은, 예를 들면, 각 구동 페이즈의 평균 전류에 소정 계수를 곱한 값이며, 소정 계수는 1.5 이상 5 이하의 값이고, 특히 약 2인 것이 바람직하다.

[0034] 평균 전류는, 각 구동 페이즈의 구동 주기를 T, 평균 전류를 Iave, 구동 주기 T에서의 출력 전압을 V, 구동 주기 T에서의 출력 전압 V에 대한 평균 부하 용량을 C로 하였을 때에,

[0035] $I_{ave}=C \times V/T$ 로 주어진다.

[0036] 전류 상한을 제어하는 전류 상한 제어 회로는, 구동 주기를 어드레스로 하고, 구동 주기에 대응하는 공급 전류의 상한값 데이터를 미리 저장한 테이블과, 테이블로부터 읽어낸 상한값 데이터를 공급 전류 제한 회로에 공급하는 신호로 변환하는 신호 변환 회로를 구비하도록 구성한다. 신호 변환 회로는, D/A 컨버터로 실현할 수 있다.

[0037] 공급 전류 제한 회로는, 출력 전류 제한 기능을 갖는 오피 앰프로 실현할 수 있다. 또한, 공급 전류 제한 회로는, 다이오드를 통하여 병렬로 접속한 전류 상한값이 고정인 복수의 전류 제한 회로와, 전류 상한 제어 회로로부터의 신호에 따라서 복수의 전류 제한 회로 중 동작 상태로 하는 회로를 선택하는 디코더로 구성할 수 있다.

[0038] 액정의 부하 용량은 일정하지 않고, 온(ON)하는 화소의 비율에 따라서 상이하므로, 각 구동 페이즈의 구동 주기 T에서의 출력 전압 V에 대한 실부하 용량을 산출하는 회로를 더 설치하고, 공급 전류의 상한값은, 각 구동 페이즈의 평균 전류 Iave에 소정 계수를 곱한 값이며, 평균 전류 Iave는, $I_{ave}=C \times V/T$ 로 주어지도록 해도 된다. 실부하 용량 산출 회로는, 표시하는 화상 데이터 중의 온 화소수를 산출하는 온 화소수 산출 회로와, 산출한 온 화소수에 대응하는 실부하 용량을 저장한 테이블을 갖도록 구성한다.

도면의 간단한 설명

[0039] 도 1A는 액정 구동 회로를 도시하는 도면.

도 1B는 액정 용량에 의한 구동 파형의 둔화를 설명하는 도면.

도 2A는 전류 제한 회로를 갖는 액정 구동 회로를 도시하는 도면.

도 2B는 도 2의 구동 회로에 의한 구동 파형의 둔화를 설명하는 도면.

- 도 3은 특허 문헌 2에 기재된 콜레스테릭 액정 패널의 다계조 구동법을 설명하는 도면.
- 도 4는 특허 문헌 2에 기재된 콜레스테릭 액정 패널의 다계조 구동법에서의 구동 파형의 예를 도시하는 도면.
- 도 5는 콜레스테릭 액정 패널의 다계조 구동법에서의 전류 제한의 문제점을 설명하는 도면.
- 도 6은 실시 형태의 콜레스테릭 액정 패널의 다계조 구동법에서의 전류 제한의 방법을 설명하는 도면.
- 도 7은 제1 실시 형태의 콜레스테릭 액정 표시 장치의 개략 구성도.
- 도 8은 제1 실시 형태의 콜레스테릭 액정 표시 장치의 레귤레이터의 구성을 도시하는 도면.
- 도 9는 제1 실시 형태의 콜레스테릭 액정 표시 장치의 전류 상한 제어 회로의 구성을 도시하는 도면.
- 도 10은 제1 실시 형태의 콜레스테릭 액정 표시 장치의 구동 방법을 도시하는 타임 차트.
- 도 11은 레귤레이터의 변형예의 구성을 도시하는 도면.
- 도 12는 레귤레이터의 또 다른 변형예의 구성을 도시하는 도면.
- 도 13은 전류 제한 기능을 가진 오피 앰프를 사용하지 않고, 일반용 오피 앰프와 조합하여 레귤레이터를 구성하는 경우의 개별 부품으로 구성하는 전류 제한 회로의 구성예를 도시하는 도면.
- 도 14는 제2 실시 형태의 콜레스테릭 액정 표시 장치의 개략 구성도.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 도면을 참조하여 본 발명의 실시 형태를 설명한다.
- [0041] 우선, 실시예의 콜레스테릭 액정 패널의 구동 방법의 원리를, 도 6을 참조하여 설명한다. 이 구동 방법에서는, 복수회의 주기가 상이한 충방전에서, 전원부의 승압 회로의 전류 상한값을, 충방전 주기에 따라서 산출되는 소정값으로 제한한다. 도 6에 도시한 바와 같이, 주기가 3.5ms인 경우의 평균 전류는, 주기가 0.5ms인 경우의 평균 전류보다 매우 작다(예를 들면 약 1/7). 주기가 3.5ms인 경우의 전류 상한값과 주기가 0.5ms인 경우의 전류 상한값의 비를, 주기가 3.5ms인 경우의 평균 전류와 주기가 0.5ms인 경우의 평균 전류의 비와 동일하게 한다. 이에 의해, 충방전 주기에 관계없이, 과도 전류를 평균 전류의 소정 계수배(예를 들면 2배)로 완화할 수 있다.
- [0042] 도 7은 콜레스테릭 액정 패널을 구동 주기가 상이한 복수의 구동 페이즈로 구동하는 다계조 구동 회로를 갖는 제1 실시 형태의 콜레스테릭 액정 표시 장치의 개략 구성을 도시하는 도면이다.
- [0043] 도 7에 도시한 바와 같이, 제1 실시 형태의 콜레스테릭 액정 표시 장치는, 3~5V의 전원 전압으로부터 40V 정도의 전압을 발생하는 승압 회로(11)와, 드라이버 IC에 공급하는 각종 전압을 형성하는 전압 형성 회로(12)와, 전압 형성 회로(12)로부터 공급되는 복수의 전압으로부터 구동 페이즈에 따라서 사용하는 전압을 선택하는 전압 선택 회로(13)와, 전압 선택 회로(13)로부터 출력되는 전압을 안정화하여 출력하는 레귤레이터(14)와, 드라이버 IC(15)와, 액정 표시용으로 처리된 화상 데이터를 드라이버 IC(15)에 공급되는 형태로 전개하여 출력하는 데이터 연산 회로(16)와, 각 부의 제어를 행하는 제어 회로(17)와, 구동 페이즈의 주기에 따라서 주사 속도를 변화시키는 주사 속도 제어 회로(18)와, 전류 상한 제어 회로(19)와, 드라이버 IC(15)로부터 구동 신호가 인가되는 콜레스테릭 액정 패널(20)을 갖는다.
- [0044] 제1 실시 형태에서는, 특허 문헌 2에 기재된 다계조 구동법을 사용한다. 그러나, 제1 실시 형태는 이에 한정되지 않고, 구동 주기가 상이한 복수의 구동 페이즈를 갖는 구동 방법이면 된다. 원화상 OI는, 각각이 8비트 데이터인 RGB 데이터(3×8=24비트)로 구성된다. 제1 실시 형태에서는, 이 RGB 데이터를 오차 확산 처리하여 상위 4~6비트를 이용한다. 원화상 OI로부터, 스텝 1에서 포컬 코닉 상태로 하는 화소와 플래너 상태로 하는 화소를 나타내는 바이너리 화상(스텝 1) BI1과, 스텝 2의 각 서브 스텝에서 상태를 변화시키는 화소를 나타내는 바이너리 화상군(스텝 2) BI2를 생성한다. BI1과 BI2가 데이터 연산 회로(16)에 처리 완료된 화상 데이터로서 보내어진다. 이들의 화상 처리는 컴퓨터에 의해 행해진다. 이 컴퓨터는 데이터 연산 회로(16) 및/또는 제어 회로(17)를 구성하는 컴퓨터와 공통으로 하는 것도 가능하다.
- [0045] 드라이버 IC(15)에는, 스캔 드라이버와 데이터 드라이버가 포함되고, 범용 드라이버 IC로 실현된다.
- [0046] 데이터 연산 회로(16)는, 상기의 스텝 1용 화상 데이터 BI1 및 스텝 2용 화상 데이터 BI2로부터, 표시용 화상 데이터 ID 및 각종 제어 데이터를 생성하여, 각종 제어 데이터를 제어 회로(17)에, 표시용 화상 데이터 ID를 드

라이버 IC(15)에, 출력한다.

- [0047] 제어 회로(17)는, 실행하는 구동 페이즈가 스텝 1 또는 스텝 2인지를 나타내는 신호를 전압 선택 회로(13)에 출력한다. 전압 선택 회로(13)는 이 신호에 따라서 전압을 선택한다. 제어 회로(17)는, 데이터 시프트·래치 신호 LP, 극성 반전 신호 FR, 프레임 개시 신호 Dio 및 드라이버 출력 오프 신호 DSPOF를, 드라이버 IC에 출력한다. 데이터 시프트·래치 신호 LP는, 스캔 라인을 다음의 라인으로 시프트하는 제어와, 데이터 신호의 래치를 제어하는 신호이다. 드라이버 IC는, 이 신호 LP에 동기하여 내부에서 시프트한 화상 데이터 ID를 래치한다. 극성 반전 신호 FR은, 도 4에 도시한 바와 같은 펄스가 정극성인 기간과 부극성인 기간을 나타내는 신호이고, 드라이버 IC(15)는, 극성 반전 신호 FR에 따라서 출력 전압의 극성을 반전시킨다. 프레임 개시 신호 Dio는, 표시 화면을 1화면분 쓰기 시작할 때의 동기 신호이다. 드라이버 출력 오프 신호 DSPOF는, 드라이버 IC(15)의 출력을 강제적으로 제로로 하기 위한 신호이다.
- [0048] 제어 회로(17)는, 주사 속도 제어 회로(18)에 기준 클럭을 출력하고, 주사 속도 제어 회로(18)는 기준 클럭으로부터 주사 주기에 따라서 드라이버 클럭 XSCL을 생성하여 드라이버 IC(15)에 출력한다. 드라이버 IC(15)는, 드라이버 클럭 XSCL에 동기하여 외부로부터 공급되는 화상 데이터 ID를 취득하여 내부에서 시프트한다.
- [0049] 전류 상한 제어 회로(19)는, 제어 회로(17)로부터 기준 클럭을 수취하고, 주사 주기에 따른 전류 상한값을 산출하여 레귤레이터(14)에 출력한다. 레귤레이터(14)는, 출력하는 전류를 지시된 전류 상한값 이하로 제한한다.
- [0050] 상기의 제1 실시 형태의 구성 중, 전류 상한 제어 회로(19) 및 레귤레이터(14)를 제외한 부분은, 종래예와 동일하여, 이 이상의 설명은 생략한다. 또한, 전류의 상한값을 설정하는 종래의 표시 장치에서는, 레귤레이터(14)의 전류 상한값이 고정이었지만, 제1 실시 형태에서는, 레귤레이터(14)는 전류 상한값을 변화 가능하게 구성되어 있어, 전류 상한 제어 회로(19)로부터 지시된 전류 상한값으로 설정하는 것이 상이하다.
- [0051] 도 8은 레귤레이터(14)의 구성을 도시하는 도면이다. 여기서는, 전압 선택 회로(13)의 5개의 출력을 각각 VI_0 , VI_{21C} , VI_{21S} , VI_{34S} , VI_{34C} 로 나타내고, 전류 상한 제어 회로로부터의 전류 상한값을 V_{LIMIT} 로 나타내고, 레귤레이터(14)의 드라이버 IC(15)에의 출력을 각각 V_0 , V_{21C} , V_{21S} , V_{34S} , V_{34C} 로 나타낸다. 도 8에 도시한 바와 같이, 레귤레이터(14)는, 각 입력 전압을 안정화하여 출력하는 5개의 안정화 회로를 갖는다. 각 안정화 회로는, 전류 제한 기능을 가진 오피 앰프(21-25)를 사용하여 구성된 볼티지 팔로워 회로이며, 전류 상한값 V_{LIMIT} 가 오피 앰프의 전류 제한값 단자에 입력된다. 전류 제한 기능을 가진 오피 앰프(21-25)는, 예를 들면, Linear Technology사제 LT1970(상품명)으로 실현된다. 전류 상한값 V_{LIMIT} 는, 아날로그 전압값으로 전류의 상한값을 설정하고, 전류 상한값 V_{LIMIT} 가 5V일 때 전류 상한값은 10mA이고, 전류 상한값 V_{LIMIT} 가 0.5V일 때 전류 상한값은 1mA이다.
- [0052] 전류 제한 기능을 가진 오피 앰프 소자 및 그것을 사용한 회로에 대해서는 널리 알려져 있으므로, 이 이상의 설명은 생략한다.
- [0053] 도 9는 전류 상한 제어 회로(19)의 구성을 도시하는 도면이다. 도 9에 도시한 바와 같이, 전류 상한 제어 회로(19)는, 구동 주기 T(드라이버 클럭)를 어드레스로 하고, 구동 주기 T에 대응하는 공급 전류의 상한값 데이터를 미리 저장한 룩업 테이블(31)과, 룩업 테이블(31)로부터 읽어낸 상한값 데이터를 레귤레이터(14)에 공급하는 전류 상한 제어 신호(V_{LIMIT})로 변환하는 변환 회로(32)를 갖는다. 변환 회로(32)는, 예를 들면 D/A 컨버터로 실현된다. 또한, 구동 주기 T는, 제어 회로(17) 또는 주사 속도 제어 회로(18)로부터 수취하지만, 제어 회로(17)로부터 보내어지는 신호에 기초하여 전류 상한 제어 회로(19) 내에서 산출하는 것도 가능하다.
- [0054] 룩업 테이블(31)에 저장하는 공급 전류의 상한값 I_{max} 는, 구동 주기를 T, 구동 주기 T에서의 출력 전압을 V, 구동 주기 T에서의 출력 전압 V에 대한 평균 부하 용량을 C로 하였을 때에, 다음의 식에 의해 정해진다.
- [0055] $I_{max} = \alpha \times C \times V / T$
- [0056] 또한, $C \times V / T$ 는 평균 전류 I_{ave} 를 나타낸다.
- [0057] 상기의 α 는 부하 전류의 상한값의 평균 전류에 대한 비를 나타내는 계수이며, 적어도 1보다 큰 1.5 이상 5 이하의 값이고, 예를 들면 약 2인 것이 바람직하다. 계수 α 는, 1에 가까울수록 승압 회로의 효율은 좋아지지만, 인가하는 전압의 변화가 완만하게 된다. 따라서, 구동 페이즈마다 계수 α 를 상이하게 하여, 구동 페이즈에 의해 급준한 변화가 필요한 경우에는, 계수 α 를 큰 값으로 하는 것이 바람직하다.
- [0058] 도 10은 제1 실시 형태의 콜레스테릭 액정 표시 장치의 구동 방법을 도시하는 타임 차트이다. 제1 실시 형태의

콜레스테릭 액정 표시 장치는, 도 3 및 도 4를 참조하여 설명한 특허 문헌 2에 기재된 다계조 구동법을 사용한다.

- [0059] 도 10에 도시한 바와 같이, 구동 시퀀스는, 스텝 1과 스텝 2를 갖고, 스텝 2는 또한 서브 스텝 1과 서브 스텝 2를 갖는다.
- [0060] 스텝 1에서는, 주기 제어 신호(드라이버 클럭 XSCL)는 7ms 동안 온으로 되고, 주기 제어 신호가 온인 동안 화상 데이터 표시 타이밍이 온으로 되어, 화상 데이터가 공급된다. 액정 셀 인가 전압은, ON 셀이 $\pm 32V$ 의 펄스이고, OFF 셀이 $\pm 24V$ 의 펄스이다. 따라서, 정극 페이즈 및 부극 페이즈가 각각 약 3.5ms이다. 전류 상한 제어 신호는 공급 전류를 1.5mA로 제한한다.
- [0061] 서브 스텝 1에서는, 주기 제어 신호(드라이버 클럭 XSCL)는 3ms 동안 온으로 되고, 주기 제어 신호가 온인 동안 화상 데이터 표시 타이밍이 온으로 되어, 화상 데이터가 공급된다. 액정 셀 인가 전압은, ON 셀이 $\pm 24V$ 의 펄스이고, OFF 셀이 $\pm 12V$ 의 펄스이다. 따라서, 정극 페이즈 및 부극 페이즈가 각각 약 3ms이다.
- [0062] 서브 스텝 2에서는, 주기 제어 신호(드라이버 클럭 XSCL)는 1.5ms인 동안 온으로 되고, 주기 제어 신호가 온인 동안 화상 데이터 표시 타이밍이 온으로 되어, 화상 데이터가 공급된다. 액정 셀 인가 전압은, ON 셀이 $\pm 24V$ 의 펄스이고, OFF 셀이 $\pm 12V$ 의 펄스이다. 따라서, 정극 페이즈 및 부극 페이즈가 각각 약 7ms이다. 이와 같이, 제1 실시 형태에서는, 각 스텝의 상한 전류값이, 각 스텝의 구동 주기에 반비례하도록 제어된다.
- [0063] 전류 상한 제어 회로(19)는, 다음에 실행하는 스텝의 구동 주기에 따라서 룩업 테이블(31)로부터 상한 전류값을 나타내는 데이터를 읽어내고, 변환 회로(32)가 읽어낸 데이터에 대응하는 전압값을 출력한다. 전압값이 확정된 후 화상 데이터가 공급되어, 주기 제어 신호 및 화상 데이터 표시 타이밍 신호가 온으로 된다.
- [0064] 전술한 바와 같이, 제1 실시 형태에서는 특허 문헌 2에 기재된 다계조 구동법을 사용하지 않고, 이에 한정되지 않고, 구동 주기가 상이한 복수의 구동 페이즈를 갖는 구동 방법에 적용되어, 구동 주기에 따라서 전류 제한을 행한다.
- [0065] 이상, 제1 실시 형태의 콜레스테릭 액정 표시 장치에 대하여 설명하였지만, 설명한 이외의 구성은 종래예와 동일하다.
- [0066] 도 11은 제1 실시 형태의 콜레스테릭 액정 표시 장치의 레귤레이터(14)의 변형예의 구성을 도시하는 도면이다. 제1 실시 형태에서는, 전압 선택 회로(13)의 5개의 출력에 대하여, 5개의 전류 제한 기능을 가진 볼티지 폴로워 회로를 설치한 것에 대하여, 이 변형예에서는 전류 제한 기능을 가진 오피 앰프를 1개만 사용한다.
- [0067] 도 11에 도시한 바와 같이, 이 변형예에서는, 전압 선택 회로(13)의 5개의 출력 VI_0 , VI_{21C} , VI_{21S} , VI_{34S} , VI_{34C} 로 각각 안정화되는 5개의 볼티지 폴로워 회로를, 일반용 오피 앰프(42-1, 42-2, 42-3, 42-4, 42-5)로 구성한다. 그리고, 전류 제한 기능을 가진 오피 앰프(41)로 구성된 전원 전류 제한 회로의 출력력을, 각 볼티지 폴로워 회로의 전원에 접속하고, 각 볼티지 폴로워 회로의 전원 전류를 제한한다. 이에 의해, 전압 선택 회로(13)의 5개의 출력 VI_0 , VI_{21C} , VI_{21S} , VI_{34S} , VI_{34C} 에 대응한 출력 전류를, 제1 실시 형태와 마찬가지로 제한할 수 있다. 도 11의 회로에서는, 5개의 볼티지 폴로워 회로를 구성하는 오피 앰프는, 전류 제한 기능을 가진 오피 앰프를 사용할 필요가 없기 때문에, 오피 앰프의 선택 자유도가 향상되고, 저코스트화를 도모할 수 있다. 전류 제한 기능이 없는 오피 앰프로서는, 예를 들면 Motorola사제 MC33171/2/4나 Linear Technology사제 LT1490/1을 사용한다.
- [0068] 도 12는 레귤레이터(14)의 또 다른 변형예의 구성을 도시하는 도면이다. 이 변형예는, 제11의 변형예에서, 일반용 오피 앰프(42-1, 42-2, 42-3, 42-4, 42-5)로 구성된 5개의 볼티지 폴로워 회로의 전류값을 공통으로 제한하는 전원 전류 제한 회로를, 전류 제한 기능을 가진 오피 앰프를 사용하지 않고, 개별 부품으로 구성된 전류 제한 회로(43)로 치환한 구성을 갖는다.
- [0069] 도 13은 개별 부품으로 구성하는 전류 제한 회로의 구성예를 도시하는 도면이다. 도 13에서, VDD는 오피 앰프 전원이며, 전류 제한 회로 자체의 전압 강하(약 1.3V)를 고려하여 설정한다. 이하의 설명에서 i , j 는 1, 2, 3 중 어느 하나로 한다. 도면에서, $TRi2$ 와 $TRi3$ 으로 이루어지는 회로 부분은, 일반적인 널리 알려진 전류 제한 회로이며, $Ri1$ 의 값으로 전류 상한값이 제어 가능하다. 전류 상한값 $Ii-max$ 는, 다음의 식으로 얻어진다.
- [0070] $Ii-max=0.6/Ri1$
- [0071] 이와 같은 전류 제한 회로가 3개 병렬로 접속되어 있다.

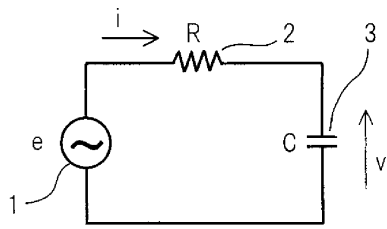
- [0072] 논리 신호 ENi는, 1개만을 「저(L)」, 다른 것을 「고(H)」로 한다. 오피 앰프에 의해 구성되는 볼티지 플로워 회로에 공급되는 전류는, ENj만이 L인 경우, Ij-max로 제한된다. Di1은 각 전류 제한 회로간의 간섭을 방지하기 위한 쇼트키 배리어 다이오드를 나타낸다.
- [0073] 전류 상한 제어 회로(19)는, LUT(31)에 구동 주기 T에 대응하여, 어느 것의 전류 제한 회로를 선택할지를 나타내는 선택 데이터를 기억하고 있다. 변환 회로(32)는, 이 선택 데이터를 디코딩하는 디코더로 실현된다.
- [0074] 이상 제1 실시 형태를 설명하였지만, 예를 들면 제1 실시 형태의 구성을 적용한 A4판 컬러 콜레스테릭 액정 패널(적·녹·청의 각 색 액정층의 셀 갭은 5μm, 펄스 전압은 ±36V)을 구동하는 시작품의 경우, 전류 제한 없음에서는 평균 승압 효율은 50% 미만이었지만, 본 실시 형태와 같이 평균 전류의 2배를 전류 제한값으로 한 경우, 평균 승압 효율은 85%로 향상되었다. 또한, 이 시작품에서 사용한 부품은, 승압 회로(11)의 36V 출력용이 national Semiconductor사제 LM2733Y, 20V 출력용이 MAXIM사제 MAX8574, 전류 제한 기능을 가진 오피 앰프(21-25)가 Linear Technology사제 LT1790이다.
- [0075] 도 14는 콜레스테릭 액정 패널을 구동 주기가 상이한 복수의 구동 페이즈로 구동하는 다계조 구동 회로를 갖는 제2 실시 형태의 콜레스테릭 액정 표시 장치의 개략 구성을 도시하는 도면이다. 제2 실시 형태의 콜레스테릭 액정 표시 장치는, 전류 상한 제어 회로(19)가, 구동 주기 T와 함께, 화상 데이터 ID의 내용에 따른 실제의 부하 용량으로부터 전류 상한값을 결정하는 것이 제1 실시 형태와 상이하고, 다른 것은 동일하다. 이 때문에, 전류 상한 제어 회로(19)는, 제어 회로(17)로부터 구동 주기의 데이터를 받을 뿐만 아니라, 화상 데이터 ID도 취득한다.
- [0076] 전류 상한 제어 회로(19)는, 다음의 식에 따라서 전류 상한값 I_{max}를 산출한다.
- [0077] $I_{max} = \alpha \times C_e \times V / T$
- [0078] 단, α는 부하 전류의 상한값의 평균 전류에 대한 비를 나타내는 계수, T는 구동 주기, V는 구동 주기 T에서의 출력 전압, C_e는 구동 주기 T에서의 출력 전압 V에 대한 구동 라인의 실부하 용량이다.
- [0079] α, T 및 V는 제1 실시 형태와 동일하다.
- [0080] 액정의 부하 용량은, 온(ON)하는 화소의 비율에 따라서 상이하므로, 전류 상한 제어 회로(19)는, 화상 데이터 ID의 각 스텝의 온(ON)/오프(OFF) 도트수를 계산한다. 전류 상한 제어 회로(19)는, 미리 산출된 온/오프 도트수에 대응하는 실부하 용량의 관계를 기억한 룩업 테이블을 구비하고 있고, 계산한 온/오프 도트수에 대응하는 실부하 용량을 구한다. 게다가, 상기의 식에 따라서 I_{max}를 산출한다.
- [0081] 다른 부분은 제1 실시 형태와 동일하다.
- [0082] 제2 실시 형태에서도, 제1 실시 형태와 마찬가지로, 평균 승압 효율을 향상시킬 수 있다.
- [0083] 이상, 본 발명의 실시예를 설명하였지만, 그 외에도 각종 실시예가 가능한 것은 물론이다.
- [0084] 또한, 각종 조건은, 대상으로 하는 표시 소자의 사양에 따라서 결정해야 하는 것은 물론이다.

부호의 설명

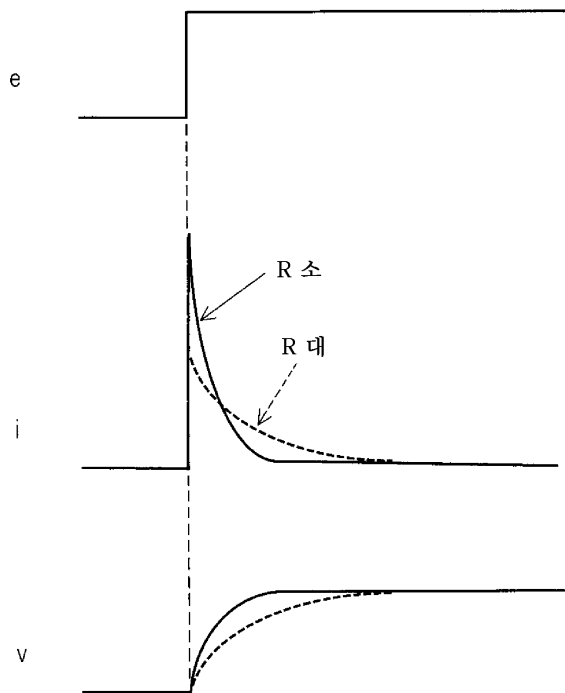
- [0085] 11 : 승압 회로
- 12 : 전압 형성 회로
- 13 : 전압 선택 회로
- 14 : 레귤레이터
- 15 : 드라이버 IC
- 17 : 제어 회로
- 18 : 조작 속도 제어 회로
- 19 : 전류 상한 제어 회로
- 20 : 콜레스테릭 액정 패널

도면

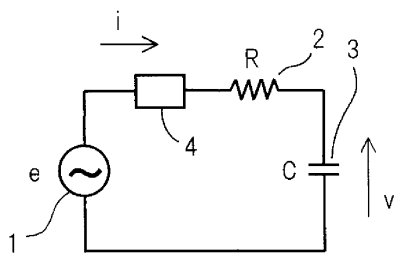
도면1a



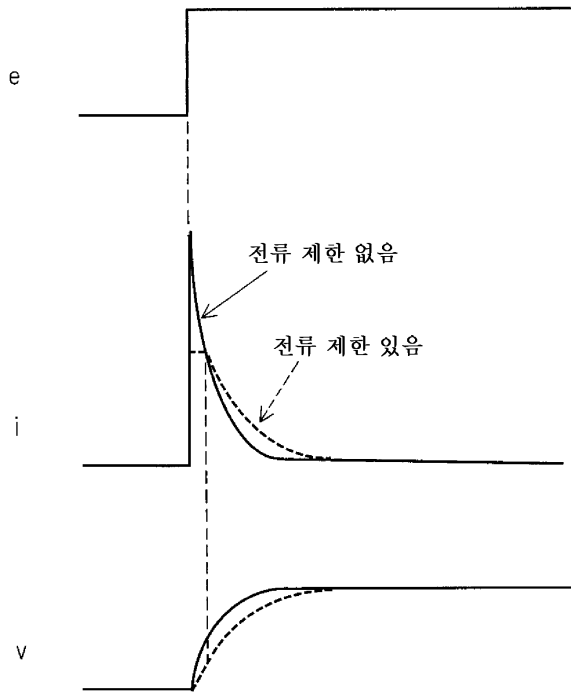
도면1b



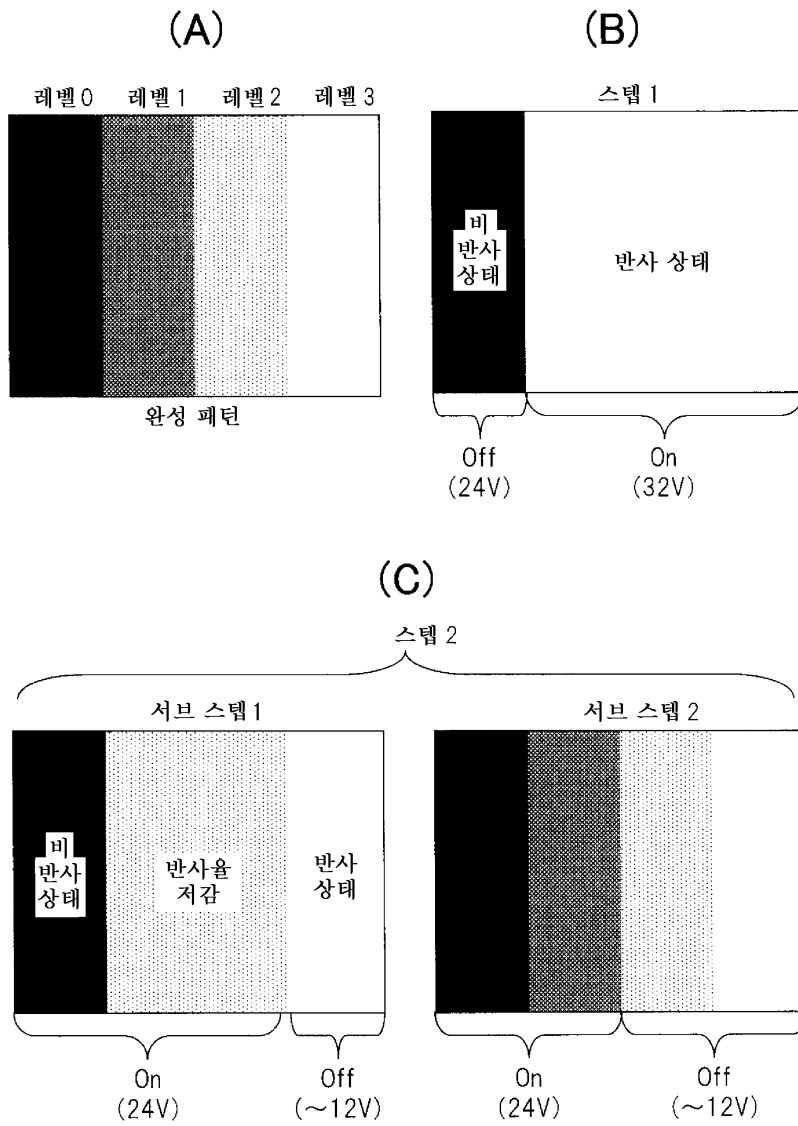
도면2a



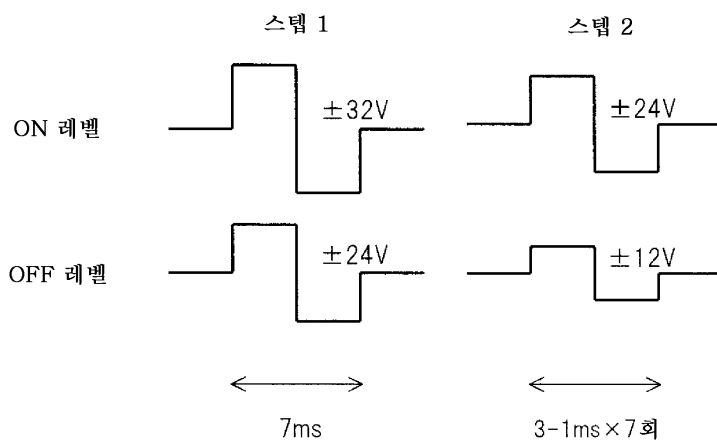
도면2b



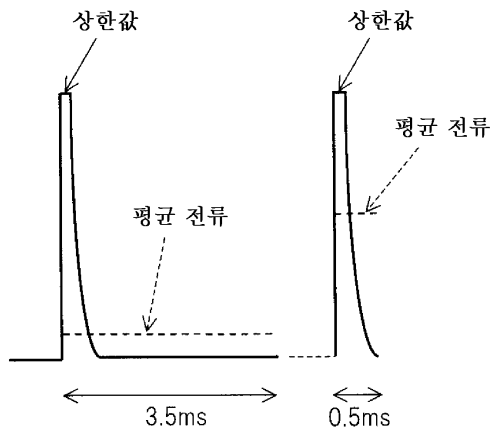
도면3



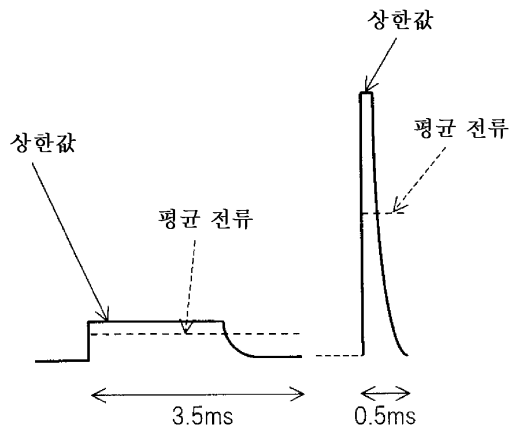
도면4



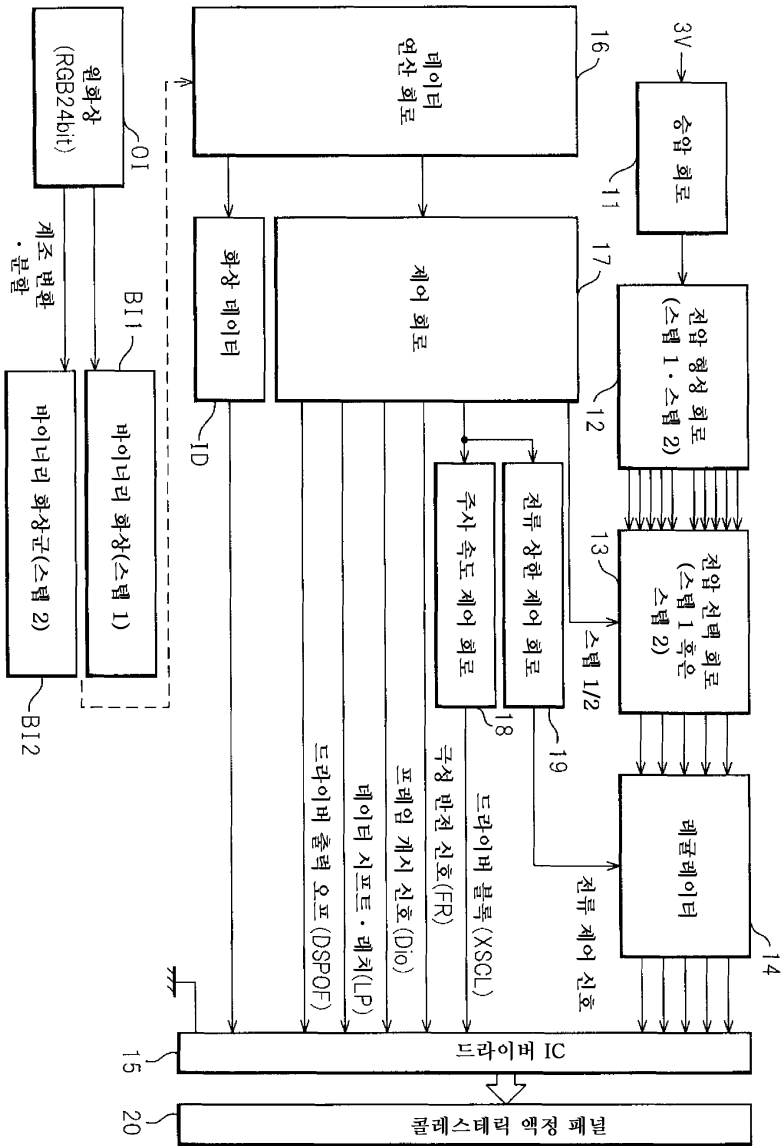
도면5



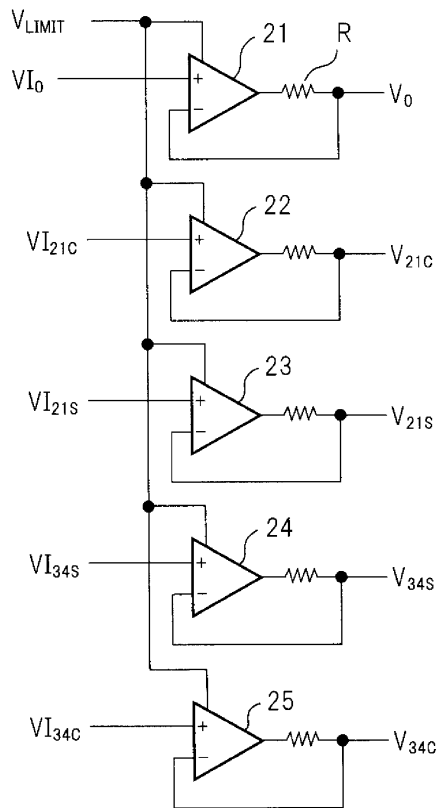
도면6



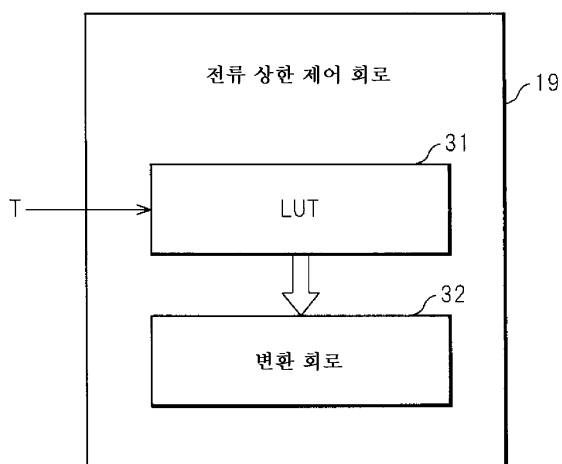
도면7



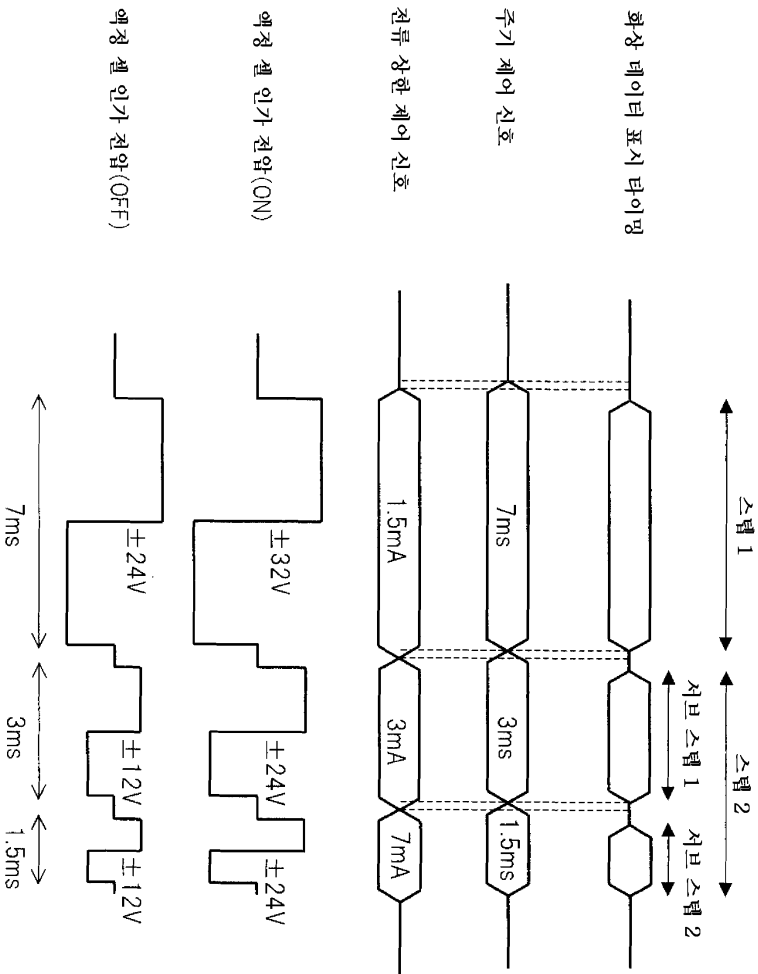
도면8



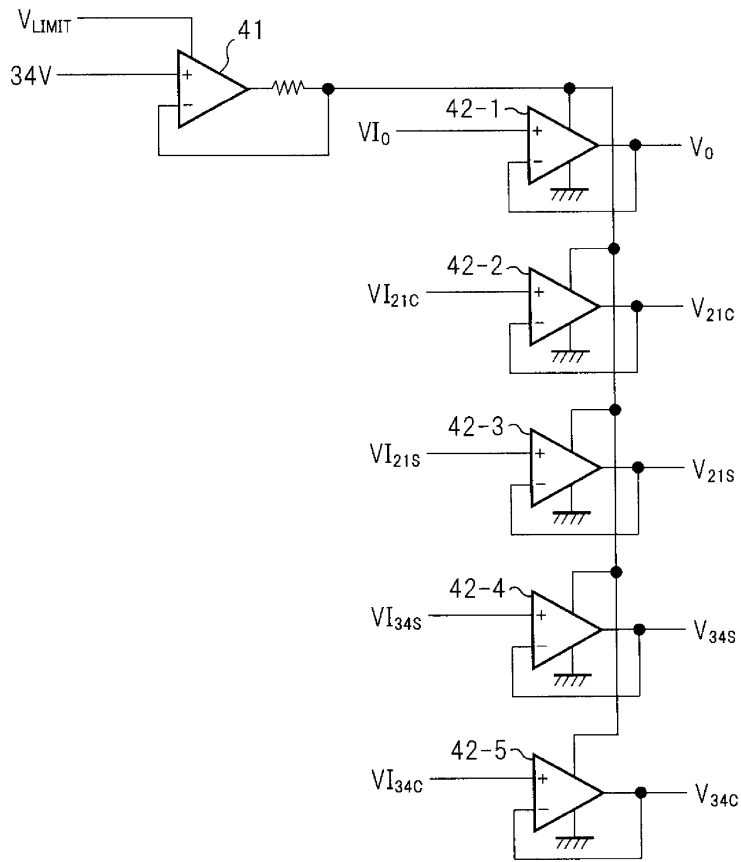
도면9



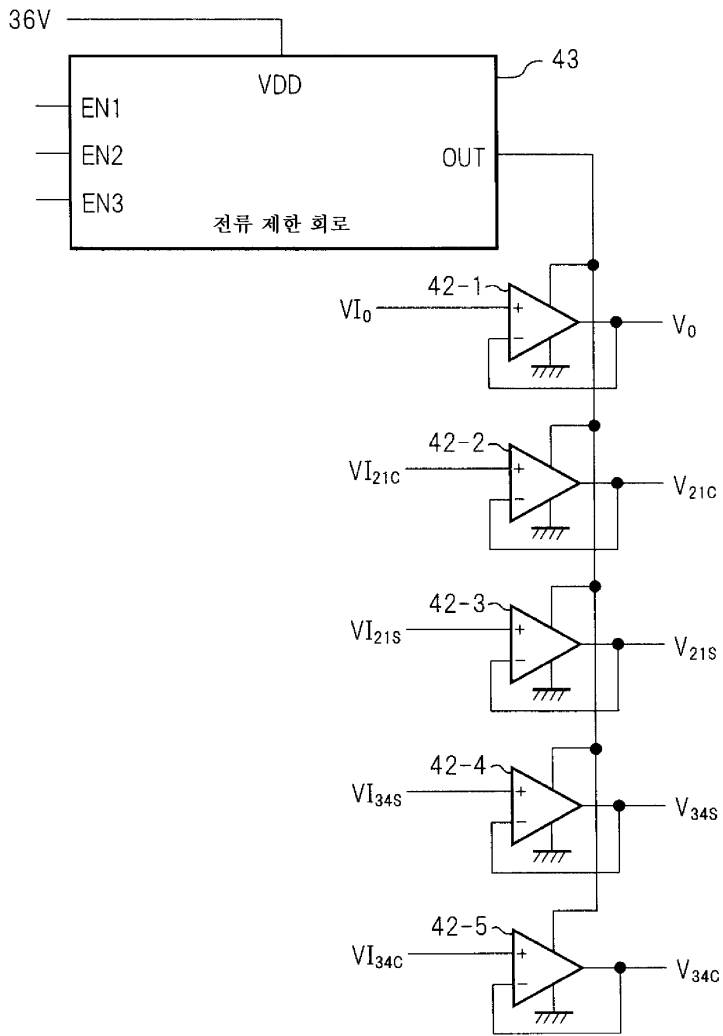
도면10



도면11



도면12



도면13

