



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0025474  
(43) 공개일자 2023년02월21일

- (51) 국제특허분류(Int. Cl.)  
G11C 5/06 (2006.01)
- (52) CPC특허분류  
G11C 5/063 (2013.01)
- (21) 출원번호 10-2023-7002309
- (22) 출원일자(국제) 2021년06월23일  
심사청구일자 2023년01월19일
- (85) 번역문제출일자 2023년01월19일
- (86) 국제출원번호 PCT/GB2021/051598
- (87) 국제공개번호 WO 2021/260377  
국제공개일자 2021년12월30일
- (30) 우선권주장  
63/043,211 2020년06월24일 미국(US)  
63/175,854 2021년04월16일 미국(US)

- (71) 출원인  
에이알엠 리미티드  
영국 캠브리지 씨비1 9엔제이 체리헌톤 폴번로드 110
- (72) 발명자  
마투르, 라홀  
미국 78735 텍사스, 오스틴 스위트 100, 빌딩 1  
사우스웨스트 파크웨이 5707 엔키노 트레이스 씨 /오 에이알엠 인크.  
바르바가, 무디트  
미국 78735 텍사스, 오스틴 스위트 100, 빌딩 1  
사우스웨스트 파크웨이 5707 엔키노 트레이스 씨 /오 에이알엠 인크.  
(뒷면에 계속)
- (74) 대리인  
특허법인와이에스장

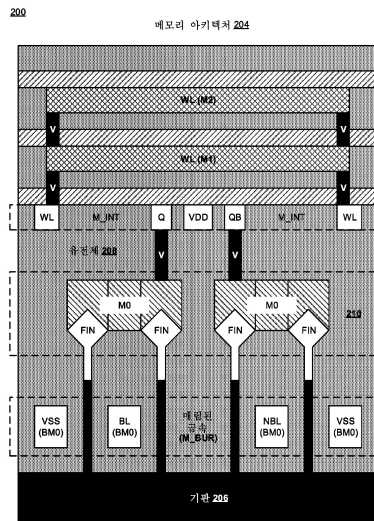
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 응용을 위한 매립된 신호 전선

(57) 요약

본 명세서에 설명된 다양한 구현예들은 기관을 갖는 메모리 구조를 갖는 장치를 지칭한다. 장치는 전기 신호들을 전송하기 위해 기관 및 유전체 중 적어도 하나 내에 매립되거나 또는 부분적으로 매립된 신호 전선을 가질 수 있다. 장치는 기관 내에 매립되거나 부분적으로 매립된 신호 전선을 갖는 메모리 셀 구조를 갖는 메모리 장치로서 제조될 수 있다.

대표도 - 도2



(72) 발명자

**신하, 사우라브 피주스쿠마르**

미국 78735 텍사스, 오스틴 스위트 100, 빌딩 1 사  
우스웨스트 파크웨이 5707 엔키노 트레이스 씨/오  
에이알엠 인크.

**클라인, 브라이언 트레이시**

미국 78735 텍사스, 오스틴 스위트 100, 빌딩 1 사  
우스웨스트 파크웨이 5707 엔키노 트레이스 씨/오  
에이알엠 인크.

**충, 에후 경**

미국 78735 텍사스, 오스틴 스위트 100, 빌딩 1 사  
우스웨스트 파크웨이 5707 엔키노 트레이스 씨/오  
에이알엠 인크.

## 명세서

### 청구범위

#### 청구항 1

장치로서,

기관을 갖는 메모리 구조; 및

전기 신호를 전송하기 위해 상기 기관 및 유전체 중 적어도 하나 내에 매립되거나 부분적으로 매립된 신호 전선을 포함하는, 장치.

#### 청구항 2

제1항에 있어서, 상기 전기 신호들은 메모리 관련 응용들을 위해 전송되는 중요 신호들을 지칭하는, 장치.

#### 청구항 3

제1항에 있어서,

상기 메모리 구조는 상기 기관 상에 배치된 트랜지스터를 포함하고,

전기 신호들은 메모리 관련 응용들을 위해 상기 트랜지스터로 전송되는 중요 신호들을 지칭하는, 장치.

#### 청구항 4

제1항에 있어서,

상기 메모리 구조는 상기 기관 상에 배치된 트랜지스터를 포함하고,

상기 신호 전선은 매립된 비아 또는 실리콘 관통 비아로 상기 트랜지스터에 결합되는, 장치.

#### 청구항 5

제1항에 있어서, 상기 신호 전선은 상기 기관 및 상기 유전체 중 적어도 하나에 매립되거나 부분적으로 매립된 워드라인, 비트라인 또는 클록 신호 라인을 지칭하는, 장치.

#### 청구항 6

제1항에 있어서,

상기 메모리 구조는 상기 기관 상에 배치된 트랜지스터를 포함하고,

상기 신호 전선은 전기 신호를 상기 트랜지스터에 전송하기 위해 상기 기관 및 상기 유전체 중 적어도 하나 내에 매립되거나 부분적으로 매립된 다수의 신호 전선을 지칭하는, 장치.

#### 청구항 7

제6항에 있어서,

상기 다수의 신호 전선들은 제1 매립 비아로 상기 트랜지스터의 게이트에 결합되어 있는 매립된 워드라인을 포함하는, 장치.

#### 청구항 8

제6항에 있어서,

상기 다수의 신호 전선들은 제2 매립 비아로 상기 트랜지스터의 드레인에 결합되어 있는 매립된 비트라인을 포함하는, 장치.

#### 청구항 9

제7항에 있어서, 상기 매립된 워드라인은 상기 제1 매립 비아를 통해 로컬 워드라인 및 상기 트랜지스터의 상기 게이트, 상기 트랜지스터의 드레인, 또는 직접 금속 연결 중 적어도 하나에 결합되는 매립된 글로벌 워드라인을 지칭하는, 장치.

**청구항 10**

제1항에 있어서, 상기 메모리 구조는 SRAM, DRAM, eDRAM, MRAM, ReRAM, PCM, CeRAM, FLASH, NVRAM 또는 ROM을 지칭하는, 장치.

**청구항 11**

장치로서,

기판 상에 배치된 메모리 셀 구조; 및

중요 신호를 상기 메모리 셀 구조에 전송하기 위해 상기 기판 및 유전체 중 적어도 하나 내에 매립되거나 부분적으로 매립된 다수의 신호 전선들을 포함하는, 장치.

**청구항 12**

제11항에 있어서, 상기 중요 신호들은 메모리 관련 응용들을 위해 상기 메모리 셀 구조로 전송되는 데이터 신호들 또는 클럭 신호들을 지칭하는, 장치.

**청구항 13**

제11항에 있어서, 상기 다수의 신호 전선들은 상기 기판 및 상기 유전체 중 적어도 하나 내에 매립된 적어도 하나의 워드라인 및 적어도 하나의 비트라인을 포함하는, 장치.

**청구항 14**

제13항에 있어서,

상기 중요 신호들은 상기 적어도 하나의 워드라인 상에서 상기 메모리 셀 구조로 전송되는 하나 이상의 워드라인 신호를 지칭하며,

상기 중요 신호들은 상기 적어도 하나의 비트라인 상에서 상기 메모리 셀 구조로 전송되는 하나 이상의 비트라인 신호를 지칭하는, 장치.

**청구항 15**

제11항에 있어서,

상기 다수의 신호 전선들은 상기 기판에 매립된 적어도 하나의 클럭 신호 라인을 포함하는, 장치.

**청구항 16**

제11항에 있어서,

상기 다수의 신호 전선들은 상기 메모리 셀 구조로 중요 신호들을 전송하기 위해 상기 기판 및 상기 유전체 중 적어도 하나 내에 매립된 적어도 하나의 중요 신호 라인을 포함하고,

상기 다수의 신호 전선들은 상기 메모리 셀 구조에 전력 신호들을 전송하기 위해 상기 기판 및 상기 유전체 중 적어도 하나 내에 매립된 적어도 하나의 전력 신호 라인을 포함하고,

상기 적어도 하나의 중요 신호 라인은 상기 적어도 하나의 전력 신호 라인에서 떨어진, 장치.

**청구항 17**

제11항에 있어서, 상기 메모리 셀 구조는 SRAM 비트셀, DRAM 비트셀, eDRAM 비트셀, MRAM 비트셀, ReRAM 비트셀, PCM 비트셀, CeRAM 비트셀, FLASH 비트셀, NVRAM 비트셀 또는 ROM 비트셀을 지칭하는, 장치.

**청구항 18**

방법으로서,

기판 상에 배치된 메모리 셀 구조를 제공하는 단계;

상기 메모리 셀 구조로 전기 신호를 전송하기 위해 상기 기판 내에 신호 전선을 매립하거나 부분적으로 매립하는 단계; 및

상기 신호 전선이 상기 기판에 매립되거나 부분적으로 매립된 상기 메모리 셀 구조를 갖는 메모리 장치를 제조하거나 또는 제조하게 하는 단계를 포함하는, 방법.

**청구항 19**

제18항에 있어서,

상기 메모리 셀 구조는 상기 기판 상에 배치된 트랜지스터를 포함하고,

상기 전기 신호들은 메모리 관련 애플리케이션들을 위해 상기 매립 신호 라인의 방식으로 상기 트랜지스터로 전송되는 중요 신호들을 지칭하는, 방법.

**청구항 20**

제18항에 있어서, 상기 메모리 셀 구조는 SRAM 비트셀, DRAM비트셀, eDRAM 비트셀, MRAM 비트셀, ReRAM 비트셀, PCM 비트셀, CeRAM 비트셀, FLASH 비트셀, NVRAM 비트셀 또는 ROM 비트셀을 지칭하는, 방법.

**발명의 설명**

**기술 분야**

**관련 출원들**

[0001]

[0002]

본 출원은 2020년 6월 24일에 출원된 "Method of Fabrication of Buried Signal Wires in Memories"라는 제목의 가출원 번호 제63/043,211호에 대한 우선권 및 이익을 주장하며, 그 전체가 참조로서 본 명세서에 포함된다. 또한, 본 출원은 2021년 4월 16일에 출원된 "Buried Interconnects for Sub-5nm SRAM Design"라는 제목의 가출원 번호 제63/175,854호에 대한 우선권 및 이익을 주장하며, 그 전체가 참조로서 본 명세서에 또한 포함된다.

**배경 기술**

[0003]

본 부분은 본 명세서에 설명된 다양한 기술들을 이해하는 것에 관련된 정보를 제공하고자 한다. 본 부분의 명칭이 의미하는 바와 같이, 이것은 이것이 종래 기술임을 의미하는 것이 결코 아닌 관련 기술에 대한 논의이다. 일반적으로, 관련 기술은 종래 기술로 간주될 수 있거나 또는 간주되지 않을 수 있다. 따라서, 이 부분에서의 임의의 언급은 이러한 관점에서 읽혀야 하고, 종래 기술에 대한 어떠한 인정도 아닌 것으로 이해되어야 한다.

[0004]

일부 종래의 메모리 설계에서, 전통적인 상호연결 전선은 일반적으로 기판 위의 복수의 층에 위치하게 되고, 특히, 집적 회로(IC) 내의 메모리 부품들 사이의 상호연결을 가능하게 하기 위해 MOSFET(금속-산화물-반도체 전계 효과 트랜지스터)과 같은 트랜지스터 위에 위치하게 된다. 불행하게도, 이러한 종래의 메모리 설계는 매우 혼잡하고, 종종 기생 저항 및 커패시턴스 효과로 인해 감소된 성능을 야기한다. 또한, 전통적인 배선 층들은 일반적으로 기판 및 집적 회로(IC)의 다른 부품들 위에 위치되는 전면 배선 층들을 지칭하는데, 이는 현대의 물리적 배치 설계의 순환 장애 문제들을 추가로 야기한다. 이와 같이, 현대 회로 설계에서 메모리 장치들 사이의 개선된 배선을 감안하는 방식으로 감소된 전선 혼잡으로 면적 효율을 개선하려는 수요가 있다.

**도면의 간단한 설명**

[0005]

다양한 메모리 배치 방식들 및 기법들의 구현예들이 첨부 도면들을 참조하여 본 명세서에 설명되어 있다. 그러나, 첨부 도면들은 단지 본 명세서에 설명된 다양한 구현예들을 도시하고 본 명세서에 기술된 다양한 기법들의 실시형태들을 제한하고자 하는 것이 아닌 것으로 이해되어야 한다.

도 1은 본 명세서에 설명된 다양한 구현예들에 따라 자체 주소를 가진 저장 요소를 갖는 메모리 아키텍처의 도면을 도시한다.

도 2 내지 도 5는 본 명세서에 설명된 다양한 구현예들에 따라, 매립된 금속 라인을 갖는 메모리 아키텍처의 다

양한 도면을 도시한다.

도 6은 본 명세서에 설명된 다양한 구현예들에 따라, 매립된 금속 라인을 갖는 메모리 아키텍처를 제공하기 위한 방법의 도면을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

- [0006] 본 명세서에 설명된 다양한 구현예들은 다층 구조 구성의 물리적 배치 설계에서 매립된 신호 라인을 갖는 메모리 아키텍처를 제공하기 위한 방식들 및 기법들에 관한 것이다. 예를 들어, 본 명세서에 설명된 다양한 물리적 배치 설계 방식들 및 기법들은 다양한 유형들의 랜덤 액세스 메모리(RAM) 아키텍처 및 구성을 포함하는 향상된 메모리 구조를 제공할 수 있다. 또한, 본 명세서에 설명된 다양한 구현예들은 예를 들어, PCM, FLASH 및 ROM과 같은 다양한 다른 제조된 메모리 장치들과 함께 SRAM, DRAM, eDRAM, MRAM, ReRAM, CeRAM 및 NVRAM을 포함하는 예를 들어, 랜덤 액세스 메모리(RAM) 장치들과 같은 다양한 제조된 메모리 장치들에서 매립된 신호 전선들을 제조하기 위한 방법에 관한 것이다.
- [0007] 본 명세서에 설명된 바와 같이 메모리 아키텍처 방식들 및 기법을 구현하여 다양한 이점 및 이익이 달성될 수 있다. 본 명세서에 설명된 다양한 구성들은 집적 회로 내에 매립된 메모리 신호 전선들을 제조하기 위한 방식들 및 기법들을 제공한다. 예를 들어, 금속 배선 층들의 혼잡을 감소시킬 수 있는 매립된 신호 전선들은 집적 회로의 기판 내에 배치될 수 있다. 매립된 신호 전선은 전통적인 비매립 전선과 비교할 때 그렇게 함으로써 신호 지연 및 에너지 소비를 감소시키는. 더 낮은 저항 및/또는 더 낮은 커패시턴스 메모리 신호 배선을 또한 제공할 수 있다. 또한, 메모리 장치 내의 매립된 신호 전선을 사용하는 것은 동시에 메모리 액세스 시간을 감소시키고, 사이클 시간을 개선하고, 동적 에너지 소비를 감소시키고, 또한 메모리 집적도를 증가시킴으로써 메모리 성능에 상당한 영향을 미칠 수 있다. 또한, 매립된 신호 전선 층이 덜 혼잡함에 따라, 신호들은 저항을 감소시키기 위해 더 넓고 그리고/또는 더 멀리 떨어져 배치될 수 있다. 일부 예에서는, 매립된 신호 전선 층을 더 높게 만듦으로써 전선의 저항이 추가로 감소될 수 있으며, 매립된 신호 전선이 단방향 및 비 단방향 신호에 적용될 수 있다.
- [0008] 다양한 구현예에서, 매립된 신호 전선은 동일 전선 굵이의 유사한 비매립 신호 전선과 비교할 때, 감소된 신호 커플링으로 인해서, 더 낮은 커패시턴스 및 저항을 가질 수 있다. 또한, 메모리 워드라인, 비트라인 및/또는 클럭 신호를 위한 다양한 다른 중요 신호 전선들은 전통적인 기판 위의 연결성을 사용하는 비매립 신호 전선들을 구현하는 것과 비교할 때 개선된 메모리 성능 및 더 낮은 에너지 소비를 제공하기 위해 매립된 신호 전선들로서 구현될 수 있다.
- [0009] 매립된 신호 라인들을 갖는 메모리 아키텍처를 제공하는 다양한 구현예들이 도 1 내지 도 6를 참조하여 본 명세서에 기술될 것이다.
- [0010] 도 1은 본 명세서에 설명된 다양한 구현예들에 따라 자체 주소를 가진 저장 요소(144)를 갖는 메모리 아키텍처(104)의 도면(100)을 도시한다.
- [0011] 다양한 구현예에서, 메모리 아키텍처(104)는 물리적 회로 설계 및 관련 구조들을 제공하는 부품들의 집합체 또는 조합으로서 함께 배열되고 결합된 다양한 집적 회로(IC) 부품들을 갖는 시스템 또는 장치로서 구현될 수 있다. 일부 예에서는, 집적된 시스템 또는 장치로서 메모리 아키텍처(104)를 설계하고, 제공하고, 제작하고/하거나 제조하는 방법은 그것에 의해 연관된 다양한 관련 제작 방식들 및 기법들을 구현하기 위해, 본 명세서에 기술된 다양한 집적 회로 부품들의 사용을 수반할 수 있다. 더욱이, 메모리 아키텍처(104)는 컴퓨팅 회로부 및 관련된 부품들과 단일 칩 상에 통합될 수 있고, 메모리 아키텍처(104)는 다양한 자동차, 전자, 모바일, 서버 및 원격 센서 노드들을 포함하는 사물 인터넷(IoT) 응용들을 위한 다양한 임베디드 시스템들에 구현 및/또는 통합될 수 있다.
- [0012] 도 1에 도시된 바와 같이, 메모리 아키텍처(104)는, 예를 들어, 다양한 유형들의 비트셀들 또는 다른 메모리 셀들과 같은 자체 주소를 갖는 저장 요소들(144)의 어레이를 갖는 메모리 회로부(108)를 포함할 수 있다. 일부 구현예들에서, 메모리 회로부(108)는 행 주소(120)로 사용되는 주소의 제1 부분 및 열 주소(128)로 사용되는 주소의 제2 부분을 갖는 주소로 액세스되는 자체 주소를 갖는 메모리 저장 요소(144)의 2차원(2D) 어레이를 지칭할 수 있다. 행 주소(128)(A<sub>j</sub> 내지 A<sub>k</sub>-1)는 행 해독기(114)에 제공되고 그에 의해 해독될 수 있으며, 대응하는 워드라인(WL)(116)은 활성화될 수 있다. 활성화된 워드라인 전선(116)은 활성화된 저장 요소들(144)에 대응하는 행을 선택하는 데 사용되고, 또한, 활성화된 행으로부터의 데이터는 대응하는 비트라인 전선(120)에 쓰여지거나 또는 판독될 수 있다. 열 어드레스(128)(A<sub>0</sub> 내지 A<sub>j</sub>-1)는 열 멀티플렉서(118)에 제공되고 그에 의해 해독

될 수 있고, 대응하는 비트라인(BL)(120)은 활성화될 수 있다. 이 예에서는, 열 어드레스(128)(A0 내지 Aj-1)는 데이터 버스(138)에 선택된 데이터를 구동하기 위해 대응하는 비트라인(BL)(120)으로부터 적합한 데이터를 선택하는 데 사용될 수 있다. 또한, 메모리 회로부(108)는 메모리 액세스 이벤트들(판독/쓰기 동작들)을 동기화하기 위해 클록을 사용할 수 있고, 또한, 클록은 예를 들어, 메모리 액세스 시간, 사이클 시간, 설정 및/또는 유지 시간들과 같은 메모리 액세스 타이밍에 매우 중요할 수 있다.

[0013] 도 2는 본 명세서에 설명된 다양한 구현예들에 따라 매립된 금속 라인들(M\_BUR)을 가진 메모리 아키텍처(204)의 도면(200)을 도시한다.

[0014] 다양한 구현예에서, 메모리 아키텍처(204)는 물리적 회로 설계들 및 여러 관련 구조들을 제공하는 부품들의 집합체 또는 조합으로서 함께 배열되고 결합된 다양한 집적 회로(IC) 부품들을 갖는 시스템 또는 장치로서 구현될 수 있다. 일부 예에서는, 집적된 시스템 또는 장치로서 메모리 아키텍처(204)를 설계하고, 제공하고, 제작하고/하거나 제조하는 방법은 그것에 의해 연관된 다양한 관련 제작 방식들 및 기법들을 구현하기 위해. 본 명세서에 기술된 다양한 집적 회로 부품들의 사용을 수반할 수 있다. 또한, 메모리 아키텍처(204)는 컴퓨팅 회로부 및 관련된 부품들과 단일 칩 상에 통합될 수 있고, 메모리 아키텍처(204)는 다양한 자동차, 전자, 모바일, 서버 및 원격 센서 노드들을 포함하는 사물 인터넷(IoT) 응용들을 위한 다양한 임베디드 시스템들에 구현 및/또는 통합될 수 있다.

[0015] 도 2에 도시된 바와 같이, 메모리 아키텍처(204)는 기판(206) 및 전기 신호들을 전달하기 위해 기판(206) 또는 유전체(208) 내에 매립된 하나 이상의 신호 전선(예를 들어, BMO)을 갖는 다층 메모리 구조를 포함할 수 있다. 하나 이상의 신호 전선(예를 들어, BMO)은 기판(206)에 배치되고 또한 유전체 물질(208)에 둘러싸인(또는 에워싸인) 매립된 금속(M\_BUR)으로 지칭될 수 있다. 일부 예에서는, 전기 신호들은 메모리 관련 응용들을 위해 메모리 구조로 전송되는 다양한 유형의 중요 신호들(워드라인 신호들, 비트라인 신호들 및 클록 신호)을 지칭할 수 있다.

[0016] 일부 구현예에서, 메모리 구조는 기판(206) 위에 배치된, 예를 들어 핀 전계 효과 트랜지스터(FinFET), 와 같은 트랜지스터(210)를 지칭할 수 있으며, 전기 신호는 메모리 관련 응용들을 위해 트랜지스터(210)에 전송되는 다양한 중요 신호들을 지칭할 수 있다. 일부 예에서는, 신호 전선(BMO)은 매립된 비아(BV) 또는 실리콘 관통 비아(TSV)로 트랜지스터(210)에 결합될 수 있다. 또한, 신호 전선(BMO)은 기판(206)에 매립된 워드라인(WL), 비트라인(BL) 또는 클록 신호 라인(CSL)을 지칭할 수 있다. 일부 예에서는, 신호 전선(BMO)은 유전체 물질(208)로 채워진 유전체 영역에 매립된 하나 이상의 비트라인들(예를 들어, BL/NBL)을 지칭할 수 있다. 트랜지스터(210)는 기판(206) 위쪽에 형성된 하나 이상의 폴리-게이트(PG) 영역을 가질 수 있다.

[0017] 다른 구현예에서, 신호 전선(BMO)은 전기 신호를 트랜지스터(210)(또는 메모리 셀 구조물)로 전송하기 위해 기판(206)에 매립된 다수의 신호 전선들(예를 들어, BMO: VSS, BL, NBL)을 지칭할 수 있다. 중요 신호들은 메모리 관련 응용들을 위해 메모리 셀 구조로 전송되는 데이터 신호들 또는 클록 신호들을 지칭할 수 있다. 또한, 중요 신호들은 적어도 하나의 워드라인(WL) 상에서 메모리 셀 구조로 전송되는 하나 이상의 워드라인(WL) 신호들을 지칭할 수 있고, 중요 신호들은 적어도 하나의 비트라인(BL) 상에서 메모리 셀 구조로 전송되는 하나 이상의 비트라인(BL) 신호들을 지칭할 수 있다. 또한, 다수의 신호 전선들은 제1 매립 비아(BV)로 트랜지스터(210)의 게이트에 결합된 매립된 워드라인(WL)을 지칭할 수 있고, 또한 다수의 신호 전선들은 제2 매립 비아(BV)로 트랜지스터(210)의 드레인에 결합된 매립된 비트라인(BL/NBL)을 지칭할 수 있다. 또한, 일부 예에서는, 매립된 워드라인(WL)은 제1 매립 비아(BV)로 트랜지스터(210)의 게이트에 결합된 매립된 글로벌 워드 라인(GWL)을 지칭할 수 있다. 매립된 WL 및 매립된 BL은 도 3 내지 도 5를 참조하여 본원에서 더 상세히 설명된다.

[0018] 다양한 구현예에서, 다수의 신호 전선들은 기판(206) 내부에 매립된 적어도 하나의 클록 신호 라인을 포함할 수 있고, 중요 신호들은 적어도 하나의 클록 신호 라인 상에서 메모리 셀 구조(예를 들어, (210))로 전송되는 하나 이상의 클럭 신호들을 지칭할 수 있다. 다수의 신호 전선들은 또한, 메모리 셀 구조(예를 들어, (210))로 중요 신호들(예를 들어, WL/BL/NBL 신호들)을 전송하기 위해 기판(206)에 매립된 적어도 하나의 중요 신호 라인(예를 들어, WL, BL, NBL)을 지칭할 수 있다. 또한, 다수의 신호 전선은 전력 신호(예를 들어, VSS/VDD 신호)를 메모리 셀 구조(예를 들어, (210))로 전송하기 위해 기판(206)에 매립된 적어도 하나의 전력 신호 라인(예를 들어, VSS, VDD)을 포함할 수 있다. 또한, 다양한 예에서는, 적어도 하나의 중요 신호 라인(예를 들어, WL, BL, NBL)은 적어도 하나의 전력 신호 라인(예를 들어, VSS, VDD)에서 떨어져있다. 매립된 중요 신호 라인들은 도 3 내지 도 5를 참조하여 본 명세서에서 더 상세히 설명된다.

[0019] 또한, 도 2에 예시된 바와 같이, 메모리 구조는 다수의 층(예를 들어, M0, M\_INT, M1, M2)에 배치된 다수의 워



드라인(WL)을 포함할 수 있고, 다수의 워드라인(WL)은 비아들(V)의 방식에 의해 함께 결합될 수 있다. 일부 구현예에서, 비아(V)는 유전체 물질(208)에 매립된 매립된 비아(BV)를 지칭할 수 있다. 또한, 중간 금속 층(M\_INT)에서, 워드라인(WL), 출력 라인(Q/QB) 및 소스 전력 라인(VDD)을 위한 다른 신호 라인들이 그 안에 배치될 수 있다. 또한, 일부 예에서는, 출력 라인들(Q/QB)은 유전체 물질(208)에 매립된 비아(V) 또는 매립된 비아(BV) 방식으로 메모리 셀 구조(예를 들어, (210))에 결합될 수 있다.

[0020] 다양한 구현예에서, 메모리 구조는 예를 들어, PCM, FLASH 및 ROM과 같은 다양한 다른 제조된 메모리 장치와 함께, 예를 들면, SRAM, DRAM, eDRAM, MRAM, ReRAM, CeRAM 및 NVRAM을 포함하는 랜덤 액세스 메모리(램) 장치와 같은 다양한 제조된 메모리 장치를 지칭할 수 있다. 또한 다양한 구현예에서, 메모리 셀 구조(예를 들면 (210))는 예를 들면, SRAM 비트셀, DRAM 비트셀, eDRAM 비트셀, MRAM 비트셀, ReRAM 비트셀, PCM 비트셀, CeRAM 비트셀, FLASH 비트셀, NVRAM 비트셀 또는 ROM 비트셀을 지칭할 수 있다.

[0021] 도 3은 본 명세서에 설명된 다양한 구현예들에 따라 매립된 금속 라인들(M\_BUR)을 가지는 메모리 아키텍처(304)의 도면(300)을 도시한다. 도 3에 예시된 바와 같은 메모리 아키텍처(304)는 도 2에 예시된 유사한 부품들은 유사한 특징들, 특성들 및 관련 행동방식들을 갖는 메모리 아키텍처(204)와 범위 및 특징들에서 유사할 수 있다는 것으로 이해해야 한다.

[0022] 다양한 구현예에서, 메모리 아키텍처(304)는 물리적 회로 설계들 및 여러 관련 구조들을 제공하는 부품들의 집합체 또는 조합으로서 함께 배열되고 결합된 다양한 집적 회로(IC) 부품들을 갖는 시스템 또는 장치로서 구현될 수 있다. 일부 예에서는, 집적된 시스템 또는 장치로서 메모리 아키텍처(304)를 설계하고, 제공하고, 제작하고/하거나 제조하는 방법은 그것에 의해 연관된 다양한 관련 제작 방식들 및 기법들을 구현하기 위해 본 명세서에 기술된 다양한 집적 회로 부품들의 사용을 수반할 수 있다. 또한, 메모리 아키텍처(304)는 컴퓨팅 회로부 및 관련된 부품들과 단일 칩 상에 통합될 수 있고, 메모리 아키텍처(304)는 다양한 자동차, 전자, 모바일, 서버 및 원격 센서 노드들을 포함하는 사물 인터넷(IoT) 응용들을 위한 다양한 임베디드 시스템들에 구현 및/또는 통합될 수 있다.

[0023] 도 3에 도시된 바와 같이, 메모리 아키텍처(304)는 기관(306) 및 전기 신호들을 전달하기 위해 기관(306)에 매립된 하나 이상의 신호 전선(예를 들어, BMO)을 갖는 다층 메모리 구조를 포함할 수 있다. 하나 이상의 신호 전선(예를 들어, BMO)은 기관(306)에 배치되고 또한 유전체 물질(308)에 둘러싸인(또는 에워싸인) 매립된 금속(M\_BUR)으로 지칭될 수 있다. 일부 예에서는, 전기 신호들은 메모리 관련 응용들을 위해 메모리 구조로 전송되는 다양한 유형의 중요 신호들(워드라인 신호들, 비트라인 신호들 및 클록 신호)을 지칭할 수 있다.

[0024] 일부 구현예에서, 도 3에 예시된 바와 같은 메모리 아키텍처(304)는 기관(306)의 상부 표면으로부터 두께 360 및 깊이 370의 매립된 비트라인 신호 전선(BMO)을 갖는 다층 메모리 구조를 지칭한다. 매립된 비트라인 신호 전선(BMO)은 매립된 비아(예를 들어, BUR BL 전선 + BUR BL 비아)를 포함할 수 있다. 일부 예들에서는, 비아는 물리적 전자 회로의 층들 사이의 전기적 연결을 지칭하고, 또한 매립된 비아는 기관(306)에 매립된 비아를 지칭할 수 있다. 또한, 메모리 구조는 전자 신호를 증폭하기 위한 스위치 또는 신호 증폭기로서 사용되는 반도체 장치를 지칭하는 트랜지스터 핀(FIN)을 갖는 FinFET 유형 트랜지스터(310)을 지칭할 수 있다. 일부 예에서는, FinFET은 예를 들어 소스 단자, 게이트 단자 및 드레인 단자와 같은 적어도 3개의 단자를 가질 수 있다. 진보된 프로세스 기술에서, FinFET 유형 트랜지스터는 기관(306) 위에 그리고 지느러미를 닮은 3차원(3D) 메모리 구조를 지칭할 수 있다.

[0025] 일부 예에서는, 트랜지스터(310)의 핀(FIN)은 트랜지스터(310)의 소스 및 드레인을 형성하고, 금속 배선 층은 기관(306) 위에 배치될 수 있다. 금속 배선 층들은 전자 상호접속부들을 제공하고, 금속 배선 층들은 전자 회로들을 형성하는 데 사용될 수 있다. 또한, 도 3에 예시된 바와 같이, 메모리 구조는 기관(306)에 가장 가까운 금속 층이 제1 금속 층(M0)이 되고 기관(306)에 대한 상대적인 위치에 기반하여 증가되면서 번호가 매겨지는 추가적인 금속 층(예를 들어, M1)을 갖는 다수의 금속 배선 층(예를 들어, M0, M1 등)을 가질 수 있다. 일부 예에서는, 폴리 게이트(PG)는 기관(206) 위에 형성될 수 있고, 워드라인(WL)은 다른 금속 층(M1)에 형성될 수 있다. 또한, 다른 워드라인들(WL) 및 출력 라인(Q)은 중간 금속 층(M\_INT)에 형성될 수 있다.

[0026] 일부 예에서는, 매립된 비트라인 전선(BUR BL 전선)은 매립된 신호 전선으로 구현될 수 있고, 매립된 비트라인 전선(BL) 및 그의 상보형 매립된 비트라인 전선(NBL)은 매립된 비아(BUR BL 비아)를 사용하여 트랜지스터(310)의 드레인에 결합될 수 있다. 일부 예들에서는, 매립된 비트라인 전선(BL/NBL)은 트랜지스터 핀(FIN)에 평행하게 배선되는 단방향 전선을 지칭할 수 있으며, 이는 트랜지스터 핀(FIN) 사이에 매립된 비트라인 전선(BUR BL 전선)을 매립하고 결합시키는 것을 제공한다. 일부 구현예에서, 이러한 방식으로 비트라인 전선을 매립하는 것



은 비매립 비트라인과 비교하여 더 낮은 커패시턴스 및 더 낮은 셀 관독 지연을 가져올 수 있다. 또한, 일부 구현예에서, 매립된 비트라인 전선은 일부 메모리 응용에서 메모리 비트셀 집적도를 더 증가시킬 수 있다. 일부 다른 예에서는, 워드라인(WL)은 매립된 신호 전선으로 구현될 수 있고, 워드라인(WL) 전선은 메모리 구조를 가로질러 배치되는 단방향 전선일 수 있다.

[0027] 도 4는 본 명세서에 설명된 다양한 구현예들에 따라 매립된 금속 라인들(M\_BUR)을 가진 메모리 아키텍처(404)의 도면(400)을 도시한다. 도 4에 예시된 바와 같은 메모리 아키텍처(404)는 도 2 내지 도 3에 예시된 유사한 부품들은 유사한 특징들, 특성들 및 관련 행동방식들을 갖는 메모리 아키텍처(204, 304)와 범위 및 특징들에서 유사할 수 있다는 것으로 이해해야 한다.

[0028] 다양한 구현예에서, 메모리 아키텍처(404)는 물리적 회로 설계들 및 여러 관련 구조들을 제공하는 부품들의 집합체 또는 조합으로서 함께 배열되고 결합된 다양한 집적 회로(IC) 부품들을 갖는 시스템 또는 장치로서 구현될 수 있다. 일부 예에서는, 집적된 시스템 또는 장치로서 메모리 아키텍처(404)를 설계하고, 제공하고, 제작하고/하거나 제조하는 방법은 그것에 의해 연관된 다양한 관련 제작 방식들 및 기법들을 구현하기 위해 본 명세서에 기술된 다양한 집적 회로 부품들의 사용을 수반할 수 있다. 또한, 메모리 아키텍처(404)는 컴퓨팅 회로부 및 관련된 부품들과 단일 칩 상에 통합될 수 있고, 메모리 아키텍처(404)는, 다양한 자동차, 전자, 모바일, 서버 및 원격 센서 노드들을 포함하는 사물 인터넷(IoT) 응용들을 위한 다양한 임베디드 시스템들에 구현 및/또는 통합될 수 있다.

[0029] 도 4에 예시된 바와 같이, 메모리 아키텍처(404)는 기관(406) 및 전기 신호들을 전달하기 위해 기관(406)에 매립된 하나 이상의 신호 전선(예를 들어, BMO)을 갖는 다층 메모리 구조를 포함할 수 있다 하나 이상의 신호 전선(예를 들어, BMO)은 기관(406)에 배치되고 또한 유전체 물질(408)에 둘러싸인(또는 에워싸인) 매립된 금속(M\_BUR)으로 지칭될 수 있다. 일부 예에서는, 전기 신호들은 메모리 관련 응용들을 위해 메모리 구조로 전송되는 다양한 유형의 중요 신호들(워드라인 신호들, 비트라인 신호들 및 클록 신호)을 지칭할 수 있다.

[0030] 일부 구현예에서, 도 4에 예시된 바와 같은 메모리 아키텍처(404)는 또한 매립된 글로벌 워드라인 전선(BUR GWL 전선)으로 구현될 수 있는 매립된 워드라인 전선(BUR WL 전선)을 갖는 다층 메모리 구조를 지칭한다. 또한, 매립된 워드라인 신호 전선(BMO)은 매립된 비아(예를 들어, BUR WL 전선 + BUR WL 비아)를 포함할 수 있고, 다른 워드라인 전선(WL)은 금속 층(M1)에 제공될 수 있다. 일부 예에서는, 글로벌 워드라인 전선(BUR GWL 전선)은, 예를 들어, 메모리 구조의 시작 및 단부에서와 같은 하나 이상의 매립된 비아들(V)을 사용하여, 다양한 위치들에서 매립 및 탭핑될 수 있는 워드라인(WL M1)에 대한 병렬 터플 지칭할 수 있다. 매립된 비아(BUR WL 비아)는 매립된 워드라인(BUR WL 전선)을 기관 위에 제공될 수 있는 트랜지스터(410)의 폴리 게이트(PG)에 결합하는 데 사용될 수 있다.

[0031] 도 5는 본 명세서에 설명된 다양한 구현예들에 따라 매립된 금속 전선들(M\_BUR)을 가진 메모리 아키텍처(504)의 도면(500)을 도시한다. 도 5에 예시된 바와 같은 메모리 아키텍처(504)는 도 2 내지 도 4에 예시된 유사한 부품들이 유사한 특징들, 특성들 및 관련 행동방식들을 갖는 메모리 아키텍처(204, 내지 404)와 범위 및 특징들에서 유사할 수 있다는 것으로 이해해야 한다.

[0032] 다양한 구현예에서, 메모리 아키텍처(504)는 물리적 회로 설계들 및 여러 관련 구조들을 제공하는 부품들의 집합체 또는 조합으로서 함께 배열되고 결합된 다양한 집적 회로(IC) 부품들을 갖는 시스템 또는 장치로서 구현될 수 있다. 일부 예에서는, 집적된 시스템 또는 장치로서 메모리 아키텍처(504)를 설계하고, 제공하고, 제작하고/하거나 제조하는 방법은 그것에 의해 연관된 다양한 관련 제작 방식들 및 기법들을 구현하기 위해. 본 명세서에 기술된 다양한 집적 회로 부품들의 사용을 수반할 수 있다. 또한, 메모리 아키텍처(504)는 컴퓨팅 회로부 및 관련된 부품들과 단일 칩 상에 통합될 수 있고, 메모리 아키텍처(504)는, 다양한 자동차, 전자, 모바일, 서버 및 원격 센서 노드들을 포함하는, 사물 인터넷(IoT) 응용들을 위한 다양한 임베디드 시스템들에 구현 및/또는 통합될 수 있다.

[0033] 도 5에 예시된 바와 같이, 메모리 아키텍처(504)는 기관(506) 및 전기 신호들을 전달하기 위해 기관(506)에 매립된 하나 이상의 신호 전선(예를 들어, BMO)을 갖는 다층 메모리 구조를 포함할 수 있다. 하나 이상의 신호 전선(예를 들어, BMO)은 기관(506)에 배치되고 또한 유전체 물질(508)에 둘러싸인(또는 에워싸인) 매립된 금속(M\_BUR)으로 지칭될 수 있다. 일부 예에서는, 전기 신호들은 메모리 관련 응용들을 위해 메모리 구조로 전송되는 다양한 유형의 중요 신호들(워드라인 신호들, 비트라인 신호들 및 클록 신호)을 지칭할 수 있다.

[0034] 일부 구현예에서, 도 5에 예시된 바와 같은 메모리 아키텍처(504)는 트랜지스터 핀(FIN)에 수직으로 배치된 매

립된 후면 신호 전선(530)을 갖는 다층 메모리 구조를 지칭한다. 매립된 후면 신호 전선(530)은 기판(506)의 후면 상에 구현되며, 매립된 후면 신호 전선(530)은 스케일된 실리콘 관통 비아(TSV)(524)으로 다른 매립된 신호 전선(522)에 결합된다. 이 예에서는, 매립된 신호 와이어(522)는 매립된 비아(520)에 결합될 수 있다.

[0035] 일부 구현예에서, 매립된 신호 전선(522, 530)은 트랜지스터(510)의 소스, 드레인 또는 게이트, 또는 다른 매립된 신호 전선 층, 후면 전선 층 또는 매립된 비아(520) 또는 TSV를 사용하는 비매립 신호 전선에 결합될 수 있다. 일부 프로세스 기술 내에서, 매립된 신호 전선(524)은 기판(506)의 상단면으로부터 23nm 내지 90nm 사이에 매립될 수 있다. 그러나, 다른 프로세스 기술에서는, 본 명세서에서 논의된 바와 같은 유사한 기술적 범위 및 효과를 제공하기 위해 상이한 깊이가 사용될 수 있다. 또한, 기판(506)은 미리 정의된 두께(560)를 가지고 형성될 수 있다.

[0036] 다양한 구현예에서, 기판(506)은 예를 들어 실리콘(Si), 또는 갈륨-비소(GaAs)와 같은 III-V족 화합물 또는 질화갈륨(GaN), 탄화규소(SiC) 및 사파이어와 같은 II족 내지 VI족 재료와 같은 반도체 재료로 형성될 수 있다. 또한, 기판(506)은 예를 들어, 붕소, 인, 비소, 안티몬 또는 이들의 일부 조합으로 도핑될 수 있다. 일부 예에서는, 매립된 신호 전선들(522, 530)은 예를 들어, 알루미늄, 구리, 루테튬 또는 유사한 것과 같은 전도성 재료로 형성될 수 있다. 또한, 일부 예에서는, 매립된 비아(520) 및 TSV(524)는 예를 들어 50 내지 500nm의 지름 및 1 내지 10 μm의 두께 범위의 크기를 갖는 텅스텐으로 형성될 수 있다.

[0037] 다양한 구현예에서, 도 1 내지 도 5를 참조하여 설명된 바와 같이, 클록 신호 전선은 매립된 신호 전선으로 구현될 수 있으며; 그러나 클록 신호 전선은 단방향 또는 규칙적이지 않을 수 있고, 따라서, 클록 신호 전선은 다수의 매립된 신호 전선 층들을 사용하여 구현될 수 있다. 일부 예에서는, 메모리 구조는 더 높은 비매립 금속 층들 위에서 다른 방향으로 신호 그리드를 추적하기 위해 매립된 비아를 사용하는 메모리 구조에 결합되는 단방향 매립된 신호 전선 클록 층을 가질 수 있다.

[0038] 일부 구현예에서, 매립된 클록 신호 전선은 비매립 신호 전선과 비교하면 클록 신호 전선의 저항 및 커패시턴스를 감소시킬 수 있으므로 개선된 타이밍 및/또는 증가된 동적 에너지 효율을 가져온다. 또한, 매립된 신호 전선들로 혼잡함을 제거함으로써, 예를 들어, 클록 신호 전선이 비매립 전선이 주력인 메모리 구조에서 매립된 신호 전선으로 배치되는 경우, 더 높은 비매립 층에 있는 다른 유선 신호들이 더 낮은 커패시턴스를 제공하고, 더 낮은 저항을 제공하고/하거나 더 낮은 영역 혼잡성을 가져올 수 있다. 또한, 일부 예에서는, 고주파 토클링 클록이 커플링 커패시턴스로 인한 노이즈를 가할 경우, 클록 신호 전선을 매립하는 것이 메모리 구조 내의 다양한 다른 중요 신호들에 더 낮은 노이즈를 가하도록 야기할 수 있다.

[0039] 일부 구현예에서, 메모리 장치는 사이클 시간당 단일 판독-쓰기 액세스를 허용하는 단일 포트를 포함할 수 있고, 또한 메모리 장치는 다수의 동시 판독-쓰기 액세스를 허용하기 위해 복수 포트일 수 있으며, 예를 들어, 2-포트 SRAM은 동시 판독-쓰기 액세스를 허용하고, 이중-포트 SRAM은 동시 판독-쓰기 액세스(예를 들어, 최대 2개의 동시 판독, 2개의 동시 쓰기, 또는 동시 판독 및 쓰기)를 허용한다. 예를 들어, N-포트를 갖는 SRAM은 N-동시 액세스를 지원할 수 있다. 또한, 다수의 포트를 갖는 SRAM은 워드라인 전선들의 다수의 그룹들 및 비트라인 전선들의 다수의 그룹들을 가질 수 있다. 따라서, 일부 예에서는, 메모리 장치는 하나 이상 본 개시의 양태들에 따라 매립될 수 있는 다수의 비트라인 전선들 및 워드라인 전선들의 다수의 그룹들을 가질 수 있다.

[0040] 다양한 구현예에서, 예를 들어 DRAM(동적 랜덤 액세스 메모리), eDRAM(내장형 동적 랜덤 액세스 메모리), MRAM(자기형 랜덤 액세스 메모리), ReRAM(저항형 랜덤 액세스 메모리), PCM(위상 변화 메모리), CeRAM(상관 전자 랜덤 액세스 메모리), FLASH, NVRAM(비휘발성 랜덤 액세스 메모리), 또는 ROM(판독만 가능한 메모리)과 같은 다양한 다른 메모리 기술이 사용될 수 있다. 예를 들어, DRAM은 휘발성 메모리의 형태이고, DRAM은 데이터를 저장하기 위해 커패시터들을 사용하는데, 커패시터 전하들은 천천히 누출되고, 따라서 메모리 셀들은 주기적으로 리프레시되어야 한다. eDRAM은 내장형 DRAM의 한 형태이며, DRAM과 유사하게, eDRAM은 데이터를 저장하기 위해 커패시터들을 사용하는데, 커패시터 전하들은 천천히 누출되고, 따라서 메모리 셀들은 주기적으로 리프레시되어야 한다. SRAM은 휘발성 메모리이고, SRAM은 커패시터들 및 트랜지스터들을 사용하여 데이터를 저장해서 SRAM은 주기적으로 리프레시될 필요가 없다. MRAM은 비휘발성 메모리이며, MRAM은 데이터를 저장하기 위해 자구(magnetic domain)들을 사용한다. ReRAM은 비휘발성 메모리이며, ReRAM은 데이터를 저장하기 위해 유전체의 저항을 사용한다. PCM은 비휘발성 메모리이며, PCM은 데이터를 저장하기 위해 물질 상태를 사용한다. CeRAM은 비휘발성 메모리이며, CeRAM은 데이터를 저장하기 위해 저항을 사용한다. FLASH는 비휘발성 메모리이며, 그리고 Flash 메모리는 부유 게이트 트랜지스터들을 사용하며, 2가지 유형의 FLASH 메모리, NAND FLASH 또는 NOR FLASH가 있다. NVRAM은 모든 비휘발성 메모리 디바이스, 예를 들어, FLASH, ReRAM, MRAM, PCM을 포함한다.

ROM은 비휘발성이며 판독만 가능한 메모리이다.

- [0041] 또한, 다양한 구현예에서, 다른 메모리 신호 전선들은 예를 들어, 프리차지(pre-charge) 전선, 칩 선택 전선, 쓰기 활성화 전선, 또는 판독 활성화 전선과 같은 글로벌 제어 신호들 같은 매립된 신호 전선들로 구현될 수 있다. 일부 예에서는, 매립된 신호 전선은 트랜지스터 핀에 평행하게 배치되는 유전체 영역 내에서 구현될 수 있다. 매립된 신호 전선은 또한 매립된 비아를 사용하여 트랜지스터에 결합될 수 있으며, 이 아이디어는 하나의 배선 층을 제공할 수 있다. 또한, 매립된 신호 전선들은 트랜지스터 핀들과 병렬로 배치되지 않을 수 있거나; 또는 매립된 신호 전선들의 다수의 층들이 사용되는 경우에, 매립된 신호 전선들은 기판의 후면 상에 제조될 수 있고, 스케일된 TSV(sTSV) 및 매립된 전선들 및/또는 비아들의 조합을 사용하여 활성 트랜지스터들에 결합될 수 있다. 또한, 일부 경우에, 매립된 신호 전선은 또한 후면 금속과 함께 마이크로 실리콘 관통 비아(mTSV)를 사용하여 결합될 수 있다.
- [0042] 도 6은 본 명세서에 설명된 다양한 구현예들에 따라, 매립된 금속 라인(M\_BUR)을 갖는 메모리 아키텍처를 제공하기 위한 방법(600)의 도면을 도시한다.
- [0043] 방법(600)이 특정 순서의 동작 실행을 나타내더라도, 일부 경우들에서는, 동작들의 다양한 부분들이 상이한 순서 및 상이한 시스템들 상에서 실행될 수 있다는 것으로 이해되어야 한다. 다른 경우들에서, 추가적인 동작들 및/또는 단계들이 방법(600)에 추가되고/되거나 그로부터 생략될 수 있다. 또한, 방법(600)은 하드웨어 및/또는 소프트웨어로 구현될 수 있다. 예를 들어, 하드웨어로 구현되는 경우, 방법(600)은 도 1 내지 도 5에 설명된 바와 같이, 다양한 부품들 및/또는 회로부로 구현될 수 있다. 또한, 다른 예에서는, 소프트웨어로 구현되는 경우, 방법(600)은 본 명세서에 기술된 바와 같이, 매립된 금속 라인을 갖는 메모리 아키텍처를 제공하기 위해 구성된 프로그램 또는 소프트웨어 명령 프로세스로 구현될 수 있다. 다른 예에서는, 소프트웨어로 구현되는 경우, 방법(600)을 구현하는 것에 관련된 명령들은 메모리 및/또는 데이터베이스에 저장될 수 있다. 따라서, 다양한 구현예에서, 프로세서 및 메모리를 갖는 컴퓨터 또는 다양한 다른 유형들의 컴퓨팅 장치들은 방법(600)을 수행하도록 구성될 수 있다.
- [0044] 도 6을 참조하여 설명된 바와 같이, 방법(600)은 본 명세서에 설명된 바와 같은 다양한 관련된 장치들, 부품들 및/또는 회로부를 사용하는 매립된 금속 전선을 갖는 메모리 아키텍처를 제공하기 위해, 본 명세서에 설명된 바와 같은 물리적 설계에서 다양한 배치 방식들 및 기법들을 구현하는 집적 회로(IC)를 제작하고/하거나, 또는 제작되게 하고/하거나 하는 데 사용될 수 있다.
- [0045] 블록(610)에서, 방법(600)은 기판 상에 배치된 메모리 셀 구조를 제공하도록 구성될 수 있다. 메모리 셀 구조는 기판 상에 배치된 트랜지스터를 지칭할 수 있다. 다양한 구현예에서, 상기 메모리 셀 구조는 SRAM 비트셀, SRAM 비트셀, eDRAM 비트셀, MRAM 비트셀, ReRAM 비트셀, PCM 비트셀, CeRAM 비트셀, FLASH 비트셀, NVRAM 비트셀 또는 ROM 비트셀을 지칭할 수 있다.
- [0046] 블록(620)에서, 방법(600)은 메모리 셀 구조에 전기 신호를 전송하기 위해 기판 내에 신호 전선을 매립하도록 구성될 수 있다. 일부 구현예에서, 전기 신호들은 메모리 관련 응용들을 위해 매립된 신호 라인 방식으로 트랜지스터로 전송되는 중요 신호들을 지칭할 수 있다. 다른 구현예에서, 전기 신호들은 메모리 관련 응용들을 위해 매립된 신호 전선 방식으로 트랜지스터로 전송되는 중요 신호들을 지칭할 수 있다.
- [0047] 블록(630)에서, 방법(600)은 메모리 셀 구조 및 기판에 매립된 신호 전선을 갖는 메모리 장치를 제조하거나, 또는 적어도 제조되도록 구성될 수 있다. 다양한 구현예에서, 메모리 장치는 SRAM, DRAM, eDRAM, MRAM, ReRAM, PCM, CeRAM, FLASH, NVRAM 또는 ROM을 지칭할 수 있다.
- [0048] 일부 구현예에서, 신호 전선은 매립된 비아 또는 실리콘 관통 비아(TSV)로 트랜지스터에 결합될 수 있다. 신호 전선은 기판에 매립된 워드라인, 비트라인 또는 클록 신호 라인을 지칭할 수 있다. 신호 전선은 유전체 재료로 충전된 얇은 트렌치 격리 영역에 매립된 비트라인을 지칭할 수 있다.
- [0049] 일부 구현예에서, 신호 전선은 전기 신호를 트랜지스터로 전송하기 위해 기판에 매립된 다수의 신호 전선을 지칭할 수 있다. 다수의 신호 전선들은 제1 매립 비아로 트랜지스터의 게이트에 결합된 매립된 워드라인을 지칭할 수 있고, 또한 다수의 신호 전선들은 제2 매립 비아로 트랜지스터의 드레인에 결합된 매립된 비트라인을 지칭할 수 있다. 매립된 워드라인은 제1 매립 비아로 트랜지스터의 게이트에 결합된 매립된 글로벌 워드라인을 지칭할 수 있다.
- [0050] 일부 구현예에서, 중요 신호들은 메모리 관련 응용들을 위해 메모리 셀 구조로 전송되는 데이터 신호들 또는 클록 신호들을 지칭할 수 있다. 다수의 신호 전선들은 기판에 매립된 적어도 하나의 워드라인 및 적어도 하나의

비트라인을 포함할 수 있다. 중요 신호들은 적어도 하나의 워드라인 상에서 메모리 셀 구조로 전송되는 하나 이상의 워드라인 신호들을 지칭할 수 있고, 중요 신호들은 적어도 하나의 비트라인 상에서 메모리 셀 구조로 전송되는 하나 이상의 비트라인 신호들을 지칭할 수 있다. 다수의 신호 전선들은 기판에 매립된 적어도 하나의 클록 신호 라인을 포함할 수 있고, 중요 신호들은 적어도 하나의 클록 신호 라인 상에서 메모리 셀 구조로 전송되는 하나 이상의 클럭 신호들을 지칭한다.

- [0051] 일부 구현예에서, 다수의 신호 전선들은 매립된 신호 라인들과 매립된 전력 라인들의 조합을 포함할 수 있다. 다수의 신호 전선은 메모리 셀 구조에 중요 신호를 전송하기 위해 기판에 매립된 적어도 하나의 중요 신호 라인을 가질 수 있고, 그리고 다수의 신호 전선은 메모리 셀 구조에 전력 신호를 전송하기 위해 기판에 매립된 적어도 하나의 전력 신호 라인을 가질 수 있다. 또한, 적어도 하나의 중요 신호 라인은 상기 적어도 하나의 전력 신호 라인에서 떨어져 있다.
- [0052] 청구범위의 주제가 본 명세서에 제공된 다양한 구현예들 및/또는 예시들로 제한되는 것이 아니라, 청구범위에 따른 상이한 구현예들을 참조하여 다양한 요소들의 조합들 및 구현예들의 부분들을 포함하는 이들 구현예들의 임의의 수정된 형태들을 포함해야 한다는 것으로 의도되어야 한다. 임의의 그러한 구현예의 개발에 있어서, 임의의 공학 또는 설계 프로젝트에서와 같이, 구현예마다 다를 수 있는, 예를 들어, 시스템-관련 제약들 및/또는 비즈니스 관련 제약들의 준수와 같은, 개발자의 특정 목표들을 달성하기 위해 많은 구현-특정 결정들이 이루어져야 한다는 것이 또한 이해되어야 한다. 더욱이, 그러한 개발 노력은 복잡하고 시간 소모적일 수 있지만, 그럼에도 불구하고, 본 개시내용의 이익을 갖는 당업자들을 위한 설계, 제작, 및 제조의 일상적인 업무일 것임이 이해되어야 한다.
- [0053] 본 명세서에서 설명된 것은 기판을 갖는 메모리 구조를 갖는 장치의 다양한 구현예들이다. 장치는 전기 신호들을 전송하기 위해 기판 및 유전체 중 적어도 하나 내에 매립되거나 또는 부분적으로 매립된 신호 전선을 가질 수 있다.
- [0054] 본 명세서에서 설명된 것은 기판 위에 배치된 메모리 셀 구조를 갖는 장치의 다양한 구현예들이다. 장치는 중요 신호를 메모리 셀 구조에 전송하기 위해 기판 및 유전체 중 적어도 하나 내에 매립되거나 부분적으로 매립된 다수의 신호 전선들을 포함할 수 있다.
- [0055] 본 명세서에서 설명된 것은 방법의 다양한 구현예들이다. 방법은 기판 상에 배치된 메모리 셀 구조를 제공할 수 있다. 방법은 전기 신호를 메모리 셀 구조로 전송하기 위해 신호 전선을 기판 내에 매립하거나 또는 부분적으로 매립할 수 있다. 방법은 메모리 셀 구조 및 기판에 매립되거나 부분적으로 매립된 신호 전선을 갖는 메모리 장치를 제조하거나 제조하게 할 수 있다.
- [0056] 다양한 구현예들에 대한 참조가 상세히 이루어져 있고, 이들의 예들은 첨부 도면들 및 그림들에 도시되어 있다. 하기의 상세한 설명에서, 본 명세서에 제공된 개시내용의 완전한 이해를 제공하기 위해 다수의 특정 상세 사항들이 제시되어 있다. 그러나, 본 명세서에 제공된 개시내용은 이들 특정 상세 사항들 없이 실시될 수 있다. 다양한 구현예에서, 주지의 방법들, 절차들, 부품들, 회로들 및 네트워크들은 실시예들의 상세 사항들을 불필요하게 모호하게 하지 않도록 하기 위해 상세히 설명되어 있지 않다.
- [0057] 다양한 요소들을 설명하기 위해 다양한 용어들 제1, 제2 등이 본 명세서에서 사용될 수 있지만, 이러한 요소들은 이들 용어들에 의해 제한되지 않아야 한다는 것이 또한 이해되어야 한다. 이들 용어들은 단지 하나의 요소를 다른 요소와 구별하는 데에만 사용된다. 예를 들어, 제1 요소는 제2 요소로 지칭될 수 있고, 유사하게 제2 요소는 제1 요소로 지칭될 수 있다. 또한, 제1 요소 및 제2 요소는 각각, 둘 모두가 요소들이지만, 그들은 동일한 요소로 간주되지 않는다.
- [0058] 본 명세서에 제공된 개시내용의 설명에 사용되는 용어는 특정 구현예들을 설명하기 위한 것이며, 본 명세서에 제공되는 개시내용을 제한하도록 의도되지 않는다. 본 명세서에서 제공되는 본 개시내용의 설명 및 첨부된 청구범위에 사용되는 바와 같이, 단수 형태들("하나", "하나" 및 "그")은 문맥상 명백히 달리 나타내지 않는 한, 복수의 형태들도 또한 포함하도록 의도된다. 본 명세서에 사용되는 바와 같이, 용어 "및/또는"은 연관된 열거된 항목들 중 하나 이상의 항목 중 임의의 것 및 이의 모든 가능한 조합들을 지칭하며 이를 포괄한다. 본 명세서에서 사용될 때, 용어 "포함하다", "포함하는", "포함하다" 및/또는 "포함하는"은 언급된 특징부들, 정수들, 단계들, 동작들, 요소들, 및/또는 컴포넌트들의 존재를 명시하지만, 하나 이상의 다른 특징부들, 정수들, 단계들, 동작들, 요소들, 컴포넌트들 및/또는 이들의 그룹들의 존재 또는 추가를 배제하지 않는다.
- [0059] 본 명세서에 사용되는 바와 같이, 용어 "~인 경우"는 문맥에 따라 "~할 때" 또는 "~시에" 또는 "결정하는 것에



응답하여" 또는 "검출하는 것에 응답하여"를 의미하는 것으로 해석될 수 있다. 유사하게, 구절 "~라고 결정되는 경우" 또는 "[언급된 조건 또는 이벤트가] 검출되는 경우"는, 문맥에 따라 "~라고 결정할 시" 또는 "~라고 결정하는 것에 응답하여" 또는 "[언급된 조건 또는 이벤트를] 검출할 시" 또는 "[언급된 조건 또는 이벤트를] 검출하는 것에 응답하여"를 의미하는 것으로 해석될 수 있다. 용어들 "위로" 및 "아래로"; "상부" 및 "하부"; "상향" 및 "하향"; "아래" 및 "위"; 및 주어진 지점 또는 요소 위의 또는 아래의 상대적 위치들을 나타내는 다양한 다른 유사한 용어들이 본 명세서에 기술된 다양한 기술들의 다양한 구현예들과 관련하여 사용될 수 있다.

[0060]

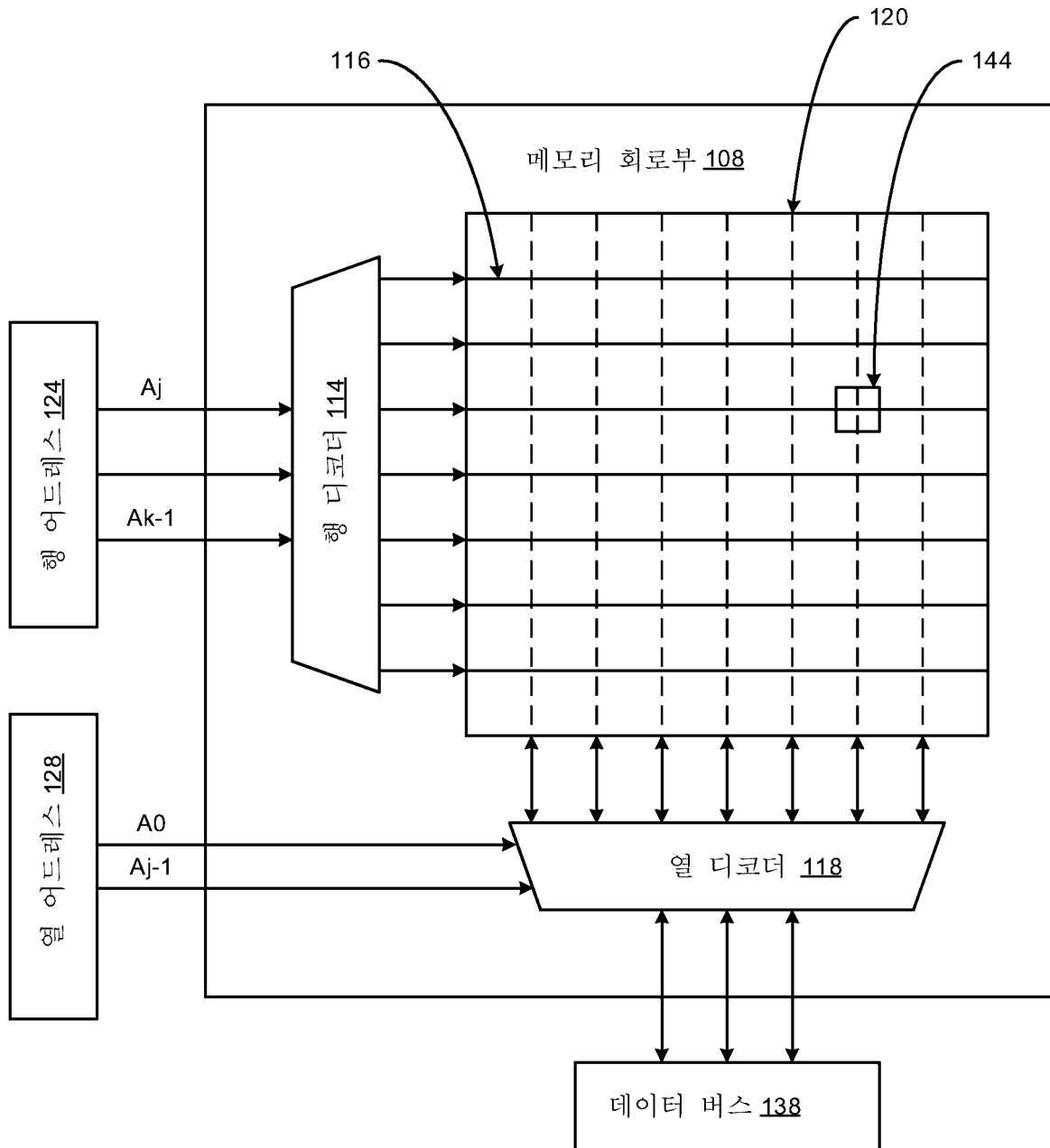
전술한 내용은 본 명세서에 기술된 다양한 기법들의 구현예들에 관한 것이지만, 다른 그리고 추가의 구현예들이 본 명세서의 개시내용에 따라 고안될 수 있으며, 이는 하기의 청구범위에 의해 결정될 수 있다. 본 주제는 구조적 특징부들 및/또는 방법론적 동작들에 특정된 언어로 기술되어 있지만, 첨부된 청구범위에 정의된 주제는 전술된 특정 특징부들 또는 동작들로 반드시 제한되지는 않는다는 것이 이해되어야 한다. 오히려, 전술된 특정 특징부들 및/또는 동작들은 청구범위를 구현하는 예시적인 형태들로서 개시되어 있다.

도면

도면1

100

메모리 아키텍처 104

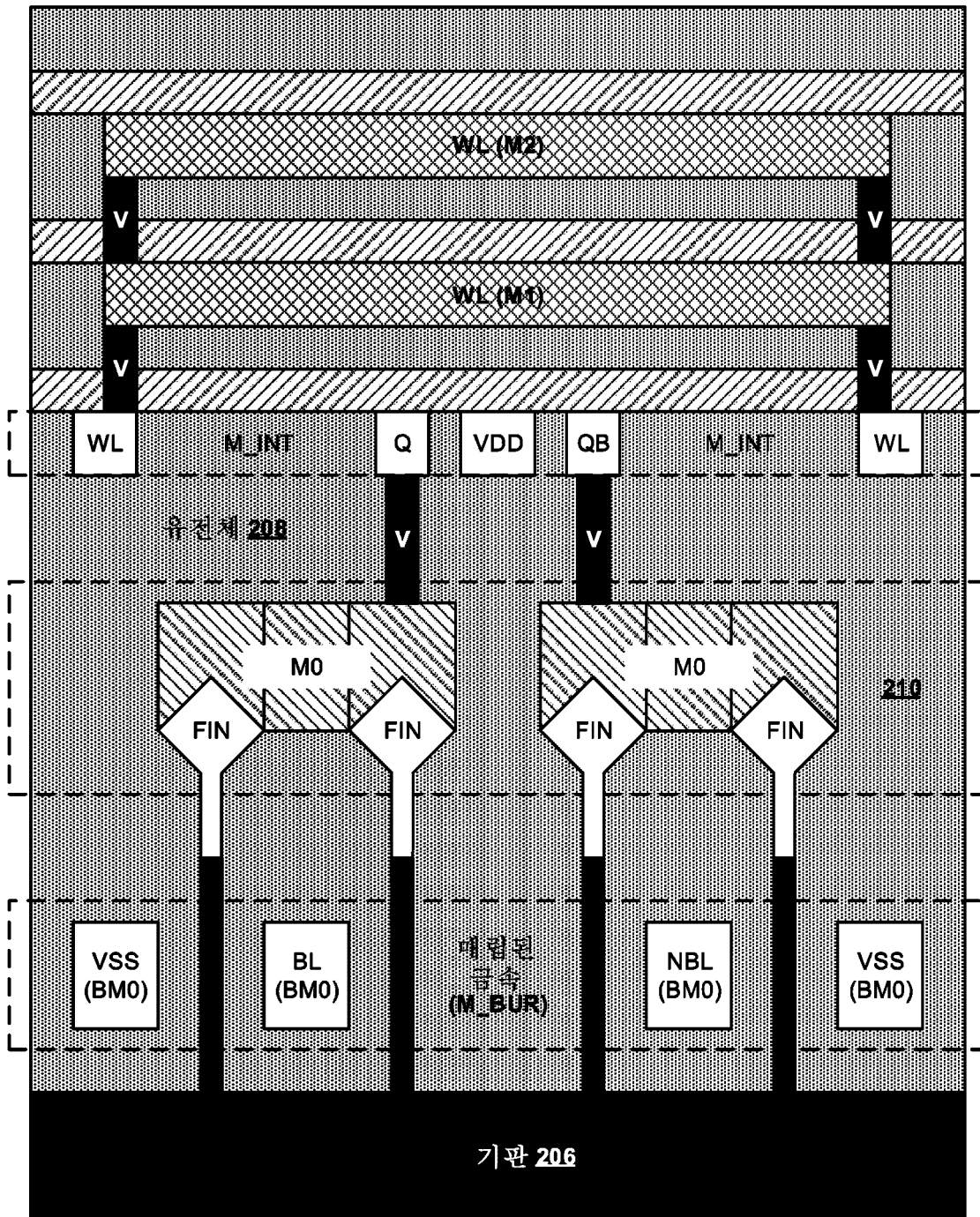




도면2

200

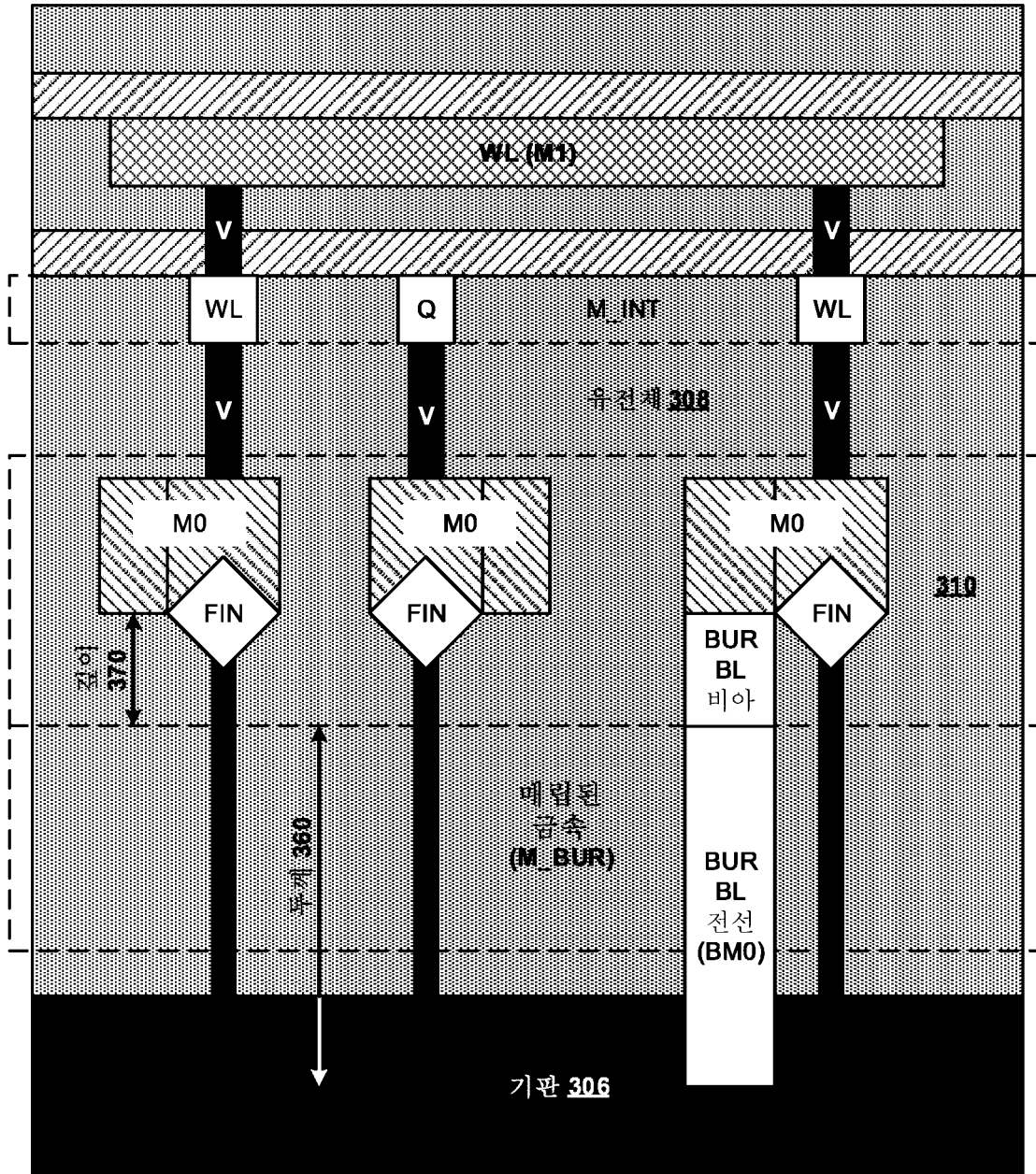
메모리 아키텍처 204



도면3

300

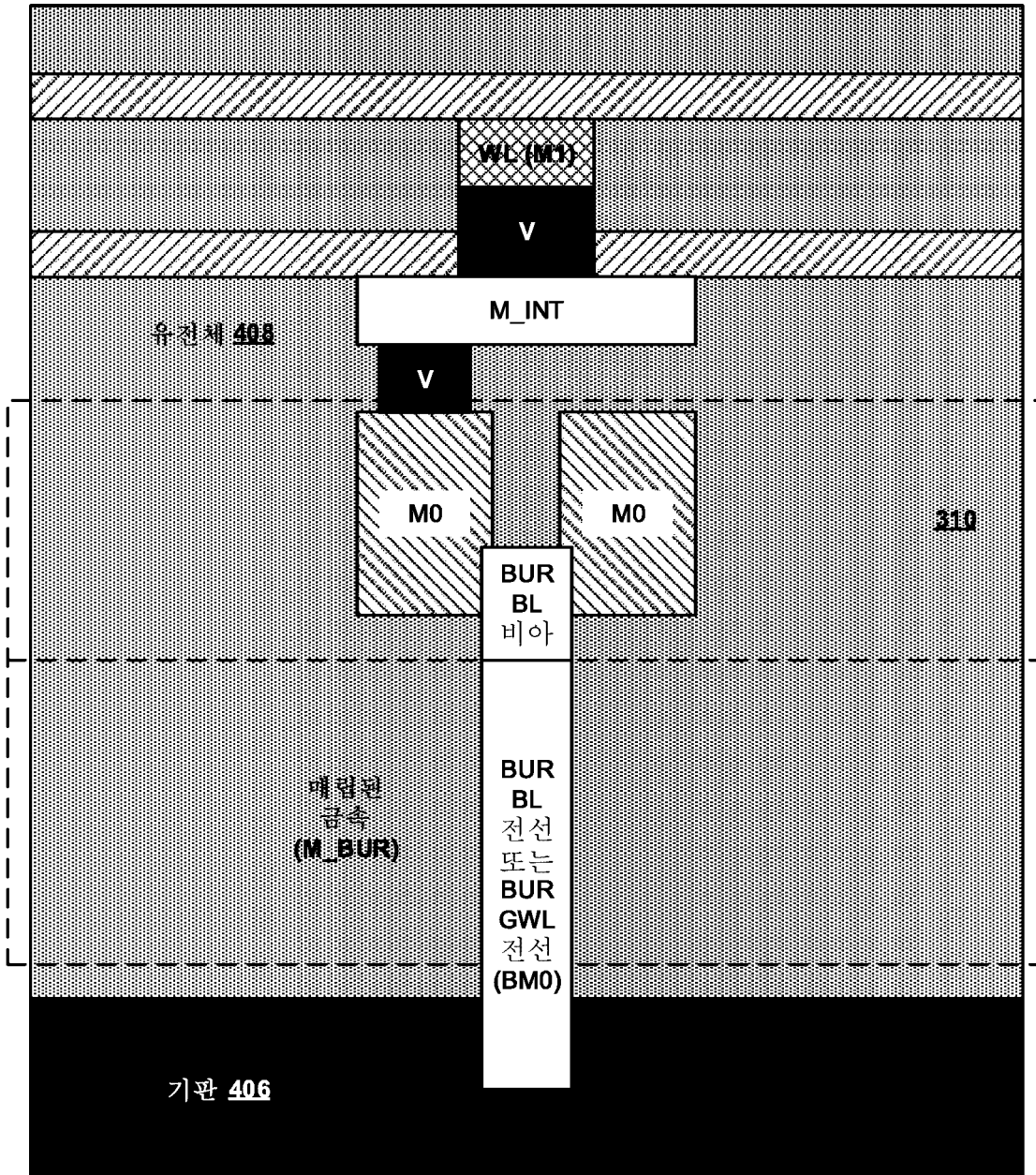
메모리 아키텍처 303



도면4

400

메모리 아키텍처 404

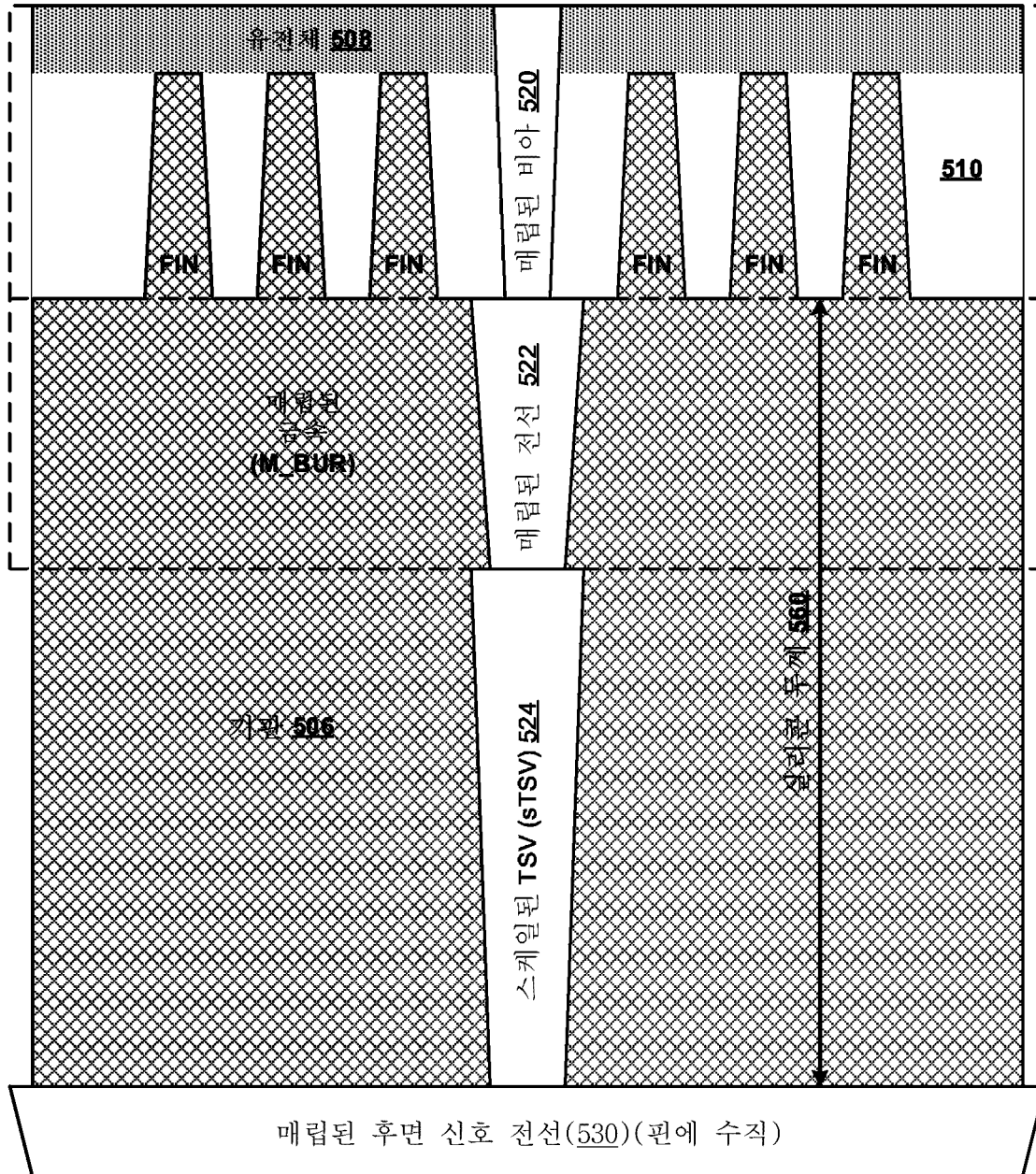




도면5

500

메모리 아키텍처 504



도면6

600

