



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 10 2009 012 524 A1 2009.10.01**

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2009 012 524.8**

(22) Anmeldetag: **10.03.2009**

(43) Offenlegungstag: **01.10.2009**

(51) Int Cl.<sup>8</sup>: **H01L 21/60 (2006.01)**

**H01L 23/50 (2006.01)**

**H01L 23/28 (2006.01)**

(30) Unionspriorität:

**12/046,680      12.03.2008      US**

(71) Anmelder:

**Infineon Technologies AG, 85579 Neubiberg, DE**

(74) Vertreter:

**Patentanwälte Lambsdorff & Lange, 81673 München**

(72) Erfinder:

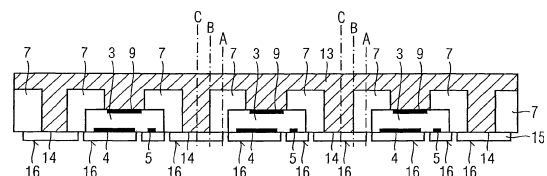
**Otremba, Ralf, 87600 Kaufbeuren, DE; Höglauer, Josef, 81371 München, DE; Strack, Helmut, 80804 München, DE; Schlögel, Xaver, 83679 Sachsenkam, DE**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Halbleitermodul**

(57) Zusammenfassung: Bei der Herstellung eines Halbleitermoduls werden mindestens zwei Halbleiterchips (3) auf einem Träger platziert. Die mindestens zwei Halbleiterchips (3) werden dann mit einem Gussmaterial (7) überdeckt. Es wird ein freiliegender Teil der mindestens zwei Halbleiterchips (3) bereitgestellt. Über dem freiliegenden Teil der mindestens zwei Halbleiterchips (3) wird eine erste Schicht (13) aus leitfähigem Material aufgebracht, um elektrisch mit einer Kontaktstelle (9) an dem freigelegten Teil der mindestens zwei Halbleiterchips (3) verbunden zu werden. Die mindestens zwei Halbleiterchips (3) werden dann entlang der Linien A, B oder C zerteilt.



**Beschreibung**

**[0001]** Die Erfindung betrifft ein Halbleitermodul und ein Verfahren zu seiner Herstellung.

**[0002]** Halbleiterchips können gekapselt werden. Kosteneffiziente Kapselungen und Kapselungsverfahren werden in der Technik benötigt.

**[0003]** Eine der Erfindung zugrundeliegende Aufgabe kann somit darin gesehen werden, ein Halbleitermodul und ein Verfahren zu seiner Herstellung bereitzustellen, das eine einfache und kosteneffiziente Kapselung von Halbleitermodulen ermöglicht.

**[0004]** Die der Erfindung zugrundeliegende Aufgabenstellung wird durch die Merkmale der unabhängigen Ansprüche gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

**[0005]** Die beigefügten Zeichnungen dienen einem weitergehenden Verständnis von beispielhaften Ausführungsformen der Erfindung. Die Zeichnungen stellen Ausführungsformen dar und dienen zusammen mit der Beschreibung zur Erläuterung von Prinzipien von Ausführungsformen. Andere Ausführungsformen und viele der beabsichtigten Vorteile von Ausführungsformen werden durch Bezugnahme auf die folgende ausführliche Beschreibung besser verständlich. Die Elemente der Zeichnungen sind nicht unbedingt maßstabsgetreu zueinander. Gleiche Bezugszahlen kennzeichnen einander entsprechende identische oder ähnliche Teile.

**[0006]** [Fig. 1A](#) bis [Fig. 1G](#) zeigen schematisch eine Ausführungsform eines Verfahrens zum Herstellen eines Moduls.

**[0007]** [Fig. 2](#) zeigt schematisch ein erstes Modul im Querschnitt gemäß einer Ausführungsform.

**[0008]** [Fig. 3](#) zeigt schematisch ein zweites Modul im Querschnitt gemäß einer Ausführungsform.

**[0009]** [Fig. 4](#) zeigt schematisch ein drittes Modul im Querschnitt gemäß einer Ausführungsform.

**[0010]** [Fig. 5A](#) bis [Fig. 5D](#) zeigen schematisch eine Ausführungsform eines Verfahrens zum Herstellen eines Moduls.

**[0011]** [Fig. 6](#) zeigt schematisch ein viertes Modul im Querschnitt gemäß einer Ausführungsform.

**[0012]** [Fig. 7](#) zeigt schematisch ein fünftes Modul im Querschnitt gemäß einer Ausführungsform.

**[0013]** [Fig. 8](#) zeigt schematisch ein sechstes Modul im Querschnitt gemäß einer Ausführungsform.

**[0014]** [Fig. 9](#) zeigt schematisch eine Anordnung im Querschnitt gemäß einer Ausführungsform.

**[0015]** [Fig. 10](#) zeigt ein grundlegendes Schaltbild einer Halbbrücke.

**[0016]** In der folgenden Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, in denen zur Veranschaulichung spezifische Ausführungsformen gezeigt sind, in denen die Erfindung ausgeführt werden kann. In dieser Hinsicht wird Richtungsterminologie wie etwa „oben“, „unten“, „vorne“, „hinten“, „vorderes“, „hinteres“, usw. mit Bezug auf die Orientierung der beschriebenen Figur(en) verwendet. Da Komponenten von Ausführungsformen in einer Anzahl verschiedener Orientierungen positioniert werden können, dient die Richtungsterminologie zur Veranschaulichung und ist in keinerlei Weise einschränkend. Es versteht sich, dass andere Ausführungsformen benutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Konzept der vorliegenden Erfindung abzuweichen. Die folgende Beschreibung ist deshalb nicht in einschränkendem Sinne aufzufassen.

**[0017]** Es versteht sich, dass die Merkmale der verschiedenen hier beschriebenen beispielhaften Ausführungsformen miteinander kombiniert werden können, sofern es nicht spezifisch anders erwähnt wird.

**[0018]** Im Folgenden werden Module mit Halbleiterchips beschrieben. Die Halbleiterchips können extrem verschiedene Typen aufweisen und können zum Beispiel integrierte elektrische oder elektro-optische Schaltungen umfassen. Die Halbleiterchips können zum Beispiel als Leistungs-Halbleiteranordnungen wie etwa Leistungstransistoren, Leistungsdioden, IGBTs (Bipolar Transistoren mit isoliertem Gate), Steuerschaltungen, Mikroprozessoren oder mikro-elektromechanische Komponenten ausgelegt sein.

**[0019]** Bei einer Ausführungsform können Halbleiterchips mit einer Vertikalstruktur vorkommen, das heißt, dass die Halbleiterchips so hergestellt werden können, dass elektrische Ströme in einer zu den Hauptoberflächen der Halbleiterchips senkrechten Richtung fließen können. Ein Halbleiterchip mit einer Vertikalstruktur kann bei einer Ausführungsform Kontaktelemente auf seinen beiden Hauptoberflächen aufweisen, d. h., auf seiner Oberseite und Unterseite. Bei einer Ausführungsform können Leistungstransistoren und Leistungsdioden eine Vertikalstruktur aufweisen. Ferner können beispielsweise HF-(Hochfrequenz-)Chips auf beiden Hauptoberflächen mit Kontaktelementen ausgestattet sein.

**[0020]** Beispielsweise können sich der Source-Anschluss und Gate-Anschluss eines Leistungstransistors, z. B. eines MOSFET (Metalloxidhalbleiter-Feld-

effekt-Transistor) und der Anodenanschluss einer Leistungsdiode, z. B. einer Schottkydiode, auf einer Hauptoberfläche befinden, während der Drain-Anschluss des Leistungstransistors und der Katodenanschluss der Leistungsdiode auf der anderen Hauptoberfläche angeordnet sind. Ferner können die nachfolgend beschriebenen Module integrierte Schaltungen zum Steuern der integrierten Schaltungen anderer Halbleiterchips wie zum Beispiel der integrierten Schaltungen von Leistungstransistoren oder Leistungsdioden, umfassen. Die Halbleiterchips müssen nicht aus einem spezifischen Halbleitermaterial hergestellt werden und können ferner anorganische und/oder organische Materialien enthalten, die Nicht-Halbleiter sind, wie zum Beispiel Isolatoren, Kunststoffe oder Metalle.

**[0021]** Die Halbleiterchips besitzen Kontaktelemente (die auch als Kontaktstellen oder Kontaktpads bezeichnet werden), die das Herstellen eines elektrischen Kontakts mit den Halbleiterchips ermöglichen. Die Kontaktstellen können aus einem beliebigen gewünschten elektrisch leitfähigen Material bestehen, zum Beispiel aus einem Metall wie etwa Kupfer, Aluminium oder Gold oder einer Metalllegierung oder einem elektrisch leitfähigen organischen Material. Im Fall eines Leistungstransistors umfassen die Kontaktstellen Drain-, Source- und Gate-Anschlüsse.

**[0022]** Die Module können ferner ein elektrisch isolierendes Material umfassen, zum Beispiel ein Gussmaterial wie z. B. ein Material auf Epoxidharzbasis. Der Ausdruck „elektrisch isolierend“ bedeutet die Eigenschaft des elektrisch isolierenden Materials, relativ zu elektrisch leitfähigen Komponenten des Moduls höchstens geringfügig elektrisch leitfähig zu sein. Falls das elektrisch isolierende Material ein Gussmaterial ist, kann es ein beliebiges geeignetes thermoplastisches oder thermisch härtendes Material sein. Es können verschiedene Techniken verwendet werden, um die Halbleiterchips mit dem Gussmaterial zu überdecken, zum Beispiel Formpressen oder Spritzguss. Nach der Aushärtung stellt das Gussmaterial eine starre Struktur bereit, in der mehrere (z. B. typischerweise mehr als 50) Halbleiterchips untergebracht werden können. Die Struktur kann die Form einer Scheibe oder Platte aufweisen, die eine laterale Abmessung von mehr als 0,2 oder sogar 0,3 m aufweist. Solche Strukturen, die mehrere beabstandete, umverteilte Halbleiterchips enthalten, werden oft als "vergossener umkonfigurierter Wafer" oder künstlicher Wafer bezeichnet.

**[0023]** Auf die Halbleiterchips werden eine oder mehrere elektrisch leitfähige Schichten aufgebracht. Die elektrisch leitfähigen Schichten können verwendet werden, um elektrischen Kontakt mit den Halbleiterchips von außerhalb der Module aus herzustellen und elektrische Verbindungen zwischen den Halbleiterchips herzustellen. Die elektrisch leitfähigen

Schichten können mit einer beliebigen gewünschten geometrischen Form und einer beliebigen gewünschten Materialzusammensetzung hergestellt werden. Die elektrisch leitfähigen Schichten können zum Beispiel aus linearen Leiterbahnen bestehen, können aber auch in Form einer Schicht vorliegen, die einen Bereich überdeckt. Es können beliebige gewünschte elektrisch leitfähige Materialien für das Material verwendet werden, zum Beispiel Aluminium, Gold oder Kupfer, Metalllegierungen oder organische Leiter. Die elektrisch leitfähigen Schichten müssen nicht homogen oder aus nur einem Material hergestellt sein, das heißt, es sind verschiedene Zusammensetzungen und Konzentrationen der in den elektrisch leitfähigen Schichten enthaltenen Materialien möglich. Ferner können die elektrisch leitfähigen Schichten über oder unter oder zwischen dielektrischen Schichten angeordnet werden.

**[0024]** Die nachfolgend beschriebenen Module können externe Kontaktstellen enthalten. Die externen Kontaktstellen können von außerhalb des Moduls zugänglich sein und können das Herstellen eines elektrischen Kontakts mit den Halbleiterchips von außerhalb des Moduls aus erlauben. Ferner können die externen Kontaktstellen thermisch leitfähig sein und als Kühlkörper zum Ableiten der durch die Halbleiterchips erzeugten Wärme dienen. Die externen Kontaktstellen können aus einem beliebigen elektrisch leitfähigen Material zusammengesetzt sein, zum Beispiel aus einem Metall, wie etwa Kupfer, Aluminium oder Gold, einer Metalllegierung oder einem elektrisch leitfähigen organischen Material.

**[0025]** Oberflächen der externen Kontaktstellen können eine Montageebene bilden. Die Montageebene kann zum Anbringen des Moduls an eine andere Komponente, wie zum Beispiel eine Leiterplatte, dienen.

**[0026]** [Fig. 1A](#) bis [Fig. 1G](#) exemplifizieren Herstellungsphasen eines Halbleitermoduls. In einem ersten Prozess ([Fig. 1A](#)) wird ein Träger **1** bereitgestellt. Der Träger **1** kann starr oder bis zu einem gewissen Grad flexibel sein und kann aus Materialien wie etwa Metallen, Metalllegierungen oder Kunststoffen hergestellt werden. Der Träger **1** kann elektrisch leitfähig oder isolierend sein. Auf den Träger **1** kann ein Klebeband **2** laminiert werden. Das Klebeband **2** kann ein doppelseitiges Klebeband sein. Bei einer Ausführungsform können ein Klebematerial oder ein beliebiges anderes haftendes Material oder mechanische Befestigungsmittel und -mechanismen (wie zum Beispiel eine Klemmanordnung oder ein Unterdruckerzeuger) mit dem Träger **1** assoziiert sein.

**[0027]** In [Fig. 1B](#) werden Halbleiterchips **3** auf dem Träger **1** platziert und unter Verwendung des Klebebands **2** oder anderer entsprechender Vorrichtungen fixiert. Es ist zu beachten, dass in [Fig. 1A](#) bis [Fig. 1G](#)

durchweg nur ein Teilabschnitt der Anordnung dargestellt ist, das heisst, dass in der Praxis typischer Weise viel mehr als drei Halbleiterchips **3** auf dem Träger **1** platziert werden.

**[0028]** Die Halbleiterchips **3** können eine Kontaktstelle **9** auf einer ersten Chip-Hauptoberfläche **10** und Kontaktstellen **4**, **5** auf einer zweiten Chip-Hauptoberfläche **6**, die dem Träger **1** zugewandt ist, aufweisen. Wenn die Halbleiterchips **3** Leistungstransistoren sind, kann es sich bei der Kontaktstelle **9** um einen Drain-Anschluss handeln, bei der Kontaktstelle **4** um einen Source-Anschluss und bei der Kontaktstelle **5** um einen Gate-Anschluss. In anderen Fällen, z. B. wenn der Halbleiterchip **3** eine Leistungsdiode ist, kann es sich bei der Kontaktstelle **9** um einen Kathodenanschluss handeln und es kann nur eine Kontaktstelle (z. B. der Anodenanschluss) auf der zweiten Chip-Hauptoberfläche **6** bereitgestellt werden. Typischerweise bildet die zweite Chip-Hauptoberfläche **6** die aktive Oberfläche des Halbleiterchips **3**.

**[0029]** Auf die Halbleiterchips **3** und den Träger **1** kann ein elektrisch isolierendes Gussmaterial **7** aufgebracht werden, siehe [Fig. 1C](#). Das Gussmaterial **7** kann dazu verwendet werden, die Halbleiterchips **3** mit Ausnahme ihrer unteren zweiten Chip-Hauptoberfläche **6**, die die Kontaktstellen **4**, **5** enthält, einzukapseln. Das Gussmaterial **7** kann ein Epoxidharz oder ein anderes geeignetes Material sein, das in der modernen Halbleiter-Kapselungstechnologie verwendet wird. Das Gussmaterial **7** kann aus einem beliebigen geeigneten thermoplastischen oder thermisch härtenden Material zusammengesetzt sein. Nach der Härtung gewährleistet das Gussmaterial **7** Stabilität des Arrays von Halbleiterchips **3**. Es können verschiedene Techniken verwendet werden, um die Halbleiterchips **3** mit dem Gussmaterial **7** zu überdecken, zum Beispiel Formpressen oder Spritzguss.

**[0030]** Beispielsweise wird bei einem Formpressprozess das flüssige Gussmaterial **7** in eine offene untere Gushälfte eingebracht, von der der Träger **1** den unteren Teil bildet. Nach dem Einbringen des flüssigen Gussmaterials **7** wird dann eine obere Gushälfte nach unten bewegt und breitet das flüssige Gussmaterial **7** aus bis ein Hohlraum zwischen dem Träger **1**, der den unteren Teil der unteren Gushälfte bildet, und der oberen Gushälfte vollständig gefüllt ist. Dieser Prozess kann durch Anwendung von Wärme und Druck begleitet werden. Nach der Härtung ist das Gussmaterial **7** starr. Je größer die laterale Größe des Gussteils **70** („vergossener umkonfigurierter Wafer“) und die Anzahl der eingebetteten Chips **3** ist, desto kosteneffektiver wird der Prozess typischerweise sein.

**[0031]** Wie aus [Fig. 1C](#) hervorgeht, können die Halbleiterchips **3** vollständig übergossen, d. h. vollständig durch Gussmaterial **7** überdeckt werden. Bei-

spielsweise kann das Gussmaterial **7** in [Fig. 1C](#) eine Dicke  $d_1$  von etwa ein paar hundert Mikrometern, z. B. mehr als 200  $\mu\text{m}$ , 500  $\mu\text{m}$  oder sogar mehr als 1000  $\mu\text{m}$  aufweisen. Die Dicke  $d_1$  ist größer als die Dicke der Halbleiterchips **3**. Da Halbleiterchips oft mit einer Dicke von etwa 500  $\mu\text{m}$  oder 1000  $\mu\text{m}$  hergestellt werden und gegebenenfalls in Frontend-Prozessen sogar bis herunter auf etwa 200  $\mu\text{m}$  oder sogar noch weniger geschliffen werden können, kann die Dicke des Halbleiterchips **3** z. B. im Bereich von etwa 200  $\mu\text{m}$  bis 1000  $\mu\text{m}$  liegen.

**[0032]** In einem nachfolgenden Prozess werden Kanäle **11.1** und Vertiefungen bzw. Aushöhlungen **11.2** in dem Gussmaterial vorgesehen ([Fig. 1D](#)). Die Kanäle **11.1** erstrecken sich durch das Gussmaterial **7** des vergossenen Teils **70**. Diese Kanäle **11.1** können eine beliebige Form aufweisen, z. B. eine schlitzzartige Form oder eine säulenartige Form. Die Kanäle **11.1** sind Durchgangslöcher, d. h. zu beiden Oberflächen des vergossenen Teils **70** offen. Die Kanäle **11.1** können eine laterale Abmessung bzw. einen Durchmesser im Bereich zwischen 10  $\mu\text{m}$  und 500  $\mu\text{m}$ , spezifischer zwischen 50  $\mu\text{m}$  und 100  $\mu\text{m}$ , aufweisen. Wenn hohe Ströme fließen sollen, können ferner mehrere Kanäle **11.1** für jeden Halbleiterchip **3** vorgesehen werden. Die Kanäle **11.1** können sich in einer zu den Halbleiterchips **3** beabstandeten Beziehung befinden, so dass die Halbleiterchips **3** auf ihren Seitenflächen **12** mit Gussmaterial **7** überdeckt bleiben. Die Vertiefungen (Aushöhlungen) **11.2** werden in dem Gussmaterial **7** vorgesehen, um mindestens einen Teil der ersten Hauptoberfläche **10** der Halbleiterchips **3**, der die Kontaktstelle **9** trägt, freizulegen. Die Vertiefungen **11.2** können eine laterale Abmessung bzw. einen Durchmesser von mehr als der lateralen Abmessung bzw. dem Durchmesser der Kontaktstelle **9** aufweisen.

**[0033]** Die Kanäle **11.1** und Vertiefungen **11.2** können durch Bohren wie etwa mechanisches Bohren oder Laserbohren erzeugt werden. Eine andere Möglichkeit ist die Verwendung eines fotochemischen Prozesses (Fotolithografie, Ätzung), um die Kanäle **11.1** und Vertiefungen **11.2** zu produzieren. Ferner kann es auch möglich sein, die Kanäle **11.1** und/oder Vertiefungen **11.2** in einer frühesten Phase des Herstellungsprozesses einzubringen, z. B. während des Gussprozesses. In diesem Fall kann die obere Gushälfte mit Stäben und/oder Klingen oder beliebigen Elementen mit einer positiven Form der Kanäle **11.1** und/oder Vertiefungen **11.2** ausgestattet werden. [Fig. 1D](#) zeigt das vergossene Teil **70** nach der Erzeugung der Kanäle **11.1** und Vertiefungen **11.2**.

**[0034]** Nach dem Strukturieren des Gussmaterials **7** wird eine leitfähige Schicht **13** auf das vergossene Teil **70** aufgebracht. Die leitfähige Schicht **13** kann aus einer (nicht dargestellten) Keimschicht und einer weiteren Schicht bestehen, die galvanisch auf die

Keimschicht abgeschieden wird. Zum Produzieren der Keimschicht kann ein stromloses Abscheidungsverfahren verwendet werden. Die Keimschicht kann eine Dicke von z. B. bis zu 1 µm aufweisen und kann zum Beispiel aus Zink bestehen. Die elektrische Leitfähigkeit der Keimschicht kann benutzt werden, um eine elektrisch leitfähige Schicht, zum Beispiel eine Kupferschicht, galvanisch auf der Keimschicht abzuscheiden. Die Kupferschicht kann abhängig von der Anwendung und den Stromanforderungen praktisch jede beliebige gewünschte Dicke aufweisen. Beispielsweise kann die Dicke der Kupferschicht im Bereich zwischen 50 µm und 200 µm liegen. Als eine Alternative zu dem oben beschriebenen galvanischen Plattierungsprozess kann ein stromloser Plattierungsprozess wie zum Beispiel stromlose Nickelplattierung verwendet werden. Stromlose Plattierung wird in der Technik auch als chemische Plattierung bezeichnet. Ferner können andere Abscheidungsverfahren zur Bildung der leitfähigen Schicht **13** verwendet werden, wie zum Beispiel physikalische Aufdampfung (PVD), chemische Aufdampfung (CVD), Sputtern, Aufschleuderprozesse, Sprühabscheidung oder Inkjet-Druck.

**[0035]** Die leitfähige Schicht **13** kontaktiert die Kontaktstellen **9** auf der ersten Chip-Hauptoberfläche **10** elektrisch, indem die Vertiefungen **11.2** gefüllt werden, und füllt die Kanäle **11.1**. Folglich bildet die Unterseite der leitfähigen Schicht **13** in dem Kanal **11.1** einen Kontaktanschluss **14**, der an der unteren Oberfläche des vergossenen Teils **70** freiliegend ist. Somit gewährleistet die leitfähige Schicht **13**, dass eine Verdrahtungs- oder Verbindungsstruktur die „rückseitigen“ Chipkontaktstellen **9** mit Kontaktanschlüssen **14** verbindet, die im Wesentlichen in derselben Ebene wie die „vorderseitigen“ Kontaktstellen **4, 5** der Halbleiterchips **3** liegen.

**[0036]** Bei einer Ausführungsform kann die Verdrahtungs- oder Verbindungsstruktur statt durch Verwendung von Abscheidungsverfahren mit anderen Techniken erzeugt werden. Beispielsweise können die Kanäle **11.1** und Vertiefungen **11.2** mit einem leitfähigen Material (z. B. Lot) gefüllt werden und eine Metalllage (Metallsheet) (z. B. aus Kupfer) kann über den Kontaktstellen **9** mit den leitfähigen Elementen aus dem leitfähigen Material in den Vertiefungen **11.2** und mit den leitfähigen Elementen aus dem sich durch die Kanäle **11.1** erstreckenden leitfähigen Material gebondet werden. Dieser Prozess wird später ausführlicher in Verbindung mit [Fig. 5A](#) bis [Fig. 5D](#) erläutert.

**[0037]** Während der Herstellung kann die (durch Abscheidung erzeugte oder als Metalllage aufgebrachte) leitfähige Schicht **13** strukturiert werden. Strukturierung kann zu einer regelmäßigen Struktur, wie zum Beispiel leitfähigen Leitungen, führen. Die Strukturierung der leitfähigen Schicht **13** kann beson-

ders nützlich sein, wenn Module hergestellt werden sollen, die mehrere Halbleiterchips **3** enthalten, die auf eine spezifische Weise zu verbinden sind.

**[0038]** In [Fig. 1F](#) wird der vergossene Teil **70** von dem Träger **1** gelöst. Zu diesem Zweck kann das Klebeband **2** thermische Ablöseigenschaften aufweisen, die die Entfernung des Klebebands **2** während einer Wärmebehandlung erlauben. Die Entfernung des Klebebands **2** von dem vergossenen Teil **70**, der die Halbleiterchips **3** und die leitfähige Schicht **13** enthält, wird bei einer geeigneten Temperatur ausgeführt, die von den thermischen Ablöseigenschaften des Klebebands **2** abhängt und gewöhnlich höher als 150°C ist (bei einer Ausführungsform ungefähr 200°C).

**[0039]** Es ist zu beachten, dass die Ablösung des vergossenen Teils **70** von dem Träger **1** auch in einer früheren Phase in dem Herstellungsprozess erreicht werden kann, z. B. vor dem Aufbringen der leitfähigen Schicht **13** ([Fig. 1E](#)) oder sogar vor der Erzeugung der Kanäle **11.1** und Vertiefungen **11.2** ([Fig. 1D](#)).

**[0040]** Nach dem Ablösen des Trägers **1** und des Klebebands **2** können die Unterseiten der sich durch die Kanäle **11.1** erstreckenden leitfähigen Elemente, die untere Oberfläche des Gussmaterials **7** sowie die zweite Chip-Hauptoberfläche **6**, die die Kontaktstellen **4, 5** enthält, eine gemeinsame Ebene bilden. Wie in [Fig. 1G](#) dargestellt, kann gegebenenfalls eine untere leitfähige Schicht **15** auf diese gemeinsame Ebene aufgebracht werden. Ähnlich wie die leitfähige Schicht **13** kann die untere leitfähige Schicht **15** eine (nicht dargestellte) Keimschicht und eine weitere Schicht enthalten, die galvanisch auf der Keimschicht abgeschieden werden kann. Die Keimschicht kann eine stromlos abgeschiedene Zinkschicht sein und eine Dicke von bis zu 1 µm aufweisen. Die galvanisch abgeschiedene Schicht kann eine Kupferschicht mit einer Dicke von z. B. bis zu 200 µm und bei einer Ausführungsform im Bereich zwischen 50 µm und 100 µm sein. Wie oben in Verbindung mit der Herstellung der leitfähigen Schicht **13** besprochen, können alternative Verfahren zum Abscheiden der unteren leitfähigen Schicht **15** verwendet werden.

**[0041]** Die untere leitfähige Schicht **15** kann so strukturiert werden, dass Inselabschnitte **16** gebildet werden, die mit der Kontaktstelle **4** (z. B. dem Source-Anschluss), der Kontaktstelle **5** (z. B. dem Gate-Anschluss) und der Unterseite **14** (z. B. dem Drain-Anschluss) des sich durch den Kanal **11.1** erstreckenden leitfähigen Elements verbunden werden. Die getrennten Abschnitte **16** der unteren leitfähigen Schicht **15** können externe Kontaktelemente bilden, die eine Kontaktierung der Drain-, Source- und Gate-Anschlüsse des Halbleiterchips **3** (oder allgemeiner gesagt verschiedener auf gegenüberliegenden Seiten des Halbleiterchips **3** befindlicher ver-



schiedener Anschlüsse) von außerhalb ermöglichen. Anders ausgedrückt können die getrennten Abschnitte **16** der unteren leitfähigen Schicht **15** eine Montageebene bilden, die die Anbringung von aus dem vergossenen Teil **70** zu erhaltenden Modulen (siehe z. B. [Fig. 2](#) bis [Fig. 4](#) und [Fig. 6](#) bis [Fig. 9](#)) auf einem Substrat, wie z. B. einer Leiterplatte, ermöglicht.

**[0042]** Ferner kann die untere leitfähige Schicht **15** eine Umverteilungsschicht (RDL: redistribution layer) auf der Montageseite der Module bilden. Statt der Verwendung einer unteren leitfähigen Schicht **15** könnte eine Umverteilungsstruktur mit mehreren solchen Umverteilungsschichten erzeugt werden. In einer solchen Umverteilungsstruktur werden mehrere strukturierte leitfähige Schichten (ähnlich der strukturierten leitfähigen Schicht **15**) vorgesehen, die durch Polymerschichten getrennt und durch Durchkontaktierungen verbunden werden. Eine solche Umverteilungsstruktur kann durch wohlbekanntes Dünnfilm-Technologieprozesse hergestellt werden und kann eine flexible Signalführung und einen auf die Bedürfnisse des Kunden zurechtgeschnittenen Entwurf von externen Anschlüssen ermöglichen.

**[0043]** Der vergossene Teil **70** wird dann zertrennt, um einzelne Module zu erhalten ([Fig. 1G](#)). Jedes Modul kann einen oder mehrere Halbleiterchips **3** enthalten. Beispielsweise kann die Zertrennung an den Trennungslinien A, B, C durchgeführt werden.

**[0044]** Die Zertrennung kann zum Beispiel durch Sägen erreicht werden.

**[0045]** [Fig. 2](#), [Fig. 3](#) und [Fig. 4](#) zeigen Module **100**, **200**, **300**, die durch Zertrennen des vergossenen Teils **70** jeweils an den Trennungslinien A, B, C erhalten werden. Gemäß der Trennungslinie A erhält man Seitenflächen **7a** des Moduls **100**, die aus Gussmaterial **7** bestehen. Gemäß der Trennungslinie B erhält man eine Seitenfläche **7a** des Moduls **200**, die aus Gussmaterial **7** besteht, und eine Seitenfläche **7b** des Moduls **200**, die aus leitfähigem Material aus der leitfähigen Schicht **13** besteht. Gemäß der Trennungslinie C bestehen beide Seitenflächen **7b** des Moduls **300** aus leitfähigem Material der leitfähigen Schicht **13**. Folglich weisen die Module **100**, **200** und **300** im Hinblick auf Wärmeabfuhr und die Möglichkeit ihres Bondens an einen Kühlkörper unterschiedliche Eigenschaften auf. Ferner kann der strukturelle Entwurf der unteren leitfähigen Schicht **15** von der Wahl der Trennungslinie A, B oder C abhängen. Beispielsweise kann das Modul **300** einen umlaufenden oder rahmenförmigen externen Drain-Anschluss **16.1** aufweisen.

**[0046]** In [Fig. 5A](#) bis [Fig. 5D](#) sind verschiedene Phasen eines weiteren Herstellungsprozesses zur Herstellung der in [Fig. 6](#), [Fig. 7](#) bzw. [Fig. 8](#) dargestellten Module **400**, **500**, **600** dargestellt. Die ersten

Herstellungsprozesse sind dieselben wie in [Fig. 1A](#) bis [Fig. 1D](#) dargestellt, und es wird auf die entsprechende Beschreibung verwiesen, um Wiederholung zu vermeiden. Wie in [Fig. 5A](#) dargestellt, werden dann die Kanäle **11.1** und Vertiefungen **11.2** mit einem leitfähigen Material, z. B. einem Metall oder Lot, gefüllt. Das leitfähige Material bildet leitfähige Elemente **18.1**, die sich durch die Kanäle **11.1** erstrecken, und leitfähige Elemente **18.2**, die die Vertiefungen (Aushöhlungen) **11.2** füllen.

**[0047]** Das leitfähige Material kann durch Drucktechniken aufgebracht werden. Beispielsweise kann durch Verwendung eines Siebdruckprozesses eine Lotpaste in die Kanäle **11.1** und Vertiefungen **11.2** gedrückt werden. Es können auch andere Techniken möglich sein.

**[0048]** Nach dem Füllen der Kanäle **11.1** und Vertiefungen **11.2** mit den leitfähigen Elementen **18.1** bzw. **18.2** wird die leitfähige Schicht **13** aufgebracht, siehe [Fig. 5B](#). Zu diesem Zweck können Abscheidungsverfahren wie in Verbindung mit der ersten Ausführungsform ([Fig. 1A](#) bis [Fig. 1G](#)) beschrieben verwendet werden. Bei einer Ausführungsform ist es auch möglich, eine Metalllage (Metallsheet) **19** (z. B. aus Kupfer) auf die Oberseite des vergossenen Teils **70** aufzubringen. Die Metalllage **19** kann eine beliebige gewünschte Dicke aufweisen, z. B. in einem Bereich zwischen 50 µm und 200 µm. Ein leitfähiges Haftmittel wie z. B. eine (nicht dargestellte) Lotabscheidung wird auf die Oberseite jedes leitfähigen Elements **18.1**, **18.2** aufgebracht (dies ist nicht notwendig, wenn die leitfähigen Elemente **18.1**, **18.2** selbst aus einem leitfähigen Haftmittel wie etwa Lot bestehen), und die Metalllage **19** wird die Oberseite des vergossenen Teils **70** kontaktierend platziert. Durch Anwendung von Wärme wird dann ein Lotrückfluss (Lot-Reflow) verwendet, um die Kontaktelemente **18.1**, **18.2** an die flächige Metalllage (Metallblatt) **19** zu bonden ([Fig. 5B](#)). Als Ergebnis erhält man eine ähnliche Struktur wie die in [Fig. 1E](#) dargestellte Anordnung.

**[0049]** Die nachfolgenden Herstellungsschritte der in [Fig. 5C](#) und [Fig. 5D](#) zweiten Ausführungsform entsprechen den in Verbindung mit [Fig. 1F](#) bzw. [Fig. 1G](#) beschriebenen Herstellungsprozessen der ersten Ausführungsform. Ferner sind die in [Fig. 6](#), [Fig. 7](#) und [Fig. 8](#) dargestellten Module **400**, **500**, **600** den mit Bezug auf [Fig. 2](#), [Fig. 3](#) bzw. [Fig. 4](#) erläuterten Modulen **100**, **200**, **300** ähnlich. Wenn die leitfähigen Elemente **18.1** aus Lot bestehen, kann die untere leitfähige Schicht **15** unter den leitfähigen Elementen **18.1** weggelassen oder entfernt werden und das Lot der leitfähigen Elemente **18.1** kann verwendet werden, um die leitfähigen Elemente **18.1** direkt an ein Substrat zu bonden.

**[0050]** Die Module **100**, **200**, **300**, **400**, **500**, **600** enthalten keinen Träger wie etwa einen Systemträger

(Leadframe). Im Gegenteil werden die elektrisch leitfähigen Schichten **13** und **15** auf beiden Hauptoberflächen **6**, **10** der Halbleiterchips **3** plattiert. Während die leitfähige Schicht **13** eine „rückseitige“ Verbindung gewährleistet, ermöglicht die untere leitfähige Schicht **15** eine „vorderseitige“ Verbindung sowie eine Montagestruktur zur Anbringung des Moduls **100**, **200**, **300**, **400**, **500**, **600** an einem Substrat. Da die leitfähige Schicht **13** und die untere leitfähige Schicht **15** durch sich durch die Kanäle **11.1** erstreckende Kontaktelemente **18.1** verbunden werden, ermöglicht dies eine Anordnung aller externen Kontaktstellen **16** auf der unteren Oberfläche des Moduls **100**, **200**, **300**, **400**, **500**, **600**. Darüber hinaus können die Oberflächen der externen Kontaktstellen **16**, die mit den Drain- und Source-Anschlüssen des Halbleiterchips **3** verbunden sind, größer als die Oberfläche der externen Kontaktstelle **16** sein, die mit dem Gate-Anschluss des Halbleiterchips **3** verbunden ist. Die vergrößerten Oberflächen für die Drain- und Source-Anschlüsse können nützlich sein, wenn große Ströme durch die Vertikal-Leistungsanordnung fließen. Die Stabilität der Module **100**, **200**, **300**, **400**, **500**, **600** kann durch das Gussmaterial **7** gewährleistet werden.

**[0051]** [Fig. 9](#) zeigt schematisch ein Beispiel dafür, wie zwei Halbleiterchips **3.1**, **3.2** durch die leitfähige Schicht **13** (die z. B. durch eine abgeschiedene Metallschicht oder ein Metallblatt **19** realisiert werden kann) und die untere leitfähige Schicht **15** miteinander verbunden werden können. Beispielsweise sind in dem Modul **700** die beiden Halbleiterchips **3.1**, **3.2** Leistungstransistoren. Die Kontaktstelle **9** (Drain-Anschluss) des ersten Halbleiterchips **3.1** wird durch die leitfähige Schicht **13** und die strukturierte untere leitfähige Schicht **15** mit der Kontaktstelle **4** (Source-Anschluss) des zweiten Halbleiterchips **3.2** verbunden. Mit der in [Fig. 9](#) dargestellten Verbindung kann das Modul **700** als Halbbrücke verwendet werden. [Fig. 10](#) zeigt eine Prinzipschaltung einer zwischen zwei Knoten N1 und N2 angeordneten Halbbrücke **800**. Die Halbbrücke **800** enthält zwei in Reihe geschaltete Schalter S1 und S2. Die Halbleiterchips **3.2** und **3.1** können als die beiden Schalter S1 bzw. S2 implementiert werden. Beim Vergleich mit dem in [Fig. 9](#) dargestellten Modul **700** ist der Knoten N1 der Drain-Anschluss (Kontaktstelle **9**) des Halbleiterchips **3.2**, der zwischen den beiden Schaltern S1 und S2 angeordnete Knoten N3 ist der Drain-Anschluss (Kontaktstelle **9**) des ersten Halbleiterchips **3.1** und der Knoten N2 ist der Source-Anschluss (Kontaktstelle **4**) des ersten Halbleiterchips **3.1**.

**[0052]** Die Halbbrücke **800** kann zum Beispiel in elektronischen Schaltungen zum Umwandeln von Gleichspannungen, DC-DC-Wandlern, implementiert werden. DC-DC-Wandler können dazu verwendet werden, eine von einer Batterie oder einer wiederaufladbaren Batterie bereitgestellte Eingangsgleich-

spannung in eine Ausgangsgleichspannung umzuwandeln, die an die Bedürfnisse von signalabwärts angeschlossenen elektronischen Schaltungen angepasst ist. DC-DC-Wandler können als Abwärtswandler, bei denen die Ausgangsspannung kleiner als die Eingangsspannung ist, oder als Aufwärtswandler, bei denen die Ausgangsspannung größer als die Eingangsspannung ist, realisiert werden.

**[0053]** Wieder mit Bezug auf [Fig. 9](#) können die freiliegenden Oberflächen **16** der unteren leitfähigen Schicht **15**, die die externen Kontaktstellen des Moduls **700** bilden, dazu verwendet werden, das Modul **700** elektrisch mit anderen Komponenten zu koppeln. Dies ist in [Fig. 9](#) beispielhaft dargestellt. Dabei wird das Modul **700** an einem Substrat **30**, wie etwa einer Leiterplatte, zum Beispiel einer PCB (aufgedruckten Leiterplatte), angebracht. Die Lotabscheidungen **31** können verwendet worden sein, um die externen Kontaktstellen an (nicht dargestellte) Kontaktbereiche der Leiterplatte **30** anzulöten. Es ist zu beachten, dass die leitfähige Schicht **13** strukturiert wurde, um die Drain-Anschlüsse (Kontaktstellen **9**) der beiden Halbleiterchips **3.1**, **3.2** elektrisch zu trennen.

**[0054]** Über allen Modulen **100**, **200**, **300**, **400**, **500**, **600**, **700** kann ein Kühlkörper oder Kühlelement (nicht dargestellt) angebracht werden. Der Kühlkörper kann thermisch mit einem (nicht dargestellten) isolierenden Material gekoppelt werden, das die strukturierte leitfähige Schicht **13** beschichtet. Wenn die Wärmeleitfähigkeit des elektrisch isolierenden Materials hoch genug ist und/oder wenn die Materialdicke des elektrisch isolierenden Materials über der leitfähigen Schicht **13** nicht zu groß ist, kann das elektrisch isolierende Material eine Ableitung der durch die Halbleiterchips **3.1** und **3.2** erzeugten Wärme zu dem Kühlkörper erlauben, der die erzeugte Wärme abführt. In diesem Zusammenhang ist anzumerken, dass die Metalllage (Metallsheet) **19** spezifisch dafür ausgelegt werden kann, eine Anbringungsplattform für einen Kühlkörper zu bilden. Beispielsweise kann die Metalllage **19** mit einer auf die Metallschicht auflaminierten oberen isolierenden dielektrischen Schicht ausgestattet sein. Ferner kann die Metalllage **19** Teil eines Keramiksubstrats, z. B. eines DCB-Substrats (direct copper bonded) sein. Eine andere Möglichkeit ist die Verwendung einer mehrschichtigen Metall-Dielektrikum-Metall-Sandwichstruktur für die Metalllage **19** zur Anbringung an dem vergossenen Teil („vergossener umkonfigurierter Wafer“) **70**. In diesem Fall kann ein Kühlkörper direkt mit der isolierten Metalloberfläche der mehrschichtigen Metalllage **19** gebondet werden.

**[0055]** Obwohl hier spezifische Ausführungsformen dargestellt und beschrieben wurden, ist für Durchschnittsfachleute erkennbar, dass vielfältige alternative und/oder äquivalente Implementierungen die gezeigten und beschriebenen spezifischen Ausführ-

rungsformen ersetzen können, ohne von dem Konzept der vorliegenden Erfindung abzuweichen. Die vorliegende Anmeldung soll jegliche Anpassungen oder Abwandlungen der hier besprochenen spezifischen Ausführungsformen abdecken. Insbesondere können Merkmale unterschiedlicher Ausführungsformen kombiniert werden, sofern dies technisch möglich ist.

### Patentansprüche

1. Verfahren zur Herstellung einer Halbleiteranordnung, mit den folgenden Schritten:  
Platzieren von mindestens zwei Halbleiterchips (3) auf einem Träger (1);  
Überdecken der mindestens zwei Halbleiterchips (3) mit Gussmaterial (7);  
Bereitstellen eines freiliegenden Teils der mindestens zwei Halbleiterchips (3);  
Aufbringen einer ersten Schicht (13, 19) aus leitfähigem Material über den freiliegenden Teil der mindestens zwei Halbleiterchips (3), wobei die erste Schicht (13, 19) aus leitfähigem Material elektrisch mit einer Kontaktstelle (9) an dem freiliegenden Teil der mindestens zwei Halbleiterchips (3) verbunden ist; und  
Zerteilen der mindestens zwei Halbleiterchips (3).

2. Verfahren nach Anspruch 1, wobei der freiliegende Teil der mindestens zwei Halbleiterchips (3) durch selektives Entfernen eines ersten Teils (11.2) des Gussmaterials (7) von den mindestens zwei Halbleiterchips (3) bereitgestellt wird.

3. Verfahren nach Anspruch 2, mit dem Schritt: selektives Entfernen des ersten Teils (11.2) des Gussmaterials (7) durch mechanisches Bohren und/oder Laserbohren und/oder Ätzen.

4. Verfahren nach einem der Ansprüche 1 bis 3, ferner mit dem Schritt:  
selektives Entfernen eines zweiten Teils (11.1) des Gussmaterials (7) von dem Träger (1), um einen Teil des Trägers (1) selektiv freizulegen.

5. Verfahren nach Anspruch 4, mit dem Schritt: selektives Entfernen des ersten Teils (11.2) des Gussmaterials (7) durch mechanisches Bohren und/oder Laserbohren und/oder Ätzen.

6. Verfahren nach Anspruch 4 oder 5, mit dem Schritt:  
Überdecken des selektiv freigelegten Teils des Trägers (1) mit dem leitfähigen Material der ersten Schicht (13, 19).

7. Verfahren nach einem der vorhergehenden Ansprüche, mit dem Schritt:  
Aufbringen des leitfähigen Materials der ersten Schicht (13, 19) durch einen Abscheidungsprozess.

8. Verfahren nach einem der vorhergehenden Ansprüche, mit dem Schritt:  
Aufbringen des leitfähigen Materials der ersten Schicht (13, 19) durch Anbringen einer Metalllage auf die Kontaktstelle (9).

9. Verfahren nach einem der vorhergehenden Ansprüche, mit dem Schritt:  
Erzeugen der Kontaktstelle (9) nach dem Bereitstellen eines freiliegenden Teils der mindestens zwei Halbleiterchips (3).

10. Verfahren zur Herstellung einer Halbleiteranordnung, mit den folgenden Schritten:  
Platzieren von mindestens zwei Halbleiterchips (3) auf einem Träger (1);  
überdecken der mindestens zwei Halbleiterchips (3) mit Gussmaterial (7);  
Bereitstellen eines freiliegenden Teils der mindestens zwei Halbleiterchips (3);  
Aufbringen einer ersten Schicht (13, 19) aus leitfähigem Material über den freiliegenden Teil der mindestens zwei Halbleiterchips (3), wobei die erste Schicht (13) aus leitfähigem Material elektrisch mit einer Kontaktstelle (9) an dem freiliegenden Teil der mindestens zwei Halbleiterchips (3) verbunden ist; und  
Entfernen der mindestens zwei Halbleiterchips (3) von dem Träger (1).

11. Verfahren nach Anspruch 10, mit dem Schritt: Abscheiden einer zweiten Schicht (15) aus leitfähigem Material über eine Hauptoberfläche der mindestens zwei Halbleiterchips (3), die von dem Träger (1) abgelöst wurde.

12. Verfahren nach Anspruch 11, mit dem Schritt: Strukturieren der zweiten Schicht (15) aus leitfähigem Material, um externe Anschlüsse des Moduls zu bilden.

13. Modul, umfassend:  
einen Halbleiterchip (3) mit einer ersten Chip-Hauptoberfläche (10), einer zweiten Chip-Hauptoberfläche (6) und einer Kontaktstelle (9) auf der ersten Chip-Hauptoberfläche (10);  
ein den Halbleiterchip (3) aufnehmendes Gussmaterial (7), wobei das Gussmaterial (7) eine erste Gussoberfläche, eine zweite Gussoberfläche und einen Kanal (11.1), der sich zu der ersten Gussoberfläche und der zweiten Gussoberfläche öffnet, aufweist;  
eine über der ersten Chip-Hauptoberfläche (10) und der ersten Gussoberfläche aufgebrachte erste Schicht (13, 19) aus leitfähigem Material, wobei die erste Schicht (13, 19) aus leitfähigem Material elektrisch mit der Kontaktstelle (9) verbunden ist;  
ein leitfähiges Element (18.1), das elektrisch mit der ersten Schicht (13, 19) aus leitfähigem Material verbunden ist und sich durch den Kanal (11.1) erstreckt.

14. Modul nach Anspruch 13, wobei das Guss-



material (7) aus einem Epoxidharzmaterial besteht.

15. Modul nach Anspruch 13 oder 14, ferner umfassend:

mindestens eine weitere Kontaktstelle (4, 5) auf der zweiten Chip-Hauptoberfläche (6).

16. Modul nach einem der Ansprüche 13 bis 15, wobei die erste Schicht (13, 19) aus leitfähigem Material eine Dicke von mehr als 10 µm, insbesondere 50 µm, aufweist.

17. Modul nach einem der Ansprüche 13 bis 16, wobei die erste Schicht (13, 19) aus leitfähigem Material eine abgeschiedene Metallschicht (13) ist.

18. Modul nach Anspruch 17, wobei das leitfähige Element (18.1) ein integraler Teil der ersten Schicht (13) ist, die aus abgeschiedenem Metall besteht.

19. Modul nach einem der Ansprüche 13 bis 17, wobei die erste Schicht (13, 19) aus leitfähigem Material eine flächige Metalllage (19) ist.

20. Modul nach einem der Ansprüche 13 bis 19, wobei das leitfähige Element (18.1) aus einem Lotmaterial besteht.

21. Modul nach einem der Ansprüche 13 bis 20, ferner umfassend:

eine über der zweiten Chip-Hauptoberfläche (6) aufgebrachte zweite Schicht (15) aus leitfähigem Material.

22. Modul nach Anspruch 21, wobei die zweite Schicht (15) aus leitfähigem Material strukturiert ist, um externe Anschlüsse des Moduls zu bilden.

23. Modul, umfassend:

einen Halbleiterchip (3) mit einer ersten Chip-Hauptoberfläche (10), einer zweiten Chip-Hauptoberfläche (6), einer ersten Kontaktstelle (9) auf der ersten Chip-Hauptoberfläche (10) und einer zweiten Kontaktstelle (4, 5) auf der zweiten Chip-Hauptoberfläche (6);  
ein den Halbleiterchip aufnehmendes Gussmaterial (7), wobei das Gussmaterial (7) eine erste Gussoberfläche und eine zweite Gussoberfläche aufweist;  
eine über der ersten Chip-Hauptoberfläche (10) und der ersten Gussoberfläche aufgebrachte erste Schicht (13, 19) aus leitfähigem Material, wobei die Schicht (13, 19) aus leitfähigem Material elektrisch mit der ersten Kontaktstelle (9) verbunden ist; und  
eine über der zweiten Chip-Hauptoberfläche (6) und der zweiten Gussoberfläche aufgebrachte zweite Schicht (15) aus leitfähigem Material, wobei die zweite Schicht (15) aus leitfähigem Material elektrisch mit der zweiten Kontaktstelle (4, 5) verbunden ist.

24. Modul nach Anspruch 23, wobei die zweite Schicht (15) aus leitfähigem Material strukturiert ist, um externe Anschlüsse des Moduls zu bilden.

25. Modul, umfassend:

einen Halbleiterchip (3) mit einer ersten Chip-Hauptoberfläche (10), einer zweiten Chip-Hauptoberfläche (6) und einer Kontaktstelle (9) auf der ersten Chip-Hauptoberfläche (10);  
ein den Halbleiterchip aufnehmendes Gussmaterial (7), wobei das Gussmaterial (7) eine erste Gussoberfläche, eine zweite Gussoberfläche und einen Kanal (11.1), der sich zu der ersten Gussoberfläche und der zweiten Gussoberfläche öffnet, aufweist;  
erste Schichtmittel (13, 19) aus über der ersten Chip-Hauptoberfläche (10) und der ersten Gussoberfläche aufgebrachtem leitfähigem Material, wobei die ersten Schichtmittel (13, 19) elektrisch mit der Kontaktstelle (9) verbunden sind; und  
ein leitfähiges Element (18.1), das elektrisch mit den ersten Schichtmitteln (13, 19) verbunden ist und sich durch den Kanal (11.1) erstreckt.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1A



FIG 1B

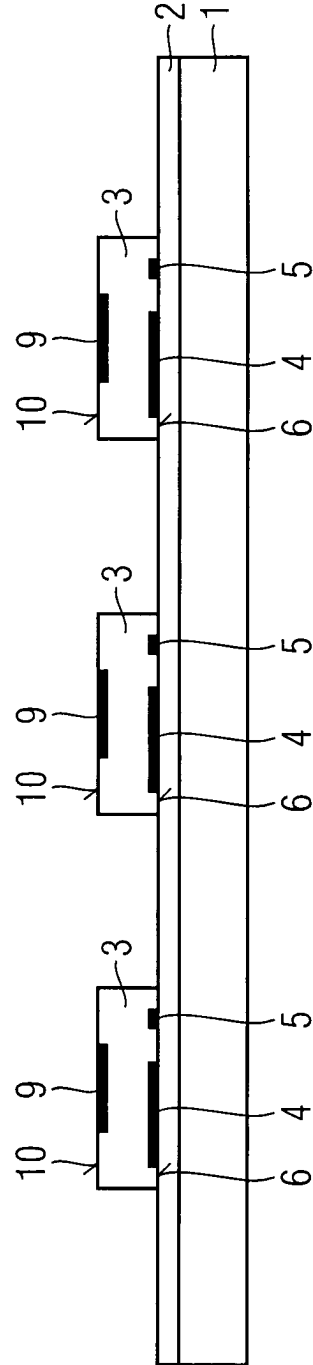


FIG 1C

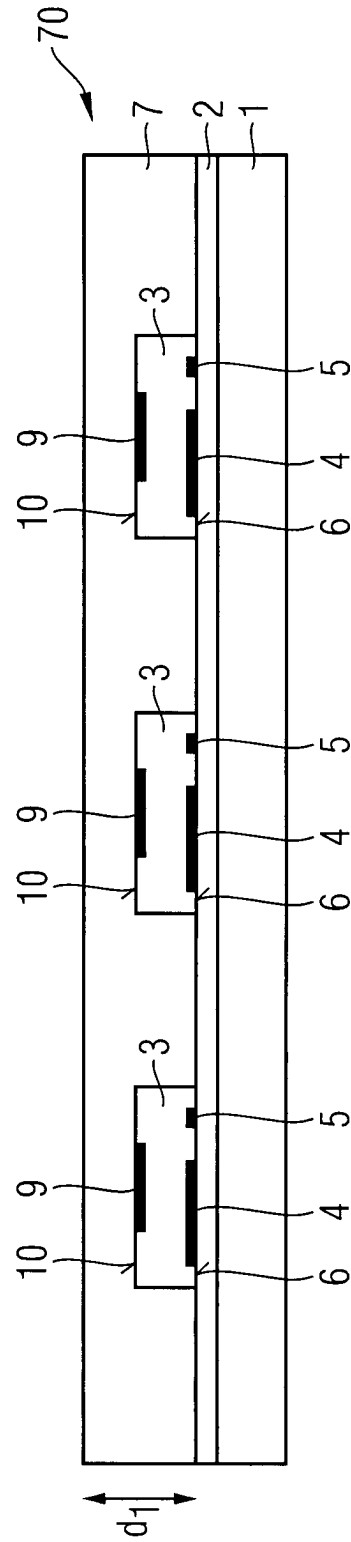


FIG 1D

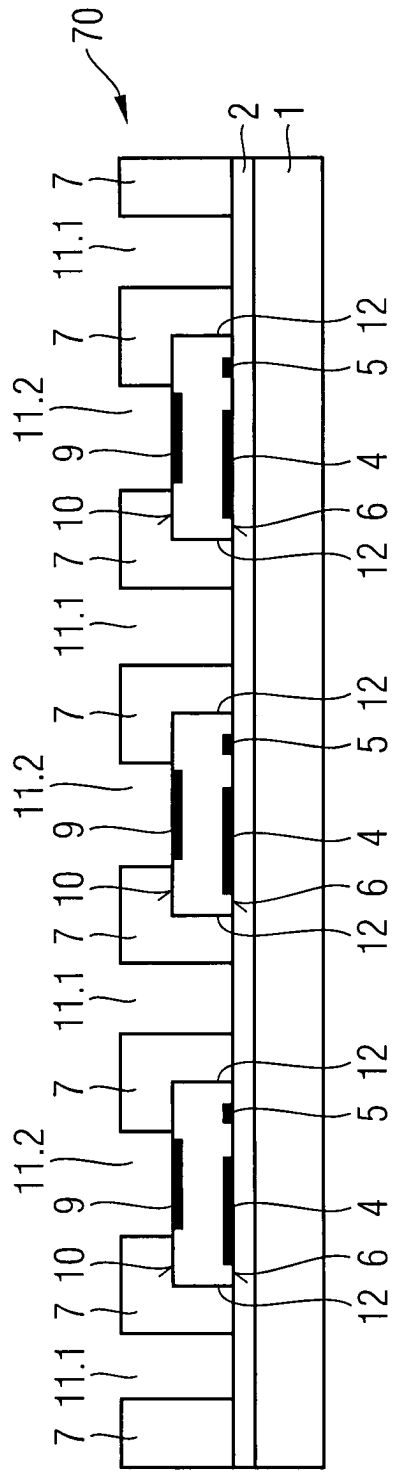


FIG 1E

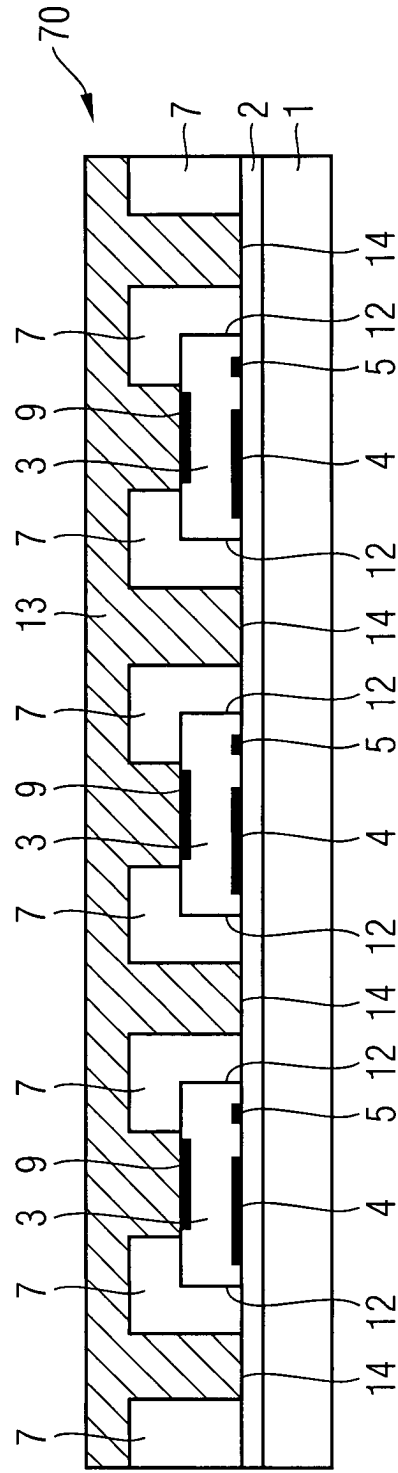


FIG 1F

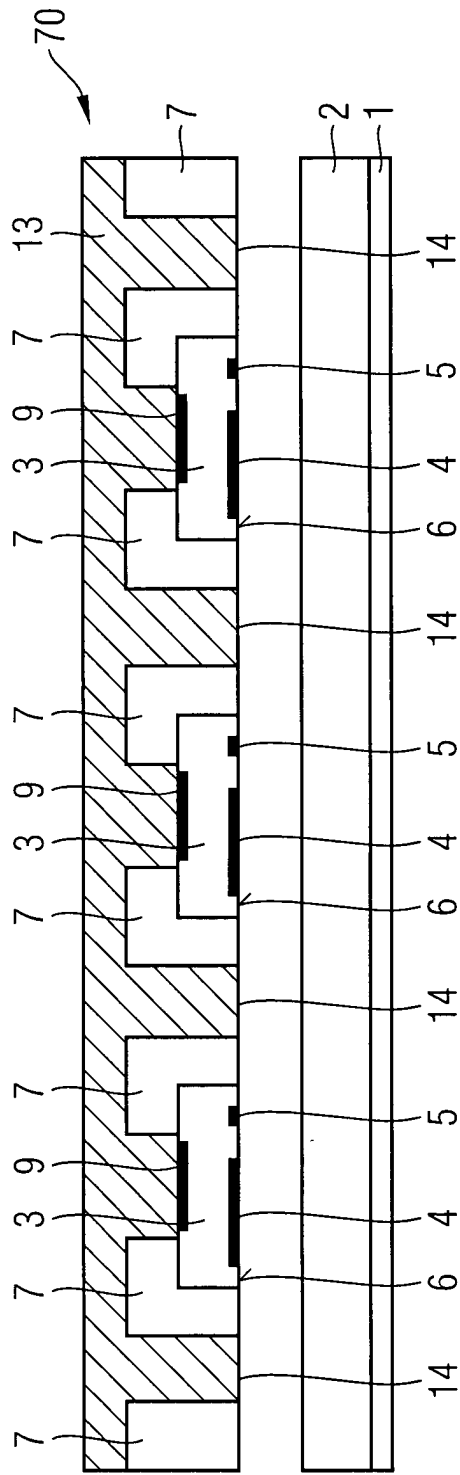


FIG 1G

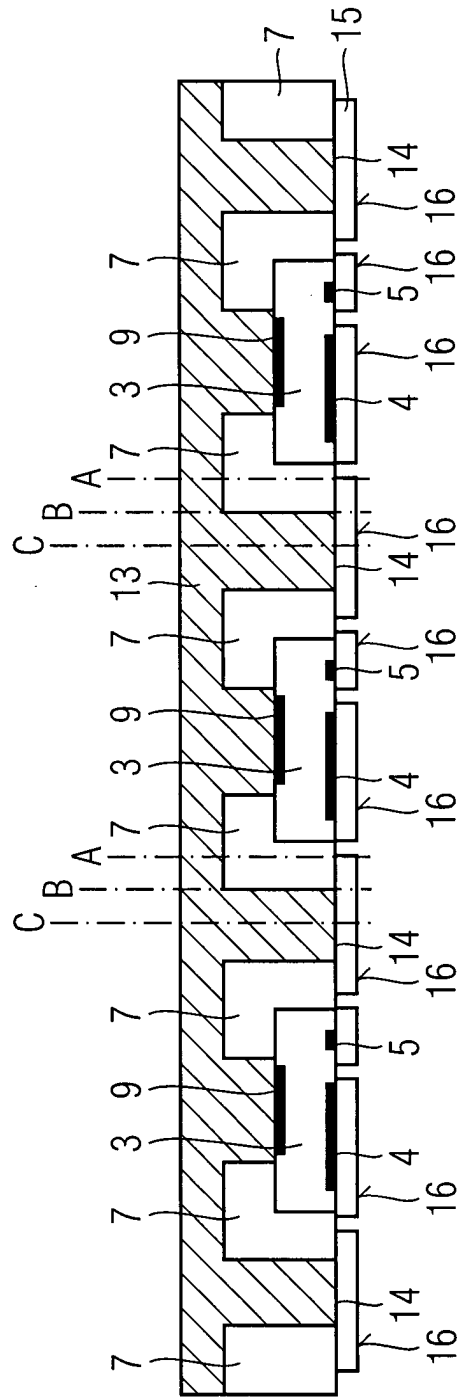


FIG 2

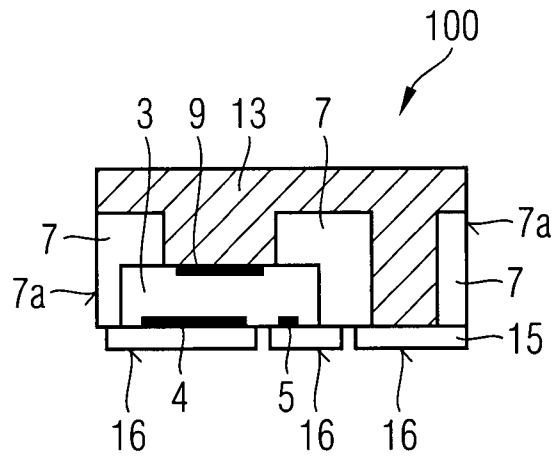


FIG 3

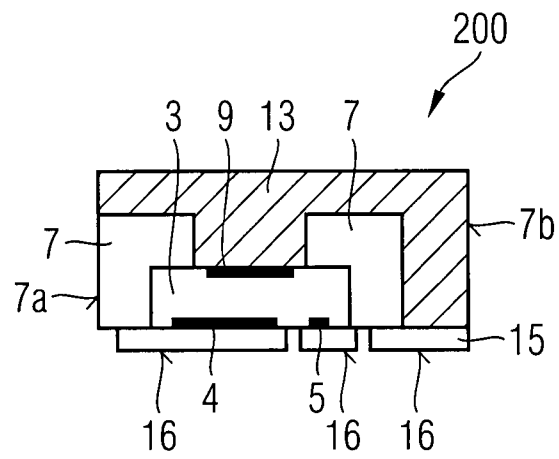


FIG 4

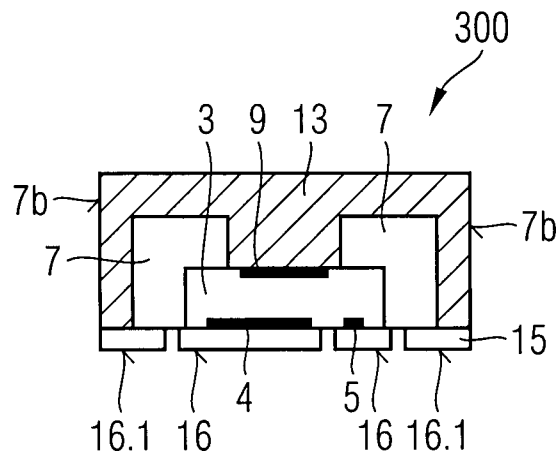




FIG 5A

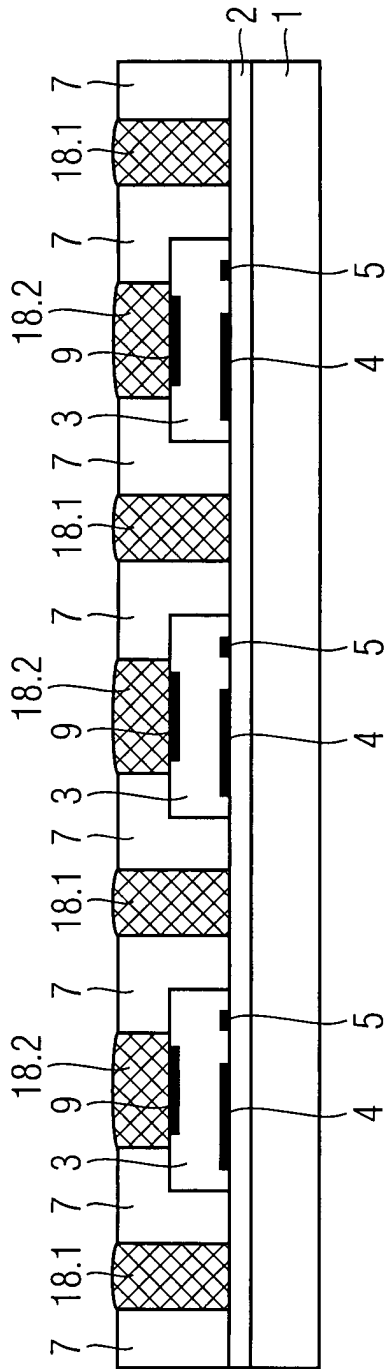


FIG 5B

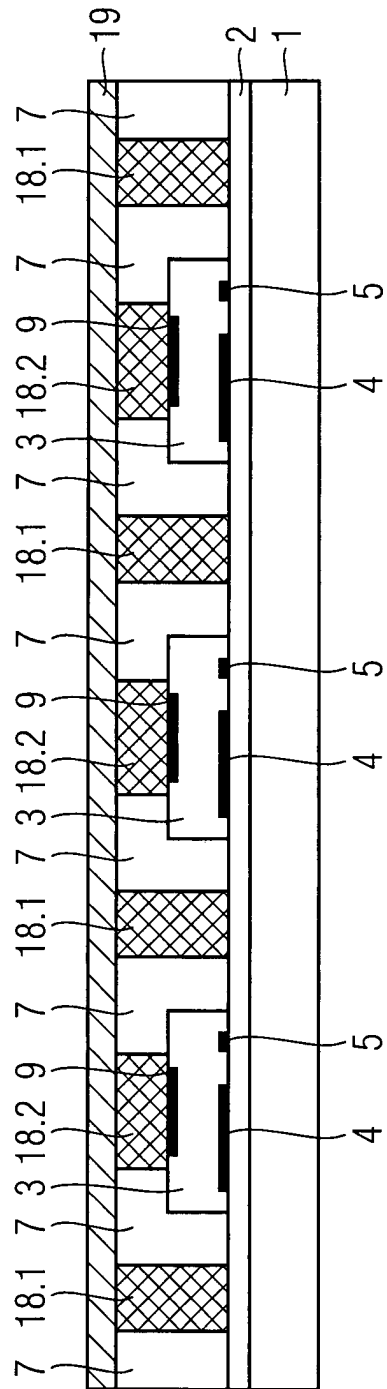


FIG 5C

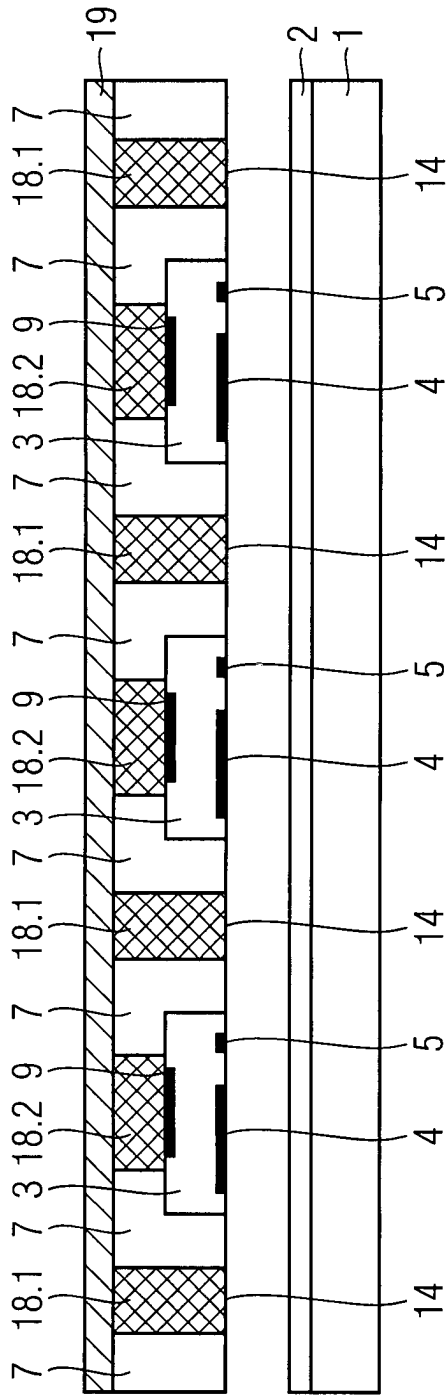


FIG 5D

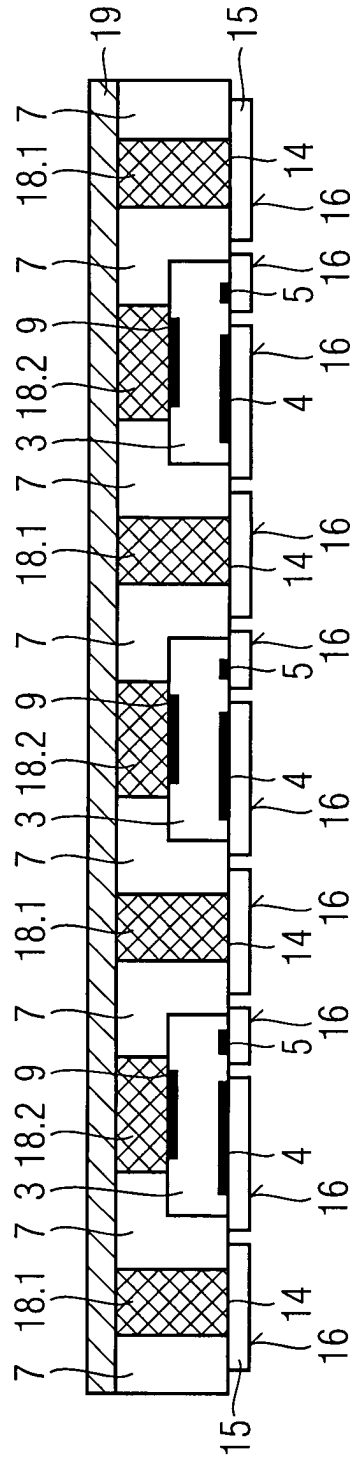


FIG 6

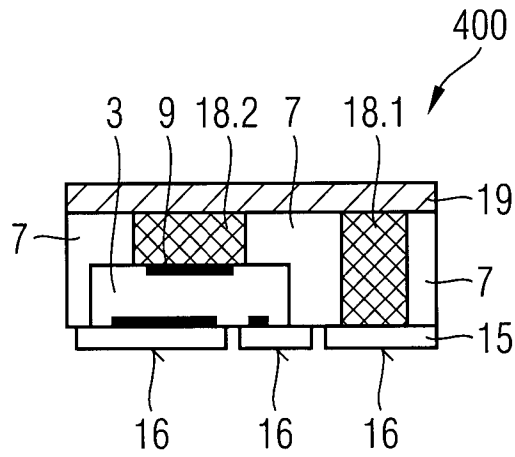


FIG 7

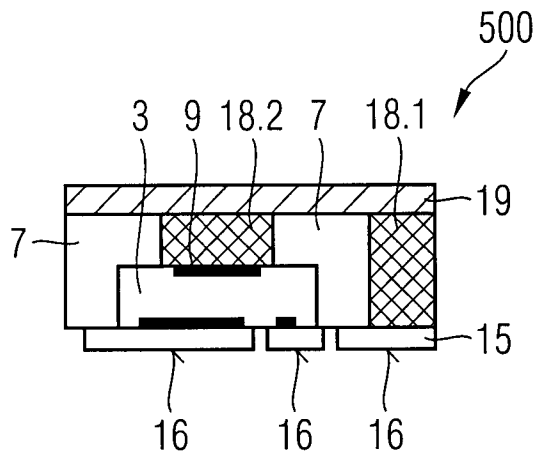


FIG 8

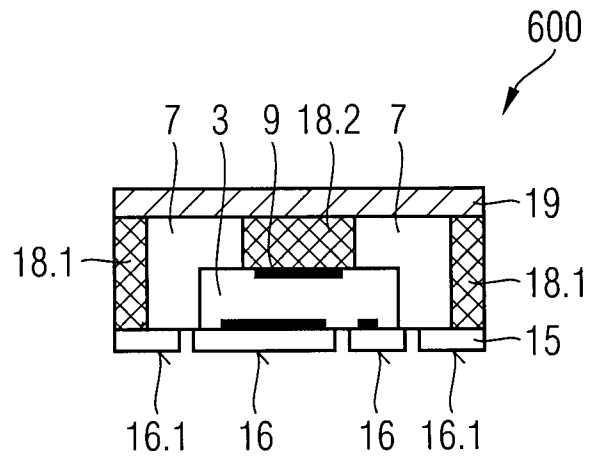


FIG 9

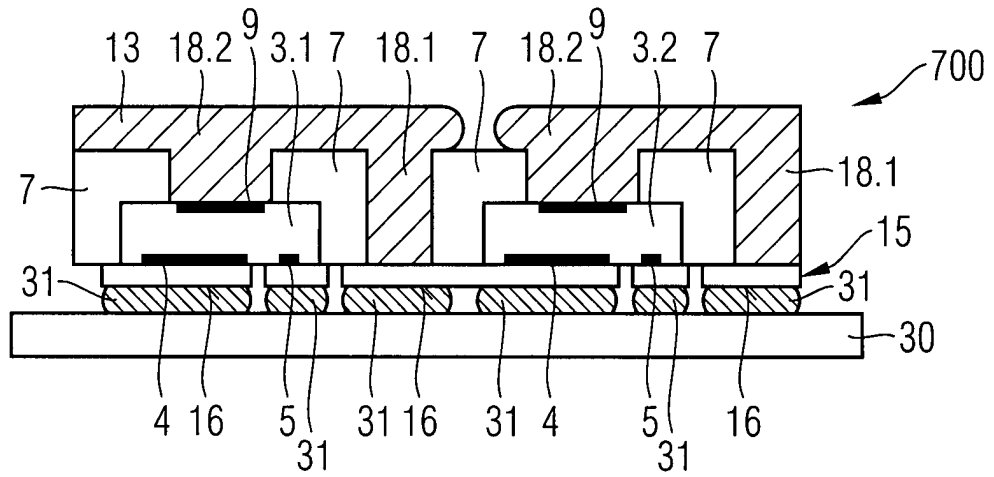


FIG 10

