

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4772542号
(P4772542)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.

H02M 7/5387 (2007.01)

F I

H02M 7/5387

Z

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2006-70239 (P2006-70239)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成18年3月15日(2006.3.15)	(74) 代理人	100078019 弁理士 山下 一
(65) 公開番号	特開2007-252055 (P2007-252055A)	(72) 発明者	葛巻 淳彦 東京都府中市東芝町1番地 株式会社東芝 府中事業所内
(43) 公開日	平成19年9月27日(2007.9.27)	(72) 発明者	餅川 宏 東京都府中市東芝町1番地 株式会社東芝 府中事業所内
審査請求日	平成20年10月2日(2008.10.2)	(72) 発明者	小山 建夫 東京都府中市東芝町1番地 株式会社東芝 府中事業所内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

直流電源と、

前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、

前記還流ダイオードの還流電流を遮断するとき、前記直流電源の電圧より小さな逆電圧を前記還流ダイオードに印加する逆電圧印加手段と

を具備し、

前記逆電圧印加手段は、

前記直流電源より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、

前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、

前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴とする電力変換装置。

【請求項2】

前記主回路スイッチング素子に直列にノーマリーオン型スイッチング素子を設け、前記ノーマリーオン型スイッチング素子が前記主回路スイッチング素子のオンオフと同期してオンオフするように前記ノーマリーオン型スイッチング素子のゲートと前記主回路スイッチング素子の負極を接続したことを特徴とする請求項1に記載の電力変換装置。

10

20

【請求項 3】

直流電源と、

前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、

前記主回路スイッチング素子のうち負側アームの主回路スイッチング素子に夫々直列に接続され、前記負側アームの主回路スイッチング素子のオンオフと同期してオンオフするようにそのゲートと前記主回路スイッチング素子の負極とが夫々接続されたノーマリーオン型スイッチング素子と、

前記還流ダイオードのうち負側アームの還流ダイオードの還流電流を遮断するとき、前記直流電源の電圧より小さな逆電圧を前記負側アームの還流ダイオードに印加する逆電圧印加手段と

を具備し、

前記逆電圧印加手段は、

前記直流電源より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、

前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、

前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴とする電力変換装置。

【請求項 4】

前記低電圧直流電源に直列に電流抑制抵抗を接続し、

前記低電圧直流電源と前記電流抑制抵抗の直列回路に並列に高周波用コンデンサを接続したことを特徴とする請求項 1 乃至請求項 3 の何れか 1 項に記載の電力変換装置。

【請求項 5】

前記低電圧直流電源の出力によって前記主回路スイッチング素子を駆動するようにしたことを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載の電力変換装置。

【請求項 6】

前記主回路スイッチング素子の出力電圧の時間的变化を促進するように前記主回路スイッチング素子のオフ時に当該主回路スイッチング素子のゲート駆動インピーダンスを低減させる電圧変化率促進手段を設けたことを特徴とする請求項 1 乃至請求項 5 の何れか 1 項に記載の電力変換装置。

【請求項 7】

前記補助ダイオードの耐圧は前記ノーマリーオン型スイッチング素子の耐圧より低く選定し、

前記逆電圧印加手段は、前記主回路スイッチング素子に並列に接続するようにしたことを特徴とする請求項 2 または請求項 3 に記載の電力変換装置。

【請求項 8】

前記補助ダイオードは、ワイドギャップ半導体から成ることを特徴とする請求項 1 乃至請求項 7 の何れか 1 項に記載の電力変換装置。

【請求項 9】

前記主回路スイッチング素子は、ワイドギャップ半導体から成ることを特徴とする請求項 1 乃至請求項 8 の何れか 1 項に記載の電力変換装置。

【請求項 10】

前記ノーマリーオン型スイッチング素子はワイドギャップ半導体から成ることを特徴とする請求項 2、請求項 3、または請求項 7 に記載の電力変換装置。

【請求項 11】

前記ワイドギャップ半導体は、SiC (シリコンカーバイド)、またはGaN (ガリウムナイトライド)、またはダイヤモンドから成ることを特徴とする請求項 8 乃至請求項 10 項の何れか 1 項に記載の電力変換装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は電力変換装置に係り、特に還流ダイオードにおける損失を低減するようにした電力変換装置に関する。

【背景技術】

【0002】

通常のインバータ装置は、直流電源からの直流を、スイッチング素子をブリッジ接続したインバータ回路によって交流に変換して交流出力を得る。この場合、負荷の力率が必ずしも1ではないため、各々のスイッチング素子に逆並列に還流ダイオードを接続する。この構成によれば、スイッチング素子がターンオフすると、負荷に蓄えられたエネルギーが還流ダイオードを通して還流することになる。

10

【0003】

還流ダイオードに順方向電流が流れているときに、この還流ダイオードと逆極性のアームのスイッチング素子がオンすると、還流ダイオードの両端に直流電圧が逆バイアスとして加わる。このとき、還流ダイオードの電流は、残留電荷によって逆方向電流が流れた後遮断する。このため、直流電圧と上記逆方向電流とによって還流ダイオードに大きな損失が生じるため、インバータ装置の効率が悪化する。また、このために装置の冷却器を大型化する必要があった。

【0004】

そこで、インバータ装置に逆電圧印加回路を設け、還流ダイオードを遮断するとき、逆電圧印加回路から還流ダイオードに小さな逆電圧を印加し、還流ダイオードの逆回復が逆電圧印加回路の低電圧直流電源によって引き起こされるようにし、還流ダイオードで生じる損失を低減するようにする提案が為されている。(例えば特許文献1参照)。

20

【特許文献1】特開平10-327585号公報(第3-5頁、図1)

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献1に記載された方法によれば、逆電圧印加回路は逆電圧印加用スイッチング素子を有しており、この逆電圧印加用スイッチング素子を還流ダイオードの逆回復時にオンさせて低電圧直流電圧を印加するようにしているので、低損失で還流ダイオードを逆回復することができる。

30

【0006】

ところが、この方法では、逆電圧印加回路に、ダイオード及びコンデンサから成る補助電源回路を有しており、この補助電源によって、逆電圧印加スイッチング素子を駆動させている。このため、逆電圧印加回路の構成が複雑となり、逆電圧印加回路の体積も大きくなっていった。また、コンデンサを充電するためにダイオードに電流を流すように構成しているので、その電流によりダイオードに発熱損失が生じるばかりでなく、コンデンサに充電される電圧がダイオードの損失分だけ低電圧直流電圧より低下する問題があった。

【0007】

本発明は上記に鑑みて為されたもので、簡単な回路構成で且つ低損失な逆電圧印加回路によって還流ダイオードの逆回復損失を低減することが可能な電力変換装置を提供することを目的とする。

40

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の第1の発明である電力変換装置は、直流電源と、前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、前記還流ダイオードの還流電流を遮断するとき、前記直流電源より小さな逆電圧を前記還流ダイオードに印加する逆電圧印加手段とを具備し、前記逆電圧印加手段は、前記直流電源の電圧より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低

50

い逆電圧印加スイッチング素子と、前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴としている。

【0009】

また、本発明の第2の発明である電力変換装置は、直流電源と、前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数の主回路スイッチング素子と、前記主回路スイッチング素子のうち負側アームの主回路スイッチング素子に夫々直列に接続され、前記負側アームの主回路スイッチング素子のオンオフと同期してオンオフするようにそのゲートと前記前記主回路スイッチング素子の負極とが夫々接続されたノーマリーオン型スイッチング素子と、前記還流ダイオードのうち負側アームの還流ダイオードの還流電流を遮断するとき、前記直流電源より小さな逆電圧を前記負側アームの還流ダイオードに印加する逆電圧印加手段とを具備し、前記逆電圧印加手段は、前記直流電源の電圧より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴としている。

10

【発明の効果】

【0010】

本発明によれば、簡単な回路構成で且つ低損失な逆電圧印加回路によって還流ダイオードの逆回復損失を低減することが可能な電力変換装置を提供することが可能となる。

20

【発明を実施するための最良の形態】

【0011】

以下、図面を参照して本発明の実施例を説明する。

【実施例1】

【0012】

図1は本発明の実施例1に係る電力変換装置の回路構成図である。図1において、直流電圧源1は例えば3相交流電源を整流してなるものであり、直流電圧源1の正側直流母線1aと負側直流母線1bとの間には、平滑コンデンサ2及びインバータ主回路3が接続されている。インバータ主回路3は、正側アームの主回路スイッチング素子に相当する主回路スイッチング素子4u、4v及び4w、並びに負側アームの主回路スイッチング素子4x、4y及び4zを3相ブリッジ接続してなるものであり、主回路スイッチング素子4u、4v、4w、4x、4y及び4zの正極と負極との間には還流ダイオード5u、5v、5w、5x、5y及び5zが夫々逆並列に接続されている。またインバータ主回路3の出力であるA、B及びC点は負荷6、例えば交流電動機に接続されている。尚、還流ダイオード5u、5v、5w、5x、5y及び5zは、主回路スイッチング素子4u、4v、4w、4x、4y及び4zに夫々内蔵されている場合もある。

30

【0013】

各々の還流ダイオード5u、5v、5w、5x、5y及び5zに並列に逆電圧印加回路7が接続されている。逆電圧印加回路7は、直流電源1より電圧値が低い低電圧直流電源8を有するものであり、主回路スイッチング素子4u、4v、4w、4x、4y及び4zの正極と負極の間には低電圧直流電源8の電源ライン8a、8bが各々接続されている。以下u相の還流ダイオード5u用の逆電圧印加回路7についてその構成を説明する。尚、u相以外の還流ダイオード用の逆電圧印加回路7は基本的にu相の還流ダイオード5u用の逆電圧印加回路7と同一であるのでそれらの説明は省略する。

40

【0014】

逆電圧印加回路7はゲートドライブ回路9を有し、ゲートドライブ回路9は低電圧直流電源8に電氣的に並列に接続されており、その出力はゲート抵抗10を介して主回路スイッチング素子4uのゲートに接続されている。そして図示省略のスイッチングタイミング生成回路から、ゲートドライブ回路9にドライブ信号が出力されると、ゲートドライブ回

50

路 9 が低電圧直流電源 8 からの電圧により駆動され、主回路スイッチング素子 4 u をオンさせる。

【 0 0 1 5 】

逆電圧印加回路 7 は、低電圧直流電源 8 の電源ライン 8 a に直列に挿入された逆電圧印加スイッチング素子 1 1 を有している。逆電圧印加スイッチング素子 1 1 は、低電圧直流電源 8 の正極から補助ダイオード 1 2 を介して還流ダイオード 5 u のカソードに接続されている。この逆電圧印加スイッチング素子 1 1 の耐圧は、主回路スイッチング素子 4 u の耐圧より低く選定される。逆電圧印加スイッチング素子 1 1 は、還流ダイオード 5 u の逆回復時にオンするように動作する。ここで、この逆電圧印加スイッチング素子は、多数キャリアが正孔であるスイッチング素子であれば良く、pチャネルMOSFETが使用されるが、pチャネルMOSFETに限らず、例えばpnptランジスタを適用することも可能である。

10

【 0 0 1 6 】

インバータ主回路 3 の A 点の電位に基づいてドライブ信号を出力する図示省略の電位判定回路から、ゲートドライブ回路 1 3 にドライブ信号が出力されると、このゲートドライブ回路 1 3 が作動し、逆電圧印加スイッチング素子 1 1 をオンする。これにより、低電圧直流電源 8 から逆電圧印加スイッチング素子 1 1 及び補助ダイオード 1 2 を通して直流電源 1 より低い値の逆電圧が還流ダイオード 5 u に印加される。これにより還流ダイオード 5 u に電源ライン 8 a を通して逆電流が供給されるので、還流ダイオード 5 u に流れる主回路電流が減少する。つまり、逆回復が逆電圧印加回路 7 の低電圧直流電源 8 の印加電圧

20

【 0 0 1 7 】

還流ダイオード 5 u に流れる主回路電流が減少すると、負荷 6 から還流ダイオード 5 u を経由し直流電源 1 の P 側に流れていた主回路電流は逆電圧印加回路 7 に流れ込む。逆電圧印加回路 7 に流れ込む主回路電流は、低電圧直流電源 8 の電源ライン 8 b を通り、低電圧直流電源 8 に流れ込む。そして、逆電圧印加スイッチング素子 1 1 と補助ダイオード 1 2 を経由し直流電源 1 の P 側に流れる。

【 0 0 1 8 】

その後、u相と逆極性であるx相の主回路スイッチング素子 4 x がオンすると、逆電圧印加回路 7 に流れていた主回路電流は、主回路スイッチング素子 4 x に流れる。主回路スイッチング素子 4 x に主回路電流が流れると、補助ダイオード 1 2 に逆電圧がかかり、補助ダイオード 1 2 が逆回復した後にオフし、逆電圧印加回路 7 に流れていた主回路電流が流れなくなる。ここで補助ダイオード 1 2 は、還流ダイオード 5 u より逆回復時間が短い高速ダイオードを選定しているため、補助ダイオード 1 2 の逆回復損失は小さい。

30

【 0 0 1 9 】

尚u相以外の他の相に対する逆電圧印加動作は、基本的にu相と同様であるため、それらの説明を省略する。

【 0 0 2 0 】

このように構成された実施例 1 においては、逆電圧印加スイッチング素子 1 1 として多数キャリアが正孔であるpチャネルMOSFETを用いたため、逆電圧印加スイッチング素子 1 1 を駆動するためのゲートドライブ回路 1 3 の駆動電源を低電圧直流電源 8 より直接得ることが可能となる。従ってゲートドライブ用の補助電源が不要となり、逆電圧印加回路 7 を簡素化することができる。

40

【 0 0 2 1 】

尚、上記の説明において、インバータ主回路 3 は 2 レベルの 3 相出力インバータとして説明したが、3 レベル以上の多レベルインバータであっても良く、また出力相は単相であっても多相であっても良い。

【 実施例 2 】

【 0 0 2 2 】

図 2 は本発明の実施例 2 に係る電力変換装置の回路構成図である。この実施例 2 の各部

50

について、図1の実施例1に係る電力変換装置の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例2が実施例1と異なる点は、主回路スイッチング素子4u1、4v1、4w1、4x1、4y1及び4z1を低耐圧素子とし、これ等の素子の正極側にこれ等の素子と直列にノーマリーオン型スイッチング素子20u、20v、20w、20x、20y及び20zを夫々挿入するように構成し、ノーマリーオン型スイッチング素子20u、20v、20w、20x、20y及び20zのゲートは主回路スイッチング素子4u、4v、4w、4x、4y及び4zの負極に夫々接続する構成とした点である。

【0023】

このように主回路を構成し、例えばu相の正側アームのノーマリーオン型スイッチング素子20uを高耐圧に選定し、主回路スイッチング素子4u1を低耐圧に選定すると、ノーマリーオン型スイッチング素子20u、主回路スイッチング素子4u1及び還流ダイオード5uによって複合主回路素子が形成される。この複合主回路素子をカスコード素子21uと呼称する。

10

【0024】

ノーマリーオン型のスイッチング素子としては、例えば接合ゲート型電界効果トランジスタJFETや静電誘導型トランジスタSITを用いることができる。ノーマリーオン型のスイッチング素子は、主回路電流を順方向、逆方向の両方に流すことができる。一般に、ノーマリーオン型のスイッチング素子は、ノーマリーオフ型のスイッチング素子、例えばMOSFETよりも低抵抗であり、損失が小さい。尚、図示したようにノーマリーオン型スイッチング素子のゲート端子は、低耐圧の主回路スイッチング素子である例えばMOSFETのソース端子に接続して使用する。

20

【0025】

ノーマリーオン型スイッチング素子20uは、そのゲート端子とソース端子の間にノーマリーオン型スイッチング素子がオフするのに十分な負の電圧が印加されるとオフし、ゲート端子とソース端子の間の電圧がゼロ以上の電圧になるとオンする。ノーマリーオン型スイッチング素子20uのゲート端子は、主回路スイッチング素子4u1のソース端子に接続され、ノーマリーオン型スイッチング素子20uのソース端子と主回路スイッチング素子4u1のドレイン端子が接続されている。従って、主回路スイッチング素子4u1がオフ状態では、ノーマリーオン型スイッチング素子20uのゲート端子とソース端子の間に負の電圧が印加されるため、ノーマリーオン型スイッチング素子20uもオフ状態となる。また、主回路スイッチング素子4u1がオン状態のとき、ノーマリーオン型スイッチング素子20uのゲート端子とソース端子の間の電圧はほぼゼロになるため、ノーマリーオン型スイッチング素子20uもオン状態となる。つまり、カスコード素子21uは、主回路スイッチング素子4u1をオン・オフすることによってカスコード素子21uもこれに同期してオン・オフさせることができる。また、カスコード素子はノーマリーオフ型として動作させることができる。

30

【0026】

図2において、インバータ主回路3のA点の電圧が検出され、カスコード素子21u内にある還流ダイオード5uの逆回復を行う状態であることが判定されると、ゲートドライブ回路13にドライブ信号が出力され逆電圧印加スイッチング素子11がオンする。これにより、低電圧直流電源8からノーマリーオン型スイッチング素子20u及び還流ダイオード5uに小さな逆電圧が印加され、還流ダイオード5uに電源ライン8a及びノーマリーオン型スイッチング素子20uを通して逆電流が供給されるので、還流ダイオード5uに流れる主回路電流が減少する。つまり、逆回復が逆電圧印加回路7の低電圧直流電源8の印加電圧によって行われる。

40

【0027】

還流ダイオード5uに流れる主回路電流が減少すると、負荷6から還流ダイオード5uとノーマリーオン型スイッチング素子20uを經由し直流電源1のP側に流れていた主回路電流は逆電圧印加回路7に流れ込む。逆電圧印加回路7に流れ込む主回路電流は、低電

50

圧直流電源 8 の電源ライン 8 b を通り、低電圧直流電源 8 に流れ込む。そして、逆電圧印加スイッチング素子 1 1 と補助ダイオード 1 2 を経由し直流電源 1 の P 側に流れる。

【 0 0 2 8 】

この期間に、還流ダイオード 5 u の逆回復は完了し、還流ダイオード 5 u に主回路電流は流れなくなる。

【 0 0 2 9 】

その後、u 相と逆極性の x 相のカスコード素子 2 1 x がオンすると、逆電圧印加回路 7 に流れていた主回路電流は、カスコード素子 2 1 x に流れる。カスコード素子 2 1 x に主回路電流が流れると、補助ダイオード 1 2 に逆電圧がかかり、補助ダイオード 1 2 が逆回復した後にオフするため、逆電圧印加回路 7 に流れていた主回路電流が流れなくなる。ここで補助ダイオード 1 2 は、還流ダイオード 5 より逆回復時間が短い高速ダイオードを選定しているため、補助ダイオード 1 2 の逆回復損失は小さい。

10

【 0 0 3 0 】

このように構成された実施例 2 においては、高耐圧で低損失なノーマリーオン型スイッチング素子を、低耐圧の主回路スイッチング素子とのカスコード素子として使用することによって発熱損失を更に低減することができる。

【実施例 3】

【 0 0 3 1 】

図 3 は本発明の実施例 3 に係る電力変換装置の回路構成図である。この実施例 3 の各部について、図 2 の実施例 2 に係る電力変換装置の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例 3 が実施例 2 と異なる点は、逆電圧印加回路 7 A の低電圧直流電源 8 の正極側に電流制限抵抗 1 5 を挿入し、またこの電流制限抵抗 1 5 と低電圧直流電源 8 の負極間に高周波用コンデンサ 1 6 を設けた点である。

20

【 0 0 3 2 】

低電圧直流電源 8 の電圧は直流電源 1 の電圧の 1 / 4 以下に選定し、高周波コンデンサ 1 6 は平滑用の電解コンデンサではなく、セラミックコンデンサやフィルムコンデンサ等の高周波用のものを使用する。また、電流制限抵抗 1 5 は、例えば、配線基板の銅箔パターンの配線抵抗や銅板などの配線抵抗を用いることができる。

【 0 0 3 3 】

尚、図 3 において、高周波コンデンサ 1 6、逆電圧印加用スイッチング素子 1 1、補助ダイオード 1 2、ノーマリーオン型スイッチング素子 2 0 u 及び還流ダイオード 5 u で構成される放電経路は、極力短い配線として回路インダクタンスを小さくすることが重要である。

30

【 0 0 3 4 】

更に、図 3 において、低耐圧となった主回路スイッチング素子 4 u 1 のゲートドライブ回路 9 の電源として、低電圧電源 8 の電圧をそのまま使用することができる。この構成によって逆電圧印加回路の構成は簡素化される。

【 0 0 3 5 】

以上の構成によって、電流抑制抵抗 1 5 と高周波コンデンサ 1 6 により高周波インピーダンスの低減作用が生じ、低電圧直流電源 8 には、還流ダイオード 5 の逆回復に伴うインパルス状の電流が流れなくなるため、還流ダイオード 5 の逆回復時においても低電圧直流電源 8 の電圧変動が非常に少なくなる。

40

【 0 0 3 6 】

還流ダイオード 5 に逆回復電流を供給している期間中は、主回路電流（負荷電流）も逆電圧印加回路 7 を通るので、主回路電流による損失も増えることになる。従って、できるだけ速やかに還流ダイオード 5 の逆回復が完了することが望ましいが、この実施例 3 によれば、これが達成できる。更に、低電圧直流電源 8 への負担も軽減するので、低電圧直流電源 8 が小容量の電源で済み、低電圧直流電源 8 の内部発熱が低減されるため、逆電圧印加回路の小型化を達成できる。

【実施例 4】

50

【 0 0 3 7 】

図4は本発明の実施例4に係る電力変換装置の回路構成図である。この実施例4の各部について、図3の実施例3に係る電力変換装置の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例4が実施例3と異なる点は、インバータ主回路3の正側アーム素子をカスコード素子21u、21v及び21wに代えて主回路スイッチング素子4u2、4v2及び4w2とし、これ等の素子の逆電圧印加回路を省いた点、負側アームのカスコード素子21y及び21z用の逆電圧印加回路7Bは、カスコード素子21x用の逆電圧印加回路7A内の低電圧直流電源8Aから低電圧電源の供給を受けるように構成した点である。

【 0 0 3 8 】

尚、図4においては簡単のため、逆電圧印加回路7A及び7B内のゲートドライブ回路9及びゲートドライブ回路13の図示を省略している。

【 0 0 3 9 】

ここで正側アーム用主回路スイッチング素子4u2、4v2及び4w2には、還流ダイオードが内蔵されていないIGBTを用いているので、主回路スイッチング素子4u2、4v2及び4w2に対し、逆回復時間が短く逆回復損失の少ない還流ダイオード5u、5v及び5wを逆並列に接続する。このように逆回復損失の少ない還流ダイオードを使用すれば、還流ダイオードの逆回復時の損失が低減するので逆電圧印加回路は省略可能な構成となる。

【 0 0 4 0 】

一方、負側カスコード素子21x、21y及び21zには逆電圧印加回路7A及び7Bが接続されている。逆電圧印加回路7Aが3相分の回路に対しする共通の低電圧直流電源8を有している。これは、x相、y相及びz相の逆電圧印加回路の電源ラインは、一方は直流電源1の負側直流母線1bに、他方は低電圧直流電源8の電源ライン8aに共通化できるからである。

【 0 0 4 1 】

この実施例4によれば、負側カスコード素子21x、21y及び21zのみに、逆電圧印加回路を適用したため、3相分の回路に対して低電圧直流電源8を各相毎に用意する必要がなく、各相共通に1個のみ持てば良い。従って逆電圧印加回路の簡素化を図ることが可能となる。

【 実施例 5 】

【 0 0 4 2 】

図5は本発明の実施例5に係る電力変換装置に使用される逆電圧印加回路7Cの回路構成図である。この実施例5の各部について、図3の実施例3に係る電力変換装置に使用される逆電圧印加回路7Aの回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例5が実施例3と異なる点は、ゲート抵抗10と並列に電圧変化率促進用ダイオード17を設け、この並列回路を電圧変化率促進回路18として動作させるように構成した点である。

【 0 0 4 3 】

カスコード素子21がオフする時、ゲートドライブ回路9の動作により、主回路スイッチング素子4u1のゲート端子に入力されていたゲート駆動信号が出力されなくなる。ここで、電圧変化率促進回路18の電圧変化率促進用ダイオード17により、オフする時はゲート抵抗10を介さずに電圧変化率促進用ダイオード17を介してゲート駆動信号が取り除かれる。つまり、ゲート抵抗10よりもインピーダンスが低い電圧変化率促進用ダイオード17を介してゲート駆動信号が取り除かれるため、ゲート抵抗10を介してオフするより高速にオフすることができる。

【 0 0 4 4 】

この実施例5によれば、電圧変化率促進回路18により、主回路スイッチング素子4u1を高速にオフできるので、カスコード素子21uの正負極間の電圧変化率が促進され、カスコード素子のターンオフが早くなる。よって、カスコード素子のターンオフ損失が低

10

20

30

40

50

減できるので、更に小型で低損失な電力変換装置を提供することが可能となる。

【実施例 6】

【0045】

図 6 は本発明の実施例 6 に係る電力変換装置に使用される逆電圧印加回路 7 D の回路構成図である。この実施例 6 の各部について、図 5 の実施例 5 に係る電力変換装置に使用される逆電圧印加回路 7 C の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例 6 が実施例 5 と異なる点は、ゲート抵抗 10 と並列接続される電圧変化率促進用ダイオードに代え、電圧変化率促進用トランジスタ 19 をスイッチング素子 4 u 1 のゲート - 負極間に設けることにより電圧変化率促進回路 18 A を構成し、この電圧変化率促進用トランジスタ 19 のゲートをゲート抵抗 10 の低圧電源側端子に接続する構成とした点である。

10

【0046】

このように構成することにより、主回路スイッチング素子 4 u 1 にゲート駆動信号を供給しているときには電圧変化率促進用トランジスタ 19 はオフしているが、主回路スイッチング素子 4 u 1 がオフするためにゲートドライブ回路 9 からゲート駆動信号が取り除かれたとき、電圧変化率促進用トランジスタ 19 がオンし、ゲート抵抗 10 を経由しない低インピーダンスのルートによって主回路スイッチング素子 4 u 1 を高速にオフできるので、カスコード素子 21 u の正負極間の電圧変化率が促進される。

【0047】

従って実施例 5 の場合と同様、カスコード素子のターンオフ損失が低減できるので、小型で低損失な電力変換装置を提供することが可能となる。

20

【実施例 7】

【0048】

図 7 は本発明の実施例 7 に係る電力変換装置に使用される逆電圧印加回路 7 E の回路構成図である。この実施例 7 の各部について、図 6 の実施例 6 に係る電力変換装置に使用される逆電圧印加回路 7 D の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例 7 が実施例 6 と異なる点は、補助ダイオード 12 A をより低耐圧なダイオードとし、この補助ダイオード 12 A のカソードを還流ダイオード 5 u のカソードに接続するように構成した点である。

【0049】

実施例 1 で述べたように、還流ダイオード 5 u に流れる主回路電流は、逆電圧印加回路 7 により逆回復することができる。この実施例 7 においては、逆電圧印加回路 7 E に流れ込む主回路電流は、低電圧直流電源 8 の電源ライン 8 b を通り、低電圧直流電源 8 と高周波用コンデンサ 15 に流れ込む。そして、逆電圧印加スイッチング素子 11、補助ダイオード 12 A、ノーマリーオン型スイッチング素子 20 u を経由し直流電源 1 の電源ライン 1 a 側に流れる。

30

【0050】

ここで、ノーマリーオン型スイッチング素子 20 u のゲート - ソース端子間には、低電圧直流電源 8 の電圧が印加される。しかしながらノーマリーオン型スイッチング素子 20 u は低電圧電源 8 の電圧ではオフしないため、逆電圧印加回路 7 E に流れ込んだ主回路電流を電源ライン 1 a を介して直流電源 1 に流すことが出来る。

40

【0051】

その後、u 相と逆極性の x 相のカスコード素子 21 x がオンすると、逆電圧印加回路 7 E に流れていた主回路電流は、カスコード素子 21 x に流れる。カスコード素子 21 x に主回路電流が流れると、主回路スイッチング素子 4 u 1 に電圧がかかり、これによりノーマリーオン型スイッチング素子 20 u のゲート - ソース端子間にノーマリーオン型スイッチング素子 20 u がオフするのに十分な電圧が印加され、ノーマリーオン型スイッチング素子 20 u がオフする。ノーマリーオン型スイッチング素子 20 u がオフすることにより、逆電圧印加回路 7 E に流れていた主回路電流が流れなくなる。

【0052】

50

補助ダイオード 1 2 A には主回路スイッチング素子 4 u 1 とほぼ同程度の逆電圧がかかり、補助ダイオード 1 2 A が逆回復した後にオフする。一般にダイオードが逆回復したときに発生する逆回復損失と素子の耐圧はトレードオフの関係にあるため、補助ダイオード 1 2 A の耐圧を低く選定することにより、逆回復時間も短くでき、補助ダイオード 1 2 A の逆回復損失は低減される。また、ダイオードに電流が流れたときに発生する導通損失についても、素子の耐圧とトレードオフの関係にあるため、補助ダイオード 1 2 A の耐圧を低く選定することにより、補助ダイオード 1 2 A 導通損失も低減可能となる。

【 0 0 5 3 】

以上説明したように、実施例 7 によれば、補助ダイオード 1 2 A を主回路スイッチング素子 4 u 1 の耐圧より低く選定することにより、この逆回復損失及び導通損失が低減でき、更に小型で低損失な電力変換装置を提供することが可能となる。

10

【 0 0 5 4 】

以上の実施例 1 乃至実施例 7 において、補助ダイオード 1 2、1 2 A に、ワイドギャップ半導体から成る補助ダイオードを適用すると更に損失低減が可能となる。このワイドギャップ半導体としては、SiC (シリコンカーバイド)、GaN (ガリウムナイトライド)、及びダイヤモンドが適用可能である。

【 0 0 5 5 】

ワイドギャップ半導体から成る補助ダイオードは、シリコン半導体に比べて絶縁破壊電界強度を 1 桁程度大きくすることができ、補助ダイオードの高耐圧化を実現できる。例えば、シリコン半導体では補助ダイオードにバイポーラダイオードでしか使用できないような耐圧の高い補助ダイオードでも、ワイドギャップ半導体ではユニポーラダイオードが実用可能となる。

20

【 0 0 5 6 】

ユニポーラダイオードを使用すると、少数キャリアの蓄積がなく逆回復電荷が形成されないため、逆回復電流は流れず、逆回復損失が本質的にゼロとなる。ユニポーラダイオードは接合容量に蓄積する電荷があるが、その接合容量の充放電電流は僅かである。従って、補助ダイオードの損失を低減できる。

【 0 0 5 7 】

また、逆回復電流が逆電圧印加回路及び主回路スイッチング素子に流れ込むことがなくなるので逆回復電流による損失を低減することが可能となる。

30

【 0 0 5 8 】

このように、補助ダイオードにワイドギャップ半導体を適用すれば、逆回復電流による損失を低減することができるので更に小型で低損失な電力変換装置を提供することが可能となる。

【 0 0 5 9 】

また、以上の実施例 1 乃至実施例 7 において、主回路スイッチング素子及びノーマリーオン型スイッチング素子として、ワイドギャップ半導体から成るスイッチング素子を適用すると更に損失低減が可能となる。ワイドギャップ半導体としては、SiC (シリコンカーバイド)、GaN (ガリウムナイトライド)、ダイヤモンドが適用可能である。

【 0 0 6 0 】

ワイドギャップ半導体を利用して形成されるスイッチング素子においては、シリコン半導体に比べて絶縁破壊電界強度を 1 桁程度大きくすることができ、絶縁破壊耐圧を保持するためのドリフト層を 1 / 1 0 程度まで薄くすることができるので、スイッチング素子の導通損失を低減することが可能となる。

40

【 0 0 6 1 】

更に、シリコン半導体に比べ、飽和電子ドリフト速度を 2 倍程度大きくすることができるので、1 0 倍程度の高周波化を実現することができる。これにより、スイッチング素子のターンオン・ターンオフ損失を低減することができる。

【 0 0 6 2 】

このように、主回路スイッチング素子及びノーマリーオン型スイッチング素子にワイド

50

ギャップ半導体を適用すれば、スイッチング素子の導通損失とターンオン・ターンオフ損失を低減させることができ、更に小型で低損失な電力変換装置を提供することが可能となる。

【図面の簡単な説明】

【0063】

【図1】本発明の実施例1に係る電力変換装置の回路構成図。

【図2】本発明の実施例2に係る電力変換装置の回路構成図。

【図3】本発明の実施例3に係る電力変換装置の回路構成図。

【図4】本発明の実施例4に係る電力変換装置の回路構成図。

【図5】本発明の実施例5に係る電力用半導体装置の逆電圧印加回路の回路構成図。

10

【図6】本発明の実施例6に係る電力用半導体装置の逆電圧印加回路の回路構成図。

【図7】本発明の実施例7に係る電力用半導体装置の逆電圧印加回路の回路構成図。

【符号の説明】

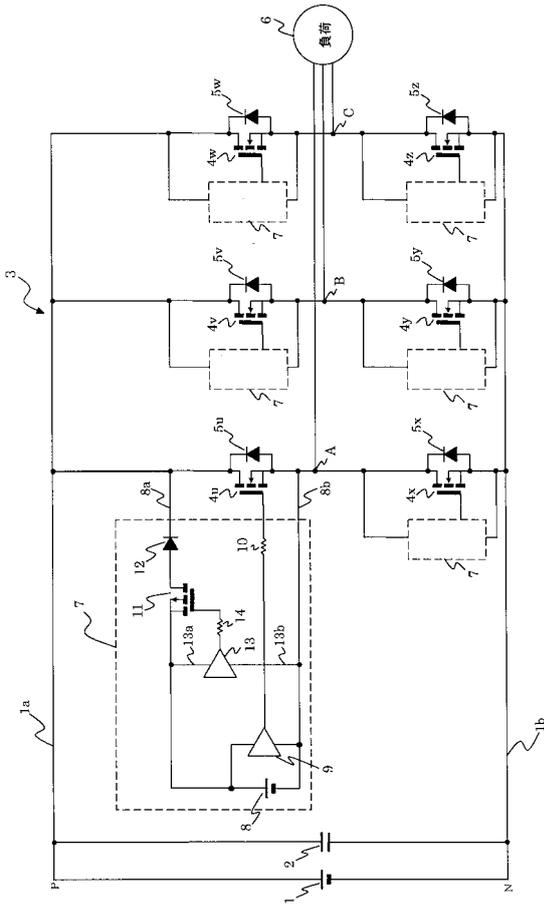
【0064】

- 1 直流電源
 - 2 平滑コンデンサ
 - 3 インバータ主回路
 - 4 u、4 v、4 w、4 x、4 y、4 z、4 u 1、4 v 1、4 w 1、4 x 1、4 y 1、
4 z 1、4 u 2、4 v 2、4 w 2 主回路スイッチング素子
 - 5 u、5 v、5 w、5 x、5 y、5 z 還流ダイオード
 - 6 負荷
 - 7、7 A、7 B、7 C、7 D、7 E 逆電圧印加回路
 - 8 低電圧直流電源
 - 9 ゲートドライブ回路
 - 10 ゲート抵抗
 - 11 逆電圧印加スイッチング素子
 - 12、12 A 補助ダイオード
 - 13 ゲートドライブ回路
 - 14 ゲート抵抗
 - 15 電流制限抵抗
 - 16 コンデンサ
 - 17 ダイオード
 - 18 電圧変化率促進回路
 - 19 電圧変化率促進用トランジスタ
-
- 20 u、20 v、20 w、20 x、20 y、20 z ノーマリーオン型スイッチング素子
 - 21 u、21 v、21 w、21 x、21 y、21 z カスコード素子

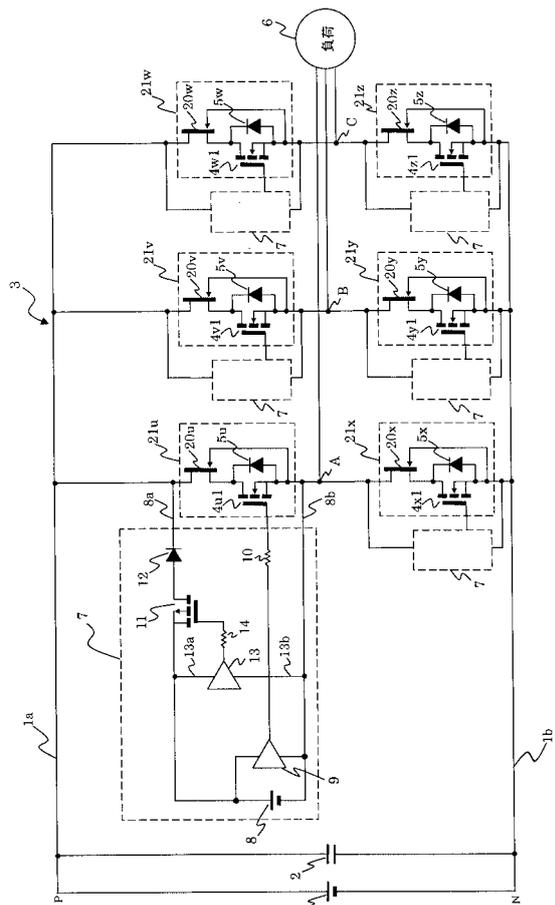
20

30

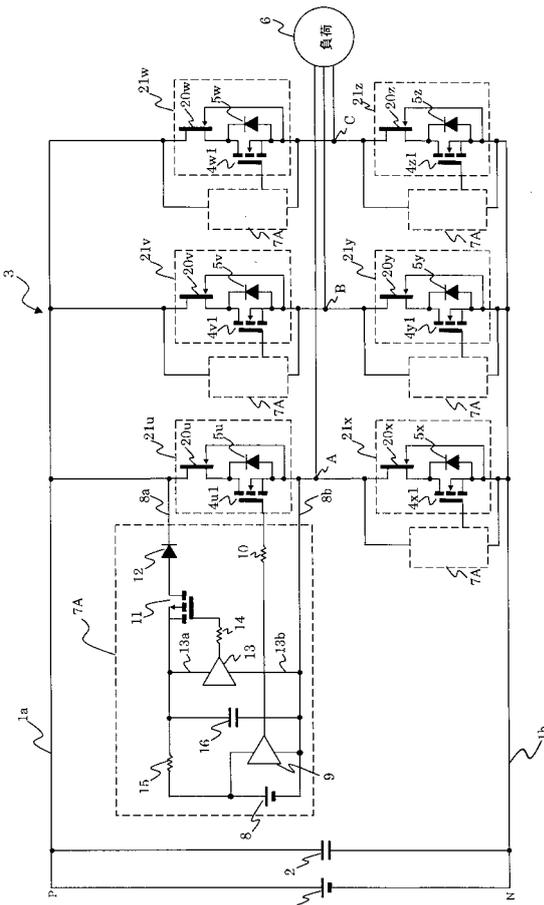
【図1】



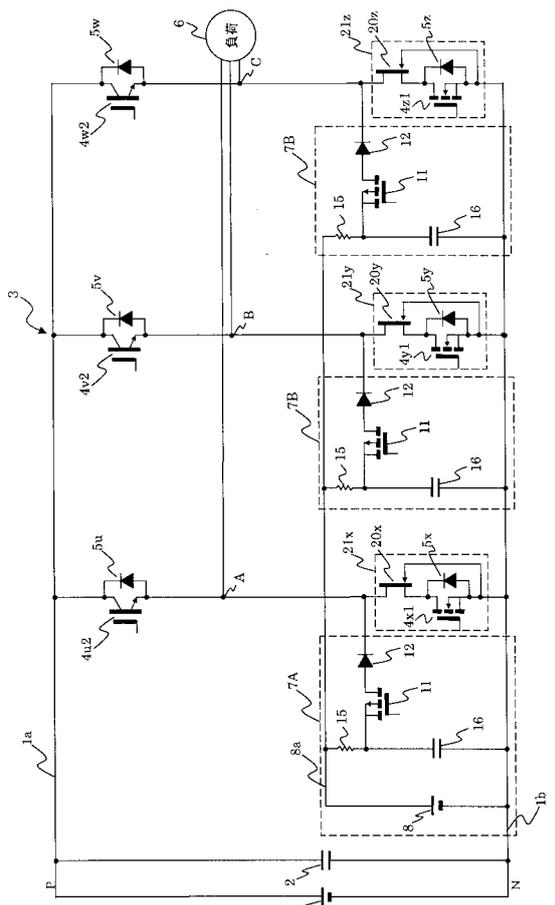
【図2】



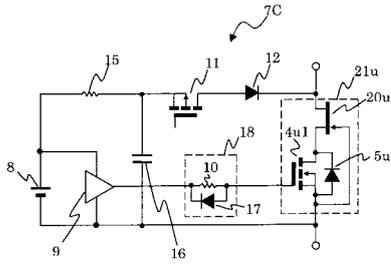
【図3】



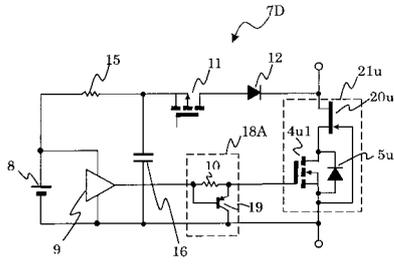
【図4】



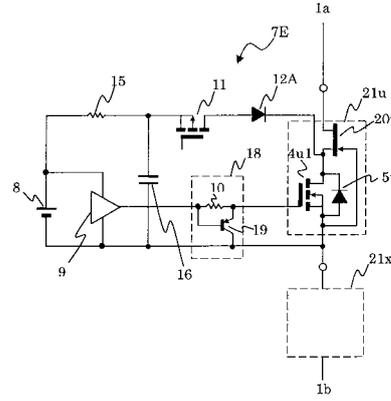
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

審査官 杉浦 貴之

- (56)参考文献 特開2003-235240(JP,A)
特開平07-194138(JP,A)
特開2001-251846(JP,A)
国際公開第2006/052032(WO,A1)
特開平10-327585(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48
H02M 7/5387